

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-107132
(P2011-107132A)

(43) 公開日 平成23年6月2日(2011.6.2)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 31/28 (2006.01)	GO 1 R 31/28	H
GO 1 R 31/319 (2006.01)	GO 1 R 31/28	B
	GO 1 R 31/28	R
	GO 1 R 31/28	P

審査請求 未請求 請求項の数 20 O L (全 22 頁)

(21) 出願番号 特願2010-238361 (P2010-238361)
 (22) 出願日 平成22年10月25日 (2010.10.25)
 (31) 優先権主張番号 10-2009-0109438
 (32) 優先日 平成21年11月13日 (2009.11.13)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

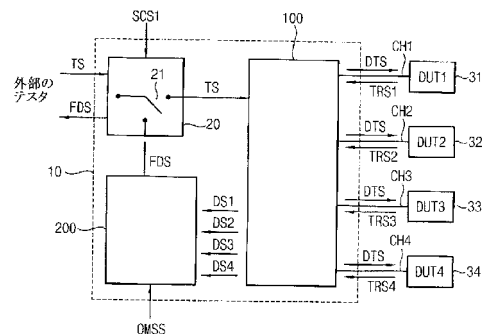
(54) 【発明の名称】 BOT装置及びこれを含むテストシステム

(57) 【要約】

【課題】BOT装置及びこれを含むテストシステムを提供すること。

【解決手段】BOT装置は信号処理ブロック、出力選択ブロック及び信号制御ブロックを含む。信号処理ブロックは外部から印加されるテスト信号を複製して複製された複数のテスト信号それぞれをテスト対象デバイスにそれぞれ印加し、テスト対象デバイスからそれぞれ受信されたテスト結果信号に基づいた複数の判定信号を提供する。出力選択ブロックは出力モード選択信号に答えて複数の判定信号を併合するか、または順次に最終判定信号として提供する。信号制御ブロックはテスト信号を信号処理ブロックに提供するか、または最終判定信号を外部に提供する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

外部から印加されるテスト信号を複製して複製された複数のテスト信号それぞれをチャンネルを通じて、テスト対象デバイスにそれぞれ印加し、前記テスト対象デバイスからそれぞれ受信されたテスト結果信号に基づいた複数の判定信号を提供する信号処理ブロックと、

出力モード選択信号に応答して前記複数の判定信号を併合するか、または順次に最終判定信号として提供する出力選択ブロックと、

第 1 スイッチング制御信号に応答して前記テスト信号を前記信号処理ブロックに提供するか、または前記最終判定信号を外部に提供する信号制御ブロックを含む BOT (BOT ; built - off test) 装置。

10

【請求項 2】

前記信号処理ブロックは複数の信号処理部を含み、

前記複数の信号処理部それぞれは、

前記テスト信号を複製して前記複製されたテスト信号を提供するバッファと、

第 2 スイッチング制御信号が第 1 レベルの場合、前記複製されたテスト信号を前記テスト対象デバイスに提供するリレーと、

前記第 2 スイッチング制御信号が第 2 レベルの場合、前記該当テスト結果信号を基準レベルと比較して、結果信号を提供する比較回路と、

前記判定信号を保存して出力するレジスタと、を含むことを特徴とする請求項 1 に記載の BOT 装置。

20

【請求項 3】

前記バッファは第 1 電源電圧と第 2 電源電圧を印加され、

前記複製されたテスト信号のレベルは前記第 1 電源電圧と第 2 電源電圧によって可変されることを特徴とする請求項 2 に記載の BOT 装置。

【請求項 4】

前記レジスタに保存された前記判定信号は前記複数のテスト対象デバイスに対するテストが完了した後に、前記出力選択ブロックに提供されることを特徴とする請求項 2 に記載の BOT 装置。

【請求項 5】

30

前記比較回路は第 3 電源電圧と前記第 4 電源電圧を印加され、

前記結果信号のレベルは前記第 3 電源電圧と前記第 4 電源電圧によって可変されることを特徴とする請求項 2 に記載の BOT 装置。

【請求項 6】

前記比較回路は前記テスト結果信号と前記基準レベルが相互に同じ場合にテストパスを示す前記判定信号を提供することを特徴とする請求項 5 に記載の BOT 装置。

【請求項 7】

前記比較回路は前記テスト結果信号と前記基準レベルが相互に異なる場合にテストフェイルを示す前記判定信号を提供することを特徴とする請求項 5 に記載の BOT 装置。

【請求項 8】

40

前記出力選択ブロックは、

前記出力モード選択信号が第 1 レベルの場合には前記複数の判定信号を併合して前記最終判定信号として提供し、

前記出力モード選択信号が第 2 レベルの場合には前記複数の判定信号を順次に前記最終判定信号として提供することを特徴とする請求項 1 に記載の BOT 装置。

【請求項 9】

前記出力選択ブロックは、

前記複数の判定信号を印加され論理和演算する併合回路と、

選択信号に응答して前記複数の判定信号を一つずつ選択して順次に出力するマルチプレクサと、

50

前記選択信号を生成するカウンタと、

前記出力モード選択信号が第1レベルの場合には前記併合回路の出力と接続され、前記出力モード選択信号が第2レベルの場合には前記マルチプレクサの出力と接続されるリレーと、を含むことを特徴とする請求項8に記載のBOT装置。

【請求項10】

前記併合回路は前記複数の判定信号のうち少なくとも一つがハイレベルを示す場合、テストフェイルを示すハイレベルの併合された最終判定信号を提供するORゲートで構成されることを特徴とする請求項9に記載のBOT装置。

【請求項11】

前記併合回路は前記複数の判定信号のうち少なくとも一つがローレベルを示す場合、テストフェイルを示すローレベルの併合された最終判定信号を提供するANDゲートで構成されることを特徴とする請求項9に記載のBOT装置。

10

【請求項12】

前記出力選択ブロックは、

前記出力モード選択信号によって選択的に活性化して前記複数の判定信号を印加され論理和演算する併合回路と、

前記出力モード選択信号によって選択的に活性化し、選択信号に応答して前記複数の判定信号を一つずつ選択して順次出力するマルチプレクサと、

前記出力モード選択信号によって選択的に活性化して前記選択信号を生成するカウンタと、を含むことを特徴とする請求項8に記載のBOT装置。

20

【請求項13】

前記出力モード選択信号が前記第1レベルの場合には前記併合回路がイネーブルされ、

前記出力モード選択信号が第2レベルの場合には前記マルチプレクサ及び前記カウンタがイネーブルされることを特徴とする請求項12に記載のBOT装置。

【請求項14】

複数のテストパラメータそれぞれと関連した複数のテスト信号を提供するテスト装置と

、
前記複数のテスト信号を複製して複数のチャンネルを通じて複数のテスト対象デバイスに提供し、前記複数のテスト対象デバイスから提供される複数のテスト結果信号に基づいた複数の最終判定信号を前記テスト装置に提供するBOT (BOT; built-of f t e s t) モジュールと、

30

前記複数のチャンネルを通じて前記BTOモジュールと接続され、前記複数のテスト対象デバイスが搭載されるテストボードと、を含むことを特徴とするテストシステム。

【請求項15】

前記テスト装置は、

前記複数のテスト信号をそれぞれ生成し、前記複数の最終判定信号をそれぞれ受信する複数の信号生成回路を含み、

前記複数の信号生成回路それぞれは、

テストパターン信号を生成するテストパターン生成器と、

前記テストパターン信号をバッファリングして、前記テスト信号を提供するバッファと

40

、
第1スイッチング制御信号が第1レベルの場合に、前記テスト信号を前記BTOモジュールに提供する第1リレーと、

前記第1スイッチング制御信号が第2レベルの場合に前記該当最終判定信号を基準レベルと比較して、最終結果信号として提供する比較回路と、を含むことを特徴とする請求項14に記載のテストシステム。

【請求項16】

前記BTOモジュールは複数のBTOユニットを含み、

前記複数のBTOユニットそれぞれは、

前記複数のテスト信号のうち該当テスト信号を複製して複製された複数のテスト信号そ

50

れぞれをテスト対象デバイスに印加して、前記複数のテスト結果信号のうち同じテスト対象デバイスから提供されるテスト結果信号に基づいた複数の判定信号を提供する信号処理ブロックと、

出力モード選択信号に応答して前記複数の判定信号のうち前記複数のパラメータにそれぞれ関連した判定信号を併合するか、または順次に最終判定信号として提供する出力選択ブロックと、

第2スイッチング制御信号に応答して前記該当テスト信号を前記信号処理ブロックに提供するか、または前記最終判定信号を前記比較回路に提供する信号制御ブロックと、を含むことを特徴とする請求項14に記載のテストシステム。

【請求項17】

前記複数のテスト結果信号に対するパス/フェイル判断は同時に遂行されることを特徴とする請求項16に記載のテストシステム。

【請求項18】

前記BTOモジュールは前記テストボード上に搭載されることを特徴とする請求項14に記載のテストシステム。

【請求項19】

前記BTOモジュールは前記テスト装置上に搭載されることを特徴とする請求項14に記載のテストシステム。

【請求項20】

多重の(multiple)半導体装置をテストする装置として、
それぞれのチャンネルを通じて複数の半導体装置に接続する信号処理器と、
スイッチング制御信号に応答して、前記複数の半導体装置それぞれによって処理される共通テスト信号を前記信号処理器に選択的に提供するか、または前記複数の半導体装置それぞれによって処理された前記共通テスト信号に基づいて最終判定信号を外部に提供する信号制御器と、

出力モード選択信号に応答して前記最終判定信号を前記信号制御器に提供する出力選択器を含み、

前記最終判定信号は、テスト結果信号の一つずつの順、または、前記テスト結果信号の併合として、前記半導体装置のうち少なくとも一つのテスト失敗を示し、

前記テスト結果信号それぞれは、前記共通のテスト信号を処理した各半導体装置からのテスト結果信号と基準レベルを比較した結果に基づいたことを特徴とする多重(multiple)半導体装置をテストする装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関するもので、より詳細には半導体メモリ装置のテストに関する。

【背景技術】

【0002】

A TE (automatic test equipment) は半導体デバイスのテストに使われ、テスト対象である半導体デバイスの性能をテストするべきであるため、半導体デバイスの性能に適するモデルを使う。半導体デバイスの性能が高速化し、その機能が多様化するに伴い新しい設備を使うべきであるが、既存の保有中の設備を使う技術としてBOT (built - off test) 技術を使うことになる。しかし、既存のBOT技術はテストカバレッジ減少やテストタイム増加のような色々な問題点を有する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008 - 145266号公報

【特許文献2】特開2008 - 224585号公報

10

20

30

40

50

【特許文献3】特開平11-237433号公報

【特許文献4】韓国特許出願公開第2006-0048345号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

これに伴い、本発明の一目的はテストタイムを増加させずにテストカバレッジを増加させることができるBOT装置を提供するところにある。

【0005】

本発明の他の目的は前記BOT装置を含むテストシステムを提供するところにある。

【課題を解決するための手段】

【0006】

前記本発明の一目的を達成するために本発明の一実施形態に係るBOT装置は信号処理ブロック、出力選択ブロック及び信号制御ブロックを含む。前記信号処理ブロックは外部から印加されるテスト信号を複製して複製された複数のテスト信号それぞれをチャンネルを通じて、テスト対象デバイスにそれぞれ印加し、前記テスト対象デバイスからそれぞれ受信されたテスト結果信号に基づいた複数の判定信号を提供する。前記出力選択ブロックは出力モード選択信号に応答して前記複数の判定信号を併合するか、または順次に最終判定信号として提供する。前記信号制御ブロックは第1スイッチング制御信号に応答して前記テスト信号を前記信号処理ブロックに提供するか、または前記最終判定信号を外部に提供する。

【0007】

実施形態において、前記信号処理ブロックは複数の信号処理部を含み、前記複数の信号処理部それぞれは、前記テスト信号を複製して前記複製されたテスト信号を提供するバッファ、第2スイッチング制御信号が第1レベルの場合、前記複製されたテスト信号を前記テスト対象デバイスに提供するリレー、前記第2スイッチング制御信号が第2レベルの場合、前記該当テスト結果信号を基準レベルと比較して、結果信号を提供する比較回路、及び前記判定信号を保存して出力するレジスタを含むことができる。

【0008】

前記バッファは第1電源電圧と第2電源電圧を印加され、前記複製されたテスト信号のレベルは前記第1電源電圧と第2電源電圧によって可変される。

【0009】

前記レジスタに保存された前記判定信号は前記複数のテスト対象デバイスに対するテストが完了した後に、前記出力選択ブロックに提供されることができる。

【0010】

前記比較回路は第3電源電圧と前記第4電源電圧を印加され、前記結果信号のレベルは前記第3電源電圧と前記第4電源電圧によって可変される。

【0011】

前記比較回路は前記テスト結果信号と前記基準レベルが相互に同じ場合にテストフェイルを示す前記判定信号を提供することができる。

【0012】

前記比較回路は前記テスト結果信号と前記基準レベルが相互に異なる場合にテストフェイルを示す前記判定信号を提供することができる。

【0013】

実施形態において、前記出力選択ブロックは前記出力モード選択信号が第1レベルの場合には前記複数の判定信号を併合して前記最終判定信号として提供し、前記出力モード選択信号が第2レベルの場合には前記複数の判定信号を順次に前記最終判定信号として提供することができる。

【0014】

一実施形態において、前記出力選択ブロックは前記複数の判定信号を印加され論理和演算する併合回路、選択信号に応答して前記複数の判定信号を一つずつ選択して順次に出力

10

20

30

40

50

するマルチプレクサ、前記選択信号を生成するカウンタ、及び前記出力モード選択信号が第1レベルの場合には前記併合回路の出力と接続され、前記出力モード選択信号が第2レベルの場合には前記マルチプレクサの出力と接続されるリレーを含むことができる。

【0015】

前記併合回路は、前記複数の判定信号のうち少なくとも一つがハイレベルを示す場合、テストフェイルを示すハイレベルの併合された最終判定信号を提供するORゲートで構成されることができる。

【0016】

また、前記併合回路は、前記複数の判定信号のうち少なくとも一つがローレベルを示す場合、テストフェイルを示すローレベルの併合された最終判定信号を提供するANDゲートで構成されることができる。

10

【0017】

他の実施形態において、前記出力選択ブロックは前記出力モード選択信号によって選択的に活性化して前記複数の判定信号を印加され論理和演算する併合回路、前記出力モード選択信号によって選択的に活性化し、選択信号に応答して前記複数の判定信号を一つずつ選択して順次出力するマルチプレクサ、及び前記出力モード選択信号によって選択的に活性化して前記選択信号を生成するカウンタを含むことができる。前記出力モード選択信号が前記第1レベルの場合には前記併合回路がイネーブルされ、前記出力モード選択信号が第2レベルの場合には前記マルチプレクサ及び前記カウンタがイネーブルされる。

【0018】

20

本発明の他の目的を達成するための本発明の一実施形態に係るテストシステムはテスト装置、BTOモジュール及びテストボードを含む。前記テスト装置は複数のテストパラメータにそれぞれ関連した複数のテスト信号を提供する。前記BTOモジュールは前記複数のテスト信号を複製して複数のチャンネルを通じて複数のテスト対象デバイスに提供し、前記複数のテスト対象デバイスから提供される複数のテスト結果信号に基づいた複数の最終判定信号を前記テスト装置に提供する。前記テストボードは前記複数のチャンネルを通じて前記BTOモジュールと接続され、前記複数のテスト対象デバイスが搭載される。

【0019】

実施形態において、前記テスト装置は前記複数のテスト信号をそれぞれ生成し、前記複数の最終判定信号をそれぞれ受信する複数の信号生成回路を含むことができる。前記複数の信号生成回路それぞれはテストパターン信号を生成するテストパターン生成器、前記テストパターン信号をバッファリングして、前記テスト信号として提供するバッファ、及び第1スイッチング制御信号が第1レベルの場合に、前記テスト信号を前記BTOモジュールに提供する第1リレー、及び前記第1スイッチング制御信号が第2レベルの場合に前記該当最終判定信号を基準レベルと比較して、最終結果信号として提供する比較回路を含むことができる。

30

【0020】

実施形態において、前記BTOモジュールは複数のBTOユニットを含むことができる。前記複数のBTOユニットそれぞれは前記複数のテスト信号のうち該当テスト信号を複製して複製された複数のテスト信号それぞれをテスト対象デバイスに印加して、前記複数のテスト結果信号のうち同じテスト対象デバイスから提供されるテスト結果信号に基づいた複数の判定信号を提供する信号処理ブロック、出力モード選択信号に応答して前記複数の判定信号のうち前記複数のパラメータにそれぞれ関連した判定信号を併合するか、または順次に最終判定信号として提供する出力選択ブロック、及び第2スイッチング制御信号に応答して前記該当テスト信号を前記信号処理ブロックに提供するか、または前記最終判定信号を前記比較回路に提供する信号制御ブロックを含むことができる。

40

【0021】

前記複数のテスト結果信号に対するパス/フェイル判断は同時に遂行されることができる。

【0022】

50

実施形態において、前記BTOモジュールは前記テストボード上に搭載されてもよい。

【0023】

実施形態において、前記BTOモジュールは前記テスト装置上に搭載されてもよい。

【0024】

本発明の他の目的を達成するための多重の(multiple)半導体装置をテストする装置は信号処理器、信号制御器及び出力選択器を含む。前記信号処理器はそれぞれのチャンネルを通じて複数の半導体装置に接続する。前記信号制御器はスイッチング制御信号に応答して、前記複数の半導体装置それぞれによって処理される共通テスト信号を前記信号処理器に選択的に提供するか、または前記複数の半導体装置それぞれによって処理された前記共通テスト信号に基づいて最終判定信号を外部に提供する。前記出力選択器は出力モード選択信号に
10 応答して前記最終判定信号を前記信号制御器に提供する。前記最終判定信号は、テスト結果信号の一つずつの順、または、前記テスト結果信号の併合として、前記半導体装置のうち少なくとも一つのテスト失敗を示す。前記テスト結果信号それぞれは、前記共通のテスト信号を処理した各半導体装置からのテスト結果信号と基準レベルを比較した結果に基づく。

【発明の効果】

【0025】

本発明によると、限定されたテスト信号を複製して複製された複数のテスト信号をテスト対象デバイスに印加し、テスト対象デバイスからのテスト結果信号に対して同時にパス/フェイル判定することができ、かつ、最終テスト完了後に、最終判定信号だけをテスト
20 装置に伝送するため、テスト対象デバイスの数が増加してもテスト時間を減少させることができる。

【図面の簡単な説明】

【0026】

【図1】本発明の一実施形態に係るBOT(BOT; built-off test)装置の構成を示すブロック図である。

【図2】本発明の一実施形態に係る図1の信号処理ブロックを示すブロック図である。

【図3】本発明の一実施形態に係る図2の比較回路の構成を示す。

【図4】本発明の一実施形態に係る図2の比較回路の構成を示す。

【図5】それぞれ図3と図4の場合にテスト結果信号と基準レベルの組合せによる判定信号を示す表である。
30

【図6】それぞれ図3と図4の場合にテスト結果信号と基準レベルの組合せによる判定信号を示す表である。

【図7】図1の出力選択ブロックの構成を示す回路図である。

【図8】本発明の一実施形態に係る図7の併合回路の構成を示す。

【図9】本発明の一実施形態に係る図7の併合回路の構成を示す。

【図10】本発明の一実施形態に係るBOT装置の動作を示すタイミング図である。

【図11】本発明の一実施形態に係るBOT装置の動作を示すタイミング図である。

【図12】本発明の一実施形態に係るBOT装置の動作を示すタイミング図である。

【図13】本発明の一実施形態に係るBOT装置の動作を示すタイミング図である。
40

【図14】本発明の一実施形態に係るテストシステムを示すブロック図である。

【図15】本発明の一実施形態に係る図14のテスト装置の構成を示す。

【図16】図14のBOTモジュールの構成を示す。

【図17】図15のBOTユニットに含まれる信号処理ブロックの構成を示す。

【発明を実施するための形態】

【0027】

本明細書で開示する本発明の実施形態に対して、特定の構造的又は機能的説明は単に本発明の実施形態を説明するための目的で例示したものであり、本発明の実施形態は多様な形態で実施され、本明細書で説明した実施形態に限定されるものと解釈してはならない。

【0028】

10

20

30

40

50

本発明は、多様な変更を加えることができ、様々な形態を有することができるが、特定の実施形態を図面に例示して本明細書で詳細に説明する。しかし、これは本発明を特定の開示形態に限定しようとするものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物、或いは代替物を含むものとして理解せねばならない。

【0029】

第1、第2などの用語は多様な構成要素を説明するために使用することができるが、これらの構成要素は用語によって限定されてはならない。用語は1つの構成要素を他の構成要素から区別する目的として使用することができる。例えば、本発明の権利範囲から逸脱せずに第1構成要素は第2構成要素と命名することができ、同様に第2構成要素も第1構成要素と命名することができる。

10

【0030】

ある構成要素が他の構成要素に「接続され」る、又は「接続されて」いると言及した場合には、その他の構成要素に直接的に接続されたり、又は接続されていたりすることもあるが、中間に他の構成要素が存在することもあると理解すべきである。反面、ある構成要素が他の構成要素に「直接接続され」る、又は「直接接続されて」いると言及した場合には、中間に他の構成要素が存在しないことと理解すべきである。構成要素の間の関係を説明する他の表現、即ち「～間に」と「すぐに～間に」、又は「～に隣接する」と「～に直接隣接する」等も同じように解釈すべきである。

【0031】

本明細書で使用する用語は単に特定の実施形態を説明するために使用するものであり、本発明を限定しようとする意図ではない。単数の表現は文脈上明白に異なるように意味しない限り、複数の表現を含む。本明細書で、「含む」又は「有する」等の用語は明細書上に記載した特徴、数字、段階、動作、構成要素、部品、又はこれらを組み合わせたものが存在することを指定しようとするものであって、1つ又はそれ以上の他の特徴や数字、段階、動作、構成要素、部品、又はこれらを組み合わせたものなどの存在、又は付加の可能性を、予め排除しないことと理解すべきである。

20

【0032】

また、特に定義しない限り、技術的或いは科学的用語を含み、ここで使用する全ての用語は、本発明が属する技術分野で通常知識を有する者であれば、一般的に理解されることと同一な意味を有する。一般的に使用される辞書において定義する用語と同じ用語は関連技術の文脈上に有する意味と一致する意味を有することと理解すべきであり、本明細書において明白に定義しない限り、理想的或いは形式的な意味として解釈してはならない。

30

【0033】

以下、図面を参照しながらより詳細に説明する。図面上の同じ構成要素に対しては同じ参照符号を使用し、同じ構成要素に対して重複する説明は省略する。

【0034】

図1は本発明の一実施形態に係るBTO(BOT; built-off test)装置の構成を示すブロック図である。図1には説明の便宜のために複数のテスト対象デバイス(device under test; DUT, 31~34)が共に示されている。

40

【0035】

図1を参照すると、BTO装置10は信号処理ブロック100、出力選択ブロック200及び信号制御ブロック20を含む。

【0036】

信号制御ブロック20はリレー21を含み構成され、リレー21は第1スイッチング制御信号SCS1の論理レベルによって信号処理ブロック100に接続されるか、または出力選択ブロック200に接続される。例えば、第1スイッチング制御信号SCS1が第1レベル(ハイレベル)の場合にはリレー21は信号処理ブロック100に接続されて、外部のテスター(EXTERNAL TRUSTER)から提供されるテスト信号TSを信号処理ブロック100に提供することができる。また、第1スイッチング制御信号SCS1が第2レベル(ローレベル)の場合にはリレー21は出力選択ブロック200に接続され

50

て最終判定信号 F D S を外部に提供することができる。第 1 スイッチング制御信号 S C S 1 の論理レベルは、第 1 レベルと第 2 レベルが相互に変わる場合にも同じ説明がリレー 2 1 に適用されることができる。

【 0 0 3 7 】

信号処理ブロック 1 0 0 はテスト信号 T S を受信し、受信されたテスト信号 T S を複製して複製された複数のテスト信号 D T S をそれぞれのチャンネル C H 1 ~ C H 4 を通じて複数のテスト対象デバイス 3 1 ~ 3 4 それぞれに提供する。また、信号処理ブロック 1 0 0 は複数のテスト対象デバイス 3 1 ~ 3 4 から提供されるテスト結果信号 T R S 1 ~ T R S 4 を受信し、受信されたテスト結果信号 T R S 1 ~ T R S 4 に基づいて複数の判定信号 D S 1 ~ D S 4 を出力選択ブロック 2 0 0 に提供する。信号処理ブロック 1 0 0 の詳細な構成と動作に対しては図 2 を参照して後述する。

10

【 0 0 3 8 】

出力選択ブロック 2 0 0 は出力モード選択信号 O M S S のレベルによって複数の判定信号 D S 1 ~ D S 4 を併合して最終判定信号 F D S として提供するか、または複数の判定信号 D S 1 ~ D S 4 を順次に最終判定信号 F D S として提供する。出力選択ブロック 2 0 0 の詳細な構成と動作に対しては図 4 を参照して後述する。

【 0 0 3 9 】

図 2 は本発明の一実施形態に係る図 1 の信号処理ブロックを示すブロック図である。図 2 においても説明の便宜のために複数のテスト対象デバイス 3 1 ~ 3 4 を共に示す。

【 0 0 4 0 】

図 2 を参照すると、信号処理ブロック 1 0 0 は複数の信号処理部 1 1 0 ~ 1 4 0 を含む。信号処理部 1 1 0 ~ 1 4 0 はそれぞれのチャンネル C H 1 ~ C H 4 を通じてテスト対象デバイス 3 1 ~ 3 4 に接続される。また、図 2 では信号処理部 1 1 0 の構成だけ詳細に示し、信号処理部 1 2 0、1 3 0、1 4 0 の構成は省略した。また、図 2 では信号処理ブロック 1 0 0 が四つの信号処理部 1 1 0 ~ 1 4 0 を含むこととして示したが、信号処理部の数は制限がない。即ち、分岐個数に制約なくテスト信号 T S 1 を拡張することが可能である。

20

【 0 0 4 1 】

信号処理部 1 1 0 はバッファ 1 1 1、リレー 1 1 2、比較回路 1 1 3 及びレジスタ 1 1 4 を含む。

30

【 0 0 4 2 】

バッファ 1 1 1 はテスト信号 T S をバッファリング（または、複製）して複製されたテスト信号 D T S を提供する。バッファ 1 1 1 は第 1 電源電圧 V I H と第 2 電源電圧 V I L を印加されて動作し、第 1 電源電圧 V I H は第 2 電源電圧 V I L よりレベルが高い。第 1 電源電圧 V I H と第 2 電源電圧 V I L の電圧レベルは外部で設定可能であるため、複製されたテスト信号 D T S の電圧レベルを第 1 電源電圧 V I H と第 2 電源電圧 V I L で調節することができる。即ち、テスト信号 T S の電圧レベルが適合でない場合、第 1 電源電圧 V I H と第 2 電源電圧 V I L を調節して複製されたテスト信号 D T S の電圧レベルを程よく調節することができる。リレー 1 1 2 は第 2 スイッチング制御信号 S C S 2 が第 1 レベル（例えばハイレベル）の場合、複製されたテスト信号 D T S をテスト対象デバイス 3 1 に提供する。

40

【 0 0 4 3 】

比較回路 1 1 3 はタップ T A P 1 でチャンネル C H 1 を通じてテスト対象デバイス 3 1 に接続される。比較回路 1 1 3 は第 2 スイッチング制御信号 S C S 2 が第 2 レベル（例えばローレベル）の場合、テスト対象デバイス 3 1 から提供されるテスト結果信号 T R S 1 を基準レベル R E F と比較し、その比較結果を示す判定信号 D S 1 をレジスタ 1 1 4 に提供する。比較回路 1 1 3 は第 3 電源電圧 V O H と第 4 電源電圧 V O L を印加されて動作し、第 3 電源電圧 V O H は第 4 電源電圧 V O L よりレベルが高い。第 3 電源電圧 V O H と第 4 電源電圧 V O L のレベルは外部で設定可能であるため、判定信号 D S 1 の電圧レベルを第 3 電源電圧 V O H と第 4 電源電圧 V O L で調節することができる。即ち、判定信号 D S

50

1の電圧レベルが適合でない場合、電源電圧V_{OH}と第4電源電圧V_{OL}で調節して判定信号D_S1の電圧レベルを程よく調節することができる。

【0044】

レジスタ114は判定信号D_S1を保存し、レジスタ制御信号R_{CS}の制御にしたがって保存された判定信号D_S1を出力選択ブロック200に提供する。

【0045】

図2では信号処理部110の構成と動作に対し説明したが、残りの信号処理部120～140の構成と動作も信号処理部100の構成と動作と殆ど同じなので、これについての詳細な説明は省略する。信号処理部120はテスト結果信号T_{RS}2を受信して信号処理部110と殆ど同じ動作を遂行して判定信号D_S2を出力選択ブロック200に提供する。信号処理部130はテスト結果信号T_{RS}3を受信して信号処理部110と殆ど同じ動作を遂行して判定信号D_S3を出力選択ブロック200に提供する。信号処理部140はテスト結果信号T_{RS}4を受信して信号処理部110と殆ど同じ動作を遂行して判定信号D_S4を出力選択ブロック200に提供する。即ち、信号処理ブロック100の信号処理部(110, 120, 130, 140)では複数のテスト対象デバイス31～34から提供されるテスト結果信号T_{RS}1～T_{RS}4に対するパス/フェイル判定を同時に遂行することになる。

10

【0046】

図3及び図4は本発明の一実施形態に係る図2の比較回路の構成を示す。

【0047】

図3は比較回路113aが排他的ORゲート115で構成される場合を示す。図3のように比較回路113aが排他的ORゲート115で構成される場合には、テスト結果信号T_{RS}1と基準レベルREFが相互に同じ場合にはローレベルの判定信号D_S1が出力されて、テスト結果信号T_{RS}1と基準レベルREFが相異なる場合にはハイレベルの判定信号D_S1が出力される。従って、判定信号D_S1がハイレベルであれば、テストフェイルを示し、判定信号D_S1がローレベルであれば、テストパスを示すということがわかる。ここで基準レベルREFはテスト信号TSと同じレベルを有するように外部で設定可能である。

20

【0048】

図4は比較回路113bが排他的NORゲート116で構成される場合である。図4のように比較回路113bが排他的NORゲート116で構成される場合には、テスト結果信号T_{RS}1と基準レベルREFが相互に同じ場合には、ハイレベルの判定信号D_S1が出力され、テスト結果信号T_{RS}1と基準レベルREFが相異なる場合には、ローレベルの判定信号D_S1が出力される。即ち、判定信号D_S1がローレベルであれば、テストフェイルを示し、判定信号D_S1がハイレベルであれば、テストパスを示すということがわかる。ここで、基準レベルREFはテスト信号TSと同じレベルを有するように外部で設定可能である。

30

【0049】

図5と図6はそれぞれ図3と図4の場合にテスト結果信号と基準レベルの組合せによる判定信号を示す表である。

40

【0050】

図5及び図6を参照すると、テストフェイルを示す判定信号D_Sのレベルが図3と図4の場合と相異なるということがわかる。

【0051】

図7は図1の出力選択ブロック200の構成を示す回路図である。

【0052】

図7を参照すると、出力選択ブロック200は併合回路210、マルチプレクサ220、カウンタ230及びリレー240を含み構成されることができる。

【0053】

併合回路210は判定信号D_S1～D_S4を併合して併合された最終判定信号F_{DSM}

50

を提供する。マルチプレクサ220はカウンタ230から提供される選択信号SSに
 応答して判定信号DS1～DS4を一つずつ選択して逐次最終判定信号FDSSとして出力
 する。選択信号SSは順次に増加したり減少することができる。即ち、選択信号SSが順
 次に増加する場合には、判定信号DS1～DS4のうち選択された判定信号から増加する
 順に出力されることができ、選択信号SSが順次に減少する場合には判定信号DS1～D
 S4のうち選択された判定信号から減少する順に出力されることができ、例えば判定信
 号DS1～DS4のうち判定信号DS1が選択され、選択信号SSが順次に増加する場
 合には、DS1、DS2、DS3、DS4の順に出力されることができ、例えば、判定信
 号DS1～DS4のうち判定信号DS1が選択され、選択信号SSが順次に減少する場
 合には、DS1、DS4、DS3、DS2の順に出力されることができ。

10

【0054】

リレー240は出力モード選択信号OMSSの論理レベルによって併合回路210の出
 力に接続されるか、またはマルチプレクサ220の出力に接続される。例えば、出力モ
 ード選択信号OMSSが第1レベル(ハイレベル)の場合には、リレー240は併合回路2
 10の出力に接続されて併合された最終判定信号FDSMが最終判定信号FDSとして提
 供される。例えば、出力モード選択信号OMSSが第2レベル(ローレベル)の場合には
 、リレー240は、マルチプレクサ220の出力に接続されて逐次最終判定信号FDSS
 が最終判定信号FDSとして提供される。ここで、出力モード選択信号OMSSのレベル
 は例示的であり、出力モード選択信号OMSSの第1レベルと第2レベルが相互に変わ
 っても同じ説明がリレー240に適用されることができ。

20

【0055】

他の実施形態では出力モード選択信号OMSSは併合回路210、マルチプレクサ22
 0及びカウンタ230にも印加されることができ、この場合に出力モード選択信号OM
 SSが第1レベルの場合、併合回路210は活性化してマルチプレクサ220及びカウ
 ンタ230は非活性化されることができ、従って、出力モード選択信号OMSSが第1レ
 ベルの場合には併合された最終判定信号FDSMが最終判定信号FDSとして提供される
 。また、出力モード選択信号OMSSが第2レベルの場合、併合回路210は非活性化さ
 れてマルチプレクサ220及びカウンタ230は活性化することができ、従って、出力
 モード選択信号OMSSが第2レベルの場合には逐次最終判定信号FDSSが最終判定信
 号FDSとして提供される。即ち、出力モード選択信号OMSSは併合回路210、マル
 チプレクサ220及びカウンタ230にも印加される場合には、リレー240を具備しな
 くても、出力モード選択信号OMSSに伴い併合された最終判定信号FDSMまたは、逐
 次最終判定信号FDSSを図1のリレー21に提供することができる。

30

【0056】

併合回路210は色々な論理ゲートで構成されることができ。

【0057】

図8及び図9は本発明の一実施形態に係る図7の併合回路210の構成を示す。

【0058】

図8を参照すると、併合回路210はORゲート211で構成される。図8のORゲー
 ト211は図3の排他的ORゲート115と共に図1のBOT装置10に含まれることが
 できる。この場合に、判定信号DS1～DS2のうち一つでもテストフェイル(ハイレ
 ベル)を示すと、併合された最終判定信号FDSMはハイレベルになりテストフェイルを示
 す。

40

【0059】

図9を参照すると、併合回路210はANDゲート212で構成されることができ。
 図9のANDゲート212は図4の排他的NORゲート116と共に図1のBOT装置1
 0に含まれることができる。この場合に判定信号DS1～DS2のうち一つでもテストフ
 ェイル(ローレベル)を示すと、併合された最終判定信号FDSMはローレベルになりテ
 ストフェイルを示す。

【0060】

50

図 10 ~ 図 13 は本発明の一実施形態に係る B T O 装置の動作を示すタイミング図である。

【 0 0 6 1 】

図 1 ~ 13 を参照して、B T O 装置 10 の動作を詳細に説明する。

【 0 0 6 2 】

図 10 ~ 図 13 でテスト信号 T S は便宜のために単一パルス信号で示されているが、テスト信号 T S はパルス熱信号を含む色々なテストパターン信号が可能である。また、図 10 及び図 11 では、比較回路 113 が図 3 の排他的 O R ゲート 115 で構成され、併合回路 210 が図 8 の O R ゲート 211 で構成された場合を説明する。

【 0 0 6 3 】

図 10 を参照すると、時間 T 1 で第 1 スイッチング制御信号 S C S 1 と第 2 スイッチング制御信号 S C S 2 がハイレベルになり、リレー 21 は信号処理ブロック 100 に接続されて、リレー 112 はテスト対象デバイス 31 に接続される。

【 0 0 6 4 】

時間 T 2 でテスト信号 T S 1 がバッファ 111 に印加されて複製され、時間 T 3 に複製されたテスト信号 D T S 1 がテスト対象デバイス 31 に印加される。ここで、第 1 スイッチング制御信号 S C S 1 はテスト信号 T S 1 がバッファ 111 に印加されるのに十分な時間ほどハイレベルを維持し、第 2 スイッチング制御信号 S C S 2 は複製されたテスト信号 D T S 1 がテスト対象デバイス 31 に印加されるのに十分な時間ほどハイレベルを維持する。

【 0 0 6 5 】

時間 T 4 でテスト結果信号 T R S 1 ~ T R S 4 がそれぞれ信号処理ブロック 110 ~ 140 に印加される。ここで、テスト結果信号 T R S 1 ~ T R S 4 は全部ハイレベルを示す。時間 T 5 に出力モード選択信号 O M S S 1 がハイレベルになり、リレー 240 は併合回路 240 の出力に接続される。時間 T 6 に判定信号 D S 1 ~ D S 4 が出力選択ブロック 200 に印加される。ここで、判定信号 D S 1 ~ D S 2 はテストパスを示すローレベルである。即ち、時間 T 7 に判定信号 D S 1 ~ D S 4 が併合されて、ローレベルの併合された最終判定信号 F D S 1 が最終判定信号 F D S としてリレー 240 から提供される。この際、時間 T 5 に出力モード選択信号 O M S S 1 がローレベルの場合、リレー 240 がマルチプレクサ 220 の出力に接続される。即ち、時間 T 7 に判定信号 D S 1 ~ D S 4 は順次に出力されて逐次最終判定信号 F D S 2 が最終判定信号 F D S としてリレー 240 から提供される。

【 0 0 6 6 】

図 11 を参照すると、時間 T 4 にテスト結果信号 T R S 2 がテストフェイルを示すローレベルで、判定信号 D S 2 がテストフェイルを示すハイレベルの場合である。即ち、時間 T 7 にテストフェイルを示すハイレベルの併合された最終判定信号 F D S 1 が最終判定信号 F D S としてリレー 240 から提供される。この際、時間 T 5 に出力モード選択信号 O M S S 1 がローレベルの場合、リレー 240 がマルチプレクサ 220 の出力に接続される。従って、時間 T 7 に判定信号 D S 1 ~ D S 4 は順次に出力されて逐次最終判定信号 F D S 2 が最終判定信号 F D S としてリレー 240 から提供される。

【 0 0 6 7 】

図 12 及び図 13 では比較回路 113 が図 4 の排他的 N O R ゲート 116 で構成され、併合回路 210 が図 9 の A N D ゲート 212 で構成された場合を説明する。

【 0 0 6 8 】

図 12 を参照すると、時間 T 3 でテスト結果信号 T R S 1 ~ T R S 4 は全部ハイレベルを示す。時間 T 5 に出力モード選択信号 O M S S 1 がハイレベルになり、リレー 240 は併合回路 240 の出力に接続される。ここで、判定信号 D S 1 ~ D S 2 はテストパスを示すハイレベルである。即ち、時間 T 7 に判定信号 D S 1 ~ D S 4 が併合されてハイレベルの併合された最終判定信号 F D S 1 が最終判定信号 F D S としてリレー 240 から提供される。

10

20

30

40

50

【 0 0 6 9 】

図 1 3 を参照すると、時間 T 4 にテスト結果信号 T R S 2 がテストフェイルを示すローレベルで、判定信号 D S 2 がテストフェイルを示すローレベルの場合である。即ち、時間 T 7 にテストフェイルを示すローレベルの併合された最終判定信号 F D S 1 が最終判定信号 F D S としてリレー 2 4 0 から提供される。この際、時間 T 5 に出力モード選択信号 O M S S 1 がローレベルの場合、リレー 2 4 0 がマルチプレクサ 2 2 0 の出力に接続される。即ち、時間 T 7 に判定信号 D S 1 ~ D S 4 は順次に出力されて逐次最終判定信号 F D S 2 が最終判定信号 F D S としてリレー 2 4 0 から提供される。

【 0 0 7 0 】

図 1 4 は本発明の一実施形態に係るテストシステムを示すブロック図である。

10

【 0 0 7 1 】

図 1 4 を参照すると、テストシステム 3 0 0 はテスト装置 4 0 0、B T O モジュール 4 5 0、及び複数のテスト対象デバイス 4 6 1 ~ 4 6 4 が搭載されたテストボード 4 6 0 を含み構成されることができる。ここで、テスト対象デバイス 4 6 1 ~ 4 6 4 はメモリデバイスであってもよいが、これに限定されない。

【 0 0 7 2 】

ここでテスト装置 4 0 0 は A T E (a u t o m a t i c t e s t e q u i p m e n t) であってもよい。テスト装置 4 0 0 は B T O モジュール 4 5 0 に複数のテスト信号 T S 1 ~ T S 4 を提供し、かつ複数のテスト信号 T S 1 ~ T S 4 それぞれは複数のテストパラメータそれぞれと関連する。ここで、テスト信号 T S 1 はデータ D Q と関連したテスト信号 20 であってもよく、テスト信号 T S 2 はデータストロポ信号 D Q s と関連したテスト信号であってもよく、テスト信号 T S 3 はコマンド / アドレスと関連したテスト信号であってもよく、テスト信号 T S 4 はクロック信号 C K と関連したテスト信号であってもよい。テスト装置 4 0 0 の詳細な構成と動作については図 1 5 を参照して後述する。

20

【 0 0 7 3 】

B T O モジュール 4 5 0 は、複数のテスト信号 T S 1 ~ T S 4 それぞれを複製して複製されたテスト信号 D T S 1 ~ D T S 4 を、チャンネル C H 1 ~ C H 4 を通じてそれぞれ複数のテスト対象デバイス 4 6 1 ~ 4 6 4 それぞれに提供する。B T O モジュール 4 5 0 は、複数のテスト対象デバイス 4 6 1 ~ 4 6 4 から提供される複数のテスト結果信号 (T R S 1 1 ~ T R S 1 4、T R S 2 1 ~ T R S 2 4、T R S 3 1 ~ T R S 3 4、T R S 4 1 ~ T R S 4 4) をチャンネル C H 1 ~ C H 4 を通じて受信し、複数のテスト結果信号 (T R S 1 1 ~ T R S 1 4、T R S 2 1 ~ T R S 2 4、T R S 3 1 ~ T R S 3 4、T R S 4 1 ~ T R S 4 4) に基づいた複数の最終判定信号 F D S 1 ~ F D S 4 をテスト装置 4 0 0 に提供 30 する。また、B T O モジュール 4 5 0 は複数の B T O ユニット (5 0 0、6 0 0、7 0 0、8 0 0) を含み構成される。B T O モジュール 4 5 0 及び複数の B T O ユニット (5 0 0、6 0 0、7 0 0、8 0 0) の詳細な構成と動作については図 1 6 を参照して後述する。

30

【 0 0 7 4 】

図 1 5 は本発明の一実施形態に係る図 1 4 のテスト装置の構成を示す。

【 0 0 7 5 】

図 1 5 を参照すれば、テスト装置 4 0 0 は複数の信号発生回路 (4 1 0、4 2 0、4 3 0、4 4 0) を含む。

40

【 0 0 7 6 】

信号発生回路 4 1 0 はテストパターン生成器 4 1 1、バッファ 4 1 2、リレー 4 1 3 及び比較回路 4 1 4 を含み構成される。テストパターン生成器 4 1 1 はテストパターン信号 T P S 1 を生成する。ここで、テストパターン信号 T P S 1 はデータ D Q と関連した信号 50 であってもよい。バッファ 4 1 2 はテストパターン信号 T P S 1 をバッファリングしてテスト信号 T S 1 を提供する。リレー 4 1 3 は第 1 スイッチング制御信号 S C S 1 が第 1 レベル (ハイレベル) の場合にテスト信号 T S 1 を B T O モジュール 4 5 0 に提供する。比較回路 4 1 4 は第 1 スイッチング制御信号 S C S 1 が第 2 レベル (ローレベル) の場合に

50

最終判定信号 F D S 1 を基準レベル R E F T 1 と比較して最終結果信号 F R S 1 を提供する。ここで最終判定信号 F D S 1 もデータ D Q と関連した信号であってもよい。

【 0 0 7 7 】

信号発生回路 4 2 0 はテストパターン生成器 4 2 1、バッファ 4 2 2、第 1 リレー 4 2 3 及び比較回路 4 2 4 を含み構成される。テストパターン生成器 4 2 1 はテストパターン信号 T P S 2 を生成する。ここで、テストパターン信号 T P S 3 はデータストロポ D Q s と関連した信号であってもよい。バッファ 4 2 2 はテストパターン信号 T P S 3 をバッファリングテスト信号 T S 2 として提供する。リレー 4 2 3 は第 1 スイッチング制御信号 S C S 1 が第 1 レベル（ハイレベル）の場合にテスト信号 T S 2 を B T O モジュール 4 5 0 に提供する。比較回路 4 2 4 は第 1 スイッチング制御信号 S C S 1 が第 2 レベル（ローレベル）の場合に最終判定信号 F D S 2 を基準レベル R E F T 2 と比較して最終結果信号 F R S 2 を提供する。ここで、最終判定信号 F D S 2 もデータストロポ D Q s と関連した信号であってもよい。

10

【 0 0 7 8 】

信号発生回路 4 3 0 はテストパターン生成器 4 3 1、バッファ 4 3 2、第 1 リレー 4 3 3 及び比較回路 4 3 4 を含み構成される。テストパターン生成器 4 3 1 はテストパターン信号 T P S 3 を生成する。ここで、テストパターン信号 T P S 3 はコマンド / アドレスと関連した信号であってもよい。バッファ 4 3 2 は、テストパターン信号 T P S 3 をバッファリングテスト信号 T S 3 として提供する。リレー 4 3 3 は、第 1 スイッチング制御信号 S C S 1 が第 1 レベル（ハイレベル）の場合にテスト信号 T S 3 を B T O モジュール 4 5 0 に提供する。比較回路 4 3 4 は、第 1 スイッチング制御信号 S C S 1 が第 2 レベル（ローレベル）の場合に最終判定信号 F D S 3 を基準レベル R E F T 3 と比較して最終結果信号 F R S 3 を提供する。ここで、最終判定信号 F D S 3 もコマンド / アドレスと関連した信号であってもよい。

20

【 0 0 7 9 】

信号発生回路 4 4 0 はテストパターン生成器 4 4 1、バッファ 4 4 2、第 1 リレー 4 4 3 及び比較回路 4 4 4 を含み構成される。テストパターン生成器 4 4 1 はテストパターン信号 T P S 4 を生成する。ここで、テストパターン信号 T P S 4 はクロック信号 C K と関連した信号であってもよい。バッファ 4 4 2 はテストパターン信号 T P S 4 をバッファリングテスト信号 T S 4 として提供する。リレー 4 4 3 は、第 1 スイッチング制御信号 S C S 1 が第 1 レベル（ハイレベル）の場合にテスト信号 T S 4 を B T O モジュール 4 5 0 に提供する。比較回路 4 4 4 は、第 1 スイッチング制御信号 S C S 1 が第 2 レベル（ローレベル）の場合に最終判定信号 F D S 4 を基準レベル R E F T 4 と比較して最終結果信号 F R S 4 を提供する。ここで、最終判定信号 F D S 4 もクロック信号 C K と関連した信号であってもよい。

30

【 0 0 8 0 】

図 1 6 は図 1 4 の B T O モジュール 4 5 0 の構成を示す。

【 0 0 8 1 】

図 1 6 を参照すれば、B T O モジュール 4 5 0 は複数の B T O ユニット（5 0 0、6 0 0、7 0 0、8 0 0）を含む。

40

【 0 0 8 2 】

B T O ユニット 5 0 0 は第 2 リレー 5 1 1 を含む信号制御ブロック 5 1 0、信号処理ブロック 5 2 0 及び出力選択ブロック 5 3 0 を含むことができる。信号処理ブロック 5 2 0 はテスト信号 T S 1 を複製して複製された複数のテスト信号 D T S 1 それぞれをテスト対象デバイス 4 6 1 ~ 4 6 4 それぞれに提供する。また、信号処理ブロック 5 2 0 はテスト対象デバイス 4 6 1 から提供されるテスト結果信号 T R S 1 1、T R S 1 2、T R S 1 3、T R S 1 4 を受信し、受信されたテスト結果信号 T R S 1 1、T R S 1 2、T R S 1 3、T R S 1 4 に基づいた複数の判定信号 D S 1 1、D S 1 2、D S 1 3、D S 1 4 を提供する。出力選択ブロック 5 3 0 は複数の判定信号（D S 1 1 ~ D S 1 4、D S 2 1 ~ D S 2 4、D S 3 1 ~ D S 3 4、D S 4 1 ~ D S 4 4）のうち一つのテストパラメータ（例え

50

ばデータDQ)と関連した判定信号(DS11、DS21、DS31、DS41)を併合するか、または順次に最終判定信号FDS1として提供する。信号制御ブロック510は、第2スイッチング制御信号SCS2に応答してテスト信号TS1を信号処理ブロック520に提供するか、または最終判定信号FDS1を図15の比較回路414に提供する。第2スイッチング制御信号SCS2が第1レベル(ハイレベル)の場合はテスト信号TS1が信号処理ブロック520に提供され、第2スイッチング制御信号SCS2が第2レベル(ローレベル)の場合は最終判定信号FDS1が図15の比較回路414に提供される。

【0083】

BTOユニット600は第2リレー611を含む信号制御ブロック610、信号処理ブロック620及び出力選択ブロック630を含むことができる。信号処理ブロック620はテスト信号TS2を複製して複製された複数のテスト信号DTS2それぞれをテスト対象デバイス461~464それぞれに提供する。また、信号処理ブロック620はテスト対象デバイス462から提供されるテスト結果信号(TRS21、TRS22、TRS23、TRS24)を受信し、受信されたテスト結果信号(TRS21、TRS22、TRS23、TRS24)に基づいた複数の判定信号DS21、DS22、DS23、DS24を提供する。出力選択ブロック630は、複数の判定信号(DS11~DS14、DS21~DS24、DS31~DS34、DS41~DS44)のうち一つのテストパラメータ(例えばデータストロポDQs)と関連した判定信号(DS12、DS22、DS32、DS42)を併合するか、または順次に最終判定信号FDS2として提供する。信号制御ブロック610は、第2スイッチング制御信号SCS2に応答してテスト信号TS2を信号処理ブロック620に提供するか、または最終判定信号FDS2を図15の比較回路424に提供する。第2スイッチング制御信号SCS2が第1レベル(ハイレベル)の場合はテスト信号TS2が信号処理ブロック620に提供され、第2スイッチング制御信号SCS2が第2レベル(ローレベル)の場合は最終判定信号FDS2が図15の比較回路424に提供される。

【0084】

BTOユニット700は第2リレー711を含む信号制御ブロック71、信号処理ブロック720及び出力選択ブロック730を含むことができる。信号処理ブロック720はテスト信号TS3を複製して複製された複数のテスト信号DTS3それぞれをテスト対象デバイス461~464それぞれに提供する。また、信号処理ブロック720はテスト対象デバイス463から提供されるテスト結果信号TRS31、TRS32、TRS33、TRS34を受信し、受信されたテスト結果信号(TRS31、TRS32、TRS33、TRS34)に基づいた複数の判定信号(DS31、DS32、DS33、DS34)を提供する。出力選択ブロック730は複数の判定信号(DS11~DS14、DS21~DS24、DS31~DS34、DS41~DS44)のうち一つのテストパラメータ(例えばコマンド/アドレス)と関連した判定信号(DS13、DS23、DS33、DS43)を併合するか、または順次に最終判定信号FDS3として提供する。信号制御ブロック710は、第2スイッチング制御信号SCS2に応答してテスト信号TS3を信号処理ブロック720に提供するか、または最終判定信号FDS3を図15の比較回路434に提供する。第2スイッチング制御信号SCS2が第1レベル(ハイレベル)の場合は、テスト信号TS3が信号処理ブロック720に提供され、第2スイッチング制御信号SCS2が第2レベル(ローレベル)の場合は最終判定信号FDS3が図15の比較回路434に提供される。

【0085】

BTOユニット800は第2リレー811を含む信号制御ブロック810、信号処理ブロック820及び出力選択ブロック830を含むことができる。信号処理ブロック820はテスト信号TS4を複製して複製された複数のテスト信号DTS4それぞれをテスト対象デバイス461~464それぞれに提供する。また、信号処理ブロック820はテスト対象デバイス464から提供されるテスト結果信号TRS41、TRS42、TRS43

10

20

30

40

50

、 T R S 4 4 を受信し、受信されたテスト結果信号 T R S 4 1、 T R S 4 2、 T R S 4 3、 T R S 4 4 に基づいた複数の判定信号 D S 4 1、 D S 4 2、 D S 4 3、 D S 4 4 を提供する。出力選択ブロック 8 3 0 は複数の判定信号 (D S 1 1 ~ D S 1 4、 D S 2 1 ~ D S 2 4、 D S 3 1 ~ D S 3 4、 D S 4 1 ~ D S 4 4) のうち一つのテストパラメータ (例えばクロック信号 C K) と関連した判定信号 (D S 1 4、 D S 2 4、 D S 3 4、 D S 4 4) を併合するか、または順次に最終判定信号 F D S 4 として提供する。信号制御ブロック 8 1 0 は第 2 スイッチング制御信号 S C S 2 に応答してテスト信号 T S 4 を信号処理ブロック 8 2 0 に提供するか、または最終判定信号 F D S 4 を図 1 5 の比較回路 4 4 4 に提供する。第 2 スイッチング制御信号 S C S 2 が第 1 レベル (ハイレベル) の場合はテスト信号 T S 4 が信号処理ブロック 8 3 0 に提供され、第 2 スイッチング制御信号 S C S 2 が第 2 レベル (ローレベル) の場合は最終判定信号 F D S 4 が図 1 5 の比較回路 4 4 4 に提供される。

10

【 0 0 8 6 】

図 1 7 は図 1 5 の B T O ユニット 5 0 0 に含まれる信号処理ブロック 5 2 0 の構成を示す。

【 0 0 8 7 】

図 1 7 を参照すれば、信号処理ブロック 5 2 0 は複数の信号処理部 (5 5 0、 5 6 0、 5 7 0、 5 8 0) を含む。図 1 7 では信号処理部 5 5 0 の構成だけを詳細に示し、信号処理部 (5 6 0、 5 7 0、 5 8 0、 5 9 0) の構成は省略する。

20

【 0 0 8 8 】

信号処理部 5 5 0 はバッファ 5 5 1、リレー 5 5 2、比較回路 5 5 3 及びレジスタ 5 5 4 を含む。バッファ 5 5 1 はテスト信号 T S 1 をバッファリング (または、複製) して複製されたテスト信号 D T S 1 を提供する。

【 0 0 8 9 】

バッファ 5 5 1 は第 1 電源電圧 V I H と第 2 電源電圧 V I L を印加され動作し、第 1 電源電圧 V I H は第 2 電源電圧 V I L よりレベルが高い。第 1 電源電圧 V I H と第 2 電源電圧 V I L の電圧レベルは外部で設定可能であるため、複製されたテスト信号 D T S 1 の電圧レベルを第 1 電源電圧 V I H と第 2 電源電圧 V I L で調節することができる。即ち、テスト信号 T S 1 の電圧レベルが適合でない場合、第 1 電源電圧 V I H と第 2 電源電圧 V I L を調節して複製されたテスト信号 D T S 1 の電圧レベルを程よく調節することができる。リレー 5 5 2 は第 3 スイッチング制御信号 S C S 3 が第 1 レベル (例えばハイレベル) の場合、複製されたテスト信号 D T S 1 をテスト対象デバイス 4 6 1 に提供する。

30

【 0 0 9 0 】

比較回路 5 5 3 は第 3 スイッチング制御信号 S C S 3 が第 2 レベル (例えばローレベル) の場合、テスト結果信号 T R S 1 1 を基準レベル R E F 1 と比較し、その比較結果を示す判定信号 D S 1 1 をレジスタ 5 5 4 に提供する。比較回路 5 5 3 は第 3 電源電圧 V O H と第 4 電源電圧 V O L を印加され動作して、第 3 電源電圧 V O H は第 4 電源電圧 V O L よりレベルが高い。第 3 電源電圧 V O H と第 4 電源電圧 V O L のレベルは外部で設定可能であるため、判定信号 D S 1 1 の電圧レベルを第 3 電源電圧 V O H と第 4 電源電圧 V O L で調節することができる。即ち、判定信号 D S 1 1 の電圧レベルが適合でない場合、電源電圧 V O H と第 4 電源電圧 V O L で調節して判定信号 D S 1 1 の電圧レベルを程よく調節することができる。

40

【 0 0 9 1 】

レジスタ 5 5 4 は判定信号 D S 1 1 を保存していてレジスタ制御信号 R C S の制御にしたがって保存された判定信号 D S 1 1 を図 1 6 の出力選択ブロック 5 3 0 に提供する。

【 0 0 9 2 】

図 1 7 では信号処理部 5 5 0 の構成と動作について説明したが、残りの信号処理部 (5 6 0、 5 7 0、 5 8 0) の構成と動作も信号処理部 5 5 0 の構成と動作と殆ど同一なので、これについての詳細な説明は省略する。信号処理部 5 6 0 は、テスト対象デバイス 4 6 1 から提供されるテスト結果信号 T R S 1 2 を受信して、信号処理部 5 5 0 と殆ど同じ動

50

作を遂行して判定信号 D S 1 2 を出力選択ブロック 5 3 0 に提供する。ここで、テスト結果信号 T R S 1 2 は、信号処理ブロック 6 2 0 から提供された複製されたテスト信号 D T S 2 がテスト対象デバイス 4 6 1 に提供されてその結果を示す信号である。信号処理部 5 7 0 は、テスト対象デバイス 4 6 1 から提供されるテスト結果信号 T R S 1 3 を受信して、信号処理部 1 1 0 と殆ど同じ動作を遂行して判定信号 D S 1 3 を出力選択ブロック 5 3 0 に提供する。ここで、テスト結果信号 T R S 1 3 は、信号処理ブロック 7 2 0 から提供された複製されたテスト信号 D T S 3 がテスト対象デバイス 4 6 1 に提供されてその結果を示す信号である。信号処理部 5 8 0 は、テスト対象デバイス 4 6 1 から提供されるテスト結果信号 T R S 1 4 を受信して、信号処理部 5 5 0 と殆ど同じ動作を遂行して判定信号 D S 1 4 を出力選択ブロック 5 3 0 に提供する。ここで、テスト結果信号 T R S 1 4 は、
10 信号処理ブロック 8 2 0 から提供された複製されたテスト信号 D T S 3 がテスト対象デバイス 4 6 1 に提供されてその結果を示す信号である。

【 0 0 9 3 】

信号処理部 5 2 0 は一つのテストパラメータ（例えばデータ D Q ）に対するテスト信号 T S を複数個複製して、複製されたテスト信号 D T S 1 を相異なるテスト対象デバイス 4 6 1 ~ 4 6 4 に提供する。また、信号処理部 5 2 0 は一つのテスト対象デバイス 4 6 1 から相異なるテストパラメータに対するテスト結果信号 T R S 1 ~ T R S 4 を受信してテスト結果信号 T R S 1 ~ T R S 4 のパス/フェイル可否を判断して相異なるテストパラメータに対する判定信号 D S 1 1 ~ D S 1 4 を提供する。図 1 6 の選択ブロック（ 5 3 0 、 6 3 0 、 7 3 0 、 8 3 0 ）は、それぞれ同じテストパラメータに対する相異なるテスト対象
20 デバイスの判定信号を併合するか、または順次に最終判定信号として提供する。

【 0 0 9 4 】

図 1 4 の B T O モジュール 4 5 0 はテスト装置 4 0 0 とテストボード 4 6 0 の間でインターフェイスとして動作する。このような B T O モジュール 4 5 0 はテスト装置 4 0 0 に搭載されてもよく、また、テストボード 4 6 0 に搭載されてもよい。

【 産業上の利用可能性 】

【 0 0 9 5 】

本発明によると、限定されたテスト信号を複製して複製された複数のテスト信号をテスト対象デバイスに印加し、テスト対象デバイスからのテスト結果信号に対して同時にパス/フェイル判定することができ、かつ、最終テスト完了後に、最終判定信号だけをテスト
30 装置に伝送するので、テスト対象デバイスの数が増加してもテスト時間を減少させることができる。また、本発明による B T O 装置は既存のテスト装置と既存のテストボードの間でインターフェイスとして動作するので、高価なテスト装置をそのまま使うことができるため、テスト装置に対する費用を増加させず性能向上及び同時測定可能なテストデバイスの数を増加させることができる。即ち、メモリ装置のテスト分野に幅広く適用されることが
40 できる。

【 0 0 9 6 】

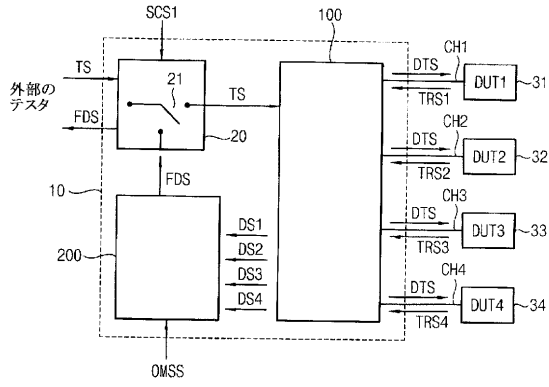
前記本発明の望ましい実施形態を参照して説明したが、該当技術分野で通常の知識を持った者であるなら、下記の特許請求範囲に記載された本発明の思想及び領域から外れない
40 範囲内で本発明を多様に修正及び変更させることができるのとことを理解することができる。

【 符号の説明 】

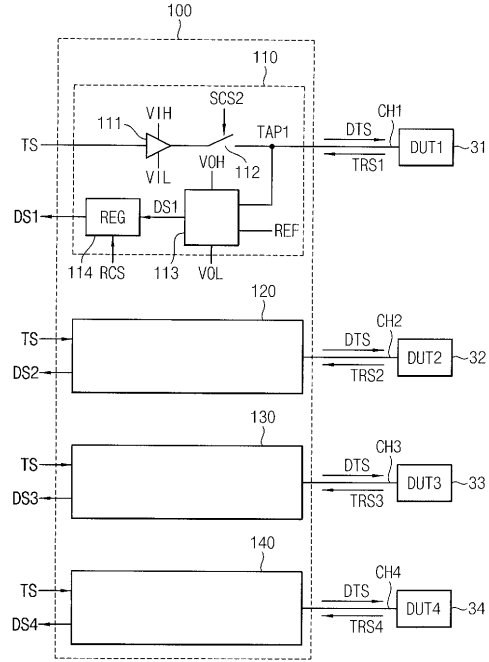
【 0 0 9 7 】

- 1 0 B T O (B O T ; b u i l t - o f f t e s t) 装置
- 2 0 信号制御ブロック
- 2 1 リレー
- 3 1 ~ 3 4 テスト対象デバイス (d e v i c e u n d e r t e s t ; D U T)
- 1 0 0 信号処理ブロック
- 2 0 0 出力選択ブロック

【 図 1 】

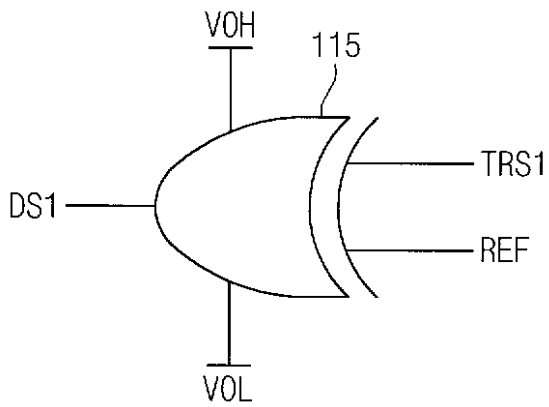


【 図 2 】



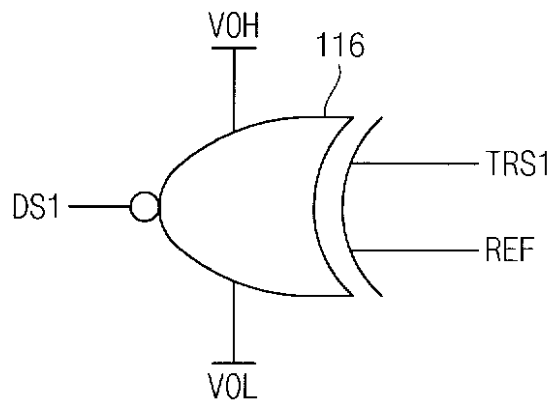
【 図 3 】

113a



【 図 4 】

113b



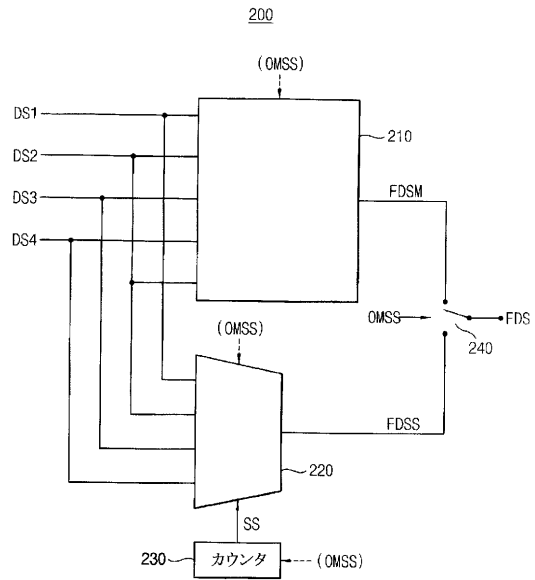
【 図 5 】

TS(REF)	TRS	DS
0	0	0(パス)
0	1	1(フェイル)
1	0	1(フェイル)
1	1	0(パス)

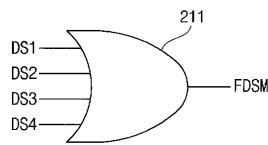
【 図 6 】

TS(REF)	TRS	DS
0	0	1(パス)
0	1	0(フェイル)
1	0	0(フェイル)
1	1	1(パス)

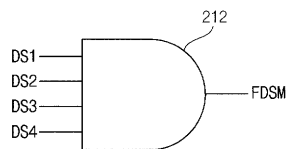
【 図 7 】



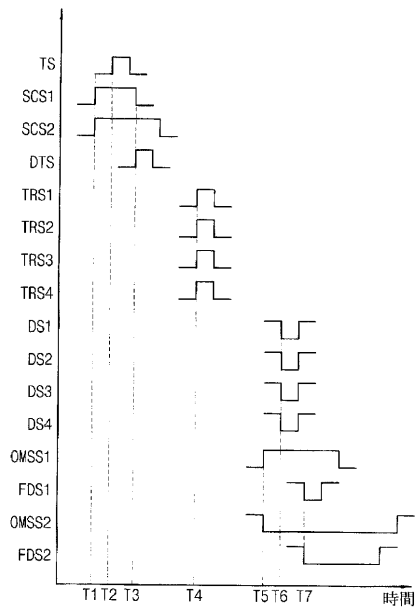
【 図 8 】



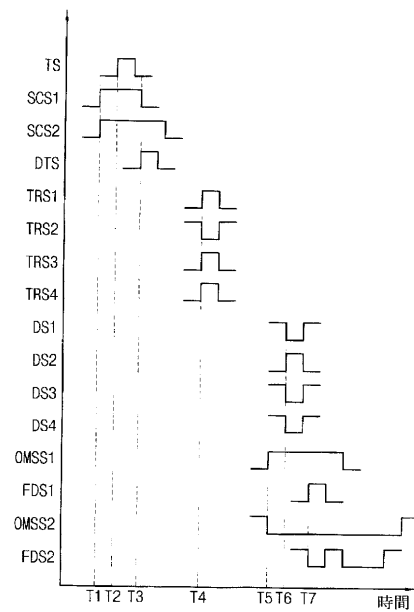
【 図 9 】



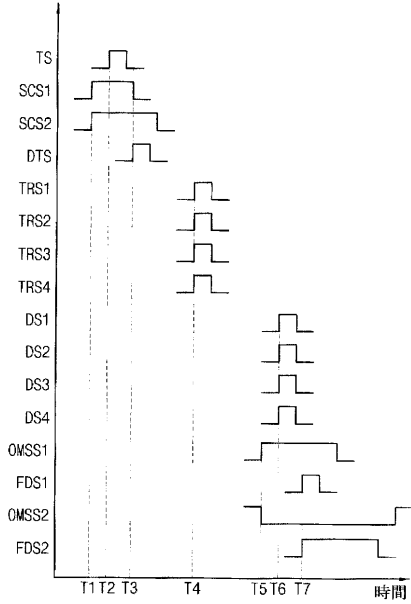
【 図 10 】



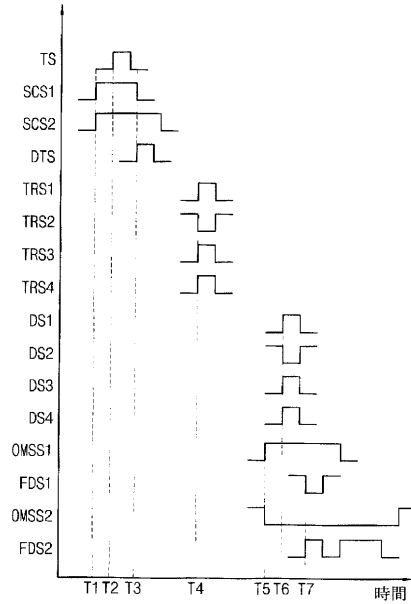
【 図 11 】



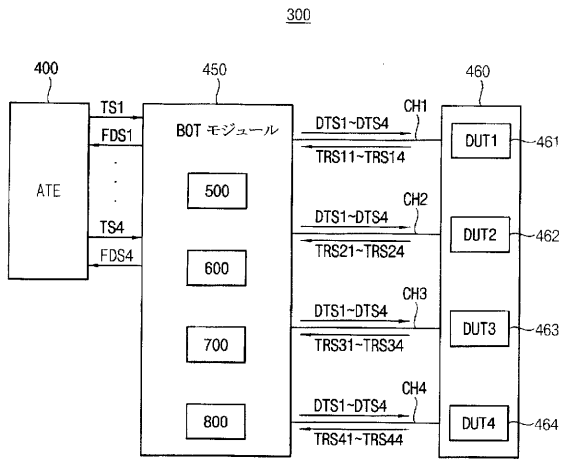
【図 1 2】



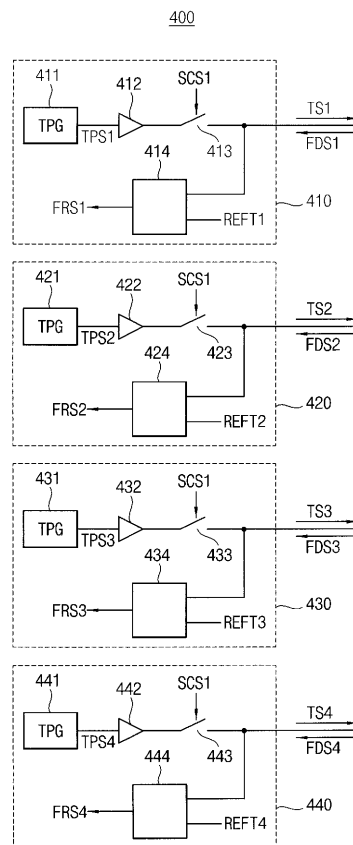
【図 1 3】



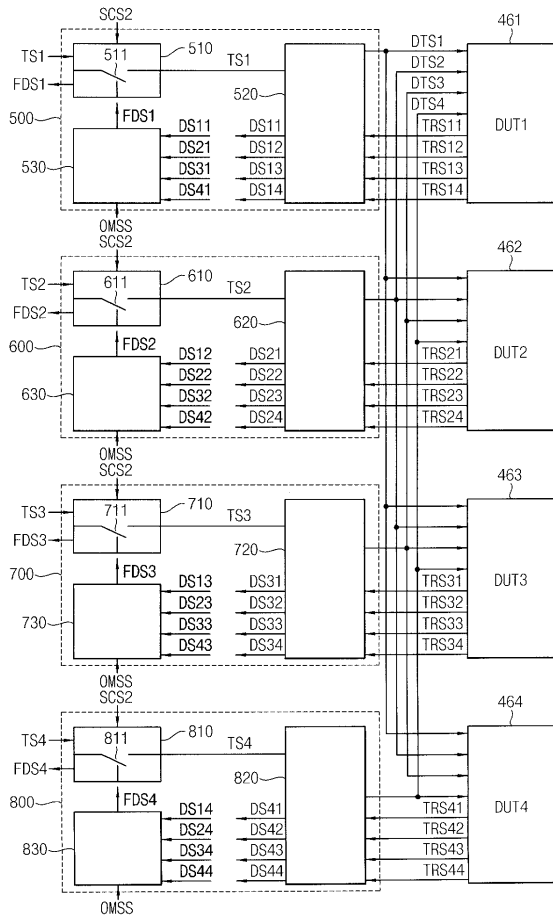
【図 1 4】



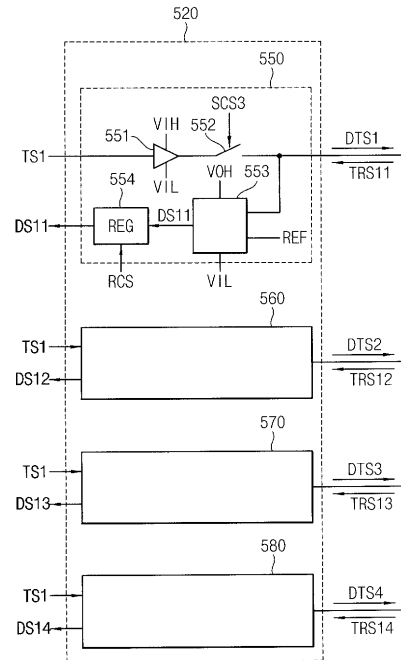
【図 1 5】



【図 16】



【図 17】



フロントページの続き

(72)発明者 権 赫

大韓民国忠清南道牙山市排芳面公須7里(番地なし) 牙山排芳プルジオアパート107棟1203号

(72)発明者 李 炯榮

大韓民国京畿道龍仁市器興区新葛洞165番地 ドヒョンマウル現代アパート203棟1402号

(72)発明者 韓 相度

大韓民国忠清南道天安市西北区斗井洞(番地なし) デウ1次アパート103棟1504号

Fターム(参考) 2G132 AA08 AB01 AC03 AD06 AE08 AE11 AE14 AF18 AL09 AL26