

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月13日(13.03.2014)



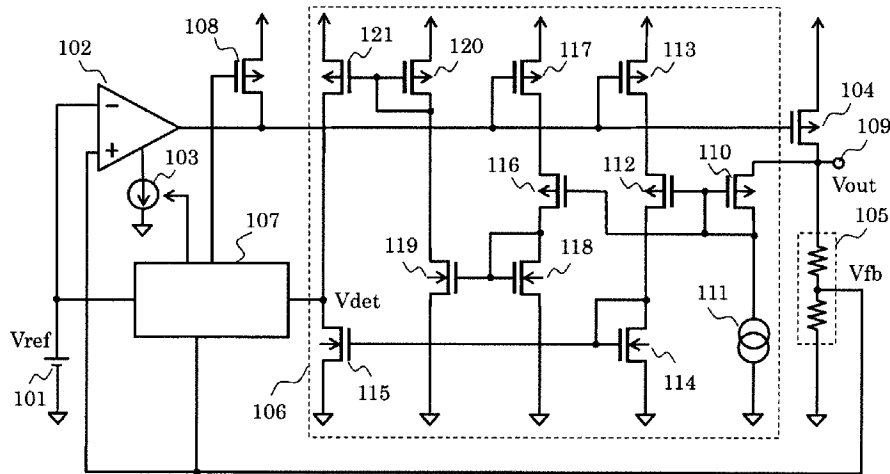
(10) 国際公開番号
WO 2014/038284 A1

- (51) 国際特許分類:
G05F 1/56 (2006.01)
- (21) 国際出願番号: PCT/JP2013/068815
- (22) 国際出願日: 2013年7月10日(10.07.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-197541 2012年9月7日(07.09.2012) JP
- (71) 出願人: セイコーインスツル株式会社(SEIKO INSTRUMENTS INC.) [JP/JP]; 〒2618507 千葉県千葉市美浜区中瀬1丁目8番地 Chiba (JP).
- (72) 発明者: 中下 貴雄(NAKASHIMO, Takao); 〒2618507 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内 Chiba (JP). 黒蔵忠(KUROZO, Tadashi); 〒2618507 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内 Chiba (JP).
- (74) 代理人: 久原 健太郎, 外(KUHARA, Kentaro et al.); 〒2618507 千葉県千葉市美浜区中瀬1丁目8
- 番地 セイコーインスツル株式会社内 Chiba (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: VOLTAGE REGULATOR

(54) 発明の名称: ボルテージレギュレータ



(57) Abstract: The purpose of the invention is to provide a voltage regulator consuming low current, but being capable of preventing excessive overshoot from occurring at an output terminal when the power supply voltage rises in a non-regulated state. The voltage regulator is configured as follows. The voltage regulator comprises: an overshoot limiting circuit for detecting the occurrence of an overshoot on the output voltage and limiting current flowing through an output transistor; a non-regulated state detection circuit for, based on the voltage at an output terminal and the current flowing through the output transistor, detecting the voltage regulator to be in a non-regulated state. The operation current of the overshoot limiting circuit is controlled by the detection signal of the non-regulated state detection circuit.

(57) 要約: 低消費電流でありながら、非レギュレート状態において電源電圧が高くなった時に出力端子に過大なオーバーシュートが発生することを抑制できるボルテージレギュレータを提供すること。出力電圧にオーバーシュートが発生したことを検出し、出力トランジスタの電流を制限するオーバーシュート制限回路と、出力端子の電圧と出力トランジスタに流れる電流に基づいて、ボルテージレギュレータが非レギュレート状態であることを検出する非レギュレート状態検出回路を備え、オーバーシュート制限回路は、非レギュレート状態検出回路の検出信号によって動作電流を制御される、構成とした。



WO 2014/038284 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：ボルテージレギュレータ

技術分野

[0001] 本発明は、ボルテージレギュレータのオーバーシュート抑制回路に関する。

背景技術

[0002] 従来のボルテージレギュレータについて説明する。図4は、従来のボルテージレギュレータを示す回路図である。

[0003] 従来のボルテージレギュレータは、基準電圧回路101と、誤差増幅回路102と、誤差増幅回路102のバイアス回路103と、出力トランジスタであるPMOSトランジスタ104と、分圧抵抗回路105と、アンプ301と、アンプ301のバイアス回路302と、PMOSトランジスタ108を備えている。

[0004] PMOSトランジスタ104は、電源端子と出力端子109の間に接続される。フィードバック電圧 V_{fb} を出力する分圧抵抗回路105は、出力端子109と接地端子の間に接続される。誤差増幅回路102は、反転入力端子に基準電圧回路101が接続され、非反転入力端子にフィードバック電圧 V_{fb} が入力され、出力端子はPMOSトランジスタ104のゲートに接続される。バイアス回路103は、誤差増幅回路102に動作電流を供給する。PMOSトランジスタ108は、電源端子とPMOSトランジスタ104のゲートの間に接続される。アンプ301は、非反転入力端子に基準電圧回路101が接続され、反転入力端子にフィードバック電圧 V_{fb} が入力され、出力端子はPMOSトランジスタ108のゲートに接続される。バイアス回路302は、アンプ301に動作電流を供給する。

[0005] アンプ301は、入力されたフィードバック電圧 V_{fb} と基準電圧 V_{ref} とを比較する。フィードバック電圧 V_{fb} が基準電圧 V_{ref} より低い場合、アンプ301はHi信号を出力してPMOSトランジスタ108をオフ

させる。出力端子109の出力電圧 V_{out} にオーバーシュートが発生し、フィードバック電圧 V_{fb} が基準電圧 V_{ref} よりも高くなると、アンプ301はL_o信号を出力してPMOSトランジスタ108をオンさせる。

[0006] 従来のボルテージレギュレータは、このように動作して、出力端子109の出力電圧 V_{out} のオーバーシュートが大きくなることを防ぐことができる（例えば、特許文献1参照）。

先行技術文献

特許文献

[0007] 特許文献1：特開2005-301439号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、従来のボルテージレギュレータは、電源電圧が低く、出力端子109が所定の出力電圧 V_{out} より低い電圧を出力している状態（以下、非レギュレート状態）において、電源電圧が高くなった時に出力端子109に過大なオーバーシュートが生じるという課題があった。また、過大なオーバーシュートを防止するためには、アンプ301のバイアス回路302が流す電流を多くする必要があるが、そのためボルテージレギュレータの消費電流が多くなるという課題があった。

[0009] 本発明は、上記課題に鑑みてなされ、低消費電流でありながら、非レギュレート状態において電源電圧が高くなった時に出力端子に過大なオーバーシュートが発生することを抑制できるボルテージレギュレータを提供する。

課題を解決するための手段

[0010] 従来の課題を解決するために、本発明のオーバーシュート抑制回路を備えたボルテージレギュレータは以下のような構成とした。

[0011] 出力電圧にオーバーシュートが発生したことを検出し、出力トランジスタの電流を制限するオーバーシュート制限回路と、出力端子の電圧と出力トランジスタに流れる電流に基づいて、ボルテージレギュレータが非レギュレー

ト状態であることを検出する非レギュレート状態検出回路を備え、オーバーシュート制限回路は、非レギュレート状態検出回路の検出信号によって動作電流を制御される、ことを特徴とするボルテージレギュレータ。

発明の効果

[0012] 本発明のオーバーシュート抑制回路を備えたボルテージレギュレータは、低消費電流で、非レギュレート状態で電源電圧が高くなった時に発生する出力電圧のオーバーシュートを抑制できる、という効果がある。

図面の簡単な説明

[0013] [図1]第1の実施形態のオーバーシュート抑制回路を備えたボルテージレギュレータの回路図である。

[図2]第2の実施形態のオーバーシュート抑制回路を備えたボルテージレギュレータの回路図である。

[図3]本実施形態のオーバーシュート制御回路の一例を示す回路図である。

[図4]従来のオーバーシュート抑制回路を備えたボルテージレギュレータの回路図である。

発明を実施するための形態

[0014] 以下、本実施形態について、図面を参照して説明する。

[第1の実施形態]

図1は、本実施形態のオーバーシュート抑制回路を備えたボルテージレギュレータの回路図である。

[0015] 本実施形態のボルテージレギュレータは、基準電圧回路101と、誤差増幅回路102と、誤差増幅回路102のバイアス回路103と、出力トランジスタ104と、分圧抵抗回路105と、非レギュレート状態検出回路106と、オーバーシュート制御回路107と、PMOSトランジスタ108を備えている。非レギュレート状態検出回路106とオーバーシュート制御回路107は、オーバーシュート抑制回路を構成する。

[0016] 分圧抵抗回路105は、出力端子109と接地端子の間に接続される。誤差増幅回路102は、非反転入力端子にフィードバック電圧Vfbを入力し

、反転入力端子に基準電圧 V_{ref} を入力する。出力トランジスタ 104 は、ゲートに誤差増幅回路 102 の出力端子を接続し、ソースを電源端子に接続し、ドレインを出力端子 109 に接続する。非レギュレート状態検出回路 106 は、出力端子 109 の電圧と電源端子の電圧が入力され、出力端子がオーバーシュート制御回路 107 に接続されている。オーバーシュート制御回路 107 は、フィードバック電圧 V_{fb} と基準電圧 V_{ref} を入力し、出力端子がバイアス回路 103 と PMOS トランジスタ 108 のゲートに接続されている。

[0017] 分圧抵抗回路 105 は、出力端子 109 の出力電圧 V_{out} を分圧し、フィードバック電圧 V_{fb} を出力する。誤差増幅回路 102 は、基準電圧回路 101 の出力する基準電圧 V_{ref} とフィードバック電圧 V_{fb} を比較する。出力トランジスタ 104 は、誤差増幅回路 102 の出力電圧によって制御され、出力端子 109 の電圧を一定に保つ機能を有する。非レギュレート状態検出回路 106 は、出力トランジスタ 104 に流れる電流と出力端子 109 の出力電圧 V_{out} に基づいて非レギュレート状態を検出する。オーバーシュート制御回路 107 は、基準電圧 V_{ref} とフィードバック電圧 V_{fb} に基づいて出力端子 109 のオーバーシュートを検出して、PMOS トランジスタ 108 とバイアス回路 103 を制御する。オーバーシュート制御回路 107 は、非レギュレート状態検出回路 106 の検出信号 V_{det} を受けて、オーバーシュート制御回路 107 の動作電流を制御する。

[0018] オーバーシュート制御回路 107 は、一例として図 3 に示すような回路で構成される。図 3 に示すオーバーシュート制御回路 107 は、基準電圧 V_{ref} とフィードバック電圧 V_{fb} が入力されるアンプ 301 と、非レギュレート状態検出回路 106 の検出信号 V_{det} を入力してアンプ 301 の動作電流を制御するバイアス回路 302 を備えている。

[0019] 但し、オーバーシュート制御回路 107 は、出力端子 109 のオーバーシュートを検出する機能を実現するための回路であればよく、回路構成は特に限定されるものではない。また、バイアス回路 103 は、オーバーシュート

制御回路107の信号を受けて電流を増加するような定電流回路であればよく、回路構成は特に限定されるものではない。

[0020] 非レギュレート状態検出回路106は、PMOSトランジスタ110、112、113、116、117、120、121と、NMOSトランジスタ114、115、118、119と、定電流源111を備えている。

[0021] PMOSトランジスタ110は、ソースが出力端子109に接続され、ゲートとドレインが定電流源111に接続されている。PMOSトランジスタ112は、ソースがPMOSトランジスタ113のドレインに接続され、ゲートがPMOSトランジスタ110のゲートとドレインに接続され、ドレインがNMOSトランジスタ114のゲートとドレインに接続されている。PMOSトランジスタ113は、ソースが電源端子に接続され、ゲートが誤差増幅回路102の出力端子に接続されている。NMOSトランジスタ114は、ソースが接地端子に接続され、ゲートとドレインがNMOSトランジスタ115のゲートに接続されている。PMOSトランジスタ116は、ソースがPMOSトランジスタ117のドレインに接続され、ゲートがPMOSトランジスタ110のゲートとドレインに接続され、ドレインがNMOSトランジスタ118のゲートとドレインに接続されている。PMOSトランジスタ117は、ソースが電源端子に接続され、ゲートが誤差増幅回路102の出力端子に接続されている。NMOSトランジスタ118は、ソースが接地端子に接続され、ゲートとドレインがNMOSトランジスタ119のゲートに接続されている。NMOSトランジスタ119は、ソースが接地端子に接続され、ドレインがPMOSトランジスタ120のゲートとドレインに接続されている。PMOSトランジスタ120は、ソースが電源端子に接続され、ゲートとドレインがPMOSトランジスタ121のゲートに接続されている。PMOSトランジスタ121とNMOSトランジスタ115は、電源端子と接地端子の間に接続され、その接続ノードは非レギュレート状態検出回路106の出力端子になっている。

[0022] PMOSトランジスタ110と定電流源111は、出力端子109の状態

を検出する。PMOSトランジスタ112とPMOSトランジスタ113とNMOSトランジスタ114は、第一の検出回路を構成し、その検出結果をNMOSトランジスタ115のゲートに出力する。PMOSトランジスタ116とPMOSトランジスタ117とNMOSトランジスタ118、及びNMOSトランジスタ119とPMOSトランジスタ120は、第二の検出回路を構成し、その検出結果をPMOSトランジスタ121のゲートに出力する。PMOSトランジスタ121とNMOSトランジスタ115は、ゲートに入力される信号によって流す電流が変化し、そのバランスによって非レギュレート状態検出回路106の出力端子に信号Vdetが出力される。

[0023] 上述したようなオーバーシュート抑制回路は、以下のように動作して出力端子109のオーバーシュートを抑制する。

[0024] 電源電圧が十分高く、出力端子109の出力電圧Voutが所定の電圧に近い状態を通常状態とする。電源電圧が低く、出力端子109が所定の出力電圧Voutより低い電圧を出力している状態を非レギュレート状態とする。

[0025] 非レギュレート状態検出回路106の各トランジスタは、例えば以下のように設計される。

[0026] 出力トランジスタ104の電流をミラーするPMOSトランジスタ113とPMOSトランジスタ117は、PMOSトランジスタ113の方のミラー比を大きく設計する。PMOSトランジスタ110の電流をミラーするPMOSトランジスタ112とPMOSトランジスタ116は、PMOSトランジスタ116の方のミラー比を大きく設計する。通常状態では、PMOSトランジスタ112とPMOSトランジスタ116が流す電流は、PMOSトランジスタ113とPMOSトランジスタ117が流す電流より十分多くなるように設計する。

[0027] 通常動作状態において、PMOSトランジスタ113がPMOSトランジスタ117より多く電流を流す。それらの電流をミラーした結果、NMOSトランジスタ115がPMOSトランジスタ121より多く電流を流す。従

って、非レギュレート状態検出回路106は、出力端子にL_oの信号V_{d e t}を出力し、出力トランジスタ104が飽和状態にあることを示す。

[0028] オーバershoot制御回路107は、L_oの信号V_{d e t}を受けて、動作電流を少なくして、通常状態になる。

[0029] ボルテージレギュレータが非レギュレート状態になると、電源電圧と出力電圧V_{o u t}の差が小さくなる。PMOSTランジスタ113とPMOSTランジスタ117は、出力電圧V_{o u t}が低いので、ゲートにL_oの電圧が入力されオンする。従って、PMOSTランジスタ113とPMOSTランジスタ117のドレイン電圧は、電源電圧になる。すなわち、PMOSTランジスタ113とPMOSTランジスタ117のドレイン電圧は、出力電圧V_{o u t}に近くなる。PMOSTランジスタ110は、出力電圧V_{o u t}が低くなるが、バイアス回路111の流す電流は十分少ないので、電流を流すことが出来る。従って、PMOSTランジスタ110のゲート電圧は、バイアス回路111とPMOSTランジスタ110のインピーダンスと出力電圧V_{o u t}に応じた電圧になる。そして、PMOSTランジスタ112とPMOSTランジスタ116のゲート電圧は、PMOSTランジスタ110のゲート電圧に等しい。また、PMOSTランジスタ112とPMOSTランジスタ116のソース電圧は、PMOSTランジスタ110のゲート電圧とPMOSTランジスタ112とPMOSTランジスタ116の閾値で決まる電圧になっている。

[0030] このような状態では、PMOSTランジスタ112とPMOSTランジスタ116が流す電流は、PMOSTランジスタ113とPMOSTランジスタ117が流す電流より少なくなる。従って、PMOSTランジスタ116は、PMOSTランジスタ112よりもミラー比を大きいので、PMOSTランジスタ116がPMOSTランジスタ112より多く電流を流す。それらの電流をミラーした結果、PMOSTランジスタ121がNMOSTランジスタ115より多く電流を流す。従って、非レギュレート状態検出回路106

は、出力端子にHiの信号Vdetを出力し、ボルテージレギュレータが非レギュレート状態にあることを示す。

[0031] オーバーシュート制御回路107は、Hiの信号Vdetを受けて、動作電流を多くして、高速動作状態になる。従って、この状態から電源電圧が高くなって、出力端子109にオーバーシュートが発生しても、オーバーシュート制御回路107は素早くオーバーシュートを検出して、バイアス回路103とPMOSトランジスタ108を制御することが出来る。そして、出力端子109のオーバーシュートを抑制することが出来る。

[0032] 以上記載したように、本実施形態のボルテージレギュレータのオーバーシュート抑制回路は、通常状態ではオーバーシュート制御回路107の動作電流の少ない低消費状態になるため、消費電流を少なくすることが可能となった。また、非レギュレート状態検出回路106がボルテージレギュレータの非レギュレート状態を検出すると、オーバーシュート制御回路107の動作電流を多くするので、素早く出力端子109のオーバーシュートを抑制することが出来る。

[第2の実施形態]

図2に、第2の実施形態のボルテージレギュレータの回路図を示す。第2の実施形態のボルテージレギュレータは、非レギュレート状態検出回路106を以下に示すように構成する。

[0033] 第一の検出回路は、PMOSトランジスタ112とPMOSトランジスタ113と抵抗202で構成する。第二の検出回路は、PMOSトランジスタ116とPMOSトランジスタ117と抵抗203で構成する。それぞれの検出結果が入力される比較回路201の出力端子が、非レギュレート状態検出回路106の出力端子を構成する。

[0034] このような回路構成としても、第1の実施形態と同様の効果を得ることが出来る。

[0035] 以上に説明したように、本実施形態のボルテージレギュレータによれば、通常状態において、オーバーシュート抑制回路に不必要な電流が流れること

がなくなり、消費電流を少なくすることが出来るという効果がある。

[0036] なお本の実施形態のボルテージレギュレータは、オーバーシュートを検出したときに、オーバーシュート制御回路107の信号によって、出力トランジスタ104の電流を減少させ、バイアス回路103の電流を増加させる構成として説明した。しかし、オーバーシュート制御回路107の信号によって、どちらかのみを制御する構成であっても、オーバーシュートを抑制する効果を有するので、特にそれに限定されるものではない。

符号の説明

- [0037] 101 基準電圧回路
102 誤差増幅回路
103、111 バイアス回路
105 分圧抵抗回路
107 オーバーシュート制御回路
201 比較回路

請求の範囲

[請求項1] 出力トランジスタが出力する出力電圧を分圧した分圧電圧と基準電圧の差を増幅して出力し、前記出力トランジスタのゲートを制御する誤差増幅回路と、

前記出力電圧にオーバーシュートが発生したことを検出し、前記出力トランジスタの電流を制限するオーバーシュート制限回路と、

前記出力電圧と前記出力トランジスタに流れる電流に基づいて、ボルテージレギュレータが非レギュレート状態であることを検出する非レギュレート状態検出回路と、を備え、

前記オーバーシュート制限回路は、前記非レギュレート状態検出回路の検出信号によって動作電流を制御される、ことを特徴とするボルテージレギュレータ。

[請求項2] 前記非レギュレート状態検出回路は、

第一の検出回路及び第二の検出回路と

前記第一の検出回路と前記第二の検出回路の出力を入力し、検出信号を出力する出力回路と、を備え、

通常状態では、前記第一の検出回路が前記第二の検出回路よりも多く電流を流し、

非レギュレート状態では、前記第二の検出回路が前記第一の検出回路よりも多く電流を流し、

前記出力回路は、前記第一の検出回路の電流と前記第二の検出回路の電流に応じて、検出信号を出力する、

ことを特徴とする請求項1に記載のボルテージレギュレータ。

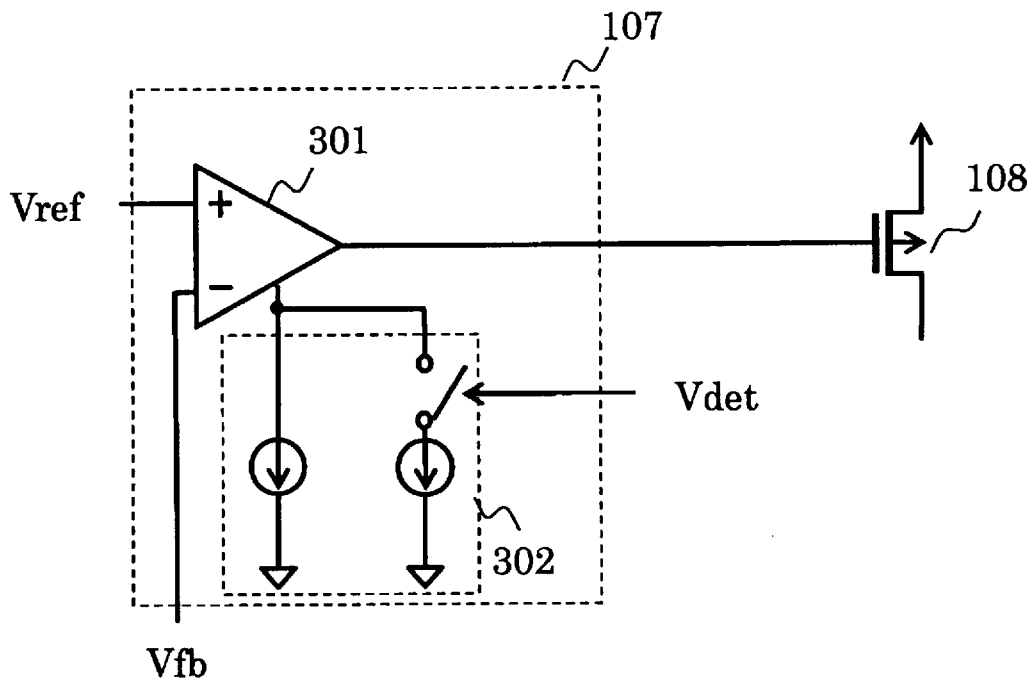
[請求項3] 前記第一の検出回路と前記第二の検出回路は、電流を電圧に変換する回路を備え、

前記出力回路は、前記第一の検出回路の電流を変換した電圧と前記第二の検出回路の電流を変換した電圧に応じて、検出信号を出力する、

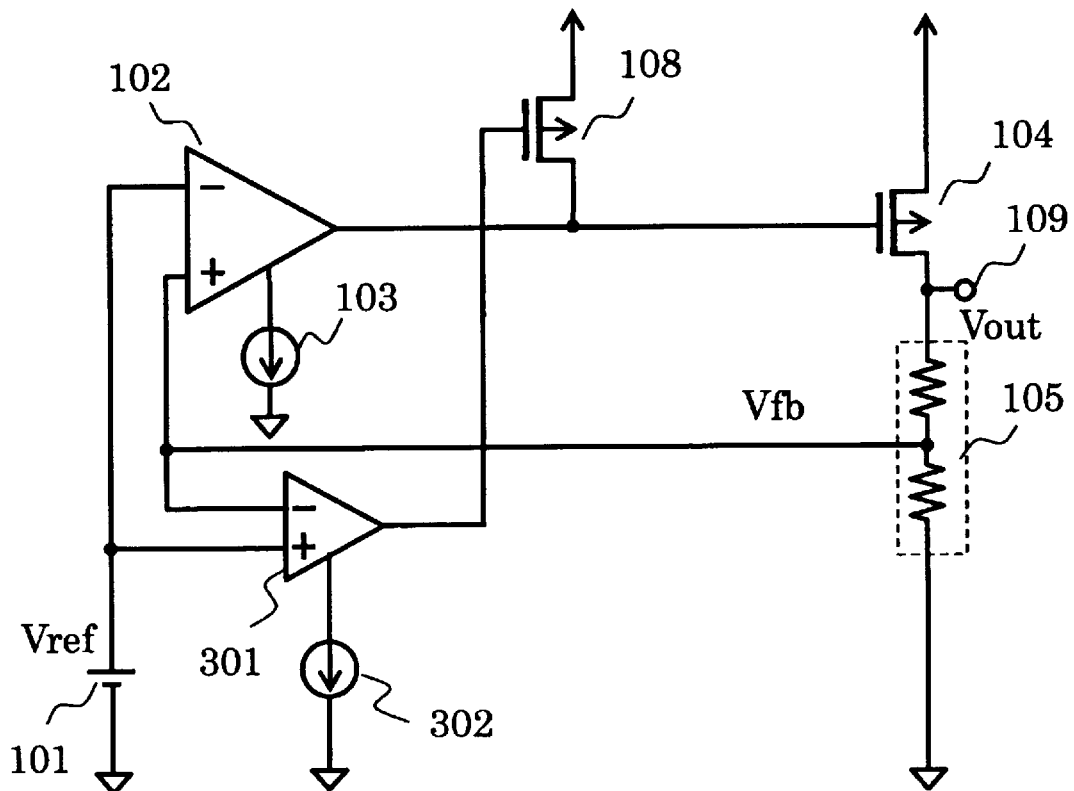
、

ことを特徴とする請求項2に記載のボルテージレギュレータ。

[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/068815

A. CLASSIFICATION OF SUBJECT MATTER
G05F1/56(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-22455 A (New Japan Radio Co., Ltd.), 26 January 2001 (26.01.2001), entire text; all drawings (Family: none)	1-3
A	JP 2003-330555 A (Renesas Technology Corp.), 21 November 2003 (21.11.2003), entire text; all drawings (Family: none)	1-3
A	JP 2009-199501 A (Seiko Instruments Inc.), 03 September 2009 (03.09.2009), entire text; all drawings & US 2009/0224740 A1 & KR 10-2009-0091665 A & CN 101520668 A & TW 200941179 A	1-3

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 05 August, 2013 (05.08.13)	Date of mailing of the international search report 13 August, 2013 (13.08.13)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/068815

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-301787 A (Ricoh Co., Ltd.), 02 November 2006 (02.11.2006), entire text; all drawings (Family: none)	1-3
A	JP 2009-146130 A (Oki Semiconductor Co., Ltd.), 02 July 2009 (02.07.2009), entire text; all drawings & US 2009/0153122 A1	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G05F1/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G05F1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2013年
日本国実用新案登録公報	1996-2013年
日本国登録実用新案公報	1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-22455 A (新日本無線株式会社) 2001.01.26, 全文, 全図 (ファミリーなし)	1-3
A	JP 2003-330555 A (株式会社ルネサステクノロジ) 2003.11.21, 全文, 全図 (ファミリーなし)	1-3
A	JP 2009-199501 A (セイコーインスツル株式会社) 2009.09.03, 全文, 全図 & US 2009/0224740 A1 & KR 10-2009-0091665 A & CN 101520668 A & TW 200941179 A	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
05.08.2013

国際調査報告の発送日
13.08.2013

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	3V	9179
下原 浩嗣		
電話番号 03-3581-1101 内線 3358		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-301787 A (株式会社リコー) 2006.11.02, 全文, 全図 (ファミリーなし)	1-3
A	JP 2009-146130 A (OKIセミコンダクタ株式会社) 2009.07.02, 全文, 全図 & US 2009/0153122 A1	1-3