(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3615285号
(P3615285)
(45)発行日　平成17年2月2日(2005.2.2)　(24)登録日　平成16年11月12日(2004.11.12)

(51)Int.Cl.[7]	F I	
H03H 7/06	H03H 7/06	
H01L 21/822	H01L 27/04	F
H01L 27/04	H01L 27/04	C

請求項の数 10　(全 16 頁)

(21)出願番号　特願平7-253689
(22)出願日　平成7年9月29日(1995.9.29)
(65)公開番号　特開平9-284076
(43)公開日　平成9年10月31日(1997.10.31)
審査請求日　平成14年8月28日(2002.8.28)

(73)特許権者　595138889
日本バーブラウン株式会社
神奈川県横浜市港北区新横浜二丁目３番地
１２　新横浜スクエアビル
(74)代理人　100089705
弁理士　社本　一夫
(74)代理人　100071124
弁理士　今井　庄亮
(74)代理人　100076691
弁理士　増井　忠弐
(74)代理人　100075236
弁理士　栗田　忠彦
(74)代理人　100075270
弁理士　小林　泰

最終頁に続く

(54)【発明の名称】差動型フィルター回路及びその集積回路構造

(57)【特許請求の範囲】
【請求項１】
第一の抵抗器と第三の抵抗器との直列回路であって、第一の入力端子と第一の出力端子との間に接続された直列回路と、
前記第一の抵抗器と同じ抵抗値を有する第二の抵抗器と、前記第三の抵抗器と同じ抵抗値を有する第四の抵抗器との直列回路であって、第二の入力端子と第二の出力端子との間に接続された直列回路と、
前記第一の抵抗器と前記第三の抵抗器との間の点と基準電位との間に接続された第一のコンデンサーと、
前記第一の抵抗器と前記第三の抵抗器との間の点と、前記第二の抵抗器と前記第四の抵抗器との間の点との間に接続された第二のコンデンサーと、
前記第一の出力端子と前記第二の出力端子との間に接続された第三のコンデンサーと、
前記第四の抵抗器と前記第二の出力端子との間の点と前記基準電位との間に接続され且つ前記第一のコンデンサーと同じ容量値を有する第四のコンデンサーと、
を具備することを特徴とする二次の差動型ローパスフィルター回路。
【請求項２】
第一の絶縁層と、
前記第一の絶縁層の一方の面に接するように形成された第一の電極と、
前記第一の絶縁層の他方の面上の、前記第一の電極と対向する位置に形成された第二の電極及び第三の電極と、

前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層を介して形成された第四の電極及び第五の電極と、
前記第二の電極及び前記第三の電極が形成された面と、前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器、第二の抵抗器、第三の抵抗器及び第四の抵抗器と、
前記第一の電極を基準電位に接続する導線と、
前記第一の抵抗器の一端を前記第三の抵抗器の一端と前記第二の電極とに接続する導線と、
前記第二の抵抗器の一端を前記第四の抵抗器の一端と前記第四の電極とに接続する導線と、
前記第三の抵抗器の他端を前記第五の電極と接続する導線と、
前記第四の抵抗器の他端を前記第三の電極と接続する導線と、
前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子と、
前記第三の電極及び前記第五の電極にそれぞれ接続された出力端子と、
を具備し、
前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方を半導体基板に形成し、
前記第一の電極と前記第二の電極とで第一のコンデンサーを形成し、前記第二の電極と前記第四の電極とで第二のコンデンサーを形成し、前記第三の電極と前記第五の電極とで第三のコンデンサーを形成し、前記第一の電極と前記第三の電極とで第四のコンデンサーを形成して二次の差動型ローパスフィルター回路を構成したことを特徴とする集積回路構造。

【請求項３】
第一の絶縁層と、
前記第一の絶縁層の一方の面に接するように形成された第一の電極と、
前記第一の絶縁層の他方の面上の、前記第一の電極と対向する位置に形成された第二の電極及び第三の電極と、
前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層を介して形成された第四の電極及び第五の電極と、
前記第二の電極及び前記第三の電極が形成された面と、前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器、第二の抵抗器、第三の抵抗器及び第四の抵抗器と、
前記第一の電極を基準電位に接続する導線と、
前記第一の抵抗器の一端を前記第三の抵抗器の一端と前記第四の電極とに接続する導線と、
前記第二の抵抗器の一端を前記第四の抵抗器の一端と前記第二の電極とに接続する導線と、
前記第三の抵抗器の他端を前記第三の電極と接続する導線と、
前記第四の抵抗器の他端を前記第五の電極と接続する導線と、
前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子と、
前記第三の電極及び前記第五の電極にそれぞれ接続された出力端子と、
を具備し、
前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方を半導体基板に形成し、
前記第一の電極と前記第二の電極とで第一のコンデンサーを形成し、前記第二の電極と前記第四の電極とで第二のコンデンサーを形成し、前記第三の電極と前記第五の電極とで第三のコンデンサーを形成し、前記第一の電極と前記第三の電極とで第四のコンデンサーを形成して二次の差動型ローパスフィルター回路を構成したことを特徴とする集積回路構造。

【請求項４】

前記第一の電極は、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする、請求項２又は３に記載の集積回路構造。
【請求項５】
前記第一の電極は、前記半導体基板上に絶縁膜を介して形成された導電層であることを特徴とする、請求項２又は３に記載の集積回路構造。
【請求項６】
前記第一の抵抗器～前記第四の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、
前記第一の電極と前記第一の抵抗器との間で第一の追加のコンデンサーを形成し、前記第一の電極と前記第三の抵抗器との間で第二の追加のコンデンサーを形成し、前記第一の電極と前記第二の抵抗器との間で第三の追加のコンデンサーを形成し、前記第一の電極と前記第四の抵抗器との間で第四の追加のコンデンサーを形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする、請求項４又は５に記載の集積回路構造。
【請求項７】
前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする、請求項２又は３に記載の集積回路構造。
【請求項８】
前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板上に絶縁膜を介して形成されていることを特徴とする、請求項２又は３に記載の集積回路構造。
【請求項９】
前記第一の抵抗器～前記第四の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、
前記第一の電極と前記第一の抵抗器との間で第一の追加のコンデンサーを形成し、前記第一の電極と前記第三の抵抗器との間で第二の追加のコンデンサーを形成し、前記第一の電極と前記第二の抵抗器との間で第三の追加のコンデンサーを形成し、前記第一の電極と前記第四の抵抗器との間で第四の追加のコンデンサーを形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする、請求項７又は８に記載の集積回路構造。
【請求項１０】
前記第一の抵抗器～前記第四の抵抗器とは、前記第一の電極～前記第五の電極とのいずれかと同じ材質であることを特徴とする、請求項２～９のいずれか１つに記載の集積回路構造。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、差動型フィルター回路及びその集積回路化された構造に関するもので、この差動型フィルター回路は集積回路化に適しており、差動型ＣＲローパスフィルター及び差動型ＣＲハイパスフィルターを含む。
【０００２】
【従来の技術】
半導体集積回路上で、高精度、低ノイズのアナログ性能を持つべき回路の一部としてフィルターを設計する場合、所望のフィルター特性に加え、ノイズに対するフィルター機能をも考慮して設計を行う必要がある。従来は、例えばノーマル・ノイズに対しては、差動構成にすることによりノイズを除去する方法が一般的に用いられてきた。一方、コモンモードノイズに対しては、ＣＲ回路と演算増幅器を用いたアクティブフィルターにおいて、演算増幅器を高コモンモード除去比を持つよう設計することで対処してきている。
【０００３】
しかしながら、このようなアクティブフィルターでは、演算増幅器を例えばカスコード構

造とする等、回路規模が比較的に大きくなる傾向がある。更に、最近の半導体集積回路プロセスでは低い電源電圧が使われるので、高コモンモード除去比の増幅器を設計することは極めて難かしく、高精度、低ノイズのアナログ性能を目指した回路の高集積化は困難であった。

【０００４】

【発明が解決しようとする課題】

本発明は、上記のように、従来のフィルター設計では、近年の超微細化プロセスを用いた半導体集積回路上で良好なアナログ回路を実現することは困難であるとの課題を克服するために提案されたものであり、本発明の目的は、ノーマルモードノイズ、コモンモードノイズの両方に対してフィルター効果を持つ差動型フィルター回路を提供することである。

本発明の別の目的は、ノーマルモードノイズ、コモンモードノイズの両方に対してフィルター効果を持ち、しかも小面積上に効果的に形成することが可能な差動型フィルターを提供することである。

【０００５】

【課題を解決するための手段】

上記の目的を達成するために、請求項１の発明は、

第一の抵抗器と第三の抵抗器との直列回路であって、第一の入力端子と第一の出力端子との間に接続された直列回路と、

前記第一の抵抗器と同じ抵抗値を有する第二の抵抗器と、前記第三の抵抗器と同じ抵抗値を有する第四の抵抗器との直列回路であって、第二の入力端子と第二の出力端子との間に接続された直列回路と、

前記第一の抵抗器と前記第三の抵抗器との間の点と基準電位との間に接続された第一のコンデンサーと、

前記第一の抵抗器と前記第三の抵抗器との間の点と、前記第二の抵抗器と前記第四の抵抗器との間の点との間に接続された第二のコンデンサーと、

前記第一の出力端子と前記第二の出力端子との間に接続された第三のコンデンサーと、

前記第四の抵抗器と前記第二の出力端子との間の点と前記基準電位との間に接続され且つ前記第一のコンデンサーと同じ容量値を有する第四のコンデンサーと、

を具備することを特徴とする二次の差動型ローパスフィルター回路、

を提供する。

【０００６】

請求項２の発明は、

第一の絶縁層と、

前記第一の絶縁層の一方の面に接するように形成された第一の電極と、

前記第一の絶縁層の他方の面上の、前記第一の電極と対向する位置に形成された第二の電極及び第三の電極と、

前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層を介して形成された第四の電極及び第五の電極と、

前記第二の電極及び前記第三の電極が形成された面と、前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器、第二の抵抗器、第三の抵抗器及び第四の抵抗器と、

前記第一の電極を基準電位に接続する導線と、

前記第一の抵抗器の一端を前記第三の抵抗器の一端と前記第二の電極とに接続する導線と、

前記第二の抵抗器の一端を前記第四の抵抗器の一端と前記第四の電極とに接続する導線と、

前記第三の抵抗器の他端を前記第五の電極と接続する導線と、

前記第四の抵抗器の他端を前記第三の電極と接続する導線と、

前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子と、

前記第三の電極及び前記第五の電極にそれぞれ接続された出力端子と、

を具備し、
前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方を半導体基板に形成し、
前記第一の電極と前記第二の電極とで第一のコンデンサーを形成し、前記第二の電極と前記第四の電極とで第二のコンデンサーを形成し、前記第三の電極と前記第五の電極とで第三のコンデンサーを形成し、前記第一の電極と前記第三の電極とで第四のコンデンサーを形成して二次の差動型ローパスフィルター回路を構成したことを特徴とする集積回路構造、
を提供する。
【０００７】
請求項３の発明は、
第一の絶縁層と、
前記第一の絶縁層の一方の面に接するように形成された第一の電極と、
前記第一の絶縁層の他方の面上の、前記第一の電極と対向する位置に形成された第二の電極及び第三の電極と、
前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層を介して形成された第四の電極及び第五の電極と、
前記第二の電極及び前記第三の電極が形成された面と、前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器、第二の抵抗器、第三の抵抗器及び第四の抵抗器と、
前記第一の電極を基準電位に接続する導線と、
前記第一の抵抗器の一端を前記第三の抵抗器の一端と前記第四の電極とに接続する導線と、
前記第二の抵抗器の一端を前記第四の抵抗器の一端と前記第二の電極とに接続する導線と、
前記第三の抵抗器の他端を前記第三の電極と接続する導線と、
前記第四の抵抗器の他端を前記第五の電極と接続する導線と、
前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子と、
前記第三の電極及び前記第五の電極にそれぞれ接続された出力端子と、
を具備し、
前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方を半導体基板に形成し、
前記第一の電極と前記第二の電極とで第一のコンデンサーを形成し、前記第二の電極と前記第四の電極とで第二のコンデンサーを形成し、前記第三の電極と前記第五の電極とで第三のコンデンサーを形成し、前記第一の電極と前記第三の電極とで第四のコンデンサーを形成して二次の差動型ローパスフィルター回路を構成したことを特徴とする集積回路構造、
を提供する。
【０００８】
請求項４の発明は、前記第一の電極は、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする。
請求項５の発明は、前記第一の電極は、前記半導体基板上に絶縁膜を介して形成された導電層であることを特徴とする。
【０００９】
請求項６の発明は、前記第一の抵抗器～前記第四の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、前記第一の電極と前記第一の抵抗器との間で第一の追加のコンデンサーを形成し、前記第一の電極と前記第三の抵抗器との間で第二の追加のコンデンサーを形成し、前記第一の電極と前記第二の抵抗器との間で第三の追加のコンデンサーを形成し、前記第一の電極と前記第四の抵抗器との間で第四の追加のコンデンサーを形成するように、前記第一の電極を前記半導体基板に対して形成したことを

特徴とする。
【００１０】
請求項７の発明は、前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする。
【００１１】
請求項８の発明は、前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板上に絶縁膜を介して形成されていることを特徴とする。
請求項９の発明は、前記第一の抵抗器～前記第四の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、前記第一の電極と前記第一の抵抗器との間で第一の追加のコンデンサーを形成し、前記第一の電極と前記第三の抵抗器との間で第二の追加のコンデンサーを形成し、前記第一の電極と前記第二の抵抗器との間で第三の追加のコンデンサーを形成し、前記第一の電極と前記第四の抵抗器との間で第四の追加のコンデンサーを形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする。
【００１２】
請求項１０の発明は、前記第一の抵抗器～前記第四の抵抗器とは、前記第一の電極～前記第五の電極とのいずれかと同じ材質であることを特徴とする。
【００１３】
【発明の実施の形態】
以下、本発明の若干の実施の形態について、図１～図１６を参照して詳細に説明する。なお、それぞれの実施の形態において、同一の構成要素は同じ参照数字又は符号で指示することにする。
【００１４】
図１は、本発明に係る差動型フィルター回路の第一の実施形態である一次の差動型ローパスフィルター回路の構成を概略的に示す図である。図１において、第一の入力端子ＩＮ１は第一の抵抗器Ｒ１の一端に接続され、第二の入力端子ＩＮ２は第二の抵抗器Ｒ２の一端に接続されている。第一の抵抗器Ｒ１と第二の抵抗器Ｒ２とは同じ抵抗値を有する。第一の抵抗器Ｒ１の他端は第一の出力端子ＯＵＴ１に接続されると共に第一のコンデンサーＣ１を介して接地され又は電源と接続される。第二の抵抗器Ｒ２の他端は第二の出力端子ＯＵＴ２に接続されると共に第二のコンデンサーＣ２を介して接地され又は電源と接続される。第一のコンデンサーＣ１と第二のコンデンサーＣ２との容量値は等しい。更に、第一の抵抗器Ｒ１の他端と第二の抵抗器Ｒ２の他端との間に第三のコンデンサーＣ３が接続される。
【００１５】
こうした構成とすることにより、第一の抵抗器Ｒ１、第二の抵抗器Ｒ２及び第三のコンデンサーＣ３によって、ノーマルモードノイズを除去するローパスフィルターができる。また、第一の抵抗器Ｒ１と第一のコンデンサーＣ１によって正相側の発生するコモンモードノイズを除去するローパスフィルターが構成され、第二の抵抗器Ｒ２と第二のコンデンサーＣ２によって逆相側に発生するコモンモードノイズを除去するローパスフィルターが構成される。図２に点線で示す曲線は、第一のコンデンサーＣ１と第一の抵抗器Ｒ１とから成るコモンモードノイズを除去するローパスフィルターの特性を示している。一方、図３に実線で示す曲線は、第一の抵抗器Ｒ１、第二の抵抗器Ｒ２及び第三のコンデンサーＣ３から成るノーマルモードノイズを除去するローパスフィルターの特性を示している。
【００１６】
次に、図１の差動型ローパスフィルター回路を構成する集積回路構造について若干の例を説明する。図４は、こうした集積回路構造の一例を概略的に示している。図４において、Ｐ型シリコンの半導体基板ＳＵＢの表面にＮ型拡散層を形成して第一の電極１を設ける。第一の電極１を覆うように第一の絶縁層ＩＬ１を形成し、第一の絶縁層ＩＬ１上に第二の電極２及び第三の電極３を形成し、更にその外側に第一の抵抗器Ｒ１及び第二の抵抗器Ｒ

２を形成する。これら第二の電極２、第三の電極３、第一の抵抗器Ｒ１及び第二の抵抗器Ｒ２を被覆するように第二の絶縁層ＩＬ２を形成した後、第二の絶縁層ＩＬ２の上に、第一の電極１と対向する位置に第四の電極４を、第二の電極２と対向する位置に第五の電極５をそれぞれ形成する。

【００１７】

例えば、第一の絶縁層ＩＬ１と第二の絶縁層ＩＬ２との材質はSiO_2であり、第二の電極２と第三の電極３との材質は第一の多結晶シリコンであり、第四の電極４と第五の電極５との材質は、第一の多結晶シリコンとは異なる第二の多結晶シリコンであり、第一の抵抗器Ｒ１と第二の抵抗器２との材質は第一の多結晶シリコン又は第二の多結晶シリコンであることが好ましい。

【００１８】

なお、第一の絶縁層ＩＬ１の厚さは５０００Å、第二の絶縁層ＩＬ２の厚さは５００Åであり、第二の電極２、第三の電極３、第一の抵抗器Ｒ１、第二の抵抗器Ｒ２、第四の電極４及び第五の電極５の厚さはいずれも５０００Åである。しかし、こうした数値は一例であって、これに限定されない。

【００１９】

こうして、第一の電極１と第二の電極２との間に第一のコンデンサーＣ１が形成され、第一の電極１と第三の電極３との間に第二のコンデンサーＣ２が形成される。また、第二の電極２と第四の電極４との間にコンデンサーＣ３１が形成され、第三の電極３と第五の電極５との間に別のコンデンサーＣ３２が形成される。これらのコンデンサーＣ３１、Ｃ３２は第一の出力端子ＯＵＴ１と第二の出力端子ＯＵＴ２との間に並列に接続され、それらの容量値の和は第三のコンデンサーＣ３の容量値に等しい。

【００２０】

第一の抵抗器Ｒ１の一端は入力端子ＩＮ１に接続され、第一の抵抗器Ｒ１の他端は第二の電極２と接続される。第二の電極２は第五の電極５と接続され、第三の電極３は第四の電極４と接続されると共に第二の抵抗器Ｒ２の一端に接続される。第二の抵抗器Ｒ２の他端は第二の入力端子ＩＮ２と接続される。これらの接続には導電性の金属体が用いられる。

【００２１】

このように、第二の電極２と第三の電極３とはコンデンサーの形成のために共有されているので、ローパスフィルターを極めて小さい面積に形成することができる。

【００２２】

図５は、図４に示す集積回路構造を一部変更した例を示しており、第一の電極１は第一の抵抗器Ｒ１及び第二の抵抗器Ｒ２と重なるように延長されている。このため、第一の電極１と第一の抵抗器Ｒ１との間に追加のコンデンサーＣ１′が形成され、第一の電極１と第二の抵抗器Ｒ２との間に別の追加のコンデンサーＣ２′が形成される。図５に示す集積回路構造の等価回路を図６に示す。この等価回路から明らかなように、コンデンサーＣ１′は第一のコンデンサーＣ１に並列に接続され、コンデンサーＣ２′は第二のコンデンサーＣ２に並列に接続されるので、第一のコンデンサーＣ１と第二のコンデンサー２とを小面積で形成することができる。そのうえ、コンデンサーＣ１′により第一のコンデンサーＣ１を、また、コンデンサーＣ２′により第二のコンデンサーＣ２をそれぞれ調整することができるので、コモンモードノイズ除去能力を高めることができる。

【００２３】

図７は、図５の集積回路構造における実際の電気的接続手段を示す断面図である。図７において、第四の電極４及び第五の電極５を覆う第三の絶縁層ＩＬ３が形成され、第三の絶縁層ＩＬ３上に電気的接続のための導体（いわゆるファーストメタルと呼ばれ、図７では参照数字Ｍ１が付されている）が適宜の箇所に複数個形成され、更にこれら導体Ｍ１を覆うように第四の絶縁層ＩＬ４が形成され、その上に同様の導体（いわゆるセカンドメタルと呼ばれ、図７では参照数字Ｍ２が付されている）が適所に形成される。導体Ｍ１と電極や抵抗器との間、及び、導体Ｍ１と導体Ｍ２との間は導電性プラグ（例えばタングステンプラグであり、参照数字Ｐが付されている）によって接続される。例えば、第一の電極１

の一端は導電性プラグＰを介して第三の絶縁層ＩＬ３上の導体Ｍ１に接続され、この導体Ｍ１は別の導電性プラグＰを介して第四の絶縁層ＩＬ４上の導体Ｍ２に接続される。この導体Ｍ２が接地され、又は電源に接続される。また、第一の抵抗器Ｒ１と第二の電極２との隣接する端部の間は一対の導電性プラグＰとそれらの間を接続する導体Ｍ１とによって相互に接続される。以下、同様にして、図示のとおりの所要の電気的接続が行われる。

【００２４】

図４に示す集積回路構造においては、第一の電極１として、半導体基板ＳＵＢに形成されたＮ型拡散層が用いられたが、これに代えて、第一の電極１を導電層又は導電薄膜とすることができる。このときの構成を図８は概略的に示している。図８においては、第一の電極１は半導体基板ＳＵＢ上に絶縁膜６を介して形成された導電層である。こうすると、図４の集積回路構造におけるよりも第一の絶縁層ＩＬ１を薄くすることができ、第一の電極１と第二の電極２との間の距離、及び、第一の電極１と第三の電極３との間の距離を小さくすることができるので、第一のコンデンサーＣ１及び第二のコンデンサーＣ２の容量値を大きく取ることができ、フィルター設計の自由度が増すという利点がある。

【００２５】

以上説明した構造例においては、第一の抵抗器Ｒ１及び第二の抵抗器Ｒ２は、第二の電極２及び第三の電極３と共に第一の絶縁層ＩＬ１上に形成され、したがって第二の電極２及び第三の電極３と同じ材質の導電体から成るものとして説明したが、その代わりに、第一の抵抗器Ｒ１と第二の抵抗器Ｒ２とを、第四の電極４及び第五の電極５が形成された面と同じ面上に形成するようにしてもよい。更に、第一の絶縁層ＩＬ１上に第二の電極２と第三の電極３とを形成した後、これらの電極を覆うよう第二の絶縁層ＩＬ２を形成し、第二の絶縁層ＩＬ２によって覆われていない第一の絶縁層ＩＬ１上に第一の抵抗器Ｒ１及び第二の抵抗器Ｒ２を形成するようにしてもよい。これらの場合には、第一の抵抗器Ｒ１及び第二の抵抗器Ｒ２の材質は、第四の電極４及び第五の電極５と同じ導電物質である。

【００２６】

また、以上説明した構造例においては、第一の電極１は半導体基板ＳＵＢに形成された拡散層又は半導体基板ＳＵＢ上に絶縁層６を介して形成された導電層であったが、図４の集積回路構造について説明したような、第一の電極１を最初に半導体基板上に形成し、第四の電極４及び第五の電極５を最後に形成するというプロセスを逆にし、第四の電極４及び第五の電極５を最初に半導体基板に対して形成し、第一の電極１を最後に形成するというプロセスを採用して図１の差動型ローパスフィルター回路を集積回路化してもよい。こうしたプロセスにより形成された集積回路構造を図９に示す。図９に示す構造では、第四の電極４、第五の電極５、第一の抵抗器Ｒ１及び第二の抵抗器Ｒ２が絶縁膜６を介して半導体基板ＳＵＢ上に形成されているが、これに代えて、第一の抵抗器Ｒ１と第二の抵抗器Ｒ２とを、第二の電極２及び第三の電極３が形成された面と同じ面上に設け、第四の電極４と第五の電極５とを、半導体基板ＳＵＢに不純物拡散層として形成するようにしてもよい。

【００２７】

図１０は、図１の差動型ローパスフィルターをマルチビット・オーバーサンプリング・デジタルーアナログ変換器に応用した場合の回路図を示している。図１０のマルチビット・オーバーサンプリング・デジタルーアナログ変換器は差動型動作を行うもので、シグマーデルタ型３次５レベルのノイズ・シェーピング器ＮＳからのデジタル出力は、抵抗器群に均等の重み付けを行うためのビット・ローテーション回路を内蔵したデータ・デコーダーＤＤに入力される。データ・デコーダＤＤからの出力は、差動動作を行うための、インバーターにより反転されたデータと共に、変換タイミングを調整する目的でデータ・ラッチＤＬに一時的に蓄えられる。データ・ラッチＤＬにはクロック発生器ＣＧからクロック信号が与えられる。データ・ラッチＤＬの出力は、複数のＣＭＯＳのインバーターを含むスイッチ群、変換抵抗器群及びコンデンサーＣ３′を有するデジタル・アナログ変換部ＤＡＣを介して、図１の差動型ローパスフィルターＦＬに供給される。ローパスフィルターＦＬの出力は差動増幅器ＤＡに与えられ、アナログ信号として出力される。

【００２８】
デジタル・アナログ変換部ＤＡＣの変換抵抗器群とコンデンサーＣ３′とによってもローパスフィルターが形成されており、これとローパスフィルターＦＬとによって二次のローパスフィルターが構成される。それぞれのローパスフィルターの特性を例えば６ｄＢ／ｏｃｔとすると、この二次のローパスフィルターは１２ｄＢ／ｏｃｔの特性を持つことになる。しかし、コモンモードノイズ除去用のフィルターとしては一次の構成となっている。
【００２９】
図１０のマルチビット・オーバーサンプリング・デジタル－アナログ変換器を例えばオーディオ用デジタル－アナログ変換器として用いた場合、可聴周波数帯域内（０～２０ｋＨｚ）のノイズが４８倍のオーバーサンプリングによりシェーピングされて帯域外に押しやられる。この帯域外に押しやられたノイズの一部はローパスフィルターＦＬで除去される。また、デジタル・アナログ変換部ＤＡＣ内の変換抵抗器をスイッチするときにスイッチ群ＳＷのＣＭＯＳインバーターから発生されるスイッチング・ノイズは、ＣＭＯＳインバーターの電源そのものに対してコモンモードノイズを発生させるが、コモンモードノイズの高周波成分はローパスフィルターＦＬによって除去される。
【００３０】
これまでの図１～図１０を用いての説明は一次の差動型ローパスフィルターに関するものであった。次に、図１１を用いて、本発明に係る差動型フィルターの第二の実施形態である二次の差動型ローパスフィルターについて説明する。図１１において、第一の入力端子ＩＮ１は第一の抵抗器Ｒ１１の一端に接続され、第二の入力端子ＩＮ２は第二の抵抗器Ｒ１２の一端に接続される。第一の抵抗器Ｒ１１の他端は、第一のコンデンサーＣ１１を介して接地され又は電源と接続されると共に、第二のコンデンサーＣ１２を介して第二の抵抗器Ｒ１２の他端と接続される。更に、第一の抵抗器Ｒ１１の他端は第三の抵抗器Ｒ１３の一端に接続され、第二の抵抗器Ｒ１２の他端は第四の抵抗器Ｒ１４の一端に接続される。第三の抵抗器Ｒ１３の他端は第一の出力端子ＯＵＴ１に接続されると共に、第三のコンデンサーＣ１３を介して第四の抵抗器Ｒ１４の他端に接続される。第四の抵抗器Ｒ１４の他端は更に第二の出力端子ＯＵＴ２に接続されると共に、第四のコンデンサーＣ１４を介して接地され又は電源と接続される。
【００３１】
このときの第一の抵抗器Ｒ１１～第四の抵抗器Ｒ１４の抵抗値及び第一のコンデンサーＣ１１～第四のコンデンサーＣ１４の容量値とをそれぞれの参照符号で表すとすると、Ｒ１１＝Ｒ１２、Ｒ１３＝Ｒ１４、Ｃ１１＝Ｃ１４である。
【００３２】
図１２は、図１１の差動型ローパスフィルター回路を構成する集積回路構造の一例の断面図で、例えばＰ型シリコンで作られた基板ＳＵＢ上にＮ型拡散層から成る第一の電極１１を形成し、それを覆うように第一の絶縁層ＩＬ１１を形成する。この上の第一の電極１１と対向する位置に第二の電極１２と第三の電極１３とが形成され、更に、これら電極の外側に第三の抵抗器Ｒ１３と第四の抵抗器Ｒ１４とが形成され、更にその外側に第一の抵抗器Ｒ１１と第二の抵抗器Ｒ１２とが形成される。なお、図１２では、第一の電極１１は第一の抵抗器Ｒ１１～第四の抵抗器Ｒ１４と対向する位置まで延長されて形成されているが、これは必ずしも必要ではなく、第一の電極１１を第二の電極１２と第三の電極１３とに対向するように形成するのでもよい。この後、第一の抵抗器Ｒ１１～第四の抵抗器Ｒ１４、第二の電極１２及び第三の電極１３を覆うように第二の絶縁層ＩＬ１２を設け、その上に、第二の電極１２と対向する位置に第四の電極１４を、第三の電極１３と対向する位置に第五の電極１５を形成する。
【００３３】
こうして、第一の電極１１と第二の電極１２との間に第一のコンデンサーＣ１１が形成され、第二の電極１２と第四の電極１４との間に第二のコンデンサーＣ１２が形成され、第三の電極１３と第五の電極１５との間に第三のコンデンサーＣ１３が形成され、第三の電極１３と第一の電極１１との間に第四のコンデンサーＣ１４が形成される。更に、第一の

電極１１と第一の抵抗器Ｒ１１及び第三の抵抗器Ｒ１３との間に、第一のコンデンサーＣ１１に並列に追加のコンデンサーＣ１１′、Ｃ１１″が形成され、第一の電極１１と第二の抵抗器Ｒ１２及び第四の抵抗器Ｒ１４との間に、第四のコンデンサーＣ１４に並列に追加のコンデンサーＣ１４′、Ｃ１４″が形成される。

【００３４】

これら第一の電極１１～第五の電極１５、第一の抵抗器Ｒ１１～第四の抵抗器Ｒ１４、第一の入力端子ＩＮ１、第二の入力端子ＩＮ２、第一の出力端子ＯＵＴ１及び第二の出力端子ＯＵＴ２は、図１２に太い黒線で示すとおりに、導線により相互に電気的に接続される。図１２の構造の等価回路を図１３に示す。ここに示すとおり、第一のコンデンサーＣ１１に並列に接続されるコンデンサーＣ１１′、Ｃ１１″、及び第四のコンデンサーＣ１４に並列に接続されるコンデンサーＣ１４′、Ｃ１４″は、図６において説明したコンデンサーＣ１′、Ｃ２′と同様の作用を奏する。

【００３５】

図２に実線で示す曲線は、第一の抵抗器Ｒ１１と第一のコンデンサーＣ１１、第一の抵抗器Ｒ１１とコンデンサーＣ１１′、及び、第三の抵抗器Ｒ１３とコンデンサーＣ１１″によってできるローパスフィルターの特性を示している。

【００３６】

図１２における電気的接続に代えて、図１４に示すように、第一の抵抗器Ｒ１１と第三の抵抗器Ｒ１３との隣接する端部を第四の電極１４と接続し、第三の抵抗器Ｒ１３の残りの端部と第三の電極１３とを第一の出力端子ＯＵＴ１に接続し、第二の電極１２を第四の抵抗器Ｒ１４と第二の抵抗器Ｒ１２との隣接する端部にそれぞれ接続し、第四の抵抗器Ｒ１４の残りの端部と第五の電極１５とを第二の出力端子ＯＵＴ２に接続するようにしてもよい。このときの等価回路は図１５に示すとおりであり、第一のコンデンサーＣ１１は第二の抵抗器Ｒ１２と第四の抵抗器Ｒ１４との接続点に接続され、第一のコンデンサーＣ１１に並列にコンデンサーＣ１４′、Ｃ１４″が接続される。また、第四のコンデンサーＣ１４は第一の出力端子ＯＵＴ１と基準電位との間に接続され、第四のコンデンサーＣ１４に並列にコンデンサーＣ１１′、Ｃ１１″が接続される。

【００３７】

図１２及び図１４に示す集積回路構造においても、第一の実施形態におけると同様に、第一の電極１１を、半導体基板ＳＵＢに該半導体基板の導電型とは異なる導電型の不純物を拡散させた層で形成するようにしても、半導体基板ＳＵＢ上に絶縁膜を介して形成された導電膜又は導電層であってもよい。更に、図９の集積回路構造について説明したのと同様に、第四の電極１４と第五の電極１５とを最初に半導体基板ＳＵＢに形成し、最後の第一の電極１１を形成するようなプロセスを採用してもよい。

【００３８】

なお、第二の実施形態においても、絶縁層、電極及び抵抗器の材質や厚さは、図１～図１０において説明したのと同じであるが、これに限定されるものではない。

【００３９】

以上の説明は一次又は二次の差動型ローパスフィルターに関するものであったが、抵抗器をコンデンサーで置換し、コンデンサーを抵抗器で置換することにより差動型ハイパスフィルターを構成することができる。図１６は、本発明に係る差動型フィルター回路の第三の実施形態である一次の差動型ハイパスフィルター回路の構成を概略的に示す図である。図１６において、第一の入力端子ＩＮ１と第一の出力端子ＯＵＴ１との間に第一のコンデンサーＣ２１が接続され、第二の入力端子ＩＮ２と第二の出力端子ＯＵＴ２との間に第二のコンデンサーＣ２２が接続される。第一の出力端子ＯＵＴ１は第一の抵抗器Ｒ２１を介して接地され又は電源に接続され、第二の出力端子ＯＵＴ２は第二の抵抗器Ｒ２２を介して接地され又は電源に接続される。第一の出力端子ＯＵＴ１と第二の出力端子ＯＵＴ２との間には第三の抵抗器Ｒ２３が接続される。

【００４０】

【発明の効果】

以上、若干の実施形態を参照しながら本発明について詳細に説明したところから明らかなとおり、本発明に係る差動型ローパスフィルター回路においては、ノーマルモード、コモンモードノイズの両方を除去することが可能となる。更に、集積回路化した場合に、差動構成による通常のフィルター機能用のコンデンサーとコモンモードノイズ除去用のコンデンサーとの電極を共有する構造を取ることが可能なため、こうしたフィルターを小さな面積の上に形成することが可能となる。また、本発明に係る差動型ハイパスフィルター回路においても、ノーマルモードノイズ、コモンモードノイズの両方を除去することが可能となる。

【図面の簡単な説明】

【図１】本発明に係る差動型フィルター回路の第一の実施形態である一次の差動型ローパスフィルター回路の構成を概略的に示す図。

【図２】図１及び図１３に示す差動型ローパスフィルター回路の周波数特性を説明するためのグラフ。

【図３】図１に示す差動型ローパスフィルター回路の周波数特性を説明するためのグラフ。

【図４】図１の差動型ローパスフィルター回路を構成する集積回路構造の一例を説明するための断面図。

【図５】図４に示す集積回路構造の変形例を示す図。

【図６】図５に示す集積回路構造の等価回路を示す図。

【図７】図５に示す集積回路構造における実際の電気的接続を説明するための図。

【図８】図５に示す集積回路構造の変形例を示す図。

【図９】図４に示す集積回路構造の別の変形例を示す図。

【図１０】図１に示す差動型ローパスフィルター回路をマルチビット・オーバーサンプリング・デジタル－アナログ変換器に応用したときの回路図。

【図１１】本発明に係る差動型フィルター回路の第二の実施形態である二次の差動型ローパスフィルター回路の構成を概略的に示す図。

【図１２】図１１の差動型ローパスフィルター回路を構成する集積回路構造を説明するための断面図。

【図１３】図１２に示す集積回路構造の等価回路図。

【図１４】図１２に示す集積回路構造の変形例を示す図。

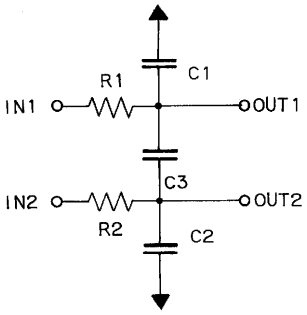
【図１５】図１４に示す集積回路構造の等価回路図。

【図１６】本発明に係る差動型フィルター回路の第三の実施形態である一次の差動型ハイパスフィルター回路の構成を概略的に示す図。

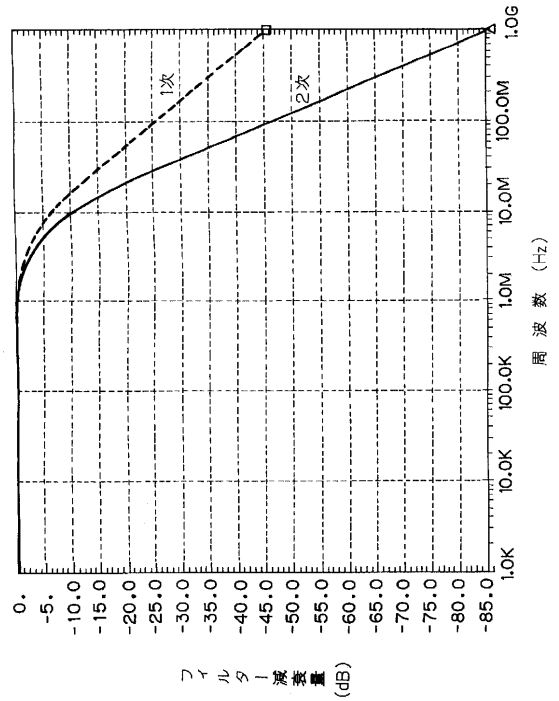
【符号の説明】

ＩＮ１、ＩＮ２：入力端子、　ＯＵＴ１、ＯＵＴ２：出力端子、
１、２、３、４、５、１１、１２、、１３、１４、１５：電極。
Ｒ１、Ｒ２、Ｒ３、Ｒ４、Ｒ１１、Ｒ１２、Ｒ１３、Ｒ１４、Ｒ２１、Ｒ２２、Ｒ２３：抵抗器、
Ｃ１、Ｃ２、Ｃ３、Ｃ１１、Ｃ１２、Ｃ１３、Ｃ１４、Ｃ２１、Ｃ２２：コンデンサー。

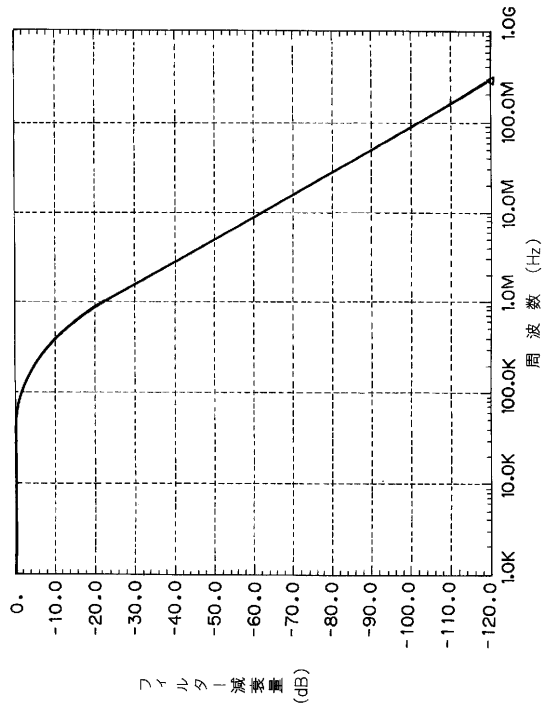
【図１】


R1
C1
IN1
OUT1
C3
IN2
OUT2
R2
C2

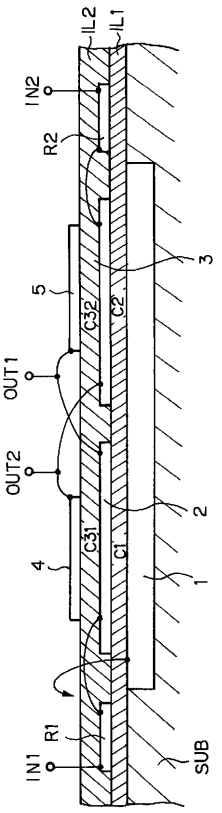
【図２】


1次
2次
0.
-5.
-10.0
-15.0
-20.0
-25.0
-30.0
-35.0
-40.0
-45.0
-50.0
-55.0
-60.0
-65.0
-70.0
-75.0
-80.0
-85.0
1.0K
10.0K
100.0K
1.0M
10.0M
100.0M
1.0G
フィルター減衰量 (dB)
周波数 (Hz)

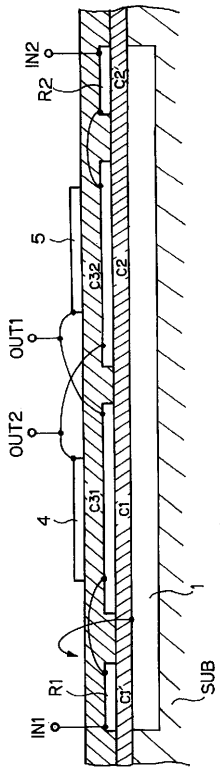
【図３】


0.
-10.0
-20.0
-30.0
-40.0
-50.0
-60.0
-70.0
-80.0
-90.0
-100.0
-110.0
-120.0
1.0K
10.0K
100.0K
1.0M
10.0M
100.0M
1.0G
フィルター減衰量 (dB)
周波数 (Hz)

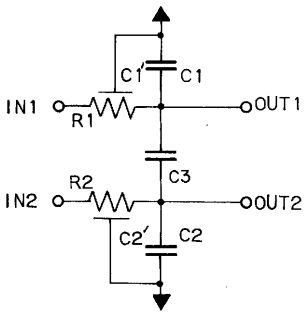
【図４】


IL2
IL1
IN2
R2
3
5
C32
C2
OUT1
OUT2
2
4
C31
C1
1
IN1
R1
SUB

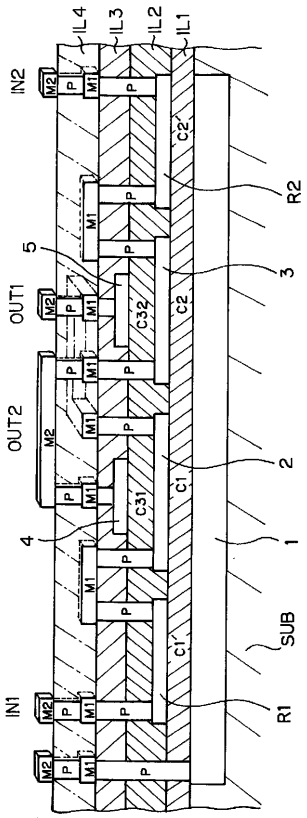
【図５】


IN2
R2
C2'
5
C32
C2
OUT1
OUT2
4
C31
C1
1
SUB
R1
C1'
IN1

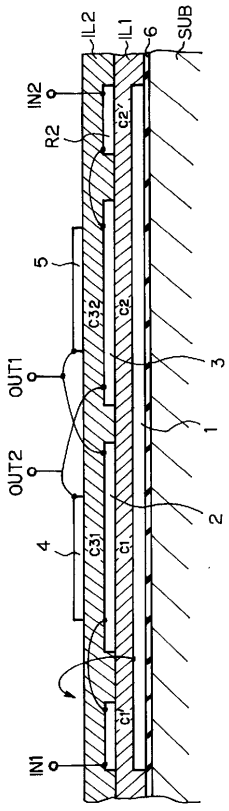
【図６】


C1'
C1
IN1
R1
OUT1
C3
R2
IN2
OUT2
C2'
C2

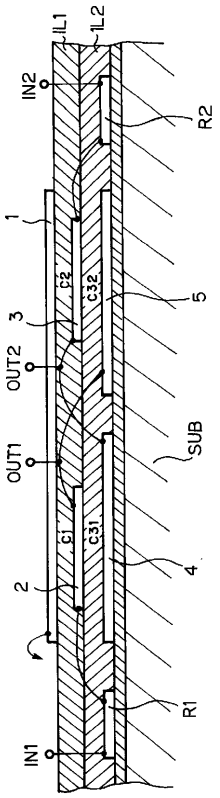
【図７】


IL4
IL3
IL2
IL1
IN2
M2
P
M1
C2'
R2
5
3
OUT1
C32
C2
OUT2
2
C31
C1
4
1
SUB
C1'
IN1
R1

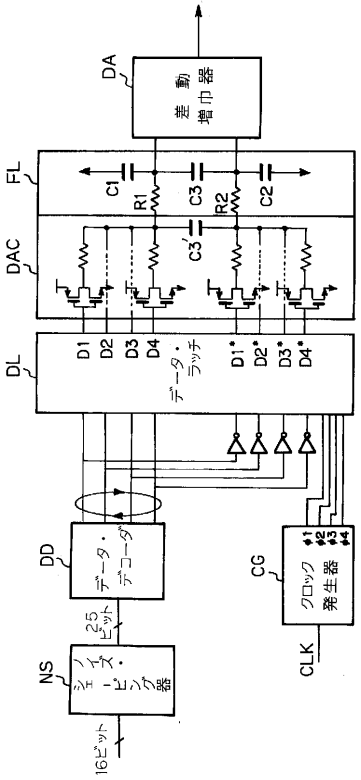
【図８】


IL2
IL1
6
SUB
IN2
R2
C2'
5
C32
C2
OUT1
3
1
OUT2
2
4
C31
C1
C1'
IN1

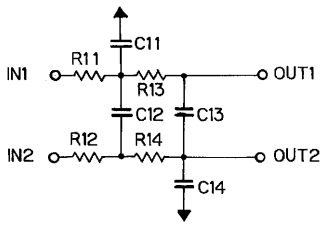
【図９】



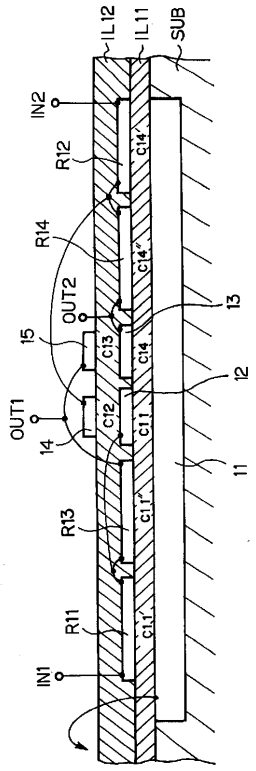
【図１０】



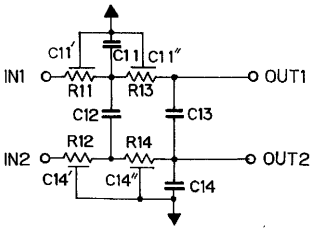
【図１１】



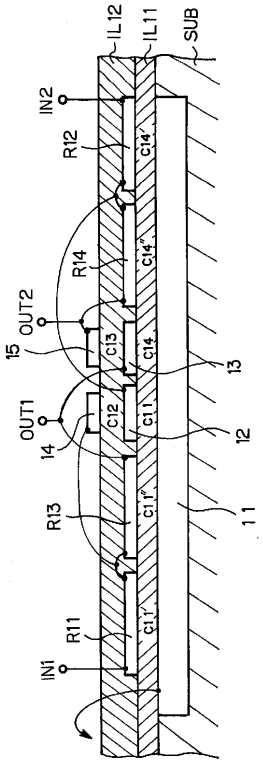
【図１２】



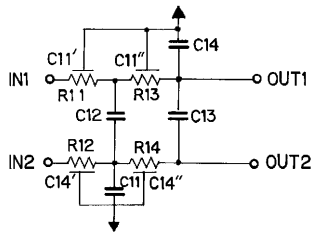
【図１３】



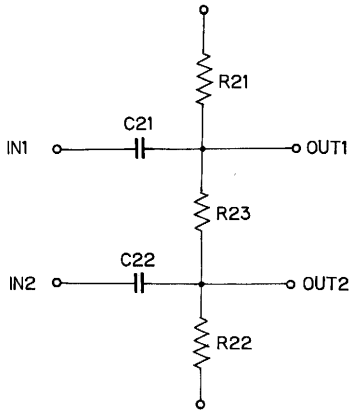
【図１４】



【図１５】



【図１６】



フロントページの続き

(74)代理人 100091063
弁理士 田中 英夫
(72)発明者 室田 俊夫
神奈川県厚木市長谷仲町４２２－１ 日本バー・ブラウン株式会社 厚木テクニカルセンター内
(72)発明者 寺澤 斉
神奈川県厚木市長谷仲町４２２－１ 日本バー・ブラウン株式会社 厚木テクニカルセンター内
(72)発明者 濱崎 利彦
神奈川県厚木市長谷仲町４２２－１ 日本バー・ブラウン株式会社 厚木テクニカルセンター内

審査官 小林 正明

(56)参考文献 特開昭６４－０７１２０４（ＪＰ，Ａ）
実開昭４８－１０５８３５（ＪＰ，Ｕ）
実公昭３５－０２５７５２（ＪＰ，Ｙ１）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03H 7/06
H01L 21/822
H01L 27/04
JICSTファイル(JOIS)