

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.<sup>6</sup>  
G11C 17/18

(45) 공고일자 1999년02월01일

(11) 등록번호 특0169420

(24) 등록일자 1998년10월10일

(21) 출원번호 특1995-035826  
(22) 출원일자 1995년10월17일

(65) 공개번호 특1997-023454  
(43) 공개일자 1997년05월30일

(73) 특허권자 삼성전자주식회사 김광호  
경기도 수원시 팔달구 매탄동 416번지  
(72) 발명자 김경래  
경기도 수원시 팔달구 매탄3동 주공2단지아파트 28-506  
(74) 대리인 이건주

**심사관 : 권인희**

**(54) 불 휘발성 반도체 메모리의 데이터 리드 방법 및 그에 따른 회로**

**요약**

1. 청구 범위에 기재된 발명이 속한 기술분야

불 휘발성 반도체 메모리의 데이터 리드 방법 및 그에 따른 회로

2. 발명이 해결하려고 하는 기술적 과제

반도체 메모리 장치의 리드동작을 안정하게 보장할 수 있는 데이터 리드 방법 및 그에 따른 회로를 제공함에 있다.

3. 발명의 해결방법의 요지

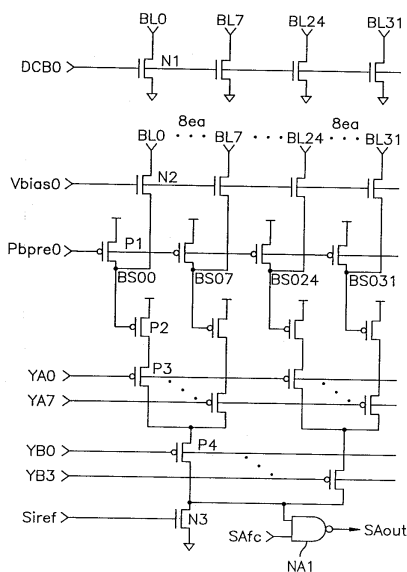
다수의 메모리 트랜지스터들이 하나의 낸드셀 스트링을 구성하며, 상기 메모리 트랜지스터들은 행 방향의 워드라인과 열방향의 비트라인에 매트릭스형태로 배열되어 메모리 셀 어레이를 형성하고, 데이터의 리드 시에 상기 비트라인을 소정의 전위로 충전후 설정된 전류를 분리수단에 의해 상기 비트라인에 공급하는 불휘발성 반도체 메모리 장치에 있어서:

상기 분리수단에 연결되며, 상기 비트라인과 분리된 분리노드를 통해 상기 메모리 트랜지스터에 저장된 데이터를 래치동작없이 지연하여 감지하는 판독수단을 포함한다.

4. 발명의 중요한 용도

반도체 메모리의 개선된 리드회로서 적합하게 사용된다.

**대표도**



**명세서**

## [발명의 명칭]

불 휘발성 반도체 메모리의 데이터 리드 방법 및 그에 따른 회로

## [도면의 간단한 설명]

제1도는 종래의 반도체 메모리의 데이터 리드 회로도.

제2도는 제1도에 따른 동작 타이밍도.

제3도는 본 발명에 따른 반도체 메모리의 데이터 리드 회로도.

제4도는 제3도에 따른 동작 타이밍도.

## [발명의 상세한 설명]

본 발명은 낸드 구조를 가지는 EEPROM등과 같은 불 휘발성 반도체 메모리에 관한 것으로, 특히 메모리 셀에 데이터를 리드하여 내부에 일시적으로 저장한 후 순차적으로 출력하는 페이지 버퍼등과 같은 리드회로 및 그에 따른 리드 방법에 관한 것이다.

일반적으로 불 휘발성 반도체 메모리 중에서 복수개의 메모리 셀이 직렬로 연결된 스트링단위로 구성된 셀 어레이를 가지는 NAND 구조의 메모리에 있어서, 페이지 리드동작은 선택된 행의 모든 메모리 셀의 데이터를 동시에 판독하여 장치의 내부에 존재하는 저장 수단에 일시 저장한 후, 외부의 연속적인 출력 신호에 의해 순차적으로 데이터를 출력하는 방법으로 수행된다. 이러한 페이지 리드동작은 반도체 메모리 장치내의 페이지 버퍼에 의해 달성되는데, 그러한 페이지 버퍼의 구성은 제1도에 나타나 있다.

제1도는 종래 기술의 페이지 버퍼에 대한 일예의 구성이 도시된다. 제1도는 낸드구조의 플래시 메모리에 대한 페이지 버퍼의 리드 패스에 관련된 구성만이 도시의 편의상 나타나 있다. 제1도를 참조하면, 하나의 비트라인 마다, 비트라인의 프리 차아지 레벨을 제어하는 NMOS 트랜지스터(N0), 상기 비트라인의 전위를 방전하는 NMOS 트랜지스터(N1), 상기 비트라인을 프리 차아지하고 센싱에 필요한 부하 전류를 공급해주는 PMOS 트랜지스터 (P1), 데이터 래치의 경로를 개방하는 NMOS 트랜지스터(N3, N4), 데이터를 래치하는 2개의 인버퍼 래치(11, 12), 상기 래치를 리셋하기 위한 NMOS 트랜지스터(N2)로 구성된 부분은 상기 페이지 버퍼에 포함된다.

상기 제1도에서 각 트랜지스터들의 게이트에는 각종 신호들이 인가되는데 이는 제2도의 파형으로서 제공된다.

이하에서는 상기 제1,2도를 참조하여 종래기술에 따른 페이지 버퍼의 동작이 설명될 것이다. 메모리 셀에 저장된 데이터의 판독동작 즉, 리드동작이 시작되면, 비트라인의 프리차아지 레벨을 일정전압 레벨로 제어하기 위한 신호 Vbias는 제2도의 파형과 같이 그라운드 레벨에서 소정의 전압 레벨(예를 들면 2V)로서 상기 트랜지스터(N0)의 게이트에 인가되고, 비트라인 프리 차아지 신호 DCB 및 상기 페이지 버퍼를 초기화시키는 신호 DCL는 각기 제2도내의 파형과 같이 로우레벨에서 하이레벨로 일정 기간 동안 활성화되어 상기 NMOS 트랜지스터(N1, N2)의 게이트에 제공된다. 이에 따라 모든 비트라인이 그라운드 레벨로 디스차아지되고 모든 페이지 버퍼가 초기화된다. 상기 비트라인의 디스 차아지 및 페이지 버퍼의 초기화가 완료되면, 비트라인을 프리 차아지하기 위한 활성화 신호 Pbppe가 논리 레벨 'H'에서 'L'로 천이되어 상기 트랜지스터 (P1)의 베이스에 인가된다. 이에 따라 상기 PMOS 트랜지스터 (P1)는 턴온되고, 그에 따른 전류가 비트라인에 공급된다. 그러므로, 모든 비트라인은 일정전압 레벨까지 빠른 시간 내에 프리 차아지되고 모든 페이지 버퍼의 노드 BS0i(여기서, i는 0에서 32까지의 정수)들은 전원전압 Vcc 레벨이 된다. 이와 같이 모든 비트라인의 프리 차아지가 충분히 수행된 후, 상기 비트라인 프리 차아지 활성화 신호 Pbppe는 제2도의 파형에서 알 수 있는 바와 같이 그라운드 레벨에서 일정한 전압(예를 들면 1.8v)로 상승하게 된다. 이에 따라 상기 트랜지스터 (P1)의 채널 전류가 감소되어, 상기 비트라인에는 미소 전류만이 공급된다. 이러한 상태에서 일정 전압레벨로 프리 차아지 되어 있는 각 비트라인들은 해당 비트라인마다 연결된 선택된 메모리 셀의 데이터(하이 또는 로우레벨을 가지는 데이터)에 따라 전위가 달라진다. 즉, 플로팅 게이트를 가지는 메모리 셀에 의해 그라운드로 빠져나가는 전류가 상기 비트라인에 유입되는 전류보다 클 경우(예를들어, 데이터 '1')에는 상기 비트라인은 그라운드 레벨로 되며, 반대로 그라운드로 빠져나가는 전류가 상기 비트라인에 유입되는 전류보다 작은 경우(데이터 '0')에는 상기 비트라인은 상기 프리 차아지된 일정 전압레벨로 유지된다. 여기서, 상기 선택된 메모리 셀의 데이터가 1일 경우, 프리 차아지 되어 있던 비트라인의 전압레벨이 메모리 셀에 의해 조금만 낮아지더라도 비트라인에 비해 기생 캐패시턴스가 훨씬 작은 노드가 되는 상기 BS0i노드는 짧은 시간내에 상기 전원전압 Vcc레벨에서 상기 비트라인의 전압레벨로 변하게 된다. 반면에 선택된 데이터가 '0'일 경우 프리 차아지되어 있던 비트라인의 전압레벨이 변화되지 않기 때문에 상기 노드 BS0i는 프리 차아지된 Vcc 레벨로 유지된다. 상기와 같이, 선택된 메모리 셀의 데이터에 따라 모든 비트라인에 연결된 페이지 버퍼의 노드 BS0i의 전위가 결정되어지면, 메모리 셀로부터 독출된 데이터를 상기 페이지 버퍼로 저장시키는 신호 P1ch가 'L'에서 'H'로 활성화된다. 그러면, 선택된 메모리 셀의 데이터에 의해 상기 페이지 버퍼의 노드 BS0i가 Vcc레벨(데이터 0인 경우)인 페이지 버퍼들은 NMOS 트랜지스터(N3, N4)가 턴온됨에 따라 초기화되어 있던 논리상태에서 반전되며, 노드 BS0i가 그라운드 레벨(데이터 1인 경우)인 페이지 버퍼들은 상기 NMOS 트랜지스터(N4)가 턴온되고 NMOS 트랜지스터(N3)가 턴오프됨에 따라 초기화되어 있던 예전의 논리상태를 그대로 유지하게 된다. 이와 같은 방법으로판독된 메모리 셀의 데이터가 상기 페이지 버퍼에 모두 저장되면, 상기 신호 P1ch가 하이에서 로우로 천이되어 상기 트랜지스터 (N4)는 턴 오프되고, 칼럼 어드레스 디코딩 신호 Y가 차례로 토글(toggle)되어 상기 저장되어 있는 데이터는 순차적으로 출력된다.

그러나, 상기한 제1도의 종래의 리드회로에서는 상기 신호 P1ch가 활성화되어 있는 동안에 상기 메모리 셀의 데이터가 래치되는 것을 알 수 있는데, 여기서 부하 트랜지스터 (P1)의 전류나 메모리 셀 전류가 변화될 경우 데이터의 독출에러가 발생하는 문제점이 있다. 즉, 상기 소자들의 전류 변화는 상기 노드 BS0i의 전위를 불안정하게 만들고, 이것이 데이터의 래치구간동안 래치되면 제2도의 파형 BS0E과 같이 리드동작의 오류를 유발시키는 것이다.

따라서, 본 발명의 목적은 상기한 종래의 문제점을 해소할 수 있는 불휘발성 반도체 메모리의 데이터 리드 방법 및 그에 따른 회로를 제공함에 있다.

본 발명의 다른 목적은 반도체 메모리 장치의 리드동작을 안정하게 보장할 수 있는 데이터 리드 방법 및 그에 따른 회로를 제공함에 있다.

본 발명의 또 다른 목적은 페이지 버퍼의 특정노드에 대한 전류 불안정에 기인한 리드에러를 줄일 수 있는 불 휘발성 반도체 메모리의 데이터 리드 방법 및 그에 따른 회로를 제공함에 있다.

상기의 목적을 달성하기 위한 본 발명의 방법에 따르면, 페이지 버퍼의 노드 BSO<sub>i</sub>가 불안정한 구간에서는 데이터의 래치를 하지 않고, 상기 노드가 안정한 구간에서 상기 래치를 수행하게 함으로써 데이터의 리드 동작에 따른 리드에러를 줄이는 것을 특징으로 한다.

그러한 동작을 하기 위한 본 발명의 장치는, 다수의 메모리 트랜지스터들이 하나의 낸드셀 스트링을 구성하며, 상기 메모리 트랜지스터들은 행 방향의 워드라인과 열방향의 비트라인에 매트릭스형태로 배열되어 메모리 셀 어레이를 형성하고, 데이터의 리드시에 상기 비트라인을 소정의 전위로 충전후 설정된 전류를 분리수단에 의해 상기 비트라인에 공급하는 불휘발성 반도체 메모리 장치이며, 상기 분리수단에 연결되며, 상기 비트라인과 분리된 분리노드를 통해 상기 메모리 트랜지스터에 저장된 데이터를 래치동작 없이 지연하여 감지하는 판독수단을 포함하고 있다. 여기서, 상기 판독수단은 상기 분리노드에 연결되며 칼럼어드레스 디코딩 신호에 응답하는 제1도전형 트랜지스터들 및 일정 레벨의 신호에 응답하는 전류원으로서의 제2도전형 트랜지스터로 이루어진 인버터 소자로 구성가능하며, 상기 제1도전형 트랜지스터들이 피형 모오스 트랜지스터들인 경우에 상기 제2도전형 트랜지스터들은 엔형 모오스 트랜지스터들이다.

이하 본 발명의 바람직한 일 실시예의 동작을 첨부한 도면을 참조하여 상세히 설명한다. 제3도는 본 발명의 페이지 버퍼에 대한 실시예의 구성으로서, 도시의 편의상 32비트라인으로 구성된 하나의 서브블럭만을 도시하였다. 제3도를 참조하면, 각 비트라인의 프리 차아지 레벨을 일정전압 레벨로 각기 제어하는 NMOS 트랜지스터(N2), 각 비트라인을 각기 프리 차아지하는 PMOS 트랜지스터(P1), 각 비트라인을 각기 디스차아지하는 NMOS 트랜지스터(N1), 그리고 다수의 PMOS 트랜지스터(P2, 3, 4) 및 NMOS 트랜지스터(N3)로 이루어진 인버터를 포함하는 구성이 나타나 있다.

본 발명의 구체적인 동작 설명은 제3도를 통해 설명한다. 리드동작이 시작되면, 비트라인의 프리차아지 레벨을 일정전압 레벨로 제어하기 위한 신호 V<sub>bias</sub>는 제4도의 파형과 같이 그라운드 레벨에서 소정의 전압 레벨(예를 들면 2V)로서 상기 트랜지스터(N2)의 게이트에 인가되고, 비트라인 프리 차아지 신호 DCB는 제4도내의 파형과 같이 로우레벨에서 하이레벨로 일정 기간 동안 활성화되어 상기 NMOS 트랜지스터(N1)의 게이트에 제공된다. 이에 따라 모든 비트라인이 그라운드 레벨로 디스차아지된다. 상기 비트라인의 디스차아지가 완료되면, 비트라인을 프리 차아지하기 위한 활성화 신호 P<sub>bpre</sub>가 논리 레벨 'H'에서 'L'로 천이되어 상기 트랜지스터 (P1)의 베이스에 인가된다. 이에 따라 상기 PMOS 트랜지스터 (P1)는 턴온되고, 그에 따른 전류가 비트라인에 공급된다. 그러므로, 모든 비트 라인은 일정전압 레벨(예를 들면, 1볼트)까지 빠른 시간 내에 프리 차아지되고 모든 노드 BSO<sub>i</sub>(여기서, i는 0에서 31까지의 정수)들은 전원전압 V<sub>cc</sub> 레벨이 된다. 이와 같이 모든 비트라인의 프리 차아지가 충분히 수행된 후, 상기 비트라인 프리 차아지 활성화 신호 P<sub>bpre</sub>는 제4도의 파형에서 알 수 있는 바와 같이 그라운드 레벨에서 일정한 전압(예를 들면 1.8V)로 상승하게 된다. 이에 따라 상기 트랜지스터 (P1)의 채널 전류가 감소되어, 상기 비트라인에는 미소 전류만이 공급된다. 이러한 상태에서 일정 전압레벨로 프리 차아지 되어 있는 각 비트라인들은 해당 비트라인마다 연결된 선택된 메모리 셀의 데이터(하이 또는 로우레벨을 가지는 데이터)에 따라 전위가 달라진다. 즉, 플로팅 게이트를 가지거나 마스크 메모리 셀에 의해 그라운드로 빠져나가는 전류가 상기 비트라인에 유입되는 전류보다 클 경우(예를 들어, 데이터 '1')에는 상기 비트라인은 그라운드 레벨로 되며, 반대로 그라운드로 빠져나가는 전류가 상기 비트라인에 유입되는 전류보다 작은 경우(데이터 '0')에는 상기 비트라인은 상기 프리 차아지된 일정 전압레벨로 유지된다. 여기서, 상기 선택된 메모리 셀의 데이터가 1일 경우, 프리 차아지되어 있던 비트라인의 전압레벨이 메모리 셀에 의해 조금만 낮아지더라도, 비트라인에 비해 기생 캐패시턴스가 훨씬 작은 노드가 되는 상기 BSO<sub>i</sub>노드는 짧은 시간내에 상기 전원전압 V<sub>cc</sub>레벨에서 상기 비트라인의 전압레벨로 변하게 된다. 반면에 선택된 데이터가 '0'일 경우 프리 차아지되어 있던 비트라인의 전압레벨이 변화되지 않기 때문에 상기 노드 BSO<sub>i</sub>는 프리 차아지된 V<sub>cc</sub> 레벨로 유지된다. 상기와 같이, 선택된 메모리 셀의 데이터에 따라 결정된 모든 비트 라인에 연결된 노드 BSO<sub>i</sub>의 전위와 칼럼어드레스 디코딩신호에 의해 상기의 인버터가 동작된다. 예를 들어, 상기 칼럼어드레스 디코딩신호 YA0에 의해 선택되는 패스의 노드 'BS00'의 전압레벨은 상기 인버터내의 트랜지스터(N3)의 드레인 노드 즉 인버터 출력단의 레벨을 결정한다. 이때 상기 인버터의 NMOS 트랜지스터(N3)의 게이트단자에는 일정한 레벨의 전압(예를 들면 1.7V)가 인가되는데, 이는 신호 제4도의 신호 S<sub>iref</sub>의 전압이다. 따라서 상기 트랜지스터의 채널에는 상기 신호에 의해 일정량의 전류(예를 들면 20uA)가 흐르도록 설계되어 있다. 따라서, 상기 노드 'BS00'레벨이 V<sub>cc</sub>일 경우에는 상기 PMOS 트랜지스터(P2)가 턴오프상태로 되어 상기 PMOS 트랜지스터(P3, 4)의 게이트에 로우 전압이 인가되더라도 상기 인버터의 출력은 로우이다. 반대로, 노드 'BS00'의 레벨이 비트라인의 전압 레벨로 되어있을 경우에는 상기 PMOS 트랜지스터(P2)가 턴온되어 상기 인버터의 출력은 하이로 된다. 이러한 상기 인버터의 출력은 낸드 게이트 NA1를 통해 출력단 SA<sub>out</sub>으로 출력되거나 바로 출력될 수 있다. 이와 같이 제3도에서는 데이터의 래치동작없이 인버터를 사용하여 메모리 셀 트랜지스터에 저장된 데이터를 읽어내는 것을 알 수 있다.

상기한 바와 같은 본 발명에 따르면, 종래의 래치대신 인버터를 사용함으로써 종래의 래치를 사용한 페이지 버퍼회로에서 있을 수 있는 데이터 래치시의 에러가 없어지는 효과가 있으므로, 보다 신뢰성이 높은 데이터를 리드할 수 있는 장점이 있다.

## (57) 청구의 범위

### 청구항 1

다수의 메모리 트랜지스터들이 하나의 낸드셀 스트링을 구성하며, 상기 메모리 트랜지스터들은 행 방향의 워드라인과 열방향의 버트라인에 매트릭스형태로 배열되어 메모리 셀 어레이를 형성하고, 데이터의 리드 시에 상기 비트라인을 소정의 전위로 충전후 설정된 전류를 분리수단에 의해 상기 비트라인에 공급하는 불휘발성 반도체 메모리 장치에 있어서: 상기 분리수단에 연결되며, 상기 비트라인과 분리된 분리노드를 통해 상기 메모리 트랜지스터에 저장된 데이터를 래치동작없이 지연하여 감지하는 판독수단을 가짐을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 2

제1항에 있어서, 상기 판독수단은 상기 분리노드에 연결되며 칼럼어드레스 디코딩 신호에 응답하는 제1도전형 트랜지스터들 및 일정 레벨의 신호에 응답하는 전류원으로서의 제2도전형 트랜지스터로 이루어진 인버터 소자로 구성됨을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 3

제1항에 있어서, 상기 제1도전형 트랜지스터들은 피형 모오스 트랜지스터들임을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 4

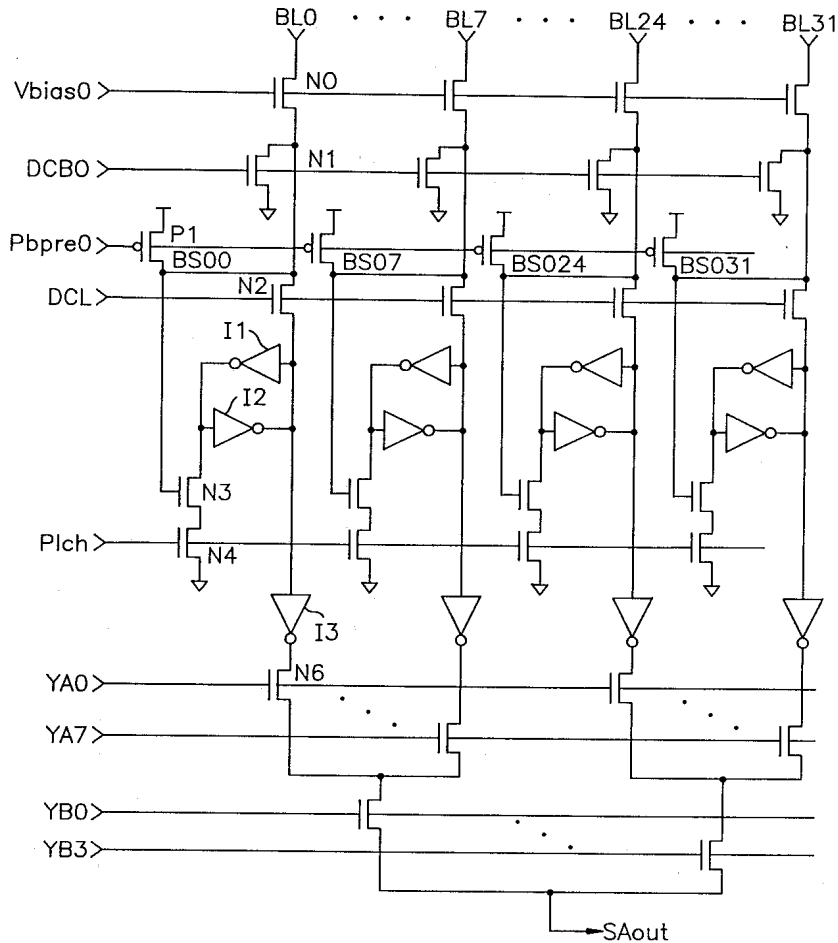
제1항에 있어서, 상기 제2도전형 트랜지스터들은 엔형 모오스 트랜지스터들임을 특징으로 하는 불휘발성 반도체 메모리 장치.

## 청구항 5

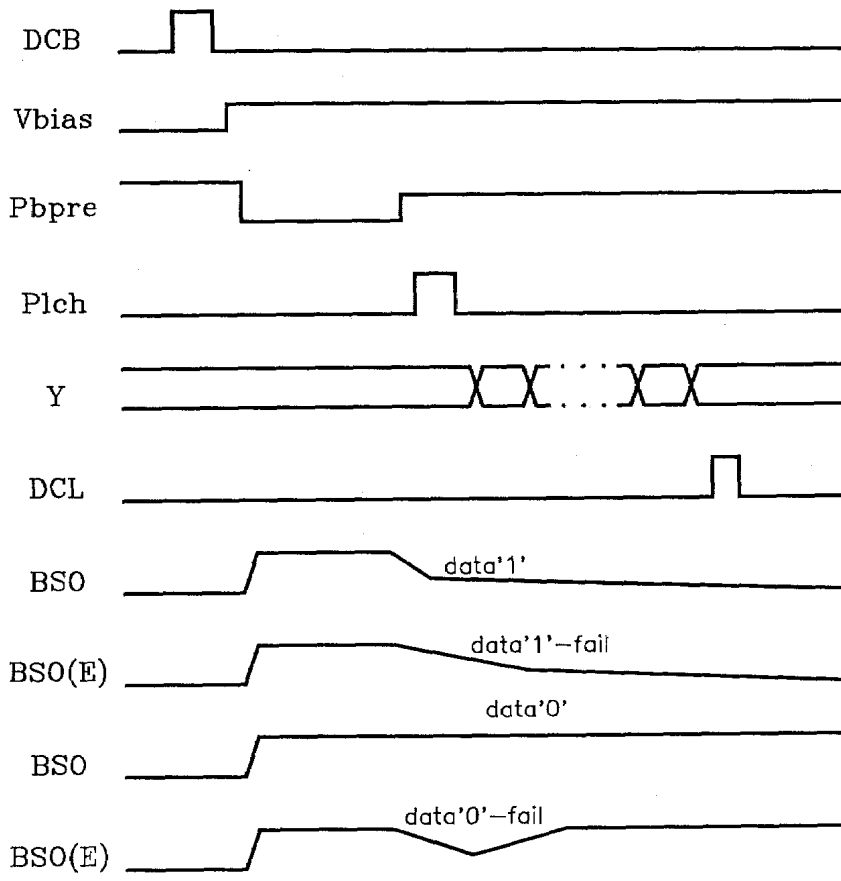
페이지 버퍼를 구비한 불휘발성 반도체 메모리 장치의 리드방법에 있어서, 상기 페이지 버퍼의 센싱노드가 불안정한 구간에서는 데이터의 래치를 하지 않고, 상기 노드가 안정한 구간에서 상기 래치를 수행함으로써 데이터의 리드동작에 따른 리드에러를 줄이는 것을 특징으로 하는 리드방법.

## 도면

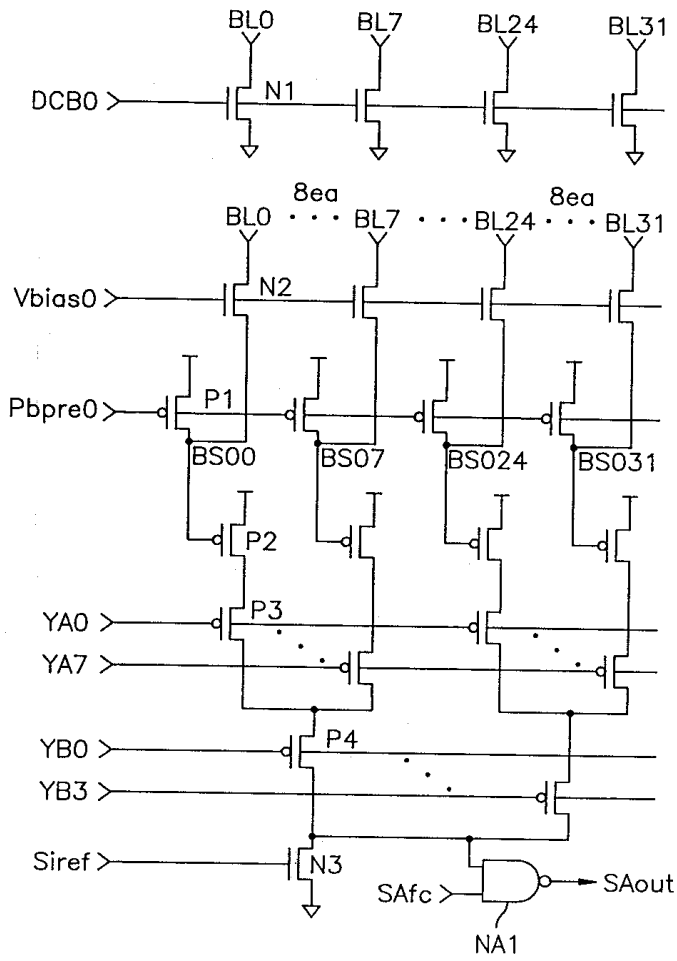
### 도면1



## 도면2



도면3



도면4

