

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-34188

(P2013-34188A)

(43) 公開日 平成25年2月14日(2013.2.14)

(51) Int.Cl.
H03M 1/50 (2006.01)

F I
H03M 1/50

テーマコード (参考)
5 J 0 2 2

審査請求 未請求 請求項の数 10 O L 外国語出願 (全 12 頁)

(21) 出願番号 特願2012-143961 (P2012-143961)
 (22) 出願日 平成24年6月27日 (2012. 6. 27)
 (31) 優先権主張番号 13/170, 443
 (32) 優先日 平成23年6月28日 (2011. 6. 28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390041542
 ゼネラル・エレクトリック・カンパニー
 アメリカ合衆国、ニューヨーク州、スケネ
 クタデイ、リバーロード、1番
 (74) 代理人 100137545
 弁理士 荒川 聡志
 (74) 代理人 100105588
 弁理士 小倉 博
 (74) 代理人 100129779
 弁理士 黒川 俊久
 (74) 代理人 100113974
 弁理士 田中 拓人

最終頁に続く

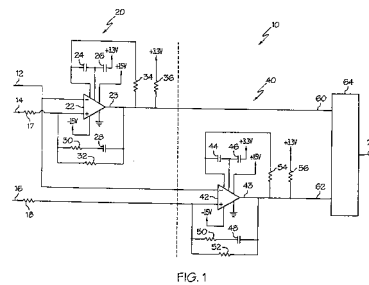
(54) 【発明の名称】 2重比較器を利用して、信号フィードバックなしで精密な信号整流およびタイミングシステムを容易にするための方法

(57) 【要約】 (修正有)

【課題】 信号整流 / タイミング回路用の方法および関連装置を提供する。

【解決手段】 可変振幅入力信号 1 2 が生成される。上側閾値レベルが決定され、下側閾値レベルが決定される。可変振幅入力信号および上側閾値レベルが第 1 の比較器 2 2 に入力される。可変振幅入力信号および下側閾値レベルが第 2 の比較器 4 2 に入力される。第 1 のデジタル出力信号 2 3 が、ヒステリシス回路を使用して前記第 1 の比較器において生成され、第 2 のデジタル出力信号 4 3 が、ヒステリシス回路を使用して第 2 の比較器において生成される。第 1 のデジタル出力信号および第 2 のデジタル出力信号が、論理アレイ 6 4 に入力される。可変振幅入力信号が、閾値を通過した所でデジタル遷移を有するデジタルレベルパルス出力信号 7 0 が、論理アレイにおいて生成される。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

電子信号を整流する方法であって、

- (a) 可変振幅入力信号 (1 2) を生成するステップと、
- (b) 上側閾値レベルを決定するステップと、
- (c) 下側閾値レベルを決定するステップと、
- (d) 前記可変振幅入力信号 (1 2) および前記上側閾値レベルを第 1 の比較器 (2 2) に入力するステップと、
- (e) 前記可変振幅入力信号 (1 2) および前記下側閾値レベルを第 2 の比較器 (4 2) に入力するステップと、
- (f) ヒステリシス回路を使用して前記第 1 の比較器 (2 2) において第 1 のデジタル出力信号 (2 3) を生成するステップと、
- (g) ヒステリシス回路を使用して前記第 2 の比較器 (4 2) において第 2 のデジタル出力信号 (4 3) を生成するステップと、
- (f) 前記第 1 のデジタル出力信号 (2 3) および前記第 2 のデジタル出力信号 (4 3) を論理アレイ (6 4) に入力するステップと、
- (g) 前記可変振幅入力信号 (1 2) が、閾値を通過した所でデジタル遷移を有するデジタルレベルパルス出力信号 (7 0) を、前記論理アレイ (6 4) において生成するステップと

10

を含む方法。

20

【請求項 2】

前記閾値は、前記上側閾値レベルおよび前記下側閾値レベルの一方である請求項 1 記載の方法。

【請求項 3】

前記閾値は、前記上側閾値レベルである請求項 1 記載の方法。

【請求項 4】

ヒステリシス回路を使用して前記第 1 の比較器 (2 2) において第 1 のデジタル出力信号 (2 3) を生成する前記ステップは、外部ヒステリシス回路を使用することを含む請求項 1 記載の方法。

【請求項 5】

ヒステリシス回路を使用して前記第 2 の比較器 (4 2) において第 2 のデジタル出力信号 (4 3) を生成する前記ステップは、外部ヒステリシス回路を使用することを含む請求項 1 記載の方法。

30

【請求項 6】

可変振幅入力信号 (1 2) を受信し、前記可変振幅入力信号 (1 2) が、閾値レベルを通過するときに遷移するデジタルレベルパルス出力信号 (7 0) を生成するための信号整流 / タイミング回路 (1 0) であって、

- (a) 前記可変振幅入力信号 (1 2) および決定された上側閾値信号 (1 4) を比較し、前記比較を示す第 1 のデジタル出力信号 (2 3) を生成するための第 1 の比較器 (2 2) と、
 - (b) 前記第 1 の比較器 (2 2) に結合したヒステリシス回路と、
 - (c) 前記可変振幅入力信号 (1 2) および決定された下側閾値信号 (1 6) を比較し、前記比較を示す第 2 のデジタル出力信号 (4 3) を生成するための第 2 の比較器 (4 2) と、
 - (d) 前記第 2 の比較器 (4 2) に結合したヒステリシス回路と、
 - (c) 前記第 1 のデジタル出力信号 (2 3) および前記第 2 のデジタル出力信号 (4 3) を受信し、前記可変振幅入力信号 (1 2) が、閾値レベルを通過するときに遷移する前記デジタルレベルパルス出力信号 (7 0) を生成するための論理アレイ (6 4) と
- を含む整流およびタイミング回路 (1 0) 。

40

【請求項 7】

50

前記閾値は、前記上側閾値レベルおよび前記下側閾値レベルの一方である請求項 6 記載の整流およびタイミング回路 (1 0) 。

【請求項 8】

前記閾値は、前記上側閾値レベルである請求項 6 記載の整流およびタイミング回路 (1 0) 。

【請求項 9】

前記第 1 の比較器 (2 2) に結合した前記ヒステリシス回路は、外部ヒステリシス回路である請求項 6 記載の整流およびタイミング回路 (1 0) 。

【請求項 10】

前記第 2 の比較器 (4 2) に結合した前記ヒステリシス回路は、外部ヒステリシス回路である請求項 6 記載の整流およびタイミング回路 (1 0) 。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、比較器回路に関し、より詳細には、可変振幅の入力信号を、上側閾値および下側閾値と別々に比較するために 2 つの比較器を使用する方法および関連回路に関する。

【背景技術】

【0002】

多くの電子回路において、所望の信号処理動作の前に、アナログセンサ出力をアナログ信号からデジタル信号に変換することが所望される。アナログ信号をデジタル信号に変換する 1 つの従来技術の解決策は、アナログ信号入力の電気特性を、公称の所望の閾値のような別の入力信号と論理的に比較する比較器を使用することによる。この電気特性は、電圧、アンペア数、または同様なものでありうる。アナログ信号入力の電気特性値が閾値を横切るとき、比較器の出力が遷移する。

20

【0003】

時として、背景雑音がアナログ信号入力に重ね合わされる。この重ね合わせは、アナログ信号入力に関して種々の望ましくない振幅変化を生成しうる。背景雑音は、アナログ信号入力の振幅にピークおよび谷を付加しうる。これらの振幅変動が比較器を通過するため、その変動は、閾値レベルを上下に頻繁に通過する。閾値を横切るこの頻繁な振幅遷移はまた、比較器出力信号の頻繁な遷移を生じることになり、バウンスと呼ばれることが多い。このバウンス特性は、望ましくないことが多く、バウンスを制御するために、フィードバック回路が使用されることがある。

30

【0004】

ある程度のバウンスをなくすために、比較器は、アナログ信号入力に閾値を有効に横切る回数を制限するためにヒステリシスを使用することができる。上側閾値および下側閾値以外に、公称閾値が選択される。公称閾値は、比較器からの所望の出力が変化する振幅を表す。上側閾値は、公称閾値より高く、比較器信号は、アナログ信号入力に上側閾値を横切るまで変化しない。同様に、比較器出力は、アナログ信号入力に、公称閾値より低い下側閾値より下がるまでやはり変化しないことになる。結果として、比較器のヒステリシスは、アナログ信号入力上に重ね合わされた雑音レベルによって生成される比較器出力における誤った切換えをなくすために使用される。上側閾値および下側閾値は、アナログ信号入力に公称閾値を横切る所に対する正確な比較器出力を維持しながら、バウンスを最小にするように選択される。

40

【0005】

典型的なフィードバック回路は、アナログ信号入力に上側閾値レベルおよび下側閾値レベルを横切るときを評価するために、ヒステリシスおよび単一比較器のこの適用形態を使用する。アナログ信号入力に上側閾値を横切った後、フィードバック回路は、下側閾値を使用するように比較器を切換えることになる。しかし、ある状況では、アナログ信号入力は、最初に、上側閾値を横切り、その後、ヒステリシスが下側閾値に切換えることができる前に、上側閾値を下に横切る可能性がある。この状況により、急速な変動またはバウンス

50

の形態で正しくない比較器出力が生じる。バウンスは、その後の回路構成要素で起こる信号処理を妨害することになる。さらに、フィードバック回路を使用するこの典型的な解決策は、結果として得られる出力波形に望ましくない位相偏移を生成することになる伝播遅延を有する場合がある。

【発明の概要】

【0006】

したがって、方法および回路における改良の必要性が存在する。

【0007】

以下は、本発明のいくつかの例示的な態様についての基本的な理解を提供するために、本発明の簡略化された概要を提示する。本概要は、本発明の広範な概略ではない。さらに、本概要は、本発明の重要な要素を特定することも、本発明の範囲を詳述することも意図されない。本概要の唯一の目的は、後で提示されるより詳細な説明に対する前置きとして、簡略化された形態で本発明のいくつかの概念を提示することである。

10

【0008】

ある態様によれば、本発明は、電子信号を整流する方法を提供する。方法は、可変振幅入力信号を生成すること、上側閾値レベルを決定すること、および、下側閾値レベルを決定することを含む。方法は、可変振幅入力信号および上側閾値レベルを第1の比較器に入力することを含む。方法は、可変振幅入力信号および下側閾値レベルを第2の比較器に入力することを含む。方法は、ヒステリシス回路を使用して第1の比較器において第1のデジタル出力信号を、また、ヒステリシス回路を使用して第2の比較器において第2のデジタル出力信号を生成することを含む。方法は、第1のデジタル出力信号および第2のデジタル出力信号を論理アレイに入力することを含む。方法は、可変振幅入力信号が、閾値レベルを通過した所でデジタル遷移を有するデジタルレベルパルス出力信号を、論理アレイにおいて生成することを含む。

20

【0009】

別の態様によれば、本発明は、可変振幅入力信号を受信し、可変振幅入力信号が、閾値レベルを通過するときに遷移するデジタルレベルパルス出力信号を生成するための信号整流/タイミング回路を提供する。整流およびタイミング回路は、可変振幅入力信号および決定された上側閾値信号を比較し、比較を示す第1のデジタル出力信号を生成するための第1の比較器を含む。回路は、第1の比較器に結合したヒステリシス回路を含む。回路は、可変振幅入力信号および決定された下側閾値信号を比較し、比較を示す第2のデジタル出力信号を生成するための第2の比較器を含む。回路は、第2の比較器に結合したヒステリシス回路を含む。回路は、第1のデジタル出力信号および第2のデジタル出力信号を受信し、可変振幅入力信号が、閾値レベルを通過するときに遷移するデジタルレベルパルス出力信号を生成するための論理アレイを含む。

30

【0010】

本発明の以上のまた他の態様は、添付図面を参照して以下の説明を読むと、本発明が関連する当業者に明らかになる。

【図面の簡単な説明】

【0011】

【図1】本発明の態様による信号整流/タイミング回路の例を示すブロック図である。

【図2】可変振幅入力信号、2つの比較器からの結果として得られる出力信号、およびデジタルレベルパルス出力信号を含む、図1の信号整流/タイミング回路の動作を示すグラフである。

【図3】本発明の態様による信号整流/タイミング回路を動作させる方法を示す最上位フロー図である。

40

【発明を実施するための形態】

【0012】

本発明の1つまたは複数の態様を組込む例示的な実施形態が、述べられ、図面において示される。これらの示される例は、本発明に関する限定であることを意図されない。たと

50

えば、本発明の1つまたは複数の態様は、他の実施形態またさらに他のタイプのデバイスで利用されうる。さらに、ある用語は、本明細書で便宜だけのために使用され、本発明に関する限定として解釈されるべきではない。なおさらに、図面において、同じ参照数字は、同じ要素を指定するために使用される。

【0013】

例示的な信号整流/タイミング回路は、図1において全体が10で指定される。図1が単に一例を示すこと、および、他の例が、本発明内で企図されることを認識されたい。信号整流/タイミング回路10は、可変振幅入力信号12を有する。可変振幅入力信号12は、一般的なアナログセンサ(図示せず)の出力でありうる。アナログセンサは、その環境内の変化を示すために電気特性の変化を生成する。アナログセンサ出力は、センサの環境の変化に相当する電気特性の変化を含む信号である。電気特性は、電圧、アンペア数、または同様なものでありうる。時として、所望の信号処理動作の前に、アナログセンサ出力をアナログ信号からデジタル信号に変換することが望ましい。

10

【0014】

上側閾値信号14および下側閾値信号16はまた、回路に入力される。任意の信号処理の前に、上側閾値信号14は抵抗器17を通過し、下側閾値信号16は抵抗器18を通過する。抵抗器17、18は、以下で述べる比較器の周りで交流(AC)および直流(DC)ヒステリシスを制御する。

【0015】

信号整流/タイミング回路10は、大きく2つの部分、すなわち、上側レベル閾値比較器側20および下側レベル閾値比較器側40に分割される。上側レベル閾値比較器側20は第1の比較器22を含む。第1の比較器22は、信号整流/タイミング回路10内の印加電圧に耐えられること、および、第1のデジタル出力信号23を調整するために適切な速度を有することに基づいて選択される。第1の比較器22は、可変振幅入力信号12および上側閾値信号14用の入力を含む。第1の比較器22は、上側閾値信号14の振幅と可変振幅入力信号12の振幅との差の極性を表す第1のデジタル出力信号23を生成する。第1のデジタル出力信号23は、その後、第1の比較器22のパウンスを制限するためにヒステリシス回路で使用される。

20

【0016】

上側レベル閾値比較器側20はまた、キャパシタ24およびキャパシタ26を含む。キャパシタ24、26は、ヒステリシス回路の有効な構築に関する第1の比較器22の製造業者の推奨に基づいて選択され、また、全ての比較器について必要とされない場合がある。上側レベル閾値比較器側20はまた、第1の比較器22入力の周りでACヒステリシスを制御するキャパシタ28および抵抗器30を含む。上側レベル閾値比較器側20はさらに、第1の比較器22の周りでDCヒステリシスを制御する抵抗器32を含む。抵抗器34は、ヒステリシス回路の有効な構築に関する第1の比較器22の製造業者の推奨に基づいて選択され、また、全ての比較器について必要とされない場合がある。上側レベル閾値比較器側20はさらに、第1のデジタル出力信号23の立ち上がりの速度を制御する抵抗器36を含む。

30

【0017】

下側レベル閾値比較器側40は第2の比較器42を含む。第2の比較器42は、信号整流/タイミング回路10内の印加電圧に耐えられること、および、第2のデジタル出力信号43を調整するために適切な速度を有することに基づいて選択される。第2の比較器42は、可変振幅入力信号12および下側閾値信号16用の入力を含む。第2の比較器42は、下側閾値信号16の振幅と可変振幅入力信号12の振幅との差の極性を表す第2のデジタル出力信号43を生成する。第2のデジタル出力信号43は、その後、第2の比較器42のパウンスを制限するためにヒステリシス回路で使用される。

40

【0018】

下側レベル閾値比較器側40はまた、キャパシタ44およびキャパシタ46を含む。キャパシタ44、46は、ヒステリシス回路の有効な構築に関する第2の比較器42の製造

50

業者の推奨に基づいて選択され、また、全ての比較器について必要とされない場合がある。下側レベル閾値比較器側 40 はまた、第 2 の比較器 42 入力の周りで AC ヒステリシスを制御するキャパシタ 48 および抵抗器 50 を含む。下側レベル閾値比較器側 40 はさらに、第 2 の比較器 42 の周りで DC ヒステリシスを制御する抵抗器 52 を含む。抵抗器 54 は、ヒステリシス回路の有効な構築に関する第 2 の比較器 42 の製造業者の推奨に基づいて選択され、また、全ての比較器について必要とされない場合がある。下側レベル閾値比較器側 40 はさらに、第 2 のデジタル出力信号 43 の立ち上がりの速度を制御する抵抗器 56 を含む。

【0019】

第 1 の比較器 22 におけるヒステリシスプロセス後に、第 1 のデジタル出力信号 23 は、第 1 の論理入力信号 60 になる。同様に、第 2 の比較器 42 におけるヒステリシスプロセス後に、第 2 のデジタル出力信号 43 は、第 2 の論理入力信号 62 になる。第 1 の論理入力信号 60 および第 2 の論理入力信号 62 は、論理アレイ 64 への入力である。論理アレイ 64 は、第 1 の論理入力信号 60 および第 2 の論理入力信号 62 を組合せて、可変振幅入力信号 12 が、閾値を横切った所でデジタル遷移を有するデジタルレベルパルス出力信号 70 を形成する。その遷移は、正確に閾値横断時とすることができる。示す例の中で、横断される閾値は、上側閾値レベルである。閾値横断は、上側閾値レベルまたは下側閾値レベルの一方とすることができることが認識される。

【0020】

図 1 の回路要素についてのいくつかの例示的な構成要素の値は、以下のものを含む。

【0021】

キャパシタ 24、26、44、46 = それぞれの比較器の製造業者の推奨による（おそらく全ての比較器については必要ない）

キャパシタ 28、48 = 1 pF ~ 1000 pF

抵抗器 17、18 = 0 ~ 100 k オーム

抵抗器 34、54 = それぞれの比較器の製造業者の推奨による（おそらく全ての比較器については必要ない）

抵抗器 30、50 = 1 k オーム ~ 1 M オーム

抵抗器 32、52 = 10 k オーム ~ 10 M オーム

抵抗器 36、56 = 1 k オーム ~ 100 k オーム

信号整流 / タイミング回路 10 は、信号レベルを上側閾値信号 14 および下側閾値信号 16 の両方と比較する単一比較器と共に通常使用されるフィードバック回路の必要性をなくす。本信号整流 / タイミング回路 10 は、可変振幅入力信号 12 を、上側閾値信号 14 および下側閾値信号 16 と個々に比較する第 1 の比較器 22 および第 2 の比較器 42 を含む。フィードバック回路の削除は、第 1 のデジタル出力信号 23 および第 2 のデジタル出力信号 43 の伝播遅延を減少させる。伝播遅延の減少は、信号整流 / タイミング回路 10 が、論理アレイ 64 における信号処理時に位相誤差を減少させることを可能にする。

【0022】

さらに、信号整流 / タイミング回路 10 におけるフィードバック回路の削除はまた、単一比較器を使用するときの競合状態をなくす。競合状態とは、ヒステリシスが比較器に加えられた状態でフィードバック回路が新しい閾値を適用できる前に、入力信号が、所望の閾値を 2 回以上横切る状態である。結果として、比較器の出力信号は、所望されない、高速に発生する複数の信号遷移を有しうる。信号整流 / タイミング回路 10 は、上側閾値信号 14 用の単一比較器および下側閾値信号 16 用の単一比較器を使用することによって、調整された信号の誤った遷移をなくす。

【0023】

正確に、可変振幅入力信号 12 が、閾値レベルを通過した所でデジタル遷移を有するデジタルレベルパルス出力信号 70 を生成する他の方法が試みられた。1 つの方法は、回路の初期部分において可変振幅入力信号 12 をデジタル信号に変換し、その後、遷移点を生成するためにデジタル信号処理を使用することである。この方法は、必要なビット深さを

10

20

30

40

50

持って十分なアナログ - デジタル変換帯域幅をサポートしない現行の技術によって制限される。さらに、この方法は、ファームウェアなどのツールによって達成するのに費用がかかりかつやっかいである。

【0024】

図2に移ると、信号整流/タイミング回路10の例示的な入力および出力信号を示すグラフが示される。グラフの上側部分は、所定期間にわたって左から右へ進むときの可変振幅入力信号12を含む。時間が進むにつれて、可変振幅入力信号12は、下側閾値信号16と上側閾値信号14の両方を横切る。公称閾値80もまた、グラフの上側部分に含まれる。グラフの下側部分は、第1の論理入力信号60、第2の論理入力信号62、およびデジタルレベルパルス出力信号70を含む。

10

【0025】

可変振幅入力信号12が下側閾値信号16の振幅を横切るとき、第2の論理入力信号62が切り換わる。この切り換えは、第2の比較器42の動作の結果を示す。切り換えは、可変振幅入力信号12が下側閾値信号16を通過すると同時に起こる。可変振幅入力信号12は、その後、上側閾値信号14を横切り、これは、第1の論理入力信号60の切り換えをもたらす。この切り換えはまた、可変振幅入力信号12が上側閾値信号14を通過すると同時に起こる。

【0026】

同様に、可変振幅入力信号12は、その後、上側閾値信号14を横切り、第1の論理入力信号60の切り換えをもたらす。可変振幅入力信号12は、その後、下側閾値信号16を横切り、第2の論理入力信号62の切り換えをもたらす。デジタルレベルパルス出力信号70は、第1の論理入力信号60と第2の論理入力信号62の組合せとして論理アレイ64によって生成される。デジタルレベルパルス出力信号70における切り換えはそれぞれ、可変振幅入力信号12が閾値を横切り、かつ、デジタルレベルパルス出力信号と可変振幅入力信号との間に最小位相偏移が存在するとき起こる。

20

【0027】

図3に移ると、比較器回路を動作させる方法が述べられる。方法は、可変振幅入力信号12を生成するステップ102を含む。可変振幅入力信号12は、電気、磁気、温度、湿度、力、重量、トルク、圧力、運動、振動、流れ、流体レベル、流体体積、光および赤外、または化学物質パラメータを検出するセンサを含むが、それに限定されない任意の数の標準的なセンサから得られる。可変振幅入力信号はまた、任意の供給源からの電圧出力でありうる。

30

【0028】

方法はまた、上側閾値信号14を決定するステップ104を含む。上側閾値信号14は、任意の供給源からの電圧入力であり、信号整流/タイミング回路10のオペレータによって制御されうる。上側閾値信号14は、第1のデジタル出力信号23のバウンスを最小にしなから、公称閾値80と上側閾値信号14との間の範囲を最適化するように選択されうる。

【0029】

方法はまた、下側閾値信号16を決定するステップ106を含む。下側閾値信号16は、任意の供給源からの電圧入力であり、信号整流/タイミング回路10のオペレータによって制御されうる。下側閾値信号16は、第2のデジタル出力信号43のバウンスを最小にしなから、公称閾値80と下側閾値信号16との間の範囲を最適化するように選択されうる。

40

【0030】

方法は、可変振幅入力信号12および上側閾値信号14を第1の比較器22に入力するステップ108をなおさらを含む。方法はまた、可変振幅入力信号12および下側閾値信号16を第2の比較器42に入力するステップ110を含む。

【0031】

方法はまた、ヒステリシス回路を使用して第1の比較器22において第1のデジタル出

50

力信号 23 を生成するステップ 112 を含む。方法は、ヒステリシス回路を使用して前記第 2 の比較器 42 において第 2 のデジタル出力信号 43 を生成するステップ 114 をさらに含む。

【0032】

方法は、第 1 の論理入力信号 60 および第 2 の論理入力信号 62 を論理アレイ 64 に入力するステップ 116 を含む。第 1 の論理入力信号 60 および第 2 の論理入力信号 62 は、ヒステリシス回路によって調整された後の第 1 の比較器 22 の第 1 のデジタル出力信号 23 および第 2 の比較器 42 の第 2 のデジタル出力信号 43 からの結果として得られる信号である。

【0033】

方法は、可変振幅入力信号 12 が、上側閾値信号 14 を通過した所でデジタル遷移を有するデジタルレベルパルス出力信号 70 を、論理アレイ 64 において生成するステップ 118 をさらに含む。遷移は、正確に閾値横断時とすることができる。

【0034】

信号整流 / タイミング回路の方法および装置は、可変振幅入力信号を上側閾値レベルおよび下側閾値レベルと比較する単一比較器を使用するいくつかの回路によって生成される、結果として得られる出力波形内の過剰の伝播遅延および過剰の信号位相偏移をなくす 1 つの解決策である。さらに、信号整流 / タイミング回路の方法および装置は、正確に可変振幅入力信号の振幅が閾値を横切った所で遷移を有するデジタルレベルパルス出力信号を生成するコストを低減する。さらに、信号整流 / タイミング回路の方法および装置は、正確に可変振幅入力信号の振幅が閾値を横切った所で遷移を有するデジタルレベルパルス出力信号を生成しながら、帯域幅についての必要性を低減する。

【0035】

本発明は、上述した例示的な実施形態を参照して述べられている。本仕様を読み理解すると、修正および変更を他の人々が思いつく。本発明の 1 つまたは複数の態様を組み込む例示的な実施形態は、添付特許請求項の範囲内に入る限り、全てのこうした修正および変更を含むことが意図される。

【符号の説明】

【0036】

- 10 信号整流 / タイミング回路
- 12 可変振幅入力信号
- 14 上側閾値信号
- 16 下側閾値信号
- 17 抵抗器
- 18 抵抗器
- 20 上側レベル閾値比較器側
- 22 第 1 の比較器
- 23 第 1 のデジタル出力信号
- 24 キャパシタ
- 26 キャパシタ
- 28 キャパシタ
- 30 抵抗器
- 32 抵抗器
- 36 抵抗器
- 40 下側レベル閾値比較器側
- 40 下側レベル閾値比較器側
- 42 第 2 の比較器
- 43 第 2 のデジタル出力信号
- 44 キャパシタ
- 46 キャパシタ

10

20

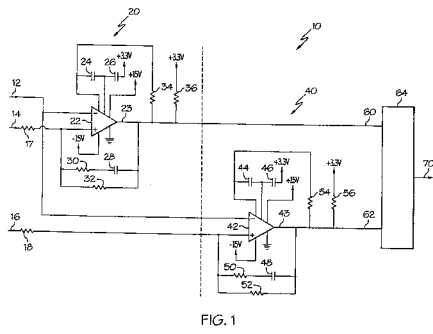
30

40

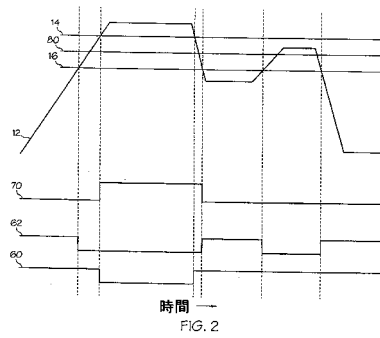
50

- 4 8 キャパシタ
- 5 0 抵抗器
- 5 2 抵抗器
- 5 6 抵抗器
- 6 0 第 1 の論理入力信号
- 6 2 第 2 の論理入力信号
- 6 4 論理アレイ
- 7 0 デジタルレベルパルス出力信号
- 8 0 公称閾値

【 図 1 】



【 図 2 】



【 図 3 】

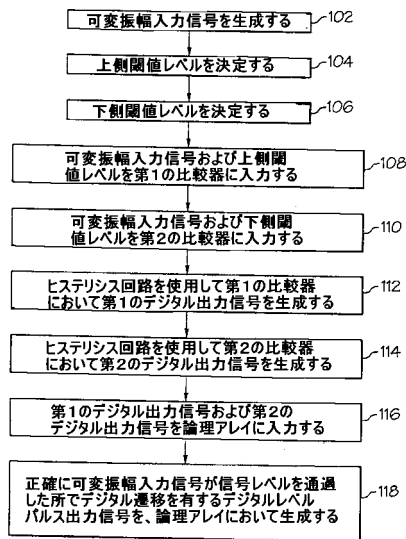


FIG. 3

フロントページの続き

(72)発明者 スティーブン・トマス・クレメンズ

アメリカ合衆国、ネバダ州・ 8 9 7 0 1、カーソン・シティ、ジェンナ・コート、 8 3 2 番

Fターム(参考) 5J022 AA11 CB01 CD04 CF01

【外国語明細書】

2013034188000001.pdf