



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2019년01월16일  
 (11) 등록번호 10-1939518  
 (24) 등록일자 2019년01월10일

- (51) 국제특허분류(Int. Cl.)  
*H01L 51/50* (2006.01) *G02F 1/1368* (2006.01)  
*G09F 9/30* (2006.01) *H01L 29/423* (2006.01)  
*H01L 29/49* (2006.01) *H01L 29/786* (2006.01)
- (52) CPC특허분류  
*H01L 51/50* (2013.01)  
*G02F 1/1368* (2013.01)
- (21) 출원번호 10-2017-7020006
- (22) 출원일자(국제) 2016년01월20일  
 심사청구일자 2017년07월18일
- (85) 번역문제출일자 2017년07월18일
- (65) 공개번호 10-2017-0098886
- (43) 공개일자 2017년08월30일
- (86) 국제출원번호 PCT/JP2016/051586
- (87) 국제공개번호 WO 2016/117609  
 국제공개일자 2016년07월28일

(30) 우선권주장  
 JP-P-2015-009212 2015년01월21일 일본(JP)

(56) 선행기술조사문현  
 KR1020140143108 A\*  
 (뒷면에 계속)

전체 청구항 수 : 총 17 항

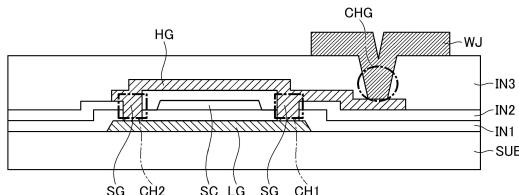
심사관 : 이옥우

(54) 발명의 명칭 표시 장치

### (57) 요 약

킹크 현상의 발생을 억제하여 표시 장치의 화질을 향상시키는 것. 표시 장치는 화소에 설치된 박막 트랜지스터를 갖는다. 박막 트랜지스터는, 반도체층(SC)과, 반도체층(SC) 아래에 형성된 제1 절연층(IN1)과, 반도체층(SC) 위에 형성된 제2 절연층(IN2)과, 반도체층(SC)에 간격을 두고 대향하는 게이트 전극(LG, HG, SG)을 갖는다. 게이트 전극은, 반도체층(SC)의 하면과 대향하는 제1 게이트 전극부(LG)와, 반도체층(SC)의 상면과 대향하는 제2 게이트 전극부(HG)와, 반도체층(SC)의 측면과 대향하여 제1 게이트 전극부(LG) 및 제2 게이트 전극부(HG)에 접속되는 제3 게이트 전극부(SG)를 포함한다. 반도체층(SC)의 주위에, 제1 절연층(IN1) 및 제2 절연층(IN2)이 서로 적층되는 적층부를 갖는다. 적층부의 일부가 반도체층(SC)의 측면과 제3 게이트 전극부(SG) 사이에 위치한다.

### 대 표 도



(52) CPC특허분류

*G09F 9/30* (2013.01)  
*H01L 29/423* (2013.01)  
*H01L 29/49* (2013.01)  
*H01L 29/786* (2013.01)

(56) 선행기술조사문헌

KR1020110037220 A\*  
KR1020010015311 A\*  
JP2014027209 A\*  
JP2011181913 A\*

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

매트릭스 형상으로 배치된 복수의 화소의 각각에 설치된 박막 트랜지스터를 갖고,

상기 박막 트랜지스터는, 반도체층과, 상기 반도체층의 하층에 형성된 제1 절연층과, 상기 반도체층의 상층에 형성된 제2 절연층과, 상기 반도체층에 간격을 두고 대향하는 게이트 전극을 갖고,

상기 반도체층은, 소스 영역과, 드레인 영역과, 상기 소스 영역과 상기 드레인 영역 사이에 있는 채널 영역을 포함하고, 또한 상면과, 하면과, 상기 상면과 상기 하면에 접속됨과 함께 상기 채널 영역에 포함되는 부분을 갖는 측면을 구비하고,

상기 게이트 전극은, 상기 제1 절연층을 개재하여 상기 반도체층의 상기 하면에 대향하는 제1 게이트 전극부와, 상기 제2 절연층을 개재하여 상기 반도체층의 상기 상면에 대향하는 제2 게이트 전극부와, 상기 반도체층의 상기 측면에 대향함과 함께 상기 제1 게이트 전극부 및 상기 제2 게이트 전극부에 접하는 제3 게이트 전극부를 포함하고,

상기 반도체층의 주위에, 상기 제1 절연층과 상기 제2 절연층이 서로 적층되는 적층부를 구비하고,

상기 적층부의 일부가 상기 반도체층의 상기 측면과 상기 제3 게이트 전극부 사이에 위치하고,

상기 제1 게이트 전극부와 상기 제2 게이트 전극부 중 한쪽은 상기 소스 영역과 상기 드레인 영역을 연결하는 방향에 교차하는 방향으로 우뚝한 절결을 갖고,

상기 절결의 내측에 위치하고 또한 평면적으로 보아 상기 한쪽과 중첩되어 있지 않은 비중첩 영역에는 상기 반도체층의 일부가 위치하고,

상기 비중첩 영역에는 배선이 위치하고,

상기 배선은 상기 상면 또는 상기 하면의 상기 한쪽과 대향하는 면에서 상기 반도체층에 전기적으로 접속되는 것을 특징으로 하는 표시 장치.

#### 청구항 2

제1항에 있어서,

상기 반도체층은,

평면적으로 보아 상기 제1 게이트 전극과 상기 제2 게이트 전극부 중 한쪽과만 중첩되는 제1 부분과,

평면적으로 보아 상기 제1 부분으로부터 상기 반도체층과는 반대측으로 돌출되고, 상기 제1 게이트 전극과 상기 제2 게이트 전극부 중 어느 쪽과도 중첩되지 않는 제2 부분을 구비하고 있는

것을 특징으로 하는 표시 장치.

#### 청구항 3

제1항에 있어서,

상기 반도체층의 상기 채널 영역은,

평면적으로 보아 상기 제1 게이트 전극부와 상기 제2 게이트 전극부의 양쪽과 중첩되는 1쌍의 제1 중첩 영역과,

평면적으로 보아 상기 제1 게이트 전극부와 상기 제2 게이트 전극부 중 한쪽과만 중첩되는 1쌍의 제2 중첩 영역을 포함하고,

상기 1쌍의 제1 중첩 영역은 서로 상기 소스 영역과 상기 드레인 영역을 연결하는 방향으로 서로 대향하여 위치하고,

상기 1쌍의 제2 중첩 영역의 각각은 상기 1쌍의 제1 중첩 영역의 각각에 인접하여 위치하는 것을 특징으로 하는 표시 장치.

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

제1항에 있어서,

상기 배선은 상기 소스 영역과 상기 드레인 영역 중 한쪽에 전기적으로 접속되는 것을 특징으로 하는 표시 장치.

#### 청구항 7

제1항에 있어서,

상기 적층부는 상기 반도체층의 상기 측면과 대향하는 위치에 콘택트 홀을 갖고,

상기 제3 게이트 전극부는 콘택트 홀 내에 설치되는

것을 특징으로 하는 표시 장치.

#### 청구항 8

제7항에 있어서,

상기 제1 게이트 전극부는 상기 반도체층과 대향하는 제1 영역을 갖고,

상기 제2 게이트 전극부는 상기 반도체층과 대향하는 제2 영역을 갖고,

상기 콘택트 홀은 상기 소스 영역과 상기 드레인 영역을 연결하는 방향에 위치하는 1쌍의 단부를 갖고,

상기 콘택트 홀의 상기 1쌍의 단부는 평면적으로 보아 상기 제1 영역과 상기 제2 영역 중 한쪽과 중첩되고 다른 쪽과는 중첩되지 않는

것을 특징으로 하는 표시 장치.

#### 청구항 9

제1항에 있어서,

상기 제1 게이트 전극부는 평면적으로 보아 상기 제1 절연층과 상기 제2 절연층으로부터 돌출되는 돌출 영역을 갖고,

상기 제3 게이트 전극부는 상기 돌출 영역에서 상기 제1 게이트 전극부에 접속되는

것을 특징으로 하는 표시 장치.

#### 청구항 10

제1항에 있어서,

상기 제1 절연층 및 상기 제2 절연층은, 상기 제3 게이트 전극부의 상기 반도체층과는 반대측의 면과 접해 있지 않은

것을 특징으로 하는 표시 장치.

#### 청구항 11

제1항에 있어서,

상기 제3 게이트 전극부는 상기 소스 영역과 상기 드레인 영역을 연결하는 방향에 위치하는 1쌍의 단부를 갖고,  
상기 제3 게이트 전극부의 상기 1쌍의 단부는 평면적으로 보아 상기 제1 게이트 전극부와 상기 제2 게이트 전극부에 중첩되는  
것을 특징으로 하는 표시 장치.

### 청구항 12

제11항에 있어서,

상기 제1 게이트 전극부는 상기 반도체층과 대향하는 제1 영역을 갖고,  
상기 제2 게이트 전극부는 상기 반도체층과 대향하는 제2 영역을 갖고,  
상기 제3 게이트 전극부는 상기 반도체층과 대향하는 제3 영역을 갖고,  
상기 제3 영역은 상기 소스 영역과 상기 드레인 영역을 연결하는 방향의 양측에 위치하는 1쌍의 단부를 갖고,  
상기 제3 영역의 상기 1쌍의 단부는 평면적으로 보아 상기 제1 영역과 상기 제2 영역에 중첩되는  
것을 특징으로 하는 표시 장치.

### 청구항 13

제1항에 있어서,

상기 반도체층의 상기 측면은, 제1 측면과, 상기 제1 측면과 상기 채널 영역을 개재하여 대향하는 제2 측면을 포함하고,  
상기 제3 게이트 전극부는 상기 제1 측면과 상기 제2 측면의 양쪽과 대향하는  
것을 특징으로 하는 표시 장치.

### 청구항 14

제1항에 있어서,

상기 반도체층의 상기 측면은, 제1 측면과, 상기 제1 측면과 상기 채널 영역을 개재하여 대향하는 제2 측면을 포함하고,  
상기 제3 게이트 전극부는 상기 제1 측면과 상기 제2 측면 중 한쪽에만 대향하는  
것을 특징으로 하는 표시 장치.

### 청구항 15

제1항에 있어서,

상기 반도체층의 상기 측면은, 제1 측면과, 상기 제1 측면과 상기 채널 영역을 개재하여 대향하는 제2 측면을 포함하고,  
상기 제3 게이트 전극부는 상기 제1 측면과 대향하는 서로 이격된 복수의 제1 이격 부분을 포함하는  
것을 특징으로 하는 표시 장치.

### 청구항 16

제15항에 있어서,

상기 제3 게이트 전극부는 상기 제2 측면과 대향하는 서로 이격된 복수의 제2 이격 부분을 포함하는  
것을 특징으로 하는 표시 장치.

### 청구항 17

제1항에 있어서,

상기 반도체층은 상기 소스 영역과 상기 드레인 영역을 연결하는 방향에 교차하는 방향으로 분기되는 분기부를 갖고,

상기 분기부는 상기 채널 영역으로부터 분기되어 있는

것을 특징으로 하는 표시 장치.

### 청구항 18

제17항에 있어서,

상기 제1 게이트 전극부 및 상기 제2 게이트 전극부 중 적어도 한쪽은 상기 분기부에 대향하는 분기 게이트 전극부를 갖는

것을 특징으로 하는 표시 장치.

### 청구항 19

제17항에 있어서,

상기 분기부는 상기 소스 영역과 상기 드레인 영역의 한쪽과 전기적으로 접속되는

것을 특징으로 하는 표시 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

### 배경 기술

[0002] 액정 표시 장치나 유기 EL 표시 장치 등, 박막 트랜지스터를 갖는 화소에 의하여 구성되는 표시 장치가 보급되어 있다.

[0003] 특허문헌 1에는, 반도체층 아래에 있는 백 게이트 전극과 반도체층 위에 있는 프론트 게이트 전극을 포함하는 박막 트랜지스터가 개시되어 있다. 특허문헌 2에는, 반도체 박막의 상방의 게이트 전극과 하방의 백 게이트 전극이 설치된 박막 트랜지스터가 개시되어 있다.

### 선행기술문헌

### 특허문헌

[0004] (특허문헌 0001) 일본 특허 공개 제2009-43748호 공보

(특허문헌 0002) 일본 특허 공개 평5-114732호 공보

## 발명의 내용

### 해결하려는 과제

[0005] 최근의 표시 장치는 고정밀화가 요구되고 있으며, 그에 따라 화소의 사이즈가 작아져 왔다. 화소가 작아지면 박막 트랜지스터를 배치하는 공간이 감소하여, 작은 사이즈의 트랜지스터에서 전류를 제어할 때 문제로 되는 킹크(Kink) 현상이 보다 발생하기 쉬워지고 있다. 여기서 킹크 현상은,  $Vd-Id$  특성이 일반적인 박막 트랜지스터와 상이해져 버리는 현상이며, 드레인 단부의 강전계에 의해 핫 일렉트론이 대량으로 발생하는 임팩트 이온 현상이라고도 한다. 이때 잉여로 되는 홀이 게이트 아래에 축적된 홀 어큐뮬레이션의 상태로 되는 현상, 즉 킹크 현상이 발생하면, 박막 트랜지스터의 특성의 변동이 커져 화질의 악화가 발생한다.

[0006] 본 발명은 상기 과제를 감안하여 이루어진 것이며, 그 목적은 박막 트랜지스터에 있어서의 킹크 현상의 발생을

억제하여 표시 장치의 화질을 향상시키는 기술을 제공하는 데 있다.

### 과제의 해결 수단

[0007] 본 출원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 이하와 같다.

표시 장치는, 매트릭스 형상으로 배치된 복수의 화소의 각각에 설치된 박막 트랜지스터를 갖고, 상기 박막 트랜지스터는, 반도체층과, 상기 반도체층의 하층에 형성된 제1 절연층과, 상기 반도체층의 상층에 형성된 제2 절연층과, 상기 반도체층에 간격을 두고 대향하는 게이트 전극을 갖고, 상기 반도체층은, 소스 영역과, 드레인 영역과, 상기 소스 영역과 상기 드레인 영역 사이에 있는 채널 영역을 포함하고, 또한 상면과, 하면과, 상기 상면과 상기 하면에 접속됨과 함께 상기 채널 영역에 포함되는 부분을 갖는 측면을 구비하고, 상기 게이트 전극은, 상기 제1 절연층을 개재하여 상기 반도체층의 상기 하면에 대향하는 제1 게이트 전극부와, 상기 제2 절연층을 개재하여 상기 반도체층의 상기 상면에 대향하는 제2 게이트 전극부와, 상기 반도체층의 상기 측면에 대향함과 함께 상기 제1 게이트 전극부 및 상기 제2 게이트 전극부에 접하는 제3 게이트 전극부를 포함하고, 상기 반도체층의 주위에, 상기 제1 절연층과 상기 제2 절연층이 서로 적층되는 적층부를 구비하고, 상기 적층부의 일부가 상기 반도체층의 상기 측면과 상기 제3 게이트 전극부 사이에 위치한다.

### 발명의 효과

[0009] 본 발명에 의하면, 킹크 현상의 발생을 억제하여 표시 장치의 화질을 향상시킬 수 있다.

### 도면의 간단한 설명

[0010] 도 1은 제1 실시 형태에 따른 유기 EL 표시 장치의 등가 회로의 일례를 도시하는 회로도이다.

도 2는 제1 실시 형태에 따른 화소 회로의 일례를 도시하는 평면도이다.

도 3은 도 2에 도시하는 화소 회로의 III-III 절단선에 있어서의 단면도이다.

도 4는 제1 실시 형태에 따른 박막 트랜지스터의 일례를 도시하는 평면도이다.

도 5는 도 4에 도시하는 박막 트랜지스터의 V-V 절단선에 있어서의 단면도이다.

도 6은 박막 트랜지스터의 다른 일례를 도시하는 평면도이다.

도 7은 박막 트랜지스터의 다른 일례를 도시하는 평면도이다.

도 8은 도 7에 도시하는 박막 트랜지스터의 VIII-VIII 절단선에 있어서의 단면도이다.

도 9는 박막 트랜지스터의 다른 일례를 도시하는 평면도이다.

도 10은 박막 트랜지스터의 다른 일례를 도시하는 평면도이다.

도 11은 제2 실시 형태에 따른 화소 회로의 일례를 도시하는 평면도이다.

도 12는 도 11에 도시하는 화소 회로의 X II-X II 절단선에 있어서의 단면도이다.

도 13은 제2 실시 형태에 따른 박막 트랜지스터의 일례를 도시하는 평면도이다.

도 14는 도 13에 도시하는 박막 트랜지스터의 X IV-X IV 절단선에 있어서의 단면도이다.

도 15는 제3 실시 형태에 따른 화소 회로의 일례를 도시하는 평면도이다.

도 16은 제3 실시 형태에 따른 박막 트랜지스터의 일례를 도시하는 평면도이다.

도 17은 도 16에 도시하는 박막 트랜지스터의 X VII-X VII 절단선에 있어서의 단면도이다.

도 18은 박막 트랜지스터의 다른 일례를 도시하는 평면도이다.

도 19는 박막 트랜지스터의 다른 일례를 도시하는 평면도이다.

도 20은 박막 트랜지스터의 다른 일례를 도시하는 평면도이다.

도 21은 도 20에 도시하는 박막 트랜지스터의 X X I-X X I 절단선에 있어서의 단면도이다.

## 발명을 실시하기 위한 구체적인 내용

[0011]

이하에서는 본 발명의 실시 형태에 대하여 도면에 기초하여 설명한다. 출현하는 구성 요소 중, 동일한 기능을 갖는 것에는 동일한 부호를 붙여 그 설명을 생략한다. 이하에서는 본 발명의 실시 형태로서, 표시 장치의 1종인 유기 EL 표시 장치에 본 발명을 적용한 경우의 예에 대하여 설명하지만, 표시 장치는 액정 표시 장치 등, 박막 트랜지스터를 포함하는 화소 회로를 갖는 다른 종류의 표시 장치여도 된다.

[0012]

[제1 실시 형태]

[0013]

본 발명의 제1 실시 형태에 따른 유기 EL 표시 장치는, 어레이 기판 SUB(도 3 참조)와, 어레이 기판 SUB에 대향하는 대향 기판과, 어레이 기판 SUB에 접속되는 플렉시블 회로 기판과, 드라이버 접적 회로를 포함한다. 대향 기판에 컬러 필터가 설치되고, 컬러 필터와 백색 OLED(Organic Light Emitting Diode)의 조합에 의하여 풀컬러 표시가 실현된다. 백색 OLED 대신 RGB 등의 각각의 색을 발광하는 발광 소자를 사용하는 경우에는, 대향 기판 및 컬러 필터는 존재하지 않아도 된다.

[0014]

도 1은, 제1 실시 형태에 따른 유기 EL 표시 장치의 등가 회로를 도시하는 회로도이다. 도 1에 도시하는 회로는 물리적으로는 어레이 기판 SUB(도 3 참조) 위나 드라이버 접적 회로 내에 형성되어 있다. 어레이 기판 SUB 위에는 복수의 화소 회로 PC, 복수의 게이트 신호선 GL, 복수의 데이터 신호선 SL, 전원선 PL이 배치되어 있다. 복수의 화소 회로 PC는 어레이 기판 SUB의 표시 영역 내에 매트릭스 형상으로 배치되어 있다. 화소 회로 PC는 각각 하나의 표시 화소에 상당한다. 화소 회로 PC의 행당 하나의 게이트 신호선 GL이 설치되어 있으며, 게이트 신호선 GL의 각각은 대응하는 행을 구성하는 화소 회로 PC에 접속되어 있다. 또한 화소 회로 PC의 열당 하나의 데이터 신호선 SL이 설치되어 있으며, 데이터 신호선 SL의 각각은 대응하는 열을 구성하는 화소 회로 PC에 접속되어 있다. 또한 복수의 게이트 신호선 GL의 일 단부는 구동 회로 YDV에 접속되고, 복수의 데이터 신호선 SL의 일 단부는 구동 회로 XDV에 접속되어 있다. 구동 회로 YDV는 게이트 신호선 GL에 주사 신호를 출력하고, 구동 회로 XDV는 화소의 표시 제조에 따른 영상 신호의 진위를 데이터 신호선 SL에 공급한다.

[0015]

화소 회로 PC의 각각은 박막 트랜지스터 TFT1, 박막 트랜지스터 TFT2, 캐패시터 CS, 발광 소자 LE를 포함한다. 박막 트랜지스터 TFT1은 게이트 신호선 GL로부터 공급되는 주사 신호에 따라 온으로 되고, 그때 데이터 신호선 SL로부터 공급되는 영상 신호에 기초한 전위를 캐패시터 CS에 기억시킨다. 박막 트랜지스터 TFT2는 캐패시터 CS에 기억된 전위차에 기초하여, 소스와 드레인 사이를 흐르는 전류의 양을 제어한다. 발광 소자 LE은 OLED이며, 박막 트랜지스터 TFT2가 제어하는 전류의 양에 따른 강도로 발광한다. 박막 트랜지스터 TFT2는 P 채널형이므로, 박막 트랜지스터 TFT2의 소스 전극은 전원선 PL에 접속되고, 드레인 전극은 발광 소자 LE에 접속된다. 또한 캐패시터 CS는 박막 트랜지스터 TFT2의 게이트 전극과 소스 전극 사이에 설치되어 있다. 또한 화소 회로 PC는 도 1에 도시하는 것에 한정되지는 않으며, 박막 트랜지스터 TFT2가 발광 소자 LE에 걸리는 전압을 제어하는 화소 회로 PC여도 된다.

[0016]

도 2는, 제1 실시 형태에 따른 화소 회로 PC의 일례를 도시하는 평면도이다. 도 3은, 도 2에 도시하는 화소 회로 PC의 III-III 절단선에 있어서의 단면도이다. 화소 회로 PC의 각각은 주로 인접하는 데이터 신호선 SL과 인접하는 게이트 신호선 GL에 의하여 둘러싸인 영역에 배치되어 있다. 또한 전원선 PL은 데이터 신호선 SL의 각각의 좌측에 인접하여 상하 방향으로 연장되어 있다. 어레이 기판 SUB 위의 화소 회로 PC가 형성되는 영역에는, 화소 회로 PC를 구성하는 요소로서 채널 반도체막 SC, SD, 상측 게이트 전극 HG, 하측 게이트 전극 LG, 가로 게이트 전극 SG(도 3 참조), 제1 캐패시터 전극 CE1, 제2 캐패시터 전극 CE2, 제3 캐패시터 전극 CE3, 양극 PE, 도 3에 도시한 바와 같이 뱅크 개구 OP가 형성된 뱅크 BK가 배치되어 있다. 채널 반도체막 SD는 게이트 신호선 GL 중 채널 반도체막 SD 위에 있는 부분과 함께 박막 트랜지스터 TFT1을 구성하고 있다. 채널 반도체막 SC, 상측 게이트 전극 HG, 하측 게이트 전극 LG, 가로 게이트 전극 SG(도 3 참조)는 박막 트랜지스터 TFT2를 구성하고 있다. 제1 캐패시터 전극 CE1, 제2 캐패시터 전극 CE2, 제3 캐패시터 전극 CE3은 캐패시터 CS를 구성하고, 캐패시터 CS의 한쪽 전극은 제2 캐패시터 전극 CE2, 다른 쪽 전극은 제1 캐패시터 전극 CE1 및 제3 캐패시터 전극 CE3에 대응한다. 제1 캐패시터 전극 CE1은 하측 게이트 전극 LG와 일체적으로 형성되고, 제2 캐패시터 전극 CE2는 채널 반도체막 SC에 전원선 PL을 통하여 전기적으로 접속되고, 제3 캐패시터 전극 CE3은 상측 게이트 전극 HG와 일체적으로 형성되어 있다.

[0017]

도 3에 도시한 바와 같이, 어레이 기판 SUB 위에는 언더코트 UC, 후술하는 제1 도전층, 제1 게이트 절연층 IN1, 후술하는 반도체층, 제2 게이트 절연층 IN2, 후술하는 제2 도전층, 충간 절연층 IN3, 후술하는 제3 도전층, 평탄화층 PI, 양극 PE를 포함하는 층, 뱅크 BK를 포함하는 층의 순으로 적층되어 있다. 또한 도시하고 있지는 않

지만, 뱅크 BK를 포함하는 층 위에 OLED층, 음극의 층, 밀봉층 등도 적층되어 있다. 또한 뱅크 BK가 없는 부분을 뱅크 개구 OP라 칭하며, 뱅크 개구 OP에서는 양극 PE가 뱅크 BK로부터 노출되어 있다. 제1 도전층은 하측 게이트 전극 LG 및 제1 캐패시터 전극 CE1을 포함하고, 반도체층은 채널 반도체막 SC, 채널 반도체막 SD(도 2 참조), 제2 캐패시터 전극 CE2를 포함하고, 제2 도전층은 게이트 신호선 GL, 상측 게이트 전극 HG, 제3 캐패시터 전극 CE3을 포함한다. 또한 제2 도전층은 콘택트 홀 CH1, CH2에 충전되는 도전체를 포함하는 가로 게이트 전극 SG를 포함한다. 제3 도전층은 점퍼 배선 WJ, 전원선 PL(도 2 참조), 데이터 신호선 SL(도 2 참조)을 포함한다. 도시하지 않은 OLED층은 뱅크 개구 OP에 있어서 양극 PE와 접촉하고 있으며, 양극 PE와 접촉하는 영역은 유기 EL 소자가 발광하는 영역이다.

[0018] 채널 반도체막 SD는 화소 회로 PC의 중앙에서 보아 도 2의 상측에 있는 게이트 신호선 GL보다 더 상측에서 데이터 신호선 SL과 콘택트 홀 CH4를 통하여 접속되어 있다. 채널 반도체막 SD는 콘택트 홀 CH4의 위치로부터 도면 중 우측 방향으로 연장되어, 게이트 신호선 GL의 일부(위로 연장되는 돌기) 아래를 빠져나간 후에 하측 방향을 향하고, 게이트 신호선 GL 아래를 빠져나간 끝까지 연장되어 있다. 그 연장되어 있는 끝 부분의 상층에는 콘택트 홀 CH3이 형성되어 있다.

[0019] 채널 반도체막 SC는 도 2에서 보아 화소 회로 PC의 중앙보다 약간 위를 도면 중 좌우로 연장된다. 채널 반도체막 SC의 우측 단부는 전원선 PL과 콘택트 홀 CHS를 통하여 접속된다. 채널 반도체막 SC의 좌측 단부는 상방으로 약간 굴곡되고, 굴곡된 끝은 양극 PE와 콘택트 홀 CHD를 통하여 접속된다. 하측 게이트 전극 LG 및 상측 게이트 전극 HG는 채널 반도체막 SC의 좌우로 연장되는 영역 중 단부를 제외한 부분과 평면적으로 중첩되도록 설치되어 있다. 하측 게이트 전극 LG 및 상측 게이트 전극 HG는 채널 반도체막 SC의 측방이며, 채널 반도체막 SC가 연장되는 방향에 직교하는 방향으로 설치된 가로 게이트 전극 SG에 의하여 접속되어 있다(도 3 참조). 가로 게이트 전극 SG는 주로 콘택트 홀 CH1, CH2 내에 설치되어 있다. 상측 게이트 전극 HG는 채널 반도체막 SC에서 보아 도 2의 상측 콘택트 홀 CH1을 넘은 위치로부터 도 2의 상측으로 더 돌출되어 있다. 그 돌출된 부분은 상층에 있는 점퍼 배선 WJ와 콘택트 홀 CHG를 통하여 접속되고, 점퍼 배선 WJ는 콘택트 홀 CH3을 통하여 채널 반도체막 SD에 접속되어 있다.

[0020] 제1 캐패시터 전극 CE1은 도 2에서 보아 화소 회로 PC(도 1 참조) 아래의 단부로부터 위로 연장되어 있으며, 직사각형에 대하여 박막 트랜지스터 TFT1의 어느 영역에 절결이 형성된 형상이다. 콘택트 홀 CH2로부터 도 2의 하측에서 제1 캐패시터 전극 CE1과 하측 게이트 전극 LG가 일체화되어 있다. 제2 캐패시터 전극 CE2는 제1 캐패시터 전극 CE1에 대향하여 평면적으로 중첩되도록 설치되고, 도 2에서 보아 제1 캐패시터 전극 CE1의 하단부 보다 약간 위로부터 콘택트 홀 CH2의 앞까지 연장되어 있다. 제2 캐패시터 전극 CE2는 콘택트 홀 CH6을 통하여 전원선 PL에 접속되어 있다. 이것에 의하여, 전원선 PL을 통하여 박막 트랜지스터 TFT2의 소스와 제2 캐패시터 전극 CE2가 전기적으로 접속되어 있다. 여기서, 제2 캐패시터 전극 CE2는 채널 반도체막 SC의 소스측의 단부와 직접 접속되어 있어도 된다. 제3 캐패시터 전극 CE3은 도 2에서 보아 제2 캐패시터 전극 CE2의 하단부보다 약간 위로부터 위를 향하여 연장되어 있다. 제3 캐패시터 전극 CE3은 직사각형에 대하여 박막 트랜지스터 TFT1의 어느 영역에 절결이 형성된 형상을 갖는다. 콘택트 홀 CH2로부터 도 2의 하측에서 제3 캐패시터 전극 CE3과 상측 게이트 전극 HG가 일체화되어 있다. 제1 캐패시터 전극 CE1과 제2 캐패시터 전극 CE2는 가로 게이트 전극 SG(도 3 참조)를 통하여 전기적으로 접속되어 있으며, 이것에 의하여 캐패시터 CS는 샌드위치 구조를 가져서, 단순히 2개의 전극을 대향시키는 경우보다 캐패시터의 용량이 크다.

[0021] 다음으로 박막 트랜지스터 TFT2의 구조에 대하여 더 상세히 설명한다. 도 4는, 제1 실시 형태에 따른 박막 트랜지스터 TFT2의 일례를 도시하는 평면도이고, 도 5는, 도 4에 도시하는 박막 트랜지스터 TFT2의 V-V 절단선에 있어서의 단면도이다. 도 4 및 5는, 캐패시터 CS를 구성하는 전극을 제외한 박막 트랜지스터 TFT2 단체를 도시하는 도면이다. 또한 도 5에서는 언더코트 UC의 기재를 생략하고 있다.

[0022] 채널 반도체막 SC는 콘택트 홀 CHD를 통하여 양극 PE에 접하는 드레인 단부로부터 콘택트 홀 CHS를 통하여 전원선 PL에 접하는 소스 단부까지 연장되어 있다. 소스 단부와 드레인 단부 사이에 있는 채널 부분은 평면적으로 보아 띠 형상이다. 여기서는, 채널 반도체막 SC의 소스 단부로부터 드레인 단부까지의 영역 중, 하측 게이트 전극 LG 또는 상측 게이트 전극 HG와 평면적으로 중첩되는 부분을 채널 영역, 채널 영역보다 드레인 단부측의 부분을 드레인 영역, 채널 영역보다 소스측의 영역을 소스 영역이라 기재한다.

[0023] 하측 게이트 전극 LG, 상측 게이트 전극 HG 및 가로 게이트 전극 SG는 박막 트랜지스터 TFT2의 게이트 전극을 구성한다. 하측 게이트 전극 LG는 채널 반도체막 SC에 하방에서 게이트 절연층 IN1을 개재하여 대향하고, 상측 게이트 전극 HG는 채널 반도체막 SC에 상방에서 게이트 절연층 IN2를 개재하여 대향한다. 가로 게이트 전극 SG

는 소스 영역으로부터 드레인 영역을 향하여 채널 반도체막 SC가 연장되는 방향에 직교하는 방향 및 채널 반도체막 SC의 측방(이하에서는 「폭 방향」이라 기재함)에서 대향한다. 가로 게이트 전극 SG는 하측 게이트 전극 LG와 상측 게이트 전극 HG를 접속한다. 소스 영역으로부터 드레인 영역을 향하여 채널 반도체막 SC가 연장되는 방향은 채널 반도체막 SC에 대하여 소스 영역과 드레인 영역 사이의 방향이며, 이하에서는 이 방향을 「채널 반도체막 SC가 연장되는 방향」이라고도 기재한다.

[0024] 여기서, 게이트 절연층 IN1과 게이트 절연층 IN2 사이에 반도체막이 없어 서로 적층되는 부분이 존재한다. 이 부분을 적층부라 칭한다. 적층부에서는 게이트 절연층 IN1의 상면과 게이트 절연층 IN2의 하면이 접한다. 적층부의 일부는 채널 반도체막 SC와 가로 게이트 전극 SG 사이에 개재되어, 채널 반도체막 SC와 가로 게이트 전극 SG가 전기적으로 접속하는 것을 방해하고 있다.

[0025] 채널 반도체막 SC 중 채널 영역은, 하측 게이트 전극 LG 및 상측 게이트 전극 HG의 양쪽에 대향하는 중첩 대향 영역과, 하측 게이트 전극 LG 및 상측 게이트 전극 HG 중 한쪽과만 대향하는 편측 대향 영역을 포함하며, 채널 반도체막 SC가 연장되는 방향에 대하여 편측 대향 영역은 중첩 대향 영역의 양측에 있다. 관점을 달리하면, 평면적으로 보아 소스 영역과 드레인 영역 사이의 방향에 대하여 채널 반도체막 SC의 양 단부(소스 영역측 및 드레인 영역측의 단부)는 상측 게이트 전극 HG 및 하측 게이트 전극 LG로부터 돌출되어 있다. 또한 평면적으로 보아, 채널 반도체막 SC가 하측 게이트 전극 LG로부터 돌출되는 제1 위치와, 상측 게이트 전극 HG로부터 돌출되는 제2 위치는 어긋나 있다. 도 4이나 도 5의 예에서는, 채널 반도체막 SC가 연장되는 방향에 대하여 제1 위치는 제2 위치보다 외측에 있고, 또한 하측 게이트 전극 LG의 그 연장되는 방향의 길이는 상측 게이트 전극 HG의 그 방향의 길이보다 크다. 평면적으로 보아 하측 게이트 전극 LG는, 상측 게이트 전극 HG 전체에 대향하는 부분을 초과하는 크기를 갖는다.

[0026] 여기서, 상측 게이트 전극 HG와 하측 게이트 전극 LG의 관계가 도 4의 예와 상이해도 된다. 예를 들어 채널 반도체막 SC가 연장되는 방향에 대하여 제2 위치는 제1 위치보다 외측에 있고, 또한 하측 게이트 전극 LG의 그 연장되는 방향의 길이는 상측 게이트 전극 HG의 그 방향의 길이보다 작아도 된다. 이 경우, 평면적으로 보아 상측 게이트 전극 HG는, 하측 게이트 전극 LG 전체에 대향하는 부분을 초과하는 크기를 갖는다.

[0027] 적층부에는 콘택트 홀 CH1, CH2가 형성되어 있다. 콘택트 홀 CH1, CH2는 폭 방향에서 보아 채널 반도체막 SC의 양측에 대향하고 있다. 도 4에 있어서 콘택트 홀 CH1은 채널 반도체막 SC의 하측에, 콘택트 홀 CH2는 채널 반도체막 SC의 상측에 있다. 콘택트 홀 CH1, CH2의 각각은 채널 반도체막 SC를 따라 연속적으로 길게 연장되는 형상을 가지며, 적층부를 관통한다. 채널 반도체막 SC가 연장되는 방향에 대하여, 콘택트 홀 CH1, CH2의 각각의 길이는 상측 게이트 전극 HG의 길이보다 짧고, 콘택트 홀 CH1, CH2의 각각의 단부는 평면적으로 보아 상측 게이트 전극 HG(하측 게이트 전극 LG 및 상측 게이트 전극 HG 중 작은 쪽)의 양 단부보다 내측에 있다. 보다 염밀히는 하측 게이트 전극 LG 중 채널 반도체막 SC에 대향하는 영역을 제1 영역, 상측 게이트 전극 HG 중 채널 반도체막 SC에 대향하는 영역을 제2 영역, 가로 게이트 전극 SG 중 채널 반도체막 SC에 대향하는 영역을 제3 영역이라 하면, 채널 반도체막 SC가 연장되는 방향에 대하여, 제3 영역의 양 단부가 제1 영역 및 제2 영역의 내측에 있다. 가로 게이트 전극 SG는 콘택트 홀 CH1, CH2의 내부에 설치되어 있다. 가로 게이트 전극 SG는, 상측 게이트 전극 HG를 포함하는 제2 도전층을 형성할 때, 제2 도전층을 구성하는 금속이 콘택트 홀 CH1, CH2에 충전됨으로써 형성된다. 따라서 가로 게이트 전극 SG는 폭 방향에서 보아 채널 반도체막 SC의 양측에 대향하고 있다.

[0028] 이것에 의하여 채널 반도체막 SC의 상방, 하방, 폭 방향으로 게이트 전극이 존재하게 되어, 폭 방향으로 게이트 전극이 없는 경우에 비하여 보다 낮은 전압으로 박막 트랜지스터 TFT2를 구동하는 것이 가능해진다. 구동 전압을 낮춤으로써 킹크 현상의 발생이 억제된다.

[0029] 박막 트랜지스터 TFT2의 형상은 상술한 것과 상이해도 된다. 도 6은, 박막 트랜지스터 TFT2의 다른 일례를 도시하는 평면도이다. 도 6에 도시하는 박막 트랜지스터 TFT2를 구성하는 각 층의 순서는 도 5의 예와 마찬가지이며, 특별히 기술이 없는 한 이하의 다른 예 및 다른 실시 형태에서도 마찬가지이다. 도 6의 예는 도 4의 예와 달리, 채널 반도체막 SC가 연장되는 방향에 대하여, 콘택트 홀 CH1, CH2의 양 단부는 하측 게이트 전극 LG 및 상측 게이트 전극 중 한쪽 양 단부의 외측에 있고, 다른 쪽 양 단부의 내측에 있다. 가로 게이트 전극 SG는, 평면적으로 보아 콘택트 홀 CH1, CH2의 각각과 상측 게이트 전극 HG가 중첩되는 영역에 형성되어 있어도 되고, 콘택트 홀 CH1, CH2의 전체 영역에 형성되어 있어도 된다. 도 6에 도시하는 구성에서는 가로 게이트 전극 SG를 보다 길게 할 수 있으며, 이것에 의하여 구동 전압을 도 4의 예보다 더 저하시켜 킹크 현상을 억제할 수 있다.

- [0030] 박막 트랜지스터 TFT2에 형성되는 가로 게이트 전극 SG가 폭 방향에서 보아 채널 반도체막 SC의 편측에만 대향해도 된다. 도 7은, 박막 트랜지스터 TFT2의 다른 일례를 도시하는 평면도이고, 도 8은, 도 7에 도시하는 박막 트랜지스터 TFT2의 VIII-VIII 절단선에 있어서의 단면도이다. 도 7, 8의 예에서는 도 4, 5의 예와 달리, 도 7에서 보아 채널 반도체막 SC의 상측에는 콘택트 홀 CH2가 존재하지 않고, 가로 게이트 전극 SG는 콘택트 홀 CH1의 내부에만 설치되어 있다. 도 7, 8에 도시하는 구성으로도 킹크 현상을 억제할 수 있다. 또한 다른 예에 있어서, 도 7, 8에 도시하는 예와 같이 콘택트 홀 CH2 내의 가로 게이트 전극 SG를 없애도 된다.
- [0031] 박막 트랜지스터 TFT2에 형성되는 가로 게이트 전극 SG가, 채널 반도체막 SC가 연장되는 방향으로 연속적으로 형성되어 있지 않아도 된다. 도 9는, 박막 트랜지스터 TFT2의 다른 일례를 도시하는 평면도이다. 도 9의 V-V 절단선에 있어서의 단면은 도 5와 마찬가지이다. 도 9의 예에서는 도 4의 예와 달리, 채널 반도체막 SC가 연장되는 방향으로 배열되되 서로 이격되는 5개의 부분을 포함하고 있다. 이것에 의하여, 콘택트 홀 CH1 및 콘택트 홀 CH2의 내부에 형성되는 가로 게이트 전극 SG는 단속적으로 설치되어 있다. 콘택트 홀 CH1 및 콘택트 홀 CH2의 각각이 단속적으로 설치되어 있다. 보다 구체적으로는, 채널 반도체막 SC의 폭 방향의 편측에 위치하는 가로 게이트 전극 SG는, 채널 반도체막 SC가 연장되는 방향으로 배열되되 서로 이격되는 복수의 부분을 포함하고 있다. 또한 이 부분의 수는 도 9에 나타내는 것과 상이해도 된다. 콘택트 홀 CH1만, 또는 콘택트 홀 CH2만이 단속적으로 형성되어 있어도 된다. 또한 다른 예에 있어서의 콘택트 홀 CH1, CH2 중 적어도 한쪽이 단속적으로 형성되어도 된다.
- [0032] 박막 트랜지스터 TFT2에 형성되는 하측 게이트 전극 LG 및 상측 게이트 전극 HG 중 한쪽이 절결을 갖고 있어도 된다. 도 10은, 박막 트랜지스터 TFT2의 다른 일례를 도시하는 평면도이다. 도 10에 도시하는 박막 트랜지스터는 도 4의 예와 달리, 상측 게이트 전극 HG가, 채널 반도체막 SC가 연장되는 방향에서 보아 채널 반도체막 SC와 대향하는 영역이 도중에 끊어지도록 절결을 갖는다. 평면적으로 보아, 상측 게이트 전극 HG 중 채널 반도체막 SC에 대향하는 영역은, 절결에 의하여, 채널 반도체막 SC가 연장되는 방향으로 배열되는 복수의 부분 영역으로 나뉘어 있다. 도 10에서는 상측 게이트 전극 HG 중 채널 반도체막 SC에 대향하는 영역이 2개의 부분 영역으로 나뉘어 있다. 각각의 부분 영역은, 상측 게이트 전극 HG의 부분 영역으로부터 도 10의 하측 영역에 의하여, 콘택트 홀 CHG를 통하여 배선 WG에 접속되어 있다. 각각의 부분 영역의 폭 방향에서 본 양측에는 가로 게이트 전극 SG의 부분이 설치되고, 가로 게이트 전극 SG의 부분의 수는 부분 영역의 수에 2를 곱한 수이다. 채널 반도체막 SC가 연장되는 방향에 대하여, 가로 게이트 전극 SG의 부분의 각각의 양 단부는 그 부분에 대향하는 영역을 포함하는 부분 영역의 양 단부의 내측에 있다. 또한 절결은 하측 게이트 전극 LG에 형성되어 있어도 되며, 절결이 다른 예와 조합되어도 된다.
- [0033] [제2 실시 형태]
- [0034] 다음으로 본 발명의 제2 실시 형태에 따른 유기 EL 표시 장치에 대하여 설명한다. 이하에서는 제2 실시 형태에 따른 유기 EL 표시 장치 중, 제1 실시 형태와 상이한 부분을 중심으로 하여 설명한다.
- [0035] 도 11은, 제2 실시 형태에 따른 화소 회로 PC의 일례를 도시하는 평면도이다. 도 12는, 도 11에 도시하는 화소 회로 PC의 X II-X II 절단선에 있어서의 단면도이다. 도 11의 평면도를 보면, 도 2에 대하여 콘택트 홀 CH1, CH2가 도 11에 존재하지 않는 점이 제1 실시 형태와의 큰 상이점이다. 이는, 가로 게이트 전극 SG가 콘택트 홀 CH1, CH2를 이용하지 않고 형성되어 있기 때문이다. 다른 상이점으로서는, 제2 실시 형태에 따른 화소 회로 PC에서는 채널 반도체막 SC와 제2 캐패시터 전극 CE2가 동일한 층에서 접속되어 있는 점이 있다.
- [0036] 도 12를 보면, 게이트 절연층 IN1, IN2가 형성되는 영역이 제1 실시 형태와 상이하다. 제2 실시 형태에서는, 콘택트 홀 CH1, CH2의 홈을 형성하는 대신, 게이트 절연층 IN1, IN2를 채널 반도체막 SC의 근방이나 캐패시터 CS가 형성되는 영역 등 필요성이 높은 영역만 남기고, 게이트 절연층 IN1, IN2가 남겨진 영역의 단부에 있는 단차의 측면을 덮는 제2 도전층의 금속막을 형성함으로써 가로 게이트 전극 SG가 형성되어 있다. 또한 하측 게이트 전극 LG는, 채널 반도체막 SC의 폭 방향에 대하여 게이트 절연층 IN1, IN2로부터 돌출되는 돌출 영역을 가지며, 그 돌출 영역에서 가로 게이트 전극 SG는 하측 게이트 전극 LG와 접속하고 있다.
- [0037] 도 13은, 제2 실시 형태에 따른 박막 트랜지스터 TFT2의 일례를 도시하는 평면도이다. 도 14는, 도 13에 도시하는 박막 트랜지스터 TFT2의 X IV-X IV 절단선에 있어서의 단면도이다. 도 13 및 도 14에 도시하는 박막 트랜지스터 TFT2는 도 11, 12의 예와 달리, 캐패시터 CS가 존재하지 않는 경우의 예이지만, 캐패시터 CS와 조합되어 있어도 된다. 도 13에서는 다른 평면도와 달리, 게이트 절연층 IN1, IN2도 도시되어 있다. 도 13의 예에서는, 하측 게이트 전극 LG는 채널 반도체막 SC의 폭 방향에 대하여 게이트 절연층 IN1, IN2로부터 돌출되는 돌출 영역을 갖는다. 그리고 돌출 영역에서 하측 게이트 전극 LG는 가로 게이트 전극 SG와 접속되어 있다. 평면적으

로 보아 게이트 절연층 IN1, IN2 중 채널 반도체막 SC를 둘러싸는 영역은 섬 형상으로 되어 있다. 또한 평면적으로 보아 게이트 절연층 IN1, IN2 중 채널 반도체막 SC의 채널 영역을 둘러싸는 영역의 외형은 채널 영역으로부터 폭 방향으로 일정한 폭을 갖고 있으며, 그 외형의 외측에 접하도록 가로 게이트 전극 SG가 형성되어 있다.

[0038] 또한 도 14를 보면 알 수 있는 바와 같이, 게이트 절연층 IN1, IN2는 가로 게이트 전극 SG에서 보아 채널 반도체막 SC와는 반대측을 회피하여 형성되어 있으며, 채널 반도체막 SC에서 보아 가로 게이트 전극 SG의 맞은편에 있는 접촉 영역 CA1, CA2에서 하측 게이트 전극 LG와 제2 도전층의 영역이 접해 있다. 이 제2 도전층의 영역은 동일한 층의 가로 게이트 전극 SG에 접속되어 있다.

[0039] [제3 실시 형태]

[0040] 다음으로 본 발명의 제3 실시 형태에 따른 유기 EL 표시 장치에 대하여 설명한다. 본 실시 형태에서는 채널 영역에 훌 어큐뮬레이션 억제를 위한 구조가 형성되어 있다. 이하에서는 제3 실시 형태에 따른 유기 EL 표시 장치 중, 제1 실시 형태와 상이한 부분을 중심으로 설명한다.

[0041] 도 15는, 제3 실시 형태에 따른 화소 회로 PC의 일례를 도시하는 평면도이다. 도 15를 보면, 도 2에 대하여 채널 반도체막 SC가 채널 영역 내에서 도 15의 상측 방향으로도 분기하여, 전원선 PL을 통하여 소스 영역과 전기적으로 접속되어 있는 점이 큰 상이점이다. 또한 콘택트 훌 CH1은 분기된 채널 반도체막 SC를 회피하여 형성되어 있다.

[0042] 도 16은, 제3 실시 형태에 따른 박막 트랜지스터 TFT2의 일례를 도시하는 평면도이다. 도 17은, 도 16에 도시하는 박막 트랜지스터 TFT2의 X VII-X VII 절단선에 있어서의 단면도이다. 도 16에 도시하는 박막 트랜지스터 TFT2는, 도 15에 도시하는 것에 비하여 이하의 4점이 상이하다. 첫 번째는, 캐패시터 CS와 접속되는 부분이 포함되지 않는 점이다. 두 번째는, 채널 반도체막 SC가 분기되어 연장되는 방향이 콘택트 훌 CHG와 반대 방향인 점이다. 세 번째는, 가로 게이트 전극 SG(콘택트 훌)가 폭 방향에서 보아 채널 반도체막 SC의 편측에밖에 설치되어 있지 않은 점이다. 네 번째는, 분기된 끝이 배선 WD를 통하여 드레인 영역에 전기적으로 접속되어 있는 점이다. 이들 상위점이 있지만, 제3 실시 형태에 따른 박막 트랜지스터 TFT2도 훌 어큐뮬레이션 억제의 효과를 발휘한다. 또한 배선 WS는 콘택트 훌 CHS를 통하여 채널 반도체막 SC의 소스 단부에 접해 있고, 배선 WG는 콘택트 훌 CHG를 개재하여 배선 WG에 접해 있다.

[0043] 도 16, 17의 예에서는, 채널 반도체막 SC는 채널 영역에 있어서 폭 방향으로 분기되는 분기부 BR을 갖는다. 채널 반도체막 SC의 형상은 T자형이다. 분기부 BR은 콘택트 훌 CHH를 통하여 배선 WD에 접속되고, 배선 WD는 콘택트 훌 CHD를 통하여 채널 반도체막 SC의 드레인 영역에 접속되어 있다. 또한 분기부 BR은 배선 WS를 통하여 소스 영역과 접속되어 있어도 된다. 또한 분기부 BR은, 게이트 전극의 신호 전위가 인가되는 채널 영역(분기 채널 영역이라고 칭함)을 포함한다. 분기 채널 영역은 채널 영역으로부터 분기되고, 또한 상측 게이트 전극 HG 및 하측 게이트 전극 LG 중 어느 것에 평면적으로 중첩되어 있다.

[0044] 도 16의 예에서는, 하측 게이트 전극 LG는 분기부 BR에 대향하도록 분기되는 게이트 분기부를 갖는다. 이것에 의하여 분기 채널 영역은 콘택트 훌 CHH의 부근까지 이어져 있다. 또한 하측 게이트 전극 LG가 아니라 상측 게이트 전극 HG가 분기부 BR에 대향하도록 분기되는 게이트 분기부를 가져도 되고, 하측 게이트 전극 LG 및 상측 게이트 전극 HG의 양쪽이 게이트 분기부를 가져도 된다. 도 18의 예에서는 상측 게이트 전극 HG는 직사각형이며, 상측 게이트 전극 HG의 외형은 하측 게이트 전극 LG의 외형에 둘러싸여 있다. 도 4의 예와 마찬가지로, 채널 반도체막 SC가 소스 단부로부터 드레인 단부로 연장되는 방향에 대하여, 채널 반도체막 SC의 양 단부는 상측 게이트 전극 HG 및 하측 게이트 전극 LG로부터 돌출되어 있다. 또한 평면적으로 보아, 채널 반도체막 SC가 하측 게이트 전극 LG로부터 돌출되는 제1 위치는, 상측 게이트 전극 HG로부터 돌출되는 제2 위치보다 외측에 있다. 또한 이 채널의 분기는, 박막 트랜지스터 TFT2의 다른 예와 조합되어 있어도 된다.

[0045] 도 18은, 박막 트랜지스터 TFT2의 다른 일례를 도시하는 평면도이다. 도 18의 예에서는 도 16의 예와 달리, 상측 게이트 전극 HG가 하측 게이트 전극 LG 중 게이트 분기부를 제외한 영역을 덮도록 설치되어 있다. 도 18의 예에서는, 상측 게이트 전극 HG는 직사각형이며, 상측 게이트 전극 HG의 외형은 하측 게이트 전극 LG 중 게이트 분기부 및 콘택트 훌 CHG로의 배선을 제외한 영역을 둘러싸고 있다. 도 16의 예와 달리, 평면적으로 보아, 채널 반도체막 SC가 상측 게이트 전극 HG로부터 돌출되는 제2 위치는, 하측 게이트 전극 LG로부터 돌출되는 제1 위치보다 외측에 있다. 도 18의 예에서는, 도 16의 예와 비교하여, 채널 반도체막 SC의 채널 영역에 닿는 광이 감소하여 박막 트랜지스터 TFT2의 특성이 보다 안정된다.

[0046] 도 19는, 박막 트랜지스터 TFT2의 다른 일례를 도시하는 평면도이다. 도 19의 예에서는, 도 16에 도시하는 박

막 트랜지스터 TFT2에 비하여, 채널 반도체막 SC의 채널 영역에서 보아 콘택트 홀 CHH의 방향으로 콘택트 홀 CH2가 형성되어 있다. 콘택트 홀 CH2는 채널 반도체막 SC의 분기부 BR을 회피하도록 2개의 영역에 단속적으로 형성되어 있다. 콘택트 홀 CH1, CH2에는 가로 게이트 전극 SG가 설치되어 있으며, 폭 방향에 대하여 채널 반도체막 SC의 채널 영역의 양측에 가로 게이트 전극 SG가 존재한다.

[0047] 도 20은, 박막 트랜지스터 TFT2의 다른 일례를 도시하는 평면도이다. 도 21은, 도 20에 도시하는 박막 트랜지스터 TFT2의 XX I-X X I 절단선에 있어서의 단면도이다. 도 20, 21의 예에서는, 채널 반도체막 SC의 분기부 BR 대신 채널 영역 아래에 핫 캐리어 제거용의 배선을 접속하고 있다. 도 20의 예는, 하측 게이트 전극 LG에 절결이 있다. 평면적으로 보아, 하측 게이트 전극 LG의 절결은 채널 영역의 중앙의 위치를 향하여 콘택트 홀 CHH측으로부터 설치된다. 상측 게이트 전극은 직사각형으로 폭 방향의 한쪽측으로부터 절결이 형성된 형상을 하고 있다. 하측 게이트 전극 LG 중 채널 반도체막 SC에 대향하는 영역은 절결에 의하여, 채널 반도체막 SC가 연장되는 방향으로 배열되는 복수의 부분 영역으로 나뉜다. 그 각각의 부분 영역에 대하여, 폭 방향에서 보아 그 부분 영역을 사이에 두도록 콘택트 홀 CH1, CH2가 형성되어 있다.

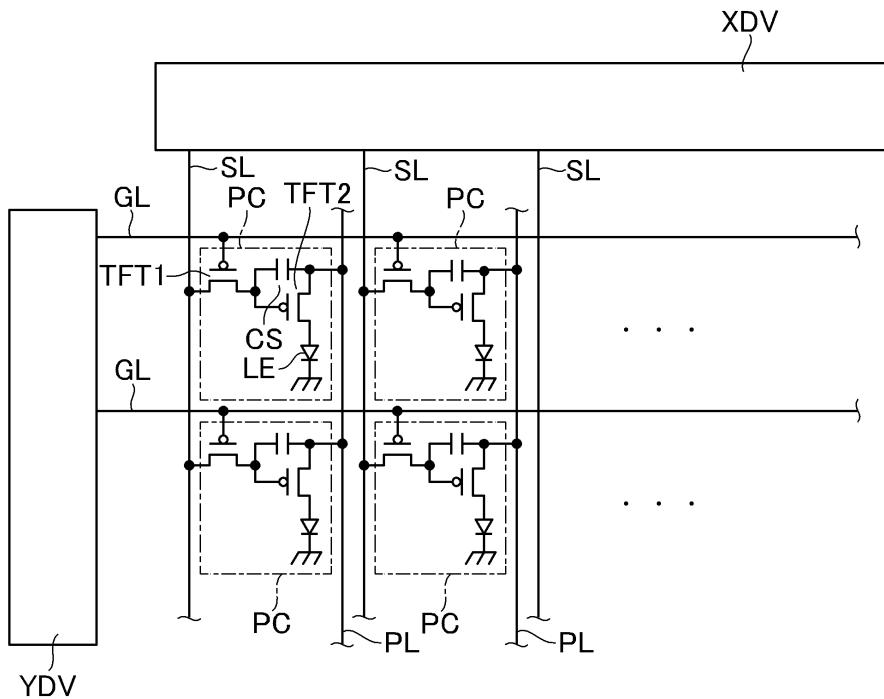
[0048] 평면적으로 보아 하측 게이트 전극 LG의 절결의 영역 중에는, 하측 게이트 전극 LG와 이격되고 또한 하측 게이트 전극 LG와 동일한 층의 배선 WC가 설치되고, 배선 WC는, 배선 WD와 접속되는 콘택트 홀 CHH로부터 채널 반도체막 SC의 채널 영역의 중앙 아래까지 연장되어 있다. 배선 WC는, 채널 영역의 중앙 아래에 형성된 콘택트 홀 CHC에 의하여 채널 반도체막 SC의 하면과 접하고, 배선 WC와 채널 반도체막 SC와는 전기적으로 접속된다. 또한 배선 WC는 배선 WS와 전기적으로 접속되어도 된다.

[0049] 또한 절결은 상측 게이트 전극 HG에 형성되어도 된다. 이 경우, 평면적으로 보아, 상측 게이트 전극 HG의 절결은 채널 영역의 중앙의 위치를 향하여 콘택트 홀 CHH측으로부터 설치된다. 상측 게이트 전극 HG는 도 20에 있어서의 하측 게이트 전극 LG의 평면적인 형상에 상당한다. 상측 게이트 전극 HG의 형상은 직사각형으로 폭 방향의 한쪽측으로부터 절결이 형성되고, 또한 폭 방향의 한쪽측으로부터 배선 WG를 향한 영역이 형성된 형상을 하고 있다. 상측 게이트 전극 HG의 절결 내에는 상측 게이트 전극 HG와 동일한 층의 배선 WC가 설치되고, 배선 WC는, 배선 WD와 접속되는 콘택트 홀 CHH로부터 채널 반도체막 SC의 채널 영역의 중앙 위까지 연장되어 있다. 배선 WC는, 채널 영역의 중앙 위에 형성된 콘택트 홀 CHC에 의하여 채널 반도체막 SC의 상면과 접하며, 배선 WC와 채널 반도체막 SC는 전기적으로 접속된다.

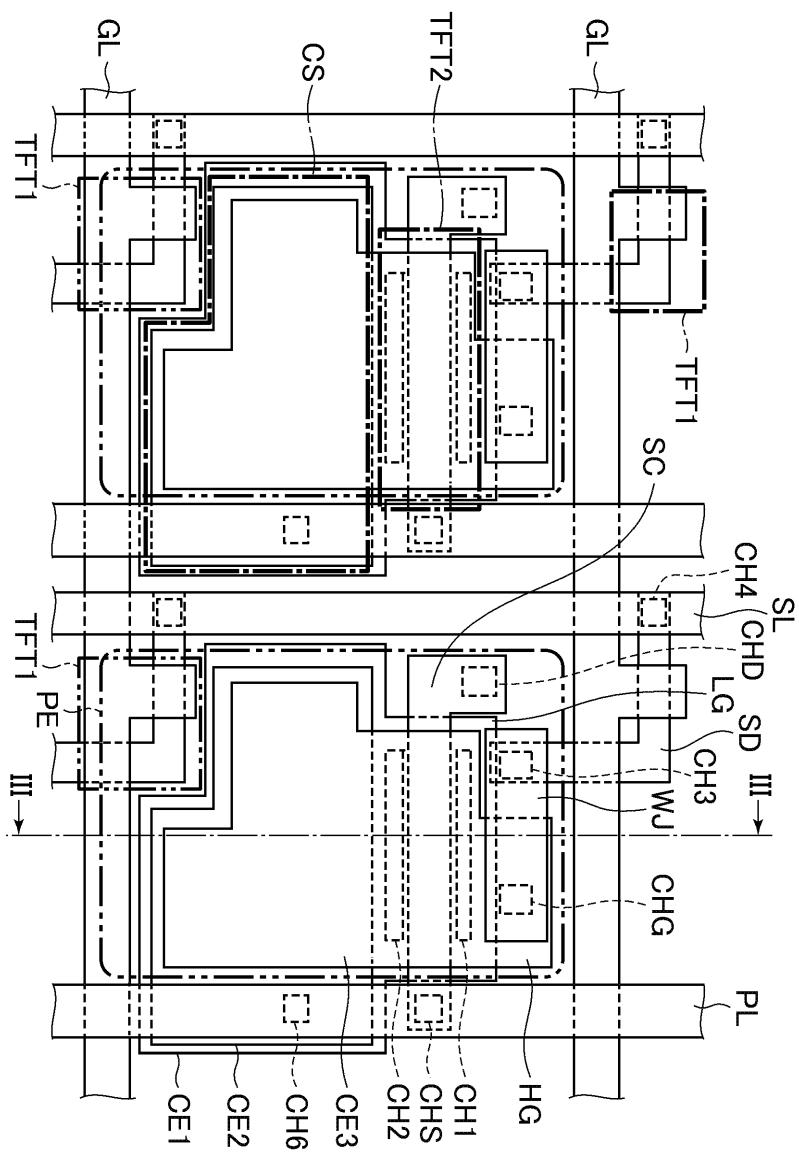
[0050] 본 발명의 지금까지 설명한 복수의 실시 형태에 있어서는, 채널 반도체막 SC의 표면과 측면에 레이저 등으로 산화막을 성장시킴으로써 게이트 절연층을 형성 해도 된다. 이러한 구조에서는 채널 반도체막 SC의 측면에 대해서도 고정밀도로 막 두께를 컨트롤할 수 있어, 콘택트 홀을 형성하는 것보다 제조 마진을 증가시킬 수 있다.

도면

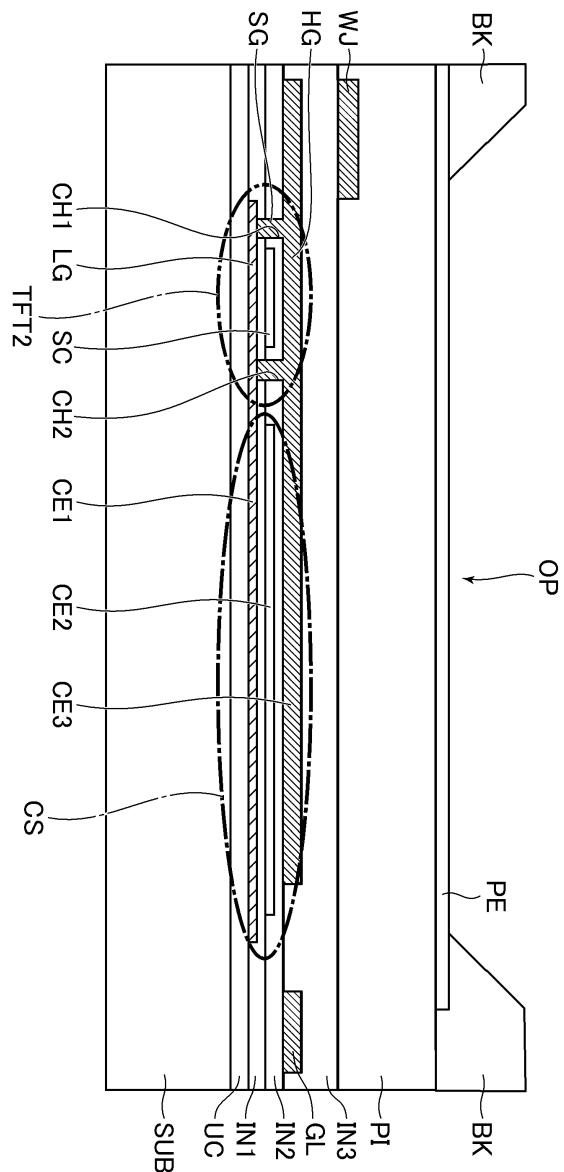
도면1



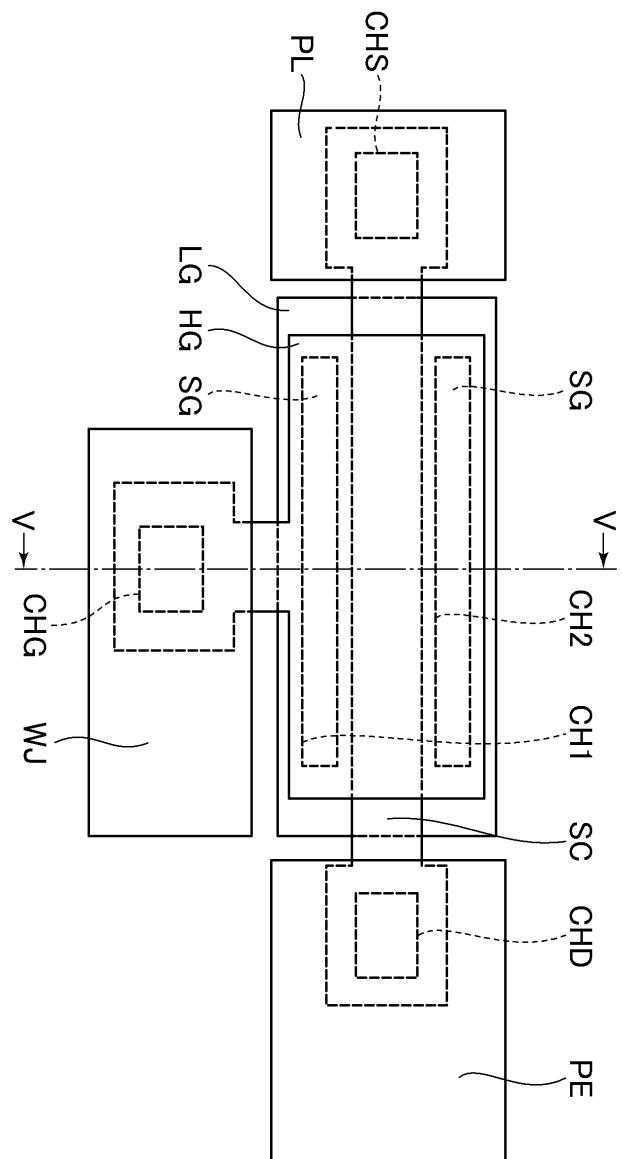
도면2



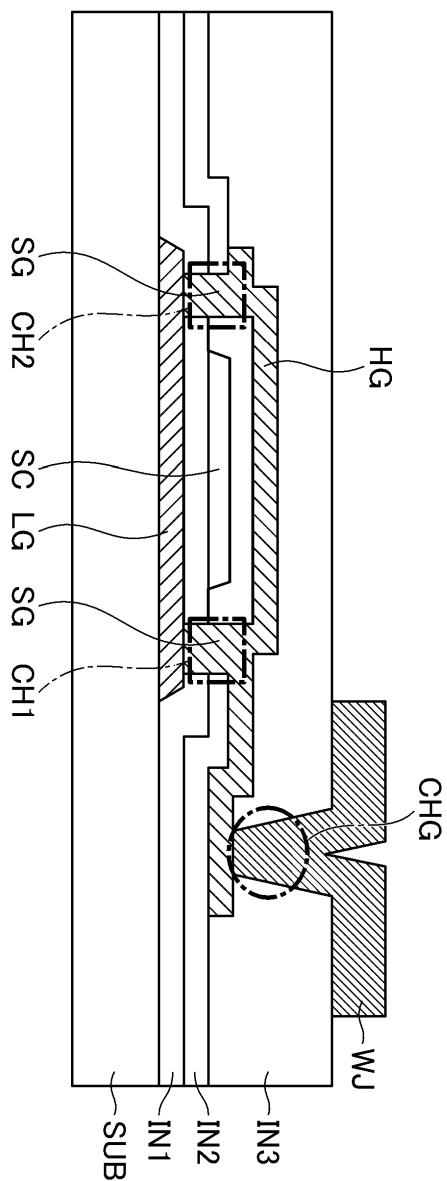
도면3



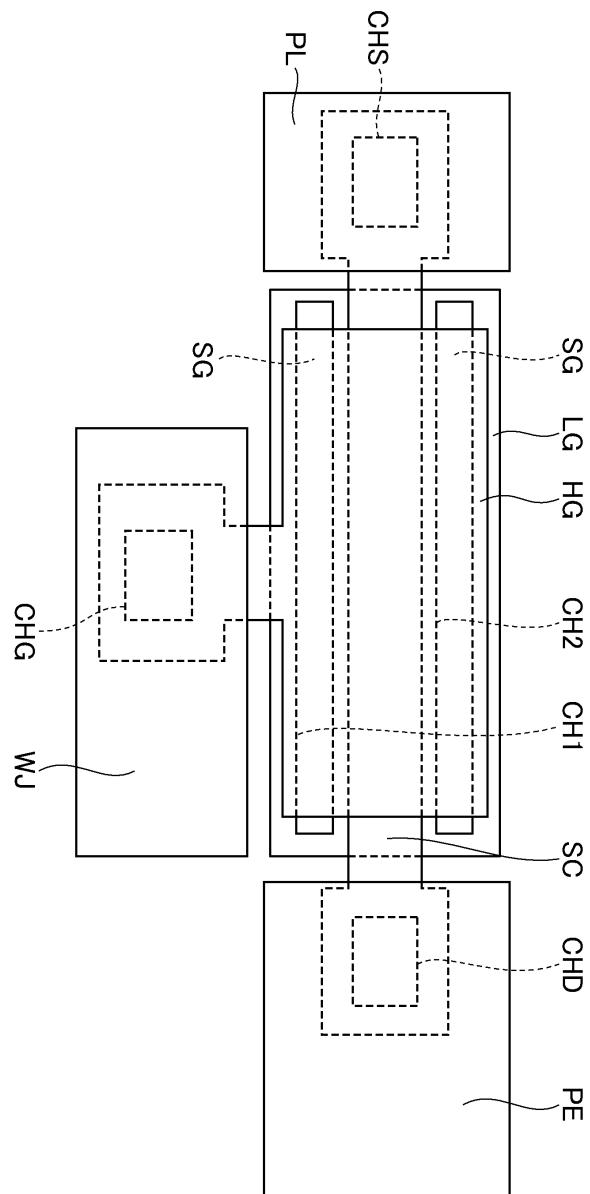
도면4



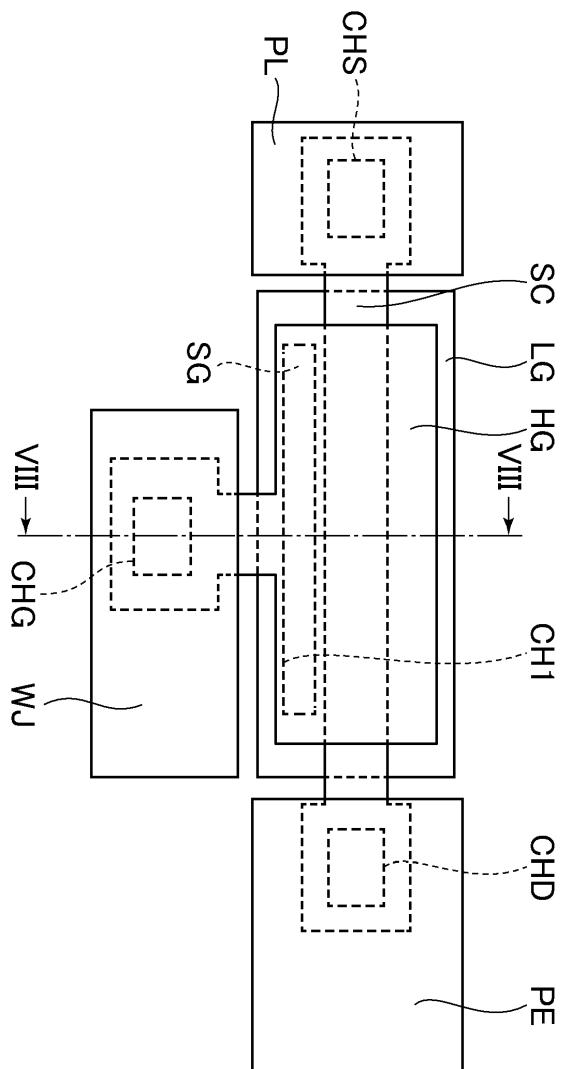
도면5



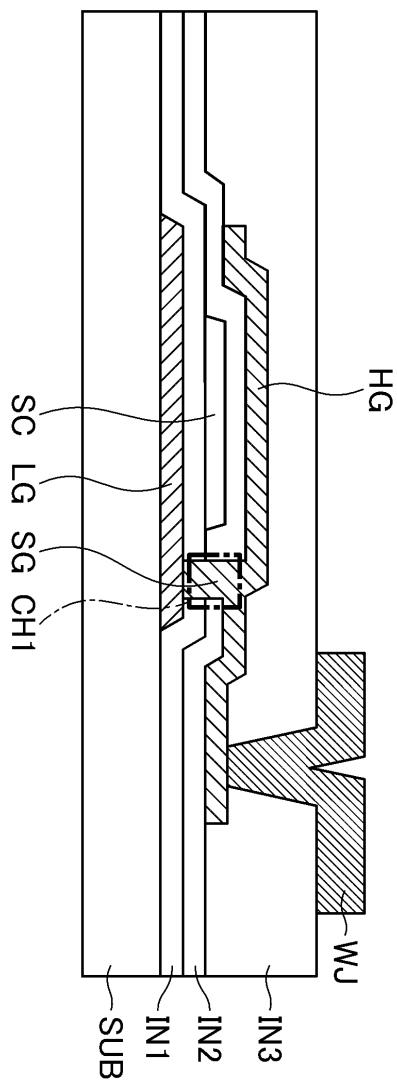
도면9



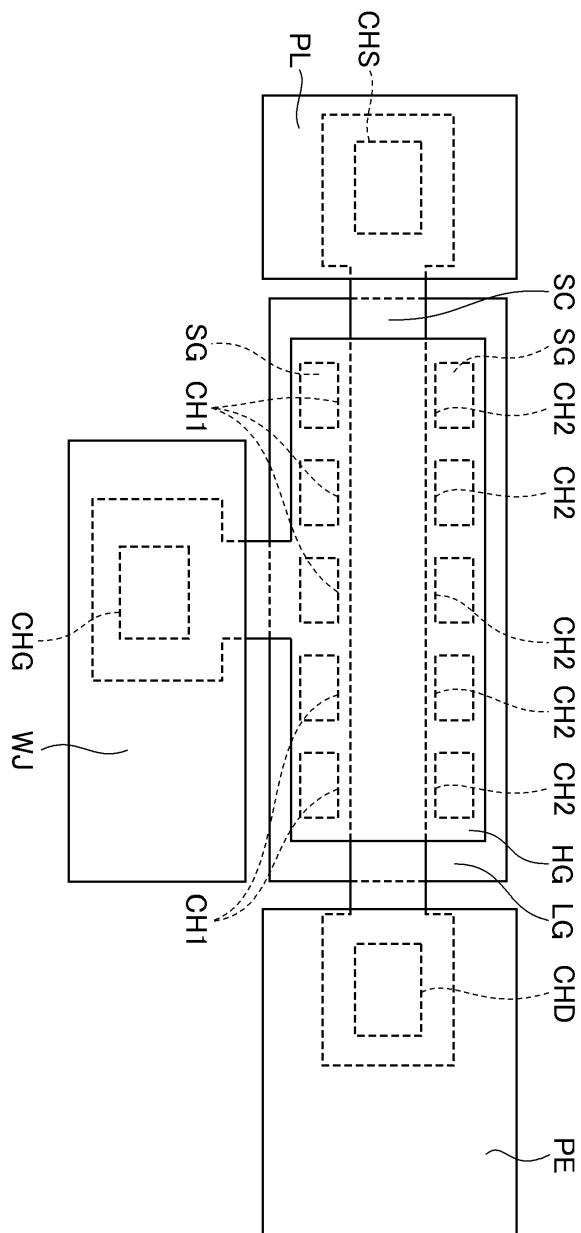
도면7



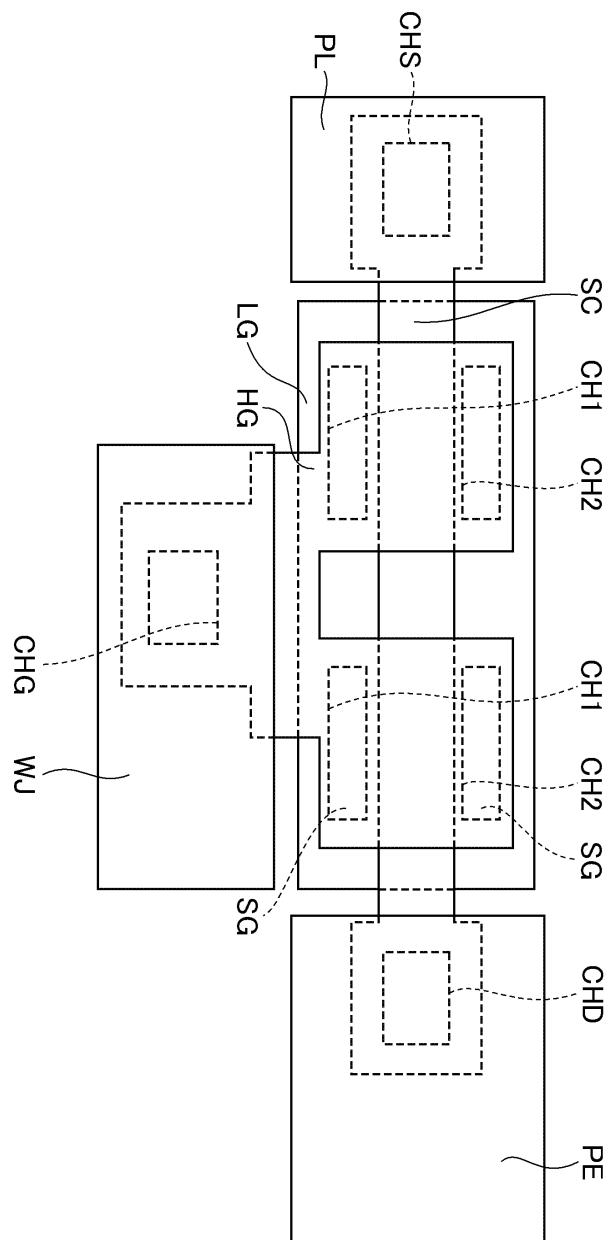
도면8



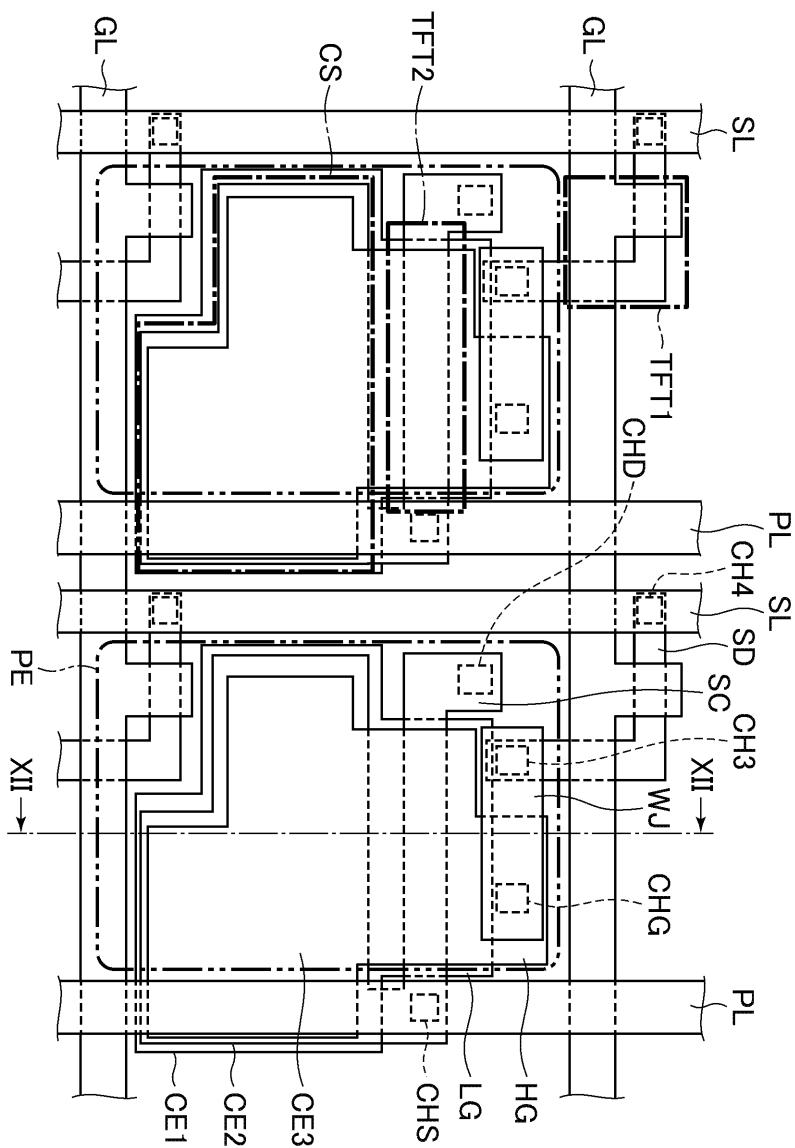
도면9



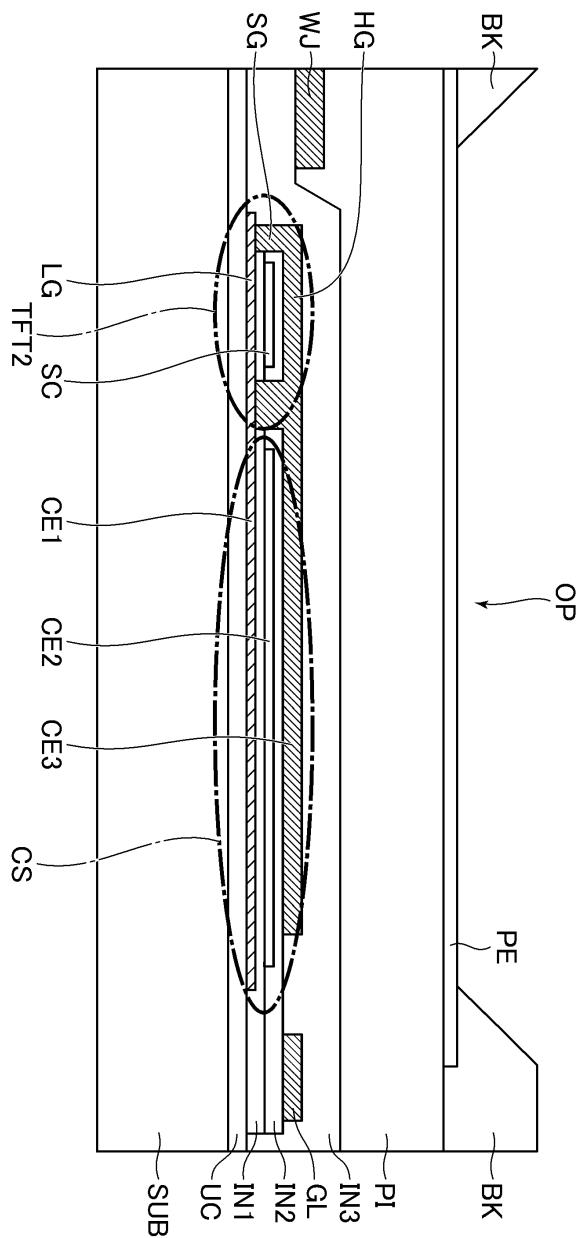
도면10



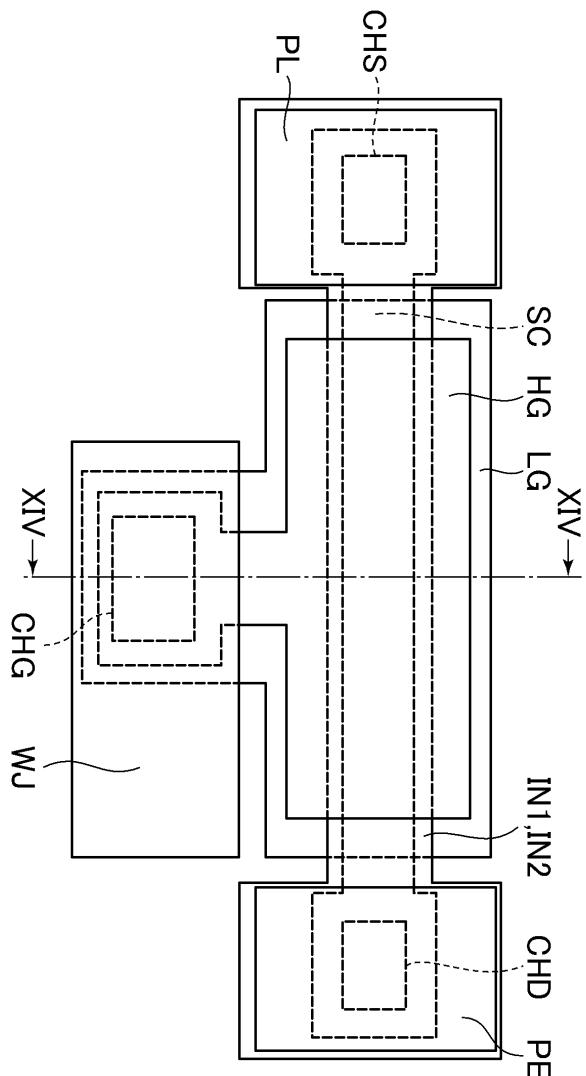
도면11



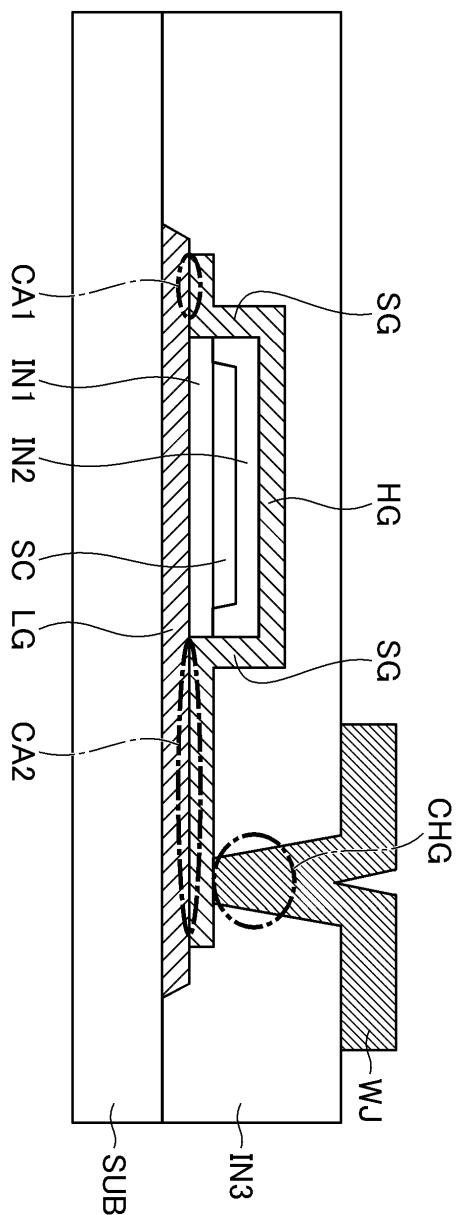
도면12



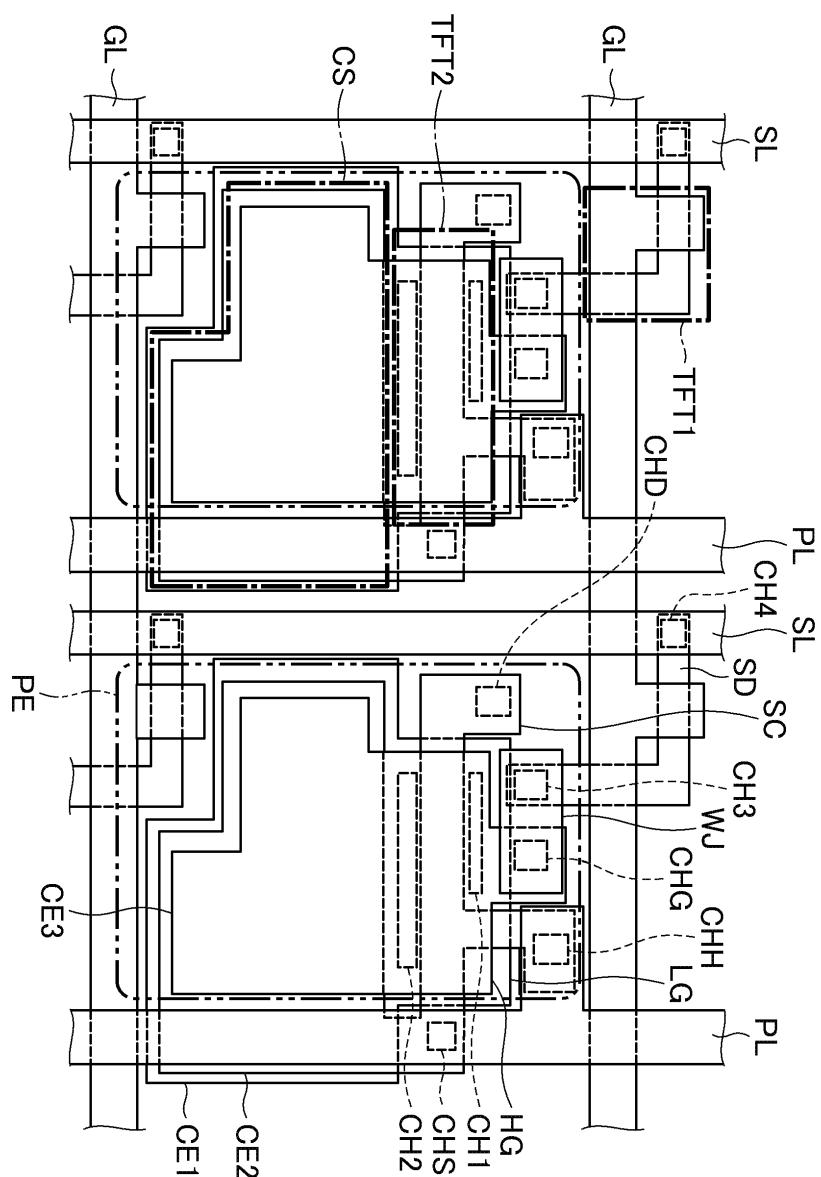
도면13



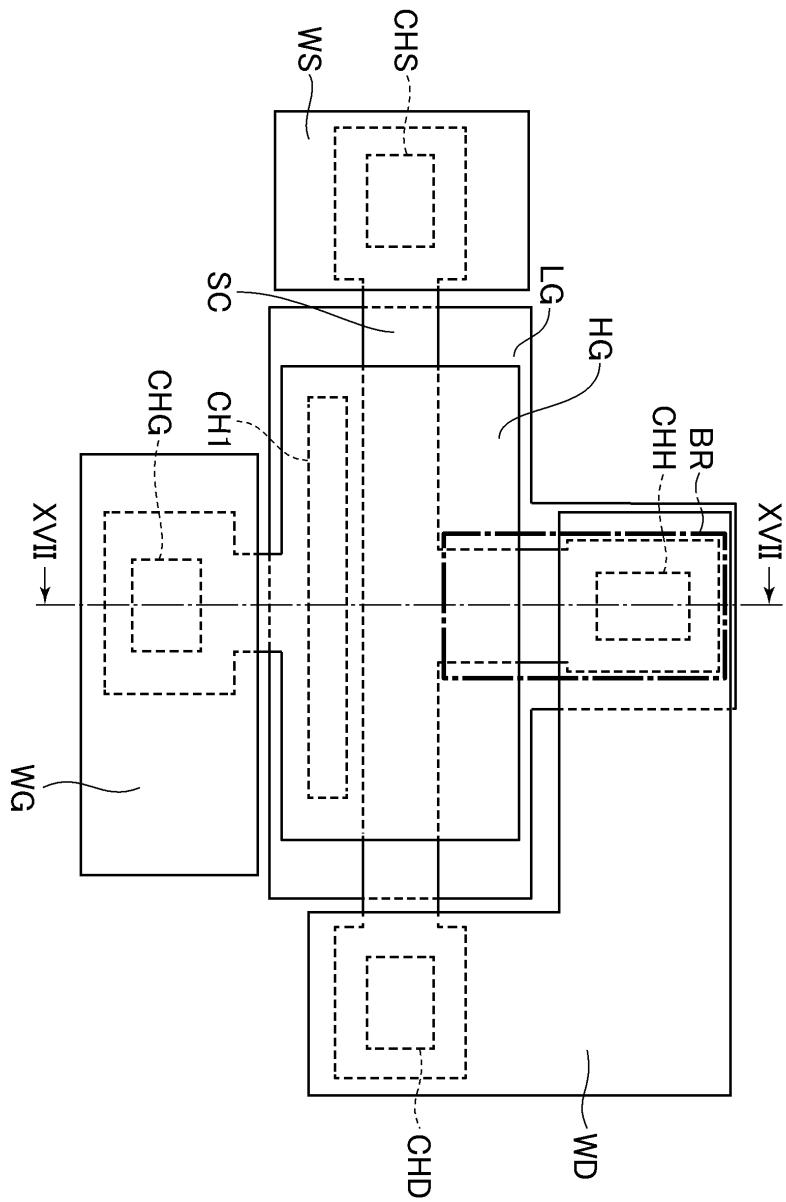
도면14



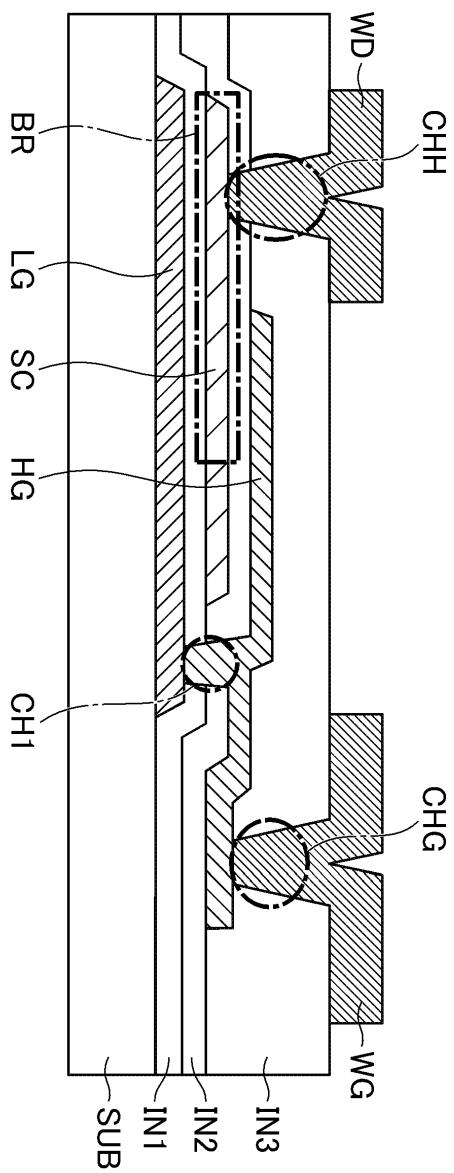
도면15



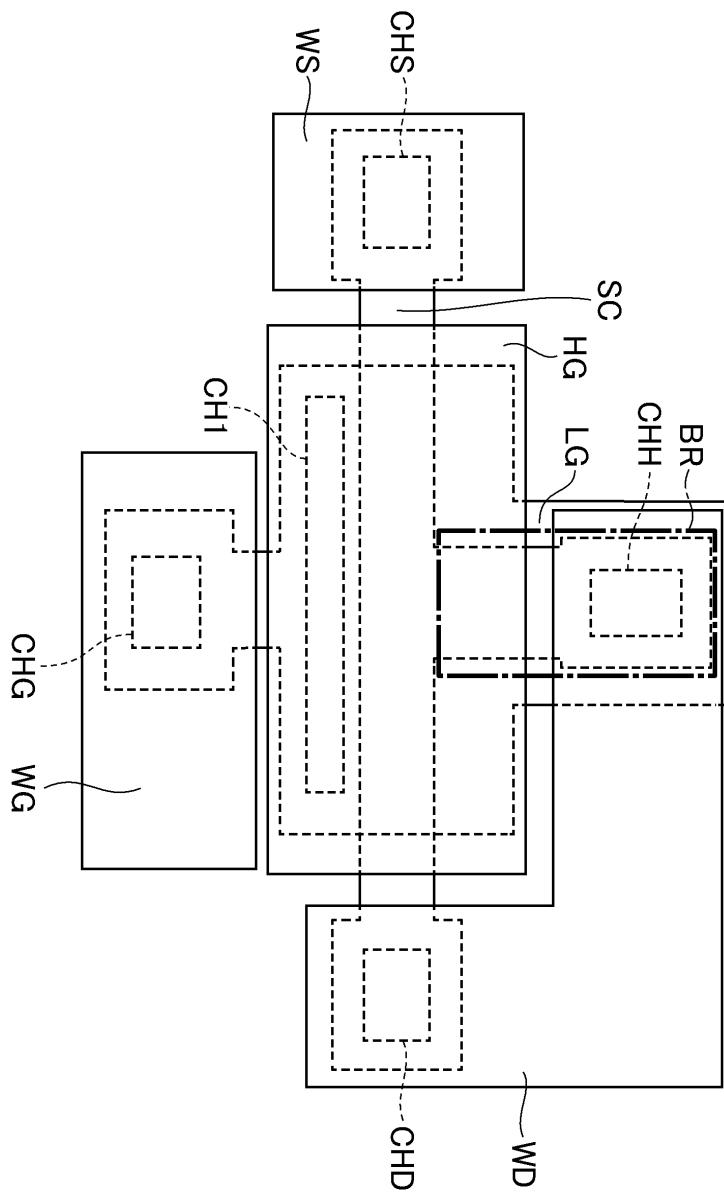
도면16



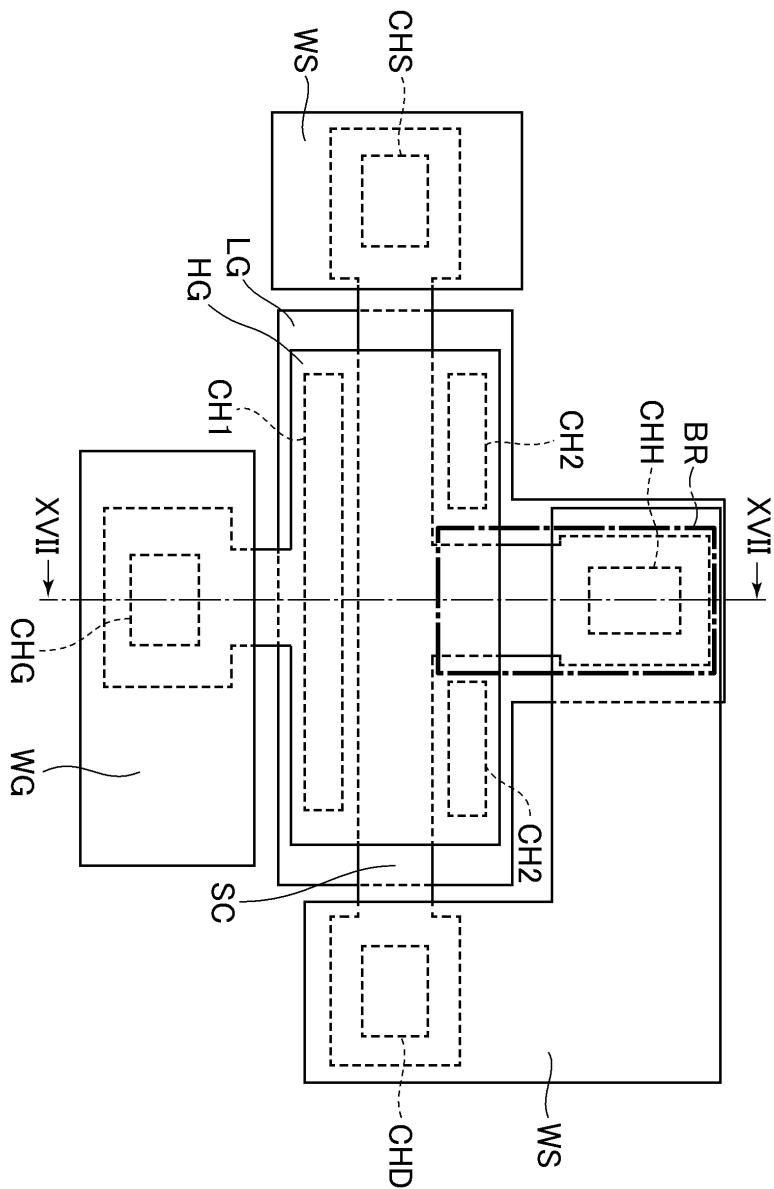
도면17



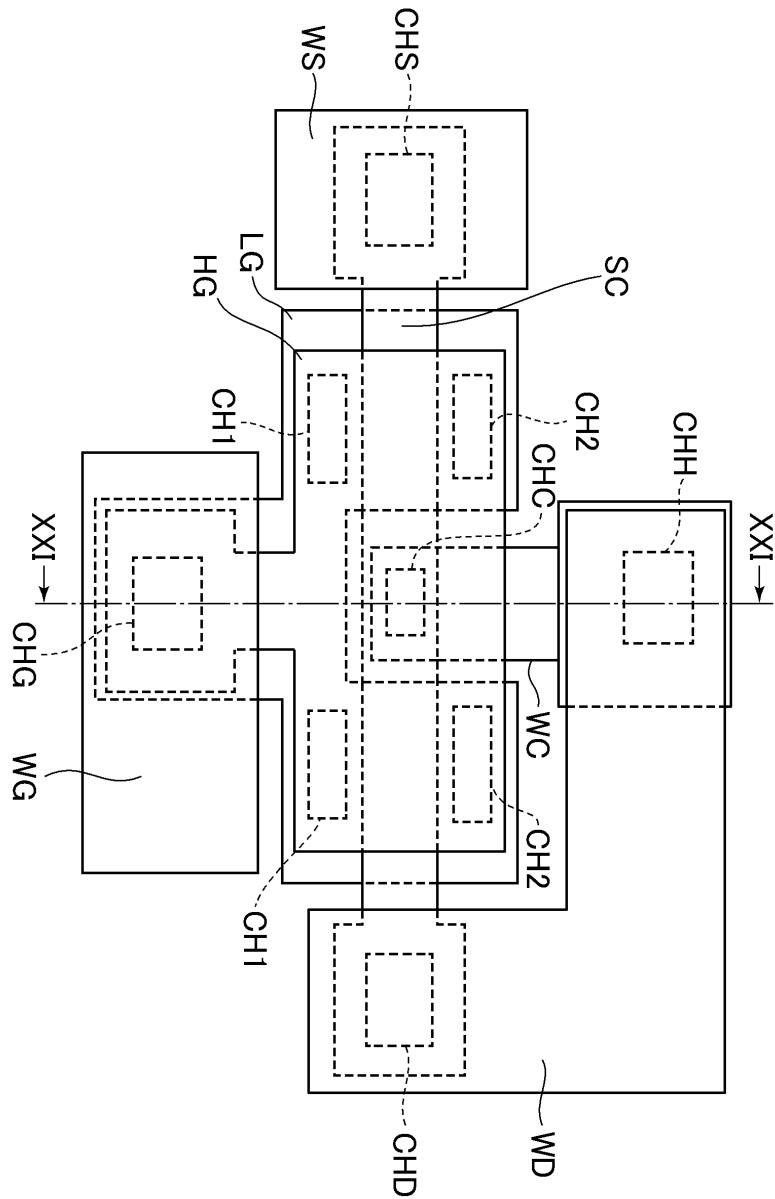
도면18



도면19



도면20



도면21

