

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-50682
(P2013-50682A)

(43) 公開日 平成25年3月14日(2013.3.14)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2 H 1 9 3
G09G 3/20 (2006.01)	G09G 3/20	6 2 4 B
G02F 1/133 (2006.01)	G09G 3/20	6 4 1 E
H01L 51/50 (2006.01)	G09G 3/20	6 4 1 R
	GO2F 1/133	5 7 5

審査請求 未請求 請求項の数 8 O L (全 20 頁) 最終頁に続く

(21) 出願番号	特願2011-189929 (P2011-189929)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成23年8月31日 (2011.8.31)	(74) 代理人	110001357 特許業務法人つばさ国際特許事務所
		(72) 発明者	吉永 朋朗 東京都港区港南1丁目7番1号 ソニー株式会社内
		F ターム (参考)	2H193 ZA02 ZB02 ZB03 ZC25 ZD25 ZD26 ZD30 ZE02 ZF13 ZF16 ZF21 ZF31 ZH23 ZH52 ZR10 3K107 AA01 BB01 CC31 HH05 5C006 AA14 AC21 AF44 BB15 BC16 BF02 EC12 FA14 FA29
			最終頁に続く

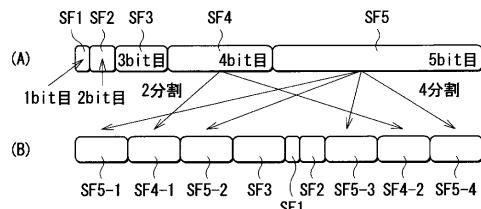
(54) 【発明の名称】駆動回路、表示装置、および表示装置の駆動方法

(57) 【要約】

【課題】擬似輪郭の生じにくい駆動回路およびそれを備えた表示装置、ならびに、擬似輪郭の生じにくい表示装置の駆動方法を提供する。

【解決手段】電気光学素子を含むメモリ内蔵の画素を駆動する駆動回路は、階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するようになっている。この駆動回路は、また、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成するようになっている。この駆動回路は、さらに、少なくとも一部の分割サブフィールドを、1フレーム期間内において分割前とは異なる区間に配置するようになっている。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

電気光学素子を含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する駆動回路であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を含む

駆動回路。

【請求項 2】

前記分割部は、少なくとも一部の分割サブフィールドを、1フレーム期間内において分割前とは異なる区間に配置する

請求項1に記載の駆動回路。

【請求項 3】

前記分割部は、各分割サブフィールドを、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置する

請求項2に記載の駆動回路。

【請求項 4】

前記分割部は、一部の分割サブフィールドを1フレーム期間の期初寄りに配置する

請求項2に記載の駆動回路。

【請求項 5】

前記分割部は、フレーム期間ごとに、少なくとも一部の分割サブフィールドであって、かつ分割元のサブフィールドが互いに異なる分割サブフィールド同士の位置を互いに入れ替える

請求項2に記載の駆動回路。

【請求項 6】

前記分割部は、1フレーム期間内または複数フレーム期間内において、ビット配列を時間対称配置にする

請求項5に記載の駆動回路。

【請求項 7】

電気光学素子を含むメモリ内蔵の画素が行列状に配置された表示領域と、

各画素を駆動する駆動回路と

を備え、

前記駆動回路は、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を有する

表示装置。

【請求項 8】

電気光学素子を含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法であつて、

10

20

30

40

50

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割ステップと、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップと

を含む

表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、パルス幅変調(PWM)で階調表示を行う駆動回路およびそれを備えた表示装置に関する。また、本技術は、上記の表示装置の駆動方法に関する。

【背景技術】

【0002】

PWMで階調表示を行うデジタル駆動の表示装置では、5ビット(32階調)の場合を例にとると、例えば、図18に示したような階調表示法が用いられる。具体的には、図18に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が1:2:4:8:16の5つのデータを用意し、これら5つのデータの組み合わせにより32階調が表現される。

【0003】

図19は、従来の一般的なデジタル駆動における順次走査の信号データと、走査線に印加される選択パルスとの関係を表したものである。ここでは、説明の都合上、走査線が3本の場合を示している。図19からわかるように、従来の一般的なデジタル駆動の表示装置では、階調データの各ビット(本例では、1bit~5bit)に対応し、かつ対応ビットの重みに応じた期間となるサブフィールドSF1~SF5で1フレーム期間(1F)が分割されている。そして、各サブフィールドSF1~SF5に対応するビットに従って画素の電気光学素子がオンまたはオフされることで、1F中のオン期間またはオフ期間の割合が段階的に制御される。さらに、走査線を介した画素へのデータ書き込みは、サブフィールドSF1~SF5ごとに線順次走査で行われる。なお、上記のデジタル駆動に関する情報は、例えば、以下の特許文献1などに記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-343609号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

図20は、垂直方向にグラデーションとなっている映像(以下、単に「グラデーション映像」と称する。)が垂直上方に変移する動画が、図18のデジタル駆動で表示される様子を模式的に表したものである。図20(A)は、グラデーション映像を観察者が視認したときの映像の一部を表したものである。図20(B)は、nフレーム目~n+2フレーム目において、グラデーション映像が垂直上方に時間的に変化する様子をデジタル表示したものである。図20(C)は、グラデーション映像が垂直上方に時間的に変化しているときにその動画を観察者が視認したときの映像の一部を表したものである。

【0006】

図20から、階調のわずかな違いで白黒の位相が反転するような階調表示法が用いられている場合に、グラデーション映像が垂直方向に時間的に変移することにより、白黒の位相が反転する画素において黒い筋L1が発生することがわかる。グラデーション映像は、

10

20

30

40

50

人の顔の輪郭付近に発生する。そのため、人の顔が移動している映像において、人の顔の輪郭付近に上記の黒い筋 L 1 が発生しやすい。人の顔の輪郭付近に発生する黒い筋 L 1 は、人の顔の輪郭に沿って形成されるため、擬似輪郭と呼ばれる。擬似輪郭は、映像品質を著しく損なうため、擬似輪郭の生じにくい駆動方法の開発が望まれている。

【0007】

本技術はかかる問題点に鑑みてなされたものであり、その第 1 の目的は、擬似輪郭の生じにくい駆動回路およびそれを備えた表示装置を提供することにある。また、第 2 の目的は、擬似輪郭の生じにくい表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0008】

本技術による駆動回路は、電気光学素子を含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する回路である。駆動回路は、分割部と、オンオフ期間制御部とを含んでいる。分割部は、階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するようになっている。分割部は、また、期間の相対的に長い 1 または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成するようになっている。一方のオンオフ期間制御部は、各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するようになっている。

10

20

【0009】

本技術による表示装置は、電気光学素子を含むメモリ内蔵の画素が行列状に配置された表示領域と、各画素を駆動する駆動回路とを備えている。この表示装置において、駆動回路は、上記の分割部と同一の構成要素の分割部と、上記のオンオフ期間制御部と同一の構成要素のオンオフ期間制御部とを備えている。

【0010】

本技術による表示装置の駆動方法は、液晶セルを含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法である。この駆動方法は、以下の 2 つのステップを含んでいる。

30

(A) 階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで 1 フレーム期間を分割するとともに、期間の相対的に長い 1 または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成し、さらに、少なくとも一部の分割サブフィールドを、1 フレーム期間内において分割前とは異なる区間に配置する分割ステップ

(B) 各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1 フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップ

【0011】

本技術による駆動回路、表示装置、および表示装置の駆動方法では、期間の相対的に長い 1 または複数のサブフィールドが、期間の相対的に短いサブフィールドの期間と等しい期間に分割される。これにより、階調のわずかな違いで発生した白黒の境界が長い時間に渡って存在する度合いを少なくすることが可能である。

40

【発明の効果】

【0012】

本技術による駆動回路、表示装置、および表示装置の駆動方法によれば、階調のわずかな違いで発生した白黒の境界が長い時間に渡って存在する度合いを少なくすることができますようにしたので、筋の発生を抑制することができる。これにより、擬似輪郭を生じにくくすることができる。その結果、高い映像品質を得ることができる。

【図面の簡単な説明】

【0013】

50

- 【図1】本技術による一実施の形態に係る表示装置の概略図である。
- 【図2】サブフィールドで規定された信号データの一例を表す模式図である。
- 【図3】階調データの一例を表す模式図である。
- 【図4】フレーム間の信号データの関係の一例を表す模式図である。
- 【図5】フレーム間の信号データの関係の他の例を表す模式図である。
- 【図6】図1の変換回路の概略図である。
- 【図7】1フレーム期間における信号データの一例および選択パルスの一例を表す模式図である。
- 【図8】グラデーション画像の経時的な変化の一例を表す模式図である。
- 【図9】グラデーション画像の経時的な変化の他の例を表す模式図である。
- 【図10】サブフィールドで規定された信号データの他の例を表す模式図である。
- 【図11】階調データの他の例を表す模式図である。
- 【図12】図11の階調データの生成方法の一例をビットで表したものである。
- 【図13】図12のビットを白黒で表したものである。
- 【図14】1フレーム期間における信号データの他の例および選択パルスの他の例を表す模式図である。
- 【図15】グラデーション画像の経時的な変化の他の例を表す模式図である。
- 【図16】 $n +$ 偶数フレームと $n +$ 奇数フレームとの関係について説明する図である。
- 【図17】上記実施の形態の階調表示法を、偏光シャッタメガネを用いた3D表示装置に適用したときの駆動シーケンスおよび信号データの一例を表す図である。
- 【図18】比較例に係る階調データの一例を表す模式図である。
- 【図19】1フレーム期間における信号データの従来例および選択パルスの従来例を表す模式図である。
- 【図20】グラデーション画像の経時的な変化の一例を表す模式図である。
- 【発明を実施するための形態】
- 【0014】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（表示装置）

30

2. 変形例（表示装置）

【0015】

<1. 実施の形態>

[構成]

図1は、本技術による一実施の形態に係る表示装置1の概略構成を表したものである。この表示装置1は、表示パネル10と、表示パネル10を駆動する周辺回路20とを備えている。

【0016】

(表示パネル10)

表示パネル10は、行方向に延在する複数の走査線W_{SL}と、列方向に延在する複数のデータ線D_{TL}とを有しており、走査線W_{SL}とデータ線D_{TL}とが互いに交差する箇所に対応して画素11を有している。表示パネル10内の複数の画素11は、表示パネル10の画素領域10A全面に渡って行方向および列方向に2次元配置されている。画素11は、表示パネル10上の画面を構成する最小単位の点に対応するものである。表示パネル10がカラー表示パネルである場合には、画素11は、例えば赤、緑または青などの単色の光を発する副画素に相当し、表示パネル10がモノクロ表示パネルである場合には、画素11は、単色光（例えば白色光）を発する画素に相当する。

【0017】

画素11は、図示しないが、電気光学素子を含むメモリ内蔵の画素である。電気光学素子の種類としては、例えば、液晶セルや、有機EL（Electro Luminescence）セルなどが

40

50

挙げられる。メモリの種類としては、例えば、S R A M (Static Random Access Memory) や D R A M (Dynamic Random Access Memory) などが挙げられる。画素 1 1 は、対応する 1 本の走査線 W S L が選択されたとき、対応するデータ線 D T L に供給された信号データ (ビット) の書き込みに応じて発光状態または消光状態となり、その後、当該走査線 W S L が非選択となっても、書き込みによる発光状態または消光状態が継続するようになっている。そのため、周辺回路 2 0 は、画素 1 1 が発光状態となっている期間 (点灯期間) 、または画素 1 1 が消光状態となっている期間 (消灯期間) の、 1 フレーム期間における割合を制御することにより、階調表示を実現している。

【 0 0 1 8 】

画素 1 1 の点灯期間または消灯期間の単位として「サブフィールド」という概念がある。¹⁰ 「サブフィールド」とは、画素 1 1 の階調を規定する階調データの各ビットに対応し、かつ当該対応ビットの重みに応じた期間の単位を指している。一般に、例えば、 5 ビットからなる階調データによって 3 2 階調を表現する場合、例えば、図 1 8 に示したように、例えば数 m s 幅の 1 ビットのデータを単位として、期間の比が 1 : 2 : 4 : 8 : 1 6 の 5 つのデータが用意され、これら 5 つのデータの組み合わせにより 3 2 階調が表現される。上記の階調表示法では、図 2 (A) に示したように、階調データの各ビット (1 b i t ~ 5 b i t) に対応し、かつ対応ビットの重みに応じた期間となるサブフィールド S F 1 ~ S F 5 で、信号データが規定される。

【 0 0 1 9 】

本実施の形態では、さらに、画素 1 1 の点灯期間または消灯期間の単位として、期間の相対的に長い (つまり高階調側の) サブフィールドに対して「分割サブフィールド」が適用されている。²⁰ 「分割サブフィールド」とは、期間の相対的に長いサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより生成される断片化されたサブフィールドを指している。例えば、図 2 (B) に示したように、階調データの 4 ビット目および 5 ビット目に対応するサブフィールド S F 4 , S F 5 が、サブフィールド S F 4 よりも期間の相対的に短いサブフィールド S F 3 の期間と等しい期間に分割されている。これにより、サブフィールド S F 4 から、 2 つの分割サブフィールド S F 4 - 1 , S F 4 - 2 が生成され、サブフィールド S F 5 から、 4 つの分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 が生成されている。分割サブフィールド S F 4 - 1 , S F 4 - 2 , S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 の期間は、低階調側のサブフィールド S F 1 , S F 2 の期間よりも長くなっている。³⁰

【 0 0 2 0 】

ここで、分割サブフィールドに対応するビットは、分割サブフィールドの分割元のサブフィールドに対応するビットと等しくなっている。例えば、分割サブフィールド S F 4 - 1 , S F 4 - 2 に対応するビットは、サブフィールド S F 4 に対応するビットと等しくなっている。同様に、分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 に対応するビットは、サブフィールド S F 5 に対応するビットと等しくなっている。本実施の形態では、例えば、 5 ビットによって 3 2 階調が表現された階調データ (図 1 8 参照) が入力される場合、例えば、図 3 に示したように、例えば数 m s 幅の 1 ビットのデータを単位として、期間の比が 4 : 4 : 4 : 4 : 1 : 2 : 4 : 4 : 4 の 9 つのデータが用意され、これら 9 つのデータの組み合わせにより 3 2 階調が表現される。このとき、先頭から 2 番目の期間および 8 番目の期間が、分割サブフィールド S F 4 - 1 , S F 4 - 2 に対応する期間である。また、先頭から 1 番目の期間、 3 番目の期間、 7 番目の期間および 9 番目の期間が、分割サブフィールド S F 5 - 1 , S F 5 - 2 , S F 5 - 3 , S F 5 - 4 に対応する期間である。この階調表示法では、図 1 8 に示した階調表示法と比べて、互いに隣接する 2 つの画素における階調のわずかな違いで、白黒の境界が長い時間に渡って固定される度合いが少なくなっている。⁴⁰

【 0 0 2 1 】

上記の階調表示法では、少なくとも一部の分割サブフィールドが、 1 フレーム期間内に

10

20

30

40

50

おいて分割前とは異なる区間に配置される。さらに、各分割サブフィールドは、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置されている。例えば、図2(B)に示したように、サブフィールドSF4から生成された分割サブフィールドSF4-1は、サブフィールドSF5から生成された分割サブフィールドSF5-1, SF5-2に隣接して配置されている。また、サブフィールドSF4から生成された分割サブフィールドSF4-2は、サブフィールドSF5から生成された分割サブフィールドSF5-3, SF5-4に隣接して配置されている。同様に、サブフィールドSF5から生成された分割サブフィールドSF5-1は、信号データの先頭に配置されており、かつサブフィールドSF4から生成された分割サブフィールドSF4-1に隣接して配置されている。また、サブフィールドSF5から生成された分割サブフィールドSF5-2は、サブフィールドSF4から生成された分割サブフィールドSF4-1と、分割されていないサブフィールドSF3とに隣接して配置されている。また、サブフィールドSF5から生成された分割サブフィールドSF5-3は、サブフィールドSF4から生成された分割サブフィールドSF4-2と、分割されていないサブフィールドSF2とに隣接して配置されている。また、サブフィールドSF5から生成された分割サブフィールドSF5-4は、信号データの最後尾に配置されており、かつサブフィールドSF4から生成された分割サブフィールドSF4-2に隣接して配置されている。

10

【0022】

一部の分割サブフィールドは1フレーム期間の期初寄りに配置されていることが好ましい。例えば、図2(B)に示したように、サブフィールドSF5から生成された分割サブフィールドSF5-1が1フレーム期間(信号データ)の先頭に配置されている。さらに、例えば、図2(B)に示したように、サブフィールドSF4から生成された分割サブフィールドSF4-1が1フレーム期間(信号データ)の先頭から2番目に配置されている。

20

【0023】

また、例えば、フレーム期間に関係なく、分割サブフィールドの位置が固定されていてもよい。例えば、図4に示したように、nフレーム、n+1フレーム、n+2フレームのいずれにおいても、信号データが、先頭から順に、SF5-1、SF4-1、SF5-2、SF3、SF1、SF2、SF5-3、SF4-2、およびSF5-4の順番で規定されているてもよい。

30

【0024】

また、例えば、フレーム期間ごとに、少なくとも一部の分割サブフィールドであって、かつ分割元のサブフィールドが互いに異なる分割サブフィールド同士の位置が互いに入れ替えられていてもよい。さらに、フレーム期間ごとに、分割サブフィールドおよびサブフィールの位置が互いに入れ替えられていてもよい。例えば、図5に示したように、nフレームにおいて、信号データが、先頭から順に、SF5-1、SF4-1、SF5-2、SF3、SF1、SF2、SF5-3、SF4-2、およびSF5-4の順番で規定されているとする。このとき、n+1フレームでは、1番目のSF5-1と2番目のSF4-1とが互いに入れ替えられ、3番目のSF5-2と4番目のSF3とが互いに入れ替えられ、8番目のSF4-2と9番目のSF5-4とが互いに入れ替えられている。さらに、n+2フレームでは、1番目のSF4-1と2番目のSF5-1とが互いに入れ替えられ、3番目のSF3と4番目のSF5-2とが互いに入れ替えられ、8番目のSF5-4と9番目のSF4-2とが互いに入れ替えられている。

40

【0025】

(周辺回路20)

次に、周辺回路20の構成についての説明を行う。周辺回路20は、例えば、図1に示したように、変換回路30、コントローラ40、垂直駆動回路50および水平駆動回路60を有している。

【0026】

コントローラ40は、図示しない上位装置から供給される同期信号20Bから、変換回

50

路30、垂直駆動回路50、および水平駆動回路60の動作タイミングを制御する制御信号40A, 40B, 40Cを生成するものである。同期信号20Bとしては、例えば、垂直同期信号、水平同期信号、ドットクロック信号などが挙げられる。制御信号40A, 40B, 40Cとしては、例えば、クロック信号、ラッチ信号、フレーム開始信号、サブフィールド開始信号などが挙げられる。

【0027】

変換回路30は、例えば、図6に示したように、フレームメモリ31、書き回路32、読み回路33およびデコーダ34を含んでいる。フレームメモリ31は、少なくとも表示領域10Aの解像度よりも多い記憶容量を有する映像表示用メモリであり、例えば、行アドレスと、列アドレスと、行アドレスおよび列アドレスと関連付けられた各画素11の階調データとを記憶することができるようになっている。書き回路32は、同期信号20Bを利用して、映像信号20Aの書き込みアドレスWadを生成するとともに、同期信号20Bに同期してフレームメモリ31に出力するようになっている。書き込みアドレスWadは、例えば、行アドレスおよび列アドレスを含んでいる。読み回路33は、制御信号40Aに基づいて、読み込みアドレスRadを生成し、フレームメモリ31に出力するようになっている。デコーダ34は、フレームメモリ31から出力された階調データを信号データ30Aとして出力するようになっている。

10

【0028】

垂直駆動回路50は、水平駆動回路60から入力される制御信号60A(後述)と、制御信号40Cから特定されるアドレスデータとに基づいて、各画素11を行単位で選択するための走査パルスを走査線WSLに出力するようになっている。垂直駆動回路50は、例えば、図7(A)～(D)に示したように、SF5-1, SF4-1, SF5-2, SF3, SF1, SF2, SF5-3, SF4-2, SF5-4の並び順および期間に対応して、各走査線WSLに選択パルスを順次出力するようになっている。

20

【0029】

水平駆動回路60は、制御信号40Bと、信号データ30Aとに基づいて、画素11の電気光学素子をオンまたはオフすることで、1F中のオン期間またはオフ期間の割合を段階的に制御するようになっている。

【0030】

水平駆動回路60は、信号データ30Aの高ビット側のサブフィールドを、信号データ30Aの低ビット側のサブフィールドの期間と同じ期間の分割サブフィールドに分割するようになっている。水平駆動回路60は、信号データ30Aとして、5ビットによって32階調が表現された階調データ(図18参照)が入力された場合、例えば、図2(B)に示したように、階調データの4ビット目および5ビット目に対応するサブフィールドSF4, SF5を、サブフィールドSF4よりも期間の相対的に短いサブフィールドSF3の期間と等しい期間に分割するようになっている。これにより、サブフィールドSF4から、2つの分割サブフィールドSF4-1, SF4-2が生成され、サブフィールドSF5から、4つの分割サブフィールドSF5-1, SF5-2, SF5-3, SF5-4が生成される。

30

【0031】

次に、水平駆動回路60は、少なくとも一部の分割サブフィールドを、1フレーム期間内において分割前とは異なる区間に配置するようになっている。さらに、水平駆動回路60は、各分割サブフィールドを、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置するようになっている。このとき、水平駆動回路60は、例えば、図2(B)に示したように、サブフィールドSF1, SF2, SF3および分割サブフィールドSF4-1, SF4-2, SF5-1, SF5-2, SF5-3, SF5-4を、SF5-1, SF4-1, SF5-2, SF3, SF1, SF2, SF5-3, SF4-2, SF5-4の順に配置するようになっている。

40

【0032】

このとき、水平駆動回路60が、一部の分割サブフィールドを1フレーム期間の期初寄

50

りに配置するようになっていることが好ましい。水平駆動回路 60 は、例えば、図 2 (B) に示したように、分割サブフィールド SF5-1 を 1 フレーム期間 (信号データ) の先頭に配置するようになっている。水平駆動回路 60 は、さらに、例えば、図 2 (B) に示したように、分割サブフィールド SF4-1 を 1 フレーム期間 (信号データ) の先頭から 2 番目に配置するようになっている。

【0033】

また、水平駆動回路 60 は、少なくとも一部の分割サブフィールドを、1 フレーム期間内において分割前とは異なる区間に配置するとともに、各分割サブフィールドを、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置する際に、1 フレーム期間内において、ビット配列を時間対称配置にすることが好ましい。また、水平駆動回路 60 は、少なくとも一部の分割サブフィールドを、1 フレーム期間内において分割前とは異なる区間に配置するとともに、各分割サブフィールドを、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置する際に、複数フレーム期間内において、ビット配列を時間対称配置にすることが好ましい。

10

【0034】

ここで、「時間対称配置」とは、ある時間を基準として、それよりも前の期間の白黒の位相と、それよりも後の期間の白黒の位相とが対称またはおおむね対称となっていることを指している。「1 フレーム期間内において、ビット配列を時間対称配置にする」という場合は、例えば、サブフィールド SF1 を基準として、それよりも前の期間 (SF5-1, SF4-1, SF5-2, SF3) の白黒の位相と、それよりも後の期間 (SF2, SF5-3, SF4-2, SF5-4) の白黒の位相とが対称またはおおむね対称となっていることを指している。例えば、図 5 (B) の 16 ライン目に示したように、サブフィールド SF1 を基準として、それよりも前の期間 (SF5-1, SF4-1, SF5-2, SF3) の白黒の位相は、「0101」となっている。一方、図 5 (B) の 16 ライン目に示したように、サブフィールド SF1 を基準として、それよりも後の期間 (SF2, SF5-3, SF4-2, SF5-4) の白黒の位相は、「1010」となっている。ここで、「1010」は、サブフィールド SF1 において「0101」を折り返したものに等しい。従って、図 5 (B) の 16 ライン目において、サブフィールド SF1 よりも前の期間の白黒の位相「0101」と、サブフィールド SF1 よりも後の期間の白黒の位相「1010」とは、サブフィールド SF1 を基準として対称となっているといえる。

20

【0035】

また、「複数フレーム期間内において、ビット配列を時間対称配置にする」という場合は、例えば、n フレーム期間と n+1 フレーム期間との境界を基準として、n フレーム期間における階調データの白黒の位相と、n+1 フレーム期間における階調データの白黒の位相とが対称またはおおむね対称となっていることを指している。例えば、図 5 (B) の 16 ライン目に示したように、n フレーム期間の階調データは、「101000101」となっている。一方、図 5 (B) の 16 ライン目に示したように、n フレーム期間の階調データは、「101000101」となっている。ここで、「101000101」は、n フレーム期間と n+1 フレーム期間との境界において「101000101」を折り返したものに等しい。従って、図 5 (B) の 16 ライン目において、n フレーム期間の白黒の位相「101000101」と、n+1 フレーム期間の白黒の位相「101000101」とは、n フレーム期間と n+1 フレーム期間との境界を基準として対称となっているといえる。

30

【0036】

ところで、1 フレーム期間内または複数フレーム期間内において、ビット配列が、時間対称配置となっている場合、前半のビット配列によって生成される筋と、後半のビット配列によって生成される筋とが、白黒反転の関係となっている。つまり、一方の筋は黒い筋となっており、他方の筋は、白い筋となっている（後述の図 16 の左側の図を参照）。ここで、人間の目では、白黒反転の経時的な変化は積分値として認識される。そのため、1 フレーム期間内または複数フレーム期間内において、ビット配列が、時間対称配置となっ

40

50

ている場合には、人間の目では、黒い筋と、白い筋とが互いに相殺し合い、筋が生じていないように認識される。

【0037】

水平駆動回路60は、例えば、図5に示したように、フレーム期間ごとに、少なくとも一部の分割サブフィールドであって、かつ分割元のサブフィールドが互いに異なる分割サブフィールド同士の位置を互いに入れ替えるようになっている。水平駆動回路60は、さらに、例えば、図5に示したように、フレーム期間ごとに、期間が互いに等しい分割サブフィールドおよびサブフィールの位置を互いに入れ替えるようになっている。水平駆動回路60は、例えば、図5に示したように、nフレームにおいて、信号データを、先頭から順に、SF5-1、SF4-1、SF5-2、SF3、SF1、SF2、SF5-3、SF4-2、およびSF5-4の順番で規定するようになっている。このとき、水平駆動回路60は、n+1フレームでは、1番目のSF5-1と2番目のSF4-1とを互いに入れ替え、3番目のSF5-2と4番目のSF3とを互いに入れ替え、8番目のSF4-2と9番目のSF5-4とを互いに入れ替えるようになっている。さらに、水平駆動回路60は、n+2フレームでは、1番目のSF4-1と2番目のSF5-1とを互いに入れ替え、3番目のSF3と4番目のSF5-2とを互いに入れ替え、8番目のSF5-4と9番目のSF4-2とを互いに入れ替えるようになっている。

10

【0038】

なお、水平駆動回路60は、例えば、フレーム期間に関係なく、分割サブフィールドの位置を固定するようになっていてもよい。水平駆動回路60は、例えば、図4に示したように、nフレーム、n+1フレーム、n+2フレームのいずれにおいても、信号データを、先頭から順に、SF5-1、SF4-1、SF5-2、SF3、SF1、SF2、SF5-3、SF4-2、およびSF5-4の順番で規定するようになっていてもよい。

20

【0039】

また、水平駆動回路60は、補正後の信号データ30Aのサブフィールドおよび分割サブフィールドの並び順および期間に対応した制御信号60Aを垂直駆動回路50に出力するようになっている。

【0040】

[効果]

次に、従来の一般的なデジタル駆動と対比しつつ、本実施の形態の表示装置1の効果について説明する。

30

【0041】

従来の一般的なPWMのデジタル駆動では、5ビット(32階調)の場合を例にとると、例えば、図18に示したような階調表示法が用いられる。具体的には、図18に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が1:2:4:8:16の5つのデータを用意し、これら5つのデータの組み合わせにより32階調が表現される。

【0042】

図19は、従来の一般的なデジタル駆動における順次走査の信号データと、走査線に印加される選択パルスとの関係を表したものである。ここでは、説明の都合上、走査線が3本の場合を示している。図19からわかるように、従来の一般的なデジタル駆動の表示装置では、階調データの各ビット(本例では、1bit~5bit)に対応し、かつ対応ビットの重みに応じた期間となるサブフィールドSF1~SF5で1フレーム期間(1F)が分割されている。そして、各サブフィールドSF1~SF5に対応するビットに従って画素の電気光学素子がオンまたはオフされることで、1F中のオン期間またはオフ期間の割合が段階的に制御される。さらに、走査線を介した画素へのデータ書き込みは、サブフィールドSF1~SF5ごとに線順次走査で行われる。

40

【0043】

図20は、グラデーション映像が垂直上方に変移する動画が、図19のデジタル駆動で表示される様子を模式的に表したものである。図20(A)は、グラデーション映像を観

50

察者が視認したときの映像の一部を表したものである。図20(B)は、nフレーム目～n+2フレーム目において、グラデーション映像が垂直上方に時間的に変化する様子をデジタル表示したものである。図20(C)は、グラデーション映像が垂直上方に時間的に変化しているときにその動画を観察者が視認したときの映像の一部を表したものである。

【0044】

図20から、階調のわずかな違いで白黒の位相が反転するような階調表示法が用いられている場合に、グラデーション映像が垂直方向に時間的に変移することにより、白黒の位相が反転する画素において黒い筋L1が発生することがわかる。グラデーション映像は、人の顔の輪郭付近に発生する。そのため、人の顔が移動している映像において、人の顔の輪郭付近に上記の黒い筋L1が発生しやすい。人の顔の輪郭付近に発生する黒い筋L1は、人の顔の輪郭に沿って形成されるため、擬似輪郭と呼ばれる。擬似輪郭は、映像品質を著しく損なう。

10

【0045】

一方、本実施の形態では、画素11の点灯期間または消灯期間の単位として、期間の相対的に長い(つまり高階調側の)サブフィールドに対して「分割サブフィールド」が適用される。さらに、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように各分割サブフィールドが配置される。例えば、図2(B)に示したように、階調データの4ビット目および5ビット目に対応するサブフィールドSF4, SF5が、サブフィールドSF4よりも期間の相対的に短いサブフィールドSF3の期間と等しい期間に分割されることにより、サブフィールドSF4から、2つの分割サブフィールドSF4-1, SF4-2が生成され、サブフィールドSF5から、4つの分割サブフィールドSF5-1, SF5-2, SF5-3, SF5-4が生成される。

20

【0046】

そのため、例えば、5ビットからなる階調データによって32階調を表現する場合、例えば、図3に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が4:4:4:4:1:2:4:4の9つのデータが用意され、これら9つのデータの組み合わせにより32階調が表現される。この階調表示法では、図18に示した階調表示法と比べて、階調のわずかな違いで、白黒の境界が長い時間に渡って固定される度合いが少なくなっている。

30

【0047】

図8、図9は、グラデーション映像が垂直上方に変移する動画が、図7と同様のデジタル駆動で表示される様子を模式的に表したものである。図8は、図4に示したように、nフレーム、n+1フレーム、n+2フレームのいずれにおいても、信号データが、先頭から順に、SF5-1、SF4-1、SF5-2、SF3、SF1、SF2、SF5-3、SF4-2、およびSF5-4の順番で規定されているときのものである。図9は、図5に示したように、フレーム期間ごとに、少なくとも一部の分割サブフィールドであって、かつ分割元のサブフィールドが互いに異なる分割サブフィールド同士の位置を互に入れ替えているときのものである。

【0048】

図8(A), 図9(A)は、グラデーション映像を観察者が視認したときの映像の一部を表したものである。図8(B), 図9(B)は、nフレーム目～n+2フレーム目において、グラデーション映像が垂直上方に時間的に変化する様子をデジタル表示したものである。図8(C), 図9(C)は、グラデーション映像が垂直上方に時間的に変化しているときにその動画を観察者が視認したときの映像の一部を表したものである。

40

【0049】

図8、図9から、階調のわずかな違いで白黒の位相が反転するような階調表示法が用いられている場合に、グラデーション映像が垂直方向に時間的に変移したとしても、階調のわずかな違いで発生した白黒の境界が長い時間に渡って存在する度合いを少なくすることができます。これにより、図20に示したような黒い筋L1の発生を抑制することができる。

50

【0050】

従って、本実施の形態の階調表示法では、擬似輪郭を生じにくくすることができる。その結果、高い映像品質を得ることができる。

【0051】

また、本実施の形態において、少なくとも一部の分割サブフィールドが、1フレーム期間内において分割前とは異なる区間に配置されるとともに、各分割サブフィールドが、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置される際に、1フレーム期間内または複数フレーム期間内において、ピット配列が時間対称配置となっている場合には、前半のピット配列によって生成される筋と、後半のピット配列によって生成される筋とが、白黒反転の関係となる。そのため、この場合には、人間の目では、黒い筋と、白い筋とが互いに相殺し合い、筋が生じていないように認識される。従って、このような階調表示法を用いることにより、擬似輪郭をさらに生じにくくすることができる。その結果、より高い映像品質を得ることができる。

10

【0052】

<2. 变形例>

[变形例1]

上記実施の形態では、各分割サブフィールドは、互いに隣接する分割サブフィールドの分割元のサブフィールドが互いに異なるように配置されていたが、互いに等しくなるように配置されていてもよい。例えば、図10(A), (B)に示したように、水平駆動回路60は、サブフィールドSF4から生成された分割サブフィールドSF4-1, SF4-2を、サブフィールドSF4の位置に配置するようになっている。さらに、例えば、図10(A), (B)に示したように、水平駆動回路60は、サブフィールドSF5から生成された分割サブフィールドSF5-1, SF5-2, SF5-3, SF5-4を、サブフィールドSF5の位置に配置するようになっている。

20

【0053】

そのため、例えば、5ビットによって32階調が表現された階調データ(図18参照)が入力される場合、例えば、図11に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が1:2:4:4:4:4:4:4の9つのデータが用意され、これら9つのデータの組み合わせにより32階調が表現される。この階調表示法では、図18に示した階調表示法と比べて、階調のわずかな違いで、白黒の境界が長い時間に渡って固定される度合いが少なくなっている。

30

【0054】

ここで、先頭から4番目の期間および5番目の期間が、分割サブフィールドSF4-1, SF4-2に対応する期間である。また、先頭から6番目の期間、7番目の期間、8番目の期間および9番目の期間が、分割サブフィールドSF5-1, SF5-2, SF5-3, SF5-4に対応する期間である。この階調表示法では、分割サブフィールドSF4-1, SF4-2に対応するビットが、サブフィールドSF4に対応するビットと必ずしも等しくなっていない。同様に、分割サブフィールドSF5-1, SF5-2, SF5-3, SF5-4に対応するビットが、サブフィールドSF5に対応するビットと必ずしも等しくなっていない。そのため、本変形例では、例えば、ある範囲内の階調においては、サブフィールドSF3に対応するビットが、分割サブフィールドSF4-2に対応するビットに割り当てられている。また、例えば、上記とは別の範囲内の階調においては、サブフィールドSF3, 分割サブフィールドSF4-1, SF4-2に対応するビットが、分割サブフィールドSF5-2, SF5-3, SF5-4に対応するビットに割り当てられている。さらに、例えば、上記とは別の範囲内の階調においては、サブフィールドSF3に対応するビットが、分割サブフィールドSF5-4に対応するビットに割り当てられている。この階調表示法では、図18に示した階調表示法と比べて、階調のわずかな違いで、白黒の境界が長い時間に渡って固定される度合いが少なくなっている。

40

【0055】

次に、図11に示した階調表示法を実現する方法について説明する。図12は、外部か

50

ら入力された階調データを上記の階調表示法に補正する方法の一例を表したものである。図13は、図12における階調データを模式的に表したものである。

【0056】

まず、例えば、図12(A), 図13(A)に示したように、5ビットによって32階調が表現された階調データが外部から入力される場合に、水平駆動回路60は、階調データの高ビット側のサブフィールドを、階調データの低ビット側のサブフィールドの期間と同じ期間の分割サブフィールドに分割する。例えば、図12(B), 図13(B)に示したように、水平駆動回路60は、階調データの4ビット目のサブフィールドを、階調データの3ビット目のサブフィールドの期間と同じ期間で2つの分割サブフィールドに分割する。さらに、水平駆動回路60は、階調データの5ビット目のサブフィールドを、階調データの3ビット目のサブフィールドの期間と同じ期間で4つの分割サブフィールドに分割する。

10

【0057】

次に、水平駆動回路60は、最も期間の長いサブフィールドおよび分割サブフィールドに対応するビットの並びを、1(白)は1(白)同士が、0(黒)は0(黒)同士が互いに隣接するように並び替える。水平駆動回路60は、例えば、図12(B), (C), 図13(B), (C)に示したように、分割後の階調データのうち、最も期間の長いサブフィールドおよび分割サブフィールドであるSF3～SF5-4に対応するビットの並びを、1(白)が低ビット側でまとまるとともに0(黒)が高ビット側でまとまるように、並び替える。これにより、図11に示した階調表示法を実現することができる。

20

【0058】

本変形例において、垂直駆動回路50は、制御信号40Cから特定されるアドレスデータに基づいて、各画素11を行単位で選択するための走査パルスを走査線WSLに出力するようになっている。垂直駆動回路50は、例えば、図14(A)～(D)に示したように、サブフィールドSF1, SF2, SF3および分割サブフィールドSF4-1, SF4-2, SF5-1, SF5-2, SF5-3, SF5-4で1フレーム期間(1F)を分割し、分割した期間ごとに、各走査線WSLに選択パルスを順次出力するようになっている。なお、図14(A)の例では、垂直駆動回路50は、SF1, SF2, SF3, SF4-1, SF4-2, SF5-1, SF5-2, SF5-3, SF5-4の並びで1フレーム期間(1F)を分割している。

30

【0059】

図15は、グラデーション映像が垂直上方に変移する動画が、図14と同様のデジタル駆動で表示される様子を模式的に表したものである。図15(A)は、グラデーション映像を観察者が視認したときの映像の一部を表したものである。図15(B)は、nフレーム目～n+2フレーム目において、グラデーション映像が垂直上方に時間的に変化する様子をデジタル表示したものである。なお、図15(A), (C)は、nフレーム期間およびn+2フレーム期間((n+偶数)フレーム期間)において、階調が大きくなるにつれて、低ビット側から白が埋められている。一方、図15(B)は、n+1フレーム期間((n+奇数)フレーム期間)において、階調が大きくなるにつれて、高ビット側から白が埋められている。図15(C)は、グラデーション映像が垂直上方に時間的に変化しているときにその動画を観察者が視認したときの映像の一部を表したものである。

40

【0060】

図15から、階調のわずかな違いで白黒の位相が反転するような階調表示法が用いられている場合に、グラデーション映像が垂直方向に時間的に変移すると、(n+偶数)のフレーム間で、白黒の位相が反転する画素において黒い筋がわずかに発生する場合があり、(n+奇数)のフレーム間で、白黒の位相が反転する画素において白い筋がわずかに発生する場合がある。しかし、(n+偶数)のフレームと、(n+奇数)のフレームとが混在する動画においては、図16に示したように、黒い筋と、白い筋とが互いに相殺し合い、筋が消える。従って、本変形例の階調表示法でも、擬似輪郭を生じにくくすることができる。その結果、高い映像品質を得ることができる。

50

【0061】

[変形例2]

上記実施の形態およびその変形例に係る階調表示は、シャッタ機能を有する偏向眼鏡で3D映像を視聴する3D表示装置に適用することも可能である。図17(A)は、垂直駆動回路50が各画素行を走査するとともに、水平駆動回路60が各画素行に右目用の信号データおよび左目用の信号データを交互に印加している様子を表したものである。図17(B)は、信号データの一例を表したものである。

【0062】

図17(A)において、シャッタメガネの開放(オン)期間は、1フレーム期間全てとなっており、さらに、シャッタメガネの開放(オン)期間に、表示下ライン(画素行n)の液晶応答立下りが完了するように、走査速度とシャッタメガネの開放(オン)期間とが設定されている。そのため、画素行の上と下で位相が異なるものの、どちらも前後が黒表示で挟まれており、均一な3D表示が可能となっている。

10

【0063】

本変形例において、水平駆動回路60は、右目用の信号データと、左目用の信号データとを交互に印加する際に、それらの間に、液晶応答期間と黒挿入期間を設けている。これにより、右目画像が表示されている期間と、左目用画像が表示されている期間とが互いに異なる期間に生成されるので、クロストークの発生を低減することができる。また、本変形例において、水平駆動回路60は、信号データとして、図17(B)に示したもの(図2(B)と同様のもの)を印加するようになっている。これにより、信号データの期初においてオーバードライブ的な駆動が可能になる。

20

【0064】

以上、実施の形態および変形例を挙げて本技術を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0065】

例えば、上記実施の形態等では、変換回路30、垂直駆動回路50および水平駆動回路60の駆動をコントローラ40が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、変換回路30、垂直駆動回路50および水平駆動回路60の制御は、ハードウェア(回路)で行われてもよいし、ソフトウェア(プログラム)で行われてもよい。

30

【0066】

また、例えば、本技術は以下の構成を取ることができる。

(1)

電気光学素子を含むメモリ内蔵の画素が行列状に配置された表示装置における各画素を駆動する駆動回路であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

40

を含む

駆動回路。

(2)

前記分割部は、少なくとも一部の分割サブフィールドを、1フレーム期間内において分割前とは異なる区間に配置する

(2)に記載の駆動回路。

(3)

前記分割部は、各分割サブフィールドを、互いに隣接する分割サブフィールドの分割元

50

のサブフィールドが互いに異なるように配置する

(2) に記載の駆動回路。

(4)

前記分割部は、一部の分割サブフィールドを1フレーム期間の期初寄りに配置する
(2) または(3)に記載の駆動回路。

(5)

前記分割部は、フレーム期間ごとに、少なくとも一部の分割サブフィールドであって、かつ分割元のサブフィールドが互いに異なる分割サブフィールド同士の位置を互に入れ替える

(2)ないし(4)のいずれか一項に記載の駆動回路。

10

(6)

前記分割部は、1フレーム期間内または複数フレーム期間内において、ピット配列を時間対称配置にする

(5) に記載の駆動回路。

(7)

電気光学素子を含むメモリ内蔵の画素が行列状に配置された表示領域と、各画素を駆動する駆動回路と

を備え、

前記駆動回路は、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割部と、

20

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を有する

表示装置。

(8)

電気光学素子を含むメモリ内蔵の画素が行列状に配置された表示装置の駆動方法であつて、

30

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドで1フレーム期間を分割するとともに、期間の相対的に長い1または複数のサブフィールドを、期間の相対的に短いサブフィールドの期間と等しい期間に分割することにより複数の分割サブフィールドを生成する分割ステップと、

各サブフィールドおよび各分割サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップと

を含む

表示装置の駆動方法。

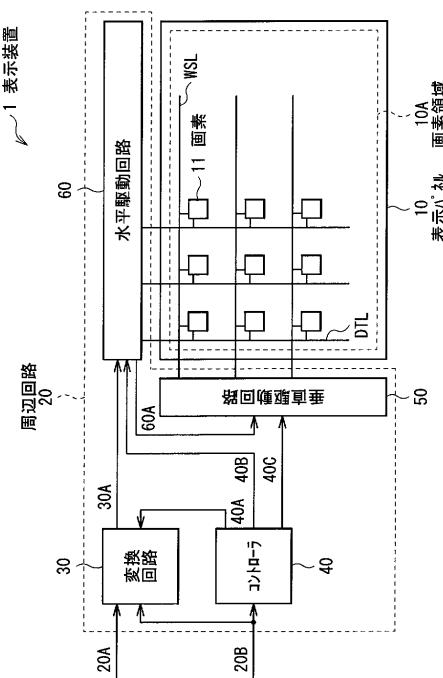
40

【符号の説明】

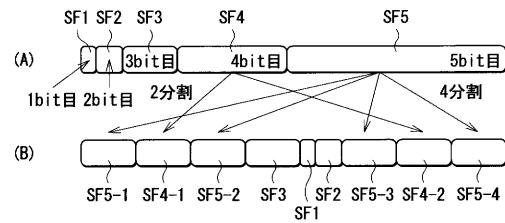
【0067】

1...表示装置、10...表示パネル、10A...画素領域、11...画素、20...周辺回路、
20A...映像信号、20B...同期信号、30...変換回路、30A...信号データ、31...フレームメモリ、32...書き込み回路、33...読み出し回路、34...デコーダ、40...コントローラ、
40A, 40B, 40C...制御信号、50...垂直駆動回路、60...水平駆動回路、DTL...データ線、WSL...走査線。

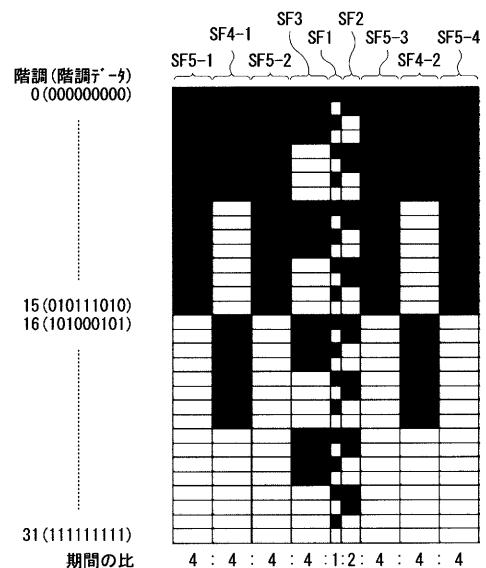
【 図 1 】



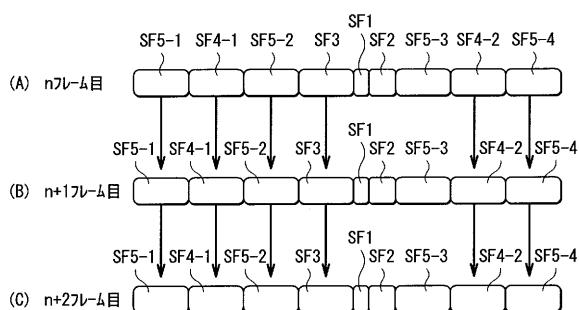
【 図 2 】



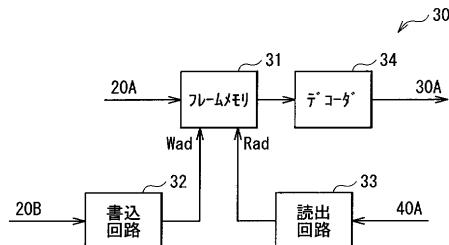
【 図 3 】



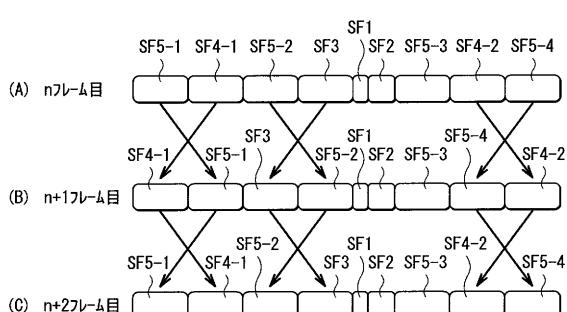
【 四 4 】



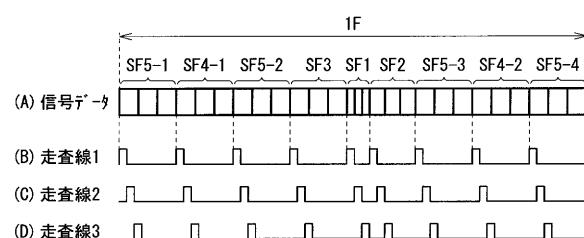
【 図 6 】



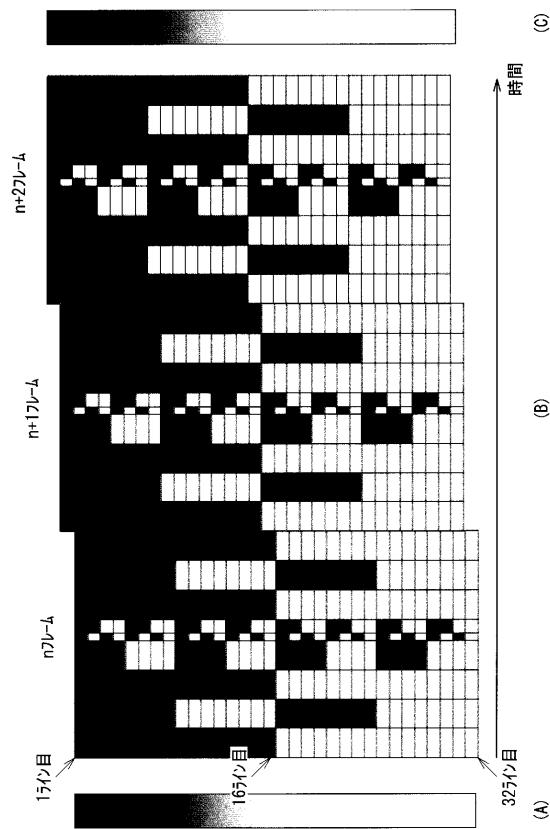
〔四〕



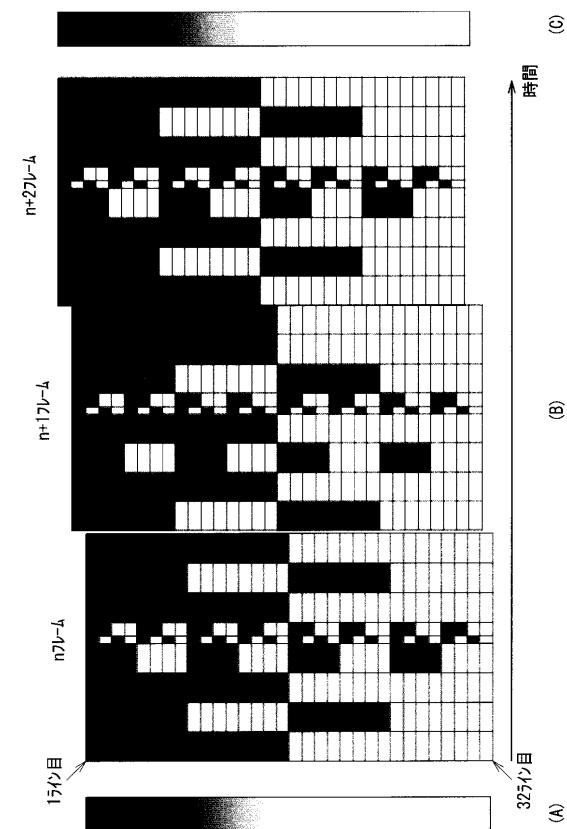
〔四七〕



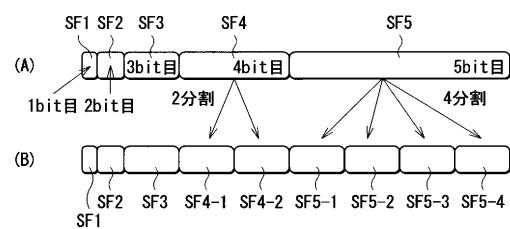
【図 8】



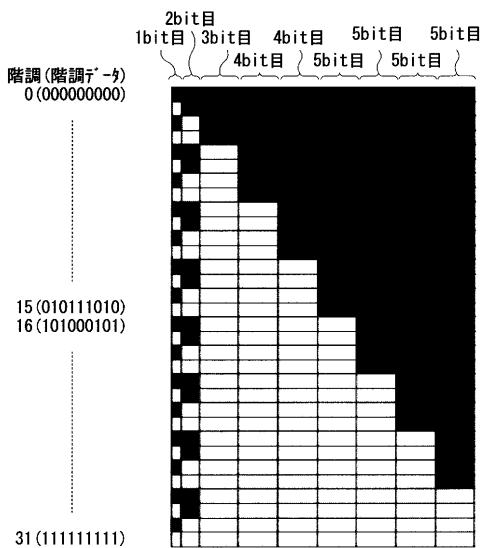
【図 9】



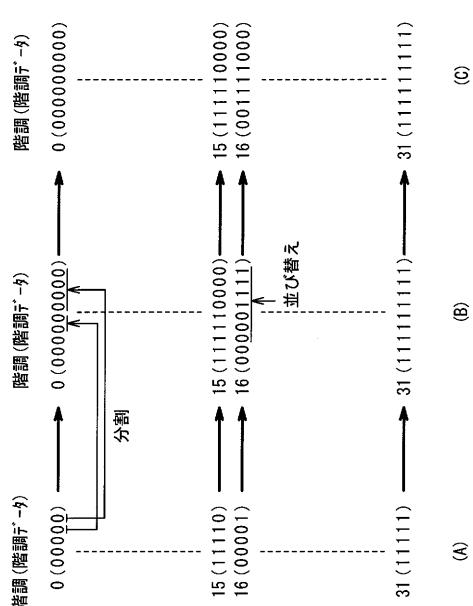
【図 10】



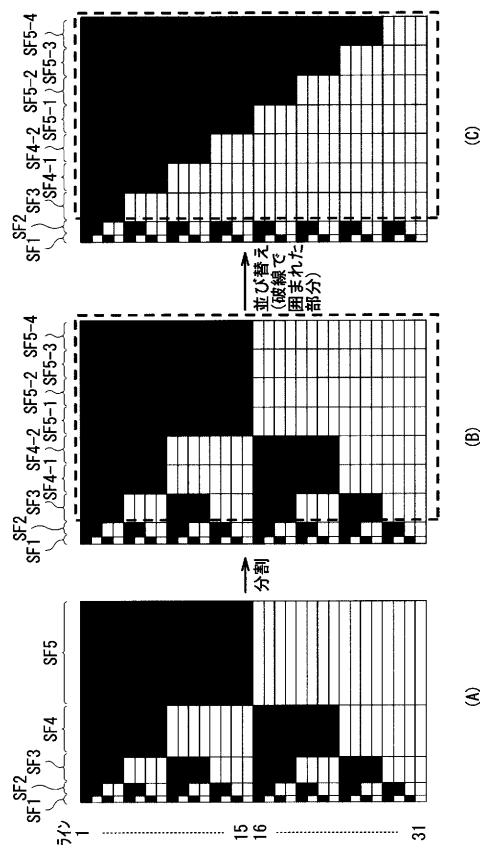
【図 11】



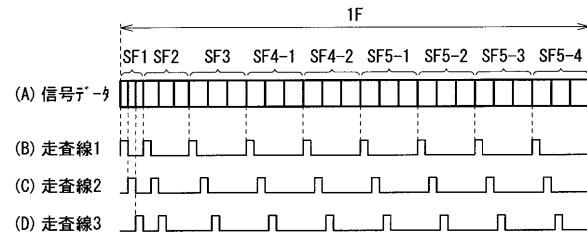
【図 12】



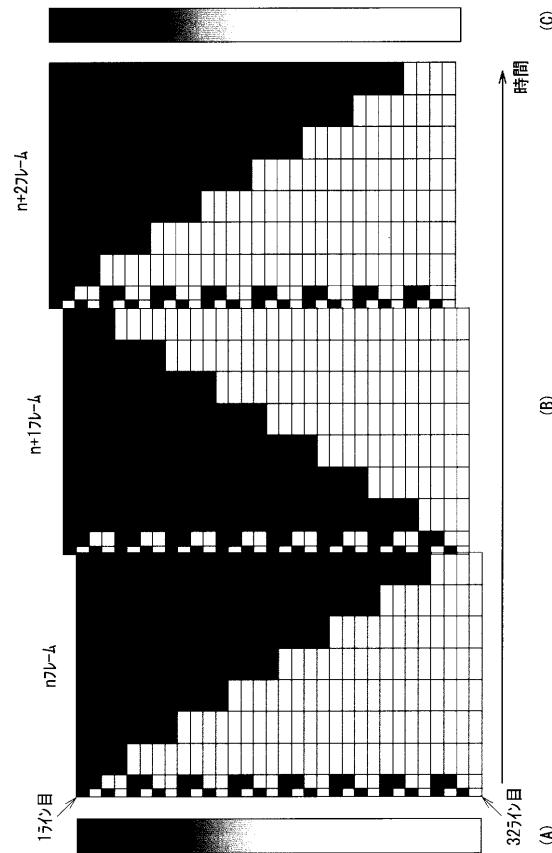
【図 1 3】



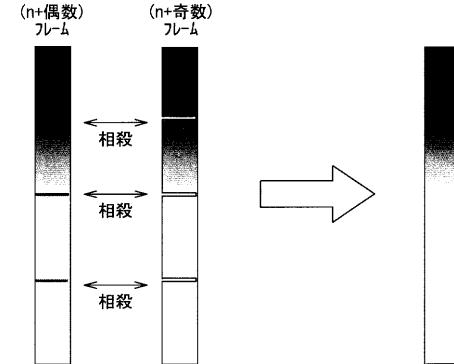
【図 1 4】



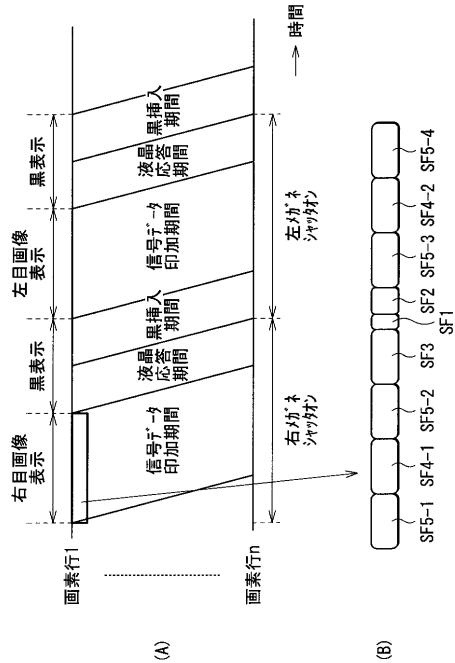
【図 1 5】



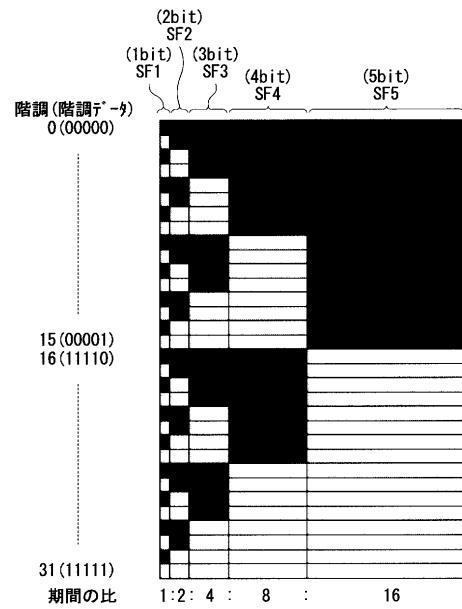
【図 1 6】



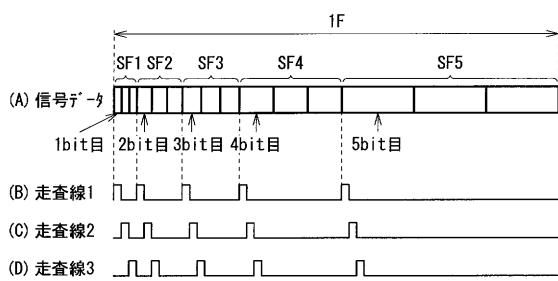
【図 17】



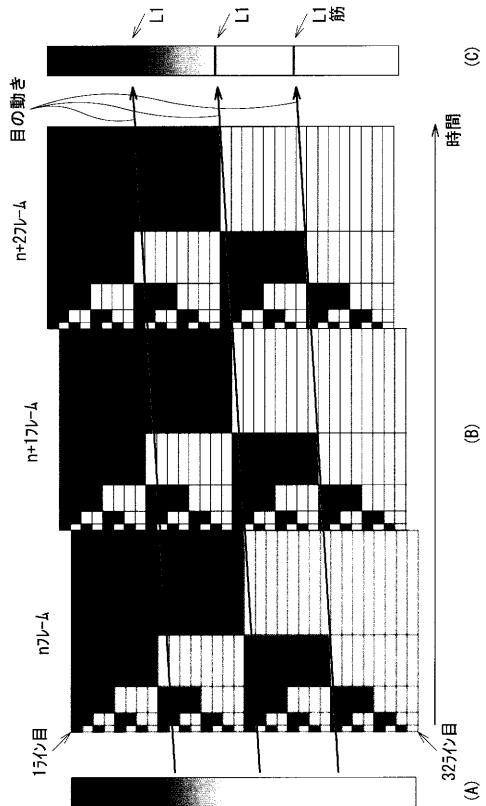
【図 18】



【図 19】



【図 20】



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
G 0 2 F 1/133 5 0 5
H 0 5 B 33/14 A

F ターム(参考) 5C080 AA06 AA10 BB05 DD02 DD08 DD10 EE19 EE29 FF11 FF12
GG11 GG12 JJ01 JJ02 JJ04 JJ06