



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I426596 B

(45) 公告日：中華民國 103 (2014) 年 02 月 11 日

(21) 申請案號：099101663

(22) 申請日：中華民國 99 (2010) 年 01 月 21 日

(51) Int. Cl. : H01L27/06 (2006.01)

H01L21/822 (2006.01)

(30) 優先權：2009/02/09 美國

12/378,039

(71) 申請人：萬國半導體有限公司 (美國) ALPHA & OMEGA SEMICONDUCTOR INC. (US)
美國

(72) 發明人：蘇毅 SU, YI (CN)；叭刺 安荷 BHALLA, ANUP (IN)；伍 時謙 NG, DANIEL (US)

(74) 代理人：蔡清福

(56) 參考文獻：

US 5005061

US 5191395

US 5536958

US 2004/0113179A1

US 2008/0087963A1

審查人員：余宗翰

申請專利範圍項數：31 項 圖式數：21 共 32 頁

(54) 名稱

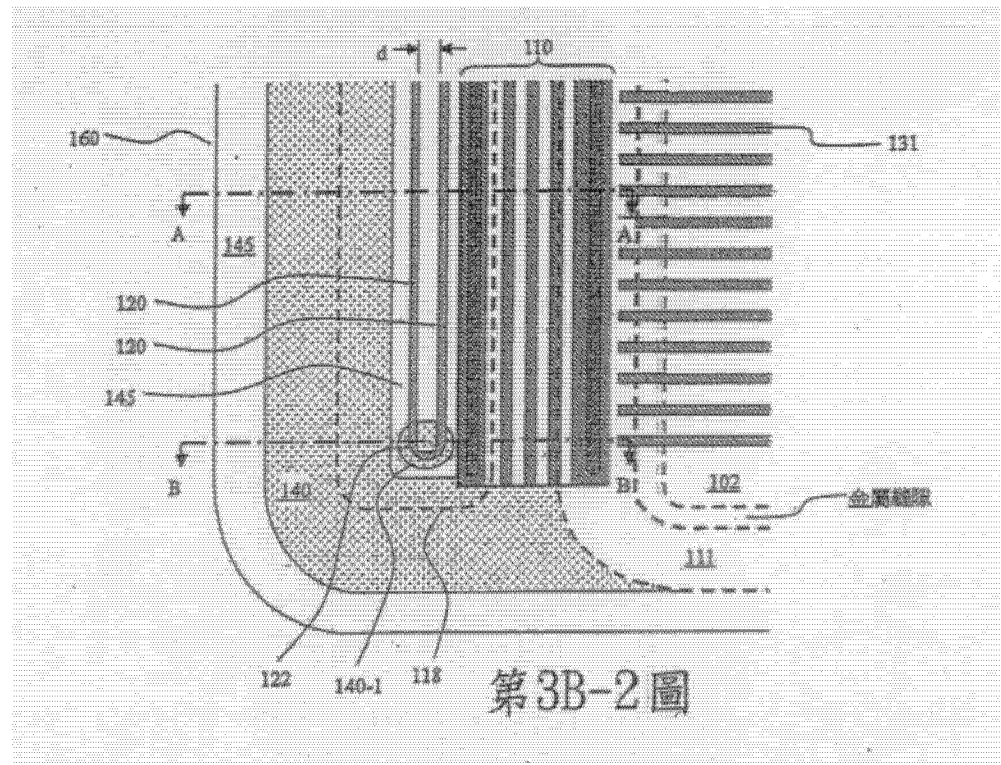
一種用於功率裝置擊穿保護的柵漏箝位元和靜電放電保護電路

A NEW CONFIGURATION OF GATE TO DRAIN (GD) CLAMP AND ESD PROTECTION CIRCUIT FOR POWER DEVICE BREAKDOWN PROTECTION

(57) 摘要

一種位於半導體襯底上的半導體功率裝置，由多個電晶體單元組成，每個電晶體單元都有一個源極、一個柵極以及一個控制源極和柵極之間電流傳輸的漏極。這種半導體還包括一個柵漏箝位元終端，串聯在柵極和漏極之間，還包括多個背對背多晶矽二極體，串聯在一個矽二極體上，在半導體襯底中，矽二極體含有平行摻雜縱欄，其中平行摻雜縱欄帶有一個預設的縫隙。摻雜縱欄還包括一個 U 形彎管縱欄，將設置在 U 形彎管下方並包圍 U 形彎管的深摻雜井，與平行摻雜縱欄末端連接在一起。

A semiconductor power device supported on a semiconductor substrate comprising a plurality of transistor cells each having a source and a drain with a gate to control an electric current transmitted between the source and the drain. The semiconductor further includes a gate-to-drain(GD) clamp termination connected in series between the gate and the drain further includes a plurality of back-to-back polysilicon diodes connected in series to a silicon diode includes parallel doped columns in the semiconductor substrate wherein the parallel doped columns having a predefined gap. The doped columns further includes a U-shaped bend column connect together the ends of parallel doped columns with a deep doped well disposed below and engulfing the U-shaped bend.



- 102 . . . 源極電極
- 110 . . . 多晶矽二極體
- 111 . . . 柵極金屬
- 118 . . . 浮動金屬
- 120 . . . 矽二極體
- 122 . . . U形彎管
- 131 . . . 柵極澆道溝道
- 140 . . . 浮動井
- 140-1 . . . 尾井
- 145 . . . 外延層
- 160 . . . 溝道終止區

第3B-2圖

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

一種用於功率裝置擊穿保護的柵漏箝位元和靜電放電保護電路

A New Configuration Of Gate To Drain (GD) Clamp And ESD Protection
Circuit For Power Device Breakdown Protection

【技術領域】

【0001】 本發明主要涉及半導體功率裝置的設計和製造。更具體地說，本發明是關於柵漏箝位元與靜電放電保護電路相結合、用於功率裝置擊穿保護的一種新型結構，通過這種結構，能夠獲得更小的晶片尺寸、降低漏電流、更好地控制柵漏箝位元擊穿電壓以及更低的生產成本。

【先前技術】

【0002】 本發明主要涉及半導體功率裝置的設計和製造。更具體地說，本發明是關於柵漏箝位元與靜電放電保護電路相結合、用於功率裝置擊穿保護的一種新型結構，通過這種結構，能夠獲得更小的晶片尺寸、降低漏電流、更好地控制柵漏箝位元擊穿電壓以及更低的生產成本。

【0003】 本發明主要涉及半導體功率裝置的設計和製造。更具體地說，本發明是關於柵漏箝位元與靜電放電保護電路相結合、用於功率裝置擊穿保護的一種新型結構，通過這種結構，能夠獲得更小的晶片尺寸、降低漏電流、更好地控制柵漏箝位元擊穿電壓以及更低的生產成本。

【0004】 傳統的用於製造帶有擊穿和靜電放電保護電路的半導體功率裝置的結構，仍然存在局限性。通常採用將多個柵漏箝位元二極體置於晶

粒周圍。這些柵漏穩壓二極體的製作方法可與柵源靜電放電二極體用同樣方法製造。這種結構會增加晶片尺寸，進而增加功率裝置的製作成本。另一方面的技術難題來自於柵漏穩壓二極體巨大的寬度。在這種結構中，漏電流 I_{dss} 與穩壓二極體的寬度成正比。穩壓二極體越寬，就越難將漏電流限制在10微安以下，然而要使用這種功率裝置，多數情況都要求漏電流在10微安以下。

【0005】 第1圖為傳統半導體功率裝置中經常使用的柵漏箝位的俯視圖。柵漏箝位元電壓是由裝置周圍的多個穩壓二極體110提供的。因此，如圖所示，這些穩壓二極體在晶片上佔據了很大的面積。此外，正如上文提到的那樣，這些形成在周圍邊緣的穩壓二極體寬度很寬，會導致漏源漏電流 I_{dss} 急劇升高，對箝位元電路的性能造成不良的影響。

【0006】 柵漏箝位和柵極電晶體一起工作，使場效應管形成開路，用於在漏源電壓達到雪崩擊穿之前，將場效應管保護起來，避免造成永久損害。正如美國專利5,365,099中所述，柵漏箝位僅與背對背多晶矽二極體一同起作用。背對背多晶矽二極體通常由P條紋和N條紋交替製成。但是，這種裝置的缺陷在於多晶矽二極體佔據了過多空間，其中每個條紋寬度約為5微米，才能承受高達6伏的擊穿電壓，

【0007】 Shen 等人在美國專利5,536,958中提出，一種通過一個集成肖特基二極體與多個背對背多晶矽二極體相連的有更好的電壓保護的半導體裝置，用於限制柵極和漏極終端之間可能升高的電勢。在美國專利5,536,958的另一個實施例中，並不是在肖特基二極體中，而是在襯底中形成接觸區，接觸背對背二極體，接觸區承載部分電壓，通過夾斷效應，由襯

底承載剩餘電壓。此結構可以承載導電模式中的多餘電壓，而不是雪崩模式中的電壓。另外，在1993年5月舉行的功率半導體裝置和積體電路國際研討會上，Yamazaki等人提出通過集成含有多晶矽穩壓二極體的絕緣柵雙極電晶體（IGBT）結構與一個矽雪崩二極體，形成一種過電壓保護電路。文中還指出，這種將多晶矽二極體與肖特基二極體或矽二極體組合的裝置，僅能用於高擊穿電壓。另外，這種類型的箝位元裝置的擊穿電壓比較難控制。因此，在控制良好的低擊穿電壓時與矽二極體一起應用，通過空間有效結構，增補背對背多晶矽二極體，它們的柵漏箝位功能仍不可用。原有技術製造的柵漏箝位元方法存在的另一問題是，在矽二極體末端的擊穿電壓比矽二極體其他區域的擊穿電壓更低。在達到所需的擊穿電壓之前，允許電流通過，這將對柵漏箝位元的性能造成不良影響。由於在P-N結末端的電場較高，擊穿電壓也因此降低。

【0008】 一個含有多晶矽二極體的柵漏箝位佔據了很大的空間。正如之前介紹那樣，傳統的含有多晶矽二極體、用矽或肖特基二極體增補的柵漏箝位元很難控制控制擊穿電壓。因此，有必要研發一種能夠克服上述難題與局限的先進結構，用於半導體功率裝置上的靜電放電以及柵漏箝位元電路。

【發明內容】

【0009】 因此，本發明一方面在於提出了一種在半導體功率裝置上，結合柵漏箝位元的靜電放電保護電路的新型改進結構，通過形成柵漏穩壓二極體、矽二極體和小柵極電阻器的組合，用於功率金屬氧化物半導體場效應管擊穿保護。柵漏穩壓二極體僅位於晶片的一側。因此，晶片尺寸與

傳統設計相比有減小。又由於柵漏穩壓二極體的寬度很小，漏電流 I_{dss} 很低。與通過多晶矽靜電放電二極體處理的傳統功率金屬氧化物半導體場效應管相比，它不需要另外的掩膜。可以在不增加成本的情況下，增加用於靜電保護的柵源穩壓二極體。本發明的另一方面在於，提出了一種在更小的晶片尺寸上，低成本地獲得低漏電流 I_{dss} 、低柵源箝位阻抗的方法。本發明的另一方面在於，獲得了很好控制的柵漏箝位元擊穿電壓，可用於低壓裝置應用。

【0010】 本發明的一個較佳實施例提出了一個位於半導體襯底上的半導體功率裝置，其中半導體襯底含有多個電晶體單元，每個電晶體都有一個源極和一個漏極，以及一個控制源極和漏極之間傳輸電流的柵極。此半導體還包括一個柵漏箝位元電路，串聯在柵極和漏極之間，還包括與一個矽二極體串聯的多個背對背多晶矽二極體，其中矽二極體包括在半導體襯底中的平行摻雜縱欄，平行摻雜縱欄帶有一個預定義的間隙。在另一個典型實施例中，摻雜縱欄的間隙範圍在2至5微米之間，以便獲得63至75伏的擊穿電壓。在另一個典型實施例中，摻雜縱欄還包括一個將平行摻雜縱欄連接在一起的U形（如上所示）彎管。在另一個可選實施例中，與平行摻雜縱欄的導電類型相同的摻雜井，設置在縱欄末端下方及周圍，在底部井中包住U形彎管，底部井確保摻雜縱欄末端的擊穿電壓不低於縱欄其餘位置的擊穿電壓。在另一個典型實施例中，背對背多晶矽二極體的一端，通過浮動金屬，串聯到矽二極體上，另一端串聯到柵極金屬上；其中柵極金屬通過柵極電阻 R_g 與柵極電極（柵極墊）相連，並直接接觸柵極澆道溝道。在另一個典型實施例中，柵漏箝位元終端僅設置在半導體襯底邊緣附近的一

側，半導體功率裝置位於半導體襯底上。在另一個典型實施例中，柵源箝位元終端僅設置在半導體襯底邊緣附近的一側，用於設置一個柵極墊，通過多個延伸過去的柵極澆道連接柵極。在另一個典型實施例中，半導體襯底還包括一個設置在矽二極體下方的深摻雜井。在另一個典型實施例中，半導體襯底還包括接觸開口，在矽二極體摻雜縱欄上方開口，用接觸金屬填充，用於連接到矽二極體上，在半導體襯底中形成摻雜縱欄。在另一個典型實施例中，其中用於連接矽二極體的接觸金屬為浮動金屬，連接在背對背多晶矽二極體和矽二極體的摻雜縱欄之間。在另一個典型實施例中，半導體襯底還包括一個浮動井（可選用深井），設置在半導體襯底邊緣周圍的溝道終止附近。在另一個典型實施例中，背對背二極體在多晶矽層中含有多個交替摻雜區，設置在半導體襯底上方的絕緣層頂部。在另一個典型實施例中，此半導體功率裝置還包括一個帶有柵源背對背穩壓二極體的柵源靜電放電保護電路。在另一個典型實施例中，柵漏箝位元終端和柵源靜電放電保護電路無需另外的生產掩膜。形成柵漏箝位穩壓二極體所使用的掩膜與柵源靜電放電結構相同。

【0011】 本發明還提出了一種箝位柵漏電壓的方法，用於形成在含有多個電晶體單元的半導體襯底上的半導體功率裝置，每個電晶體單元都有一個包圍在本體區中的源極、和一個漏極、以及一個控制源極和漏極之間傳輸電流的柵極。本方法還包括通過形成多個串聯到矽二極體上的背對背二極體，在柵極和漏極之間，形成互聯柵漏嵌位元電路，其中矽二極體在半導體襯底中含有摻雜區，並將背對背二極體連接到柵極上。在一個典型實施例中，本方法還包括在半導體襯底中，形成摻雜縱欄作為摻雜區，半

導體襯底起矽二極體的作用，連接到背對背二極體上。在另一個典型實施例中，本方法還包括形成摻雜縱欄作為摻雜區，連接到縱欄的一個末端上，通過U形彎管摻雜區，起矽二極體的作用，連接到背對背二極體上。

【圖式簡單說明】

【0012】 第1圖為傳統裝置一角的俯視原理圖，以展示傳統柵漏箝位元的結構特點；

【0013】 第2圖為本發明的一種改良柵漏嵌位元電路的電路圖；

【0014】 第3A圖為帶有改良柵漏箝位元的金屬氧化物半導體場效應管裝置的俯視圖，

【0015】 第3B-1和3B-2圖為第3A圖中裝置的左下角的爆炸圖，

【0016】 第3C圖和第3D圖為第3B-2圖分別沿A-A橫截面和B-B橫截面的橫截面視圖；

【0017】 第4圖為本發明的一個可選實施例沿第3B-2圖的A-A的橫截面視圖；

【0018】 第4A圖為本發明的一個可選實施例的俯視圖；

【0019】 第4B圖為本發明的一個可選實施例沿第4A圖的C-C的橫截面視圖；

【0020】 第5圖為帶有改良柵漏箝位以及柵源靜電放電保護電路的金屬氧化物半導體場效應管裝置的俯視圖；

【0021】 第6圖為帶有改良柵漏箝位元以及帶有柵極金屬可選裝置的柵源靜電放電保護電路的金屬氧化物半導體場效應管裝置的俯視圖；

【0022】 第7A-7I圖表示帶有改良柵漏箝位元的金屬氧化物半導體場效應管裝置的製作方法的一系列橫截面視圖。

【實施方式】

【0023】 第2圖為本發明的金屬氧化物半導體場效應管裝置100的擊穿保護電路的電路圖。金屬氧化物半導體場效應管裝置帶有柵極電極101、源極電極102以及漏極電極103。柵漏箝位元電路採用以帶有寄生電阻 R_2 115的多晶矽二極體110表示的柵漏穩壓二極體對、矽二極體120以及小柵極電阻 R_g 125的組合，對功率金屬氧化物半導體場效應管起擊穿保護的作用。穩壓二極體對110由背對背穩壓二極體組成。擊穿保護電路除了含有柵漏箝位元電路之外，還含有一個柵源靜電放電保護電路，柵源靜電放電保護電路包括帶有寄生電阻 R_1 115的柵源穩壓二極體對130。第3A-D圖還說明，柵漏穩壓二極體對110，僅形成在晶片的一側。因此，晶片尺寸要比傳統的設計小得多。柵漏箝位元電路電连接到設置在襯底底部表面上的漏極電極103上，其中電連接方式已廣為人知，在此不再詳細說明。由於柵漏穩壓二極體110的寬度減小了，因此漏電流 I_{dss} 很低。在不產生多餘費用的基礎上，可以通過增加柵源穩壓二極體對130，進行靜電放電保護。相對於傳統製作工藝，製作柵漏箝位的工藝中，為功率金屬氧化物半導體場效應管提供靜電放電保護，無需額外的掩膜工藝。

【0024】 第3A圖為本發明帶有改良柵漏箝位元電路的半導體晶片的俯視圖。第3B-1和3B-2圖為第3A圖的左下角的爆炸圖，第3C和3D圖分別為第3B-2圖沿A-A和B-B的橫截面視圖。第3A、3B-1和3B-2圖中沒有表示出氧

化層和鈍化層，以免產生混淆。第3B-2圖與第3B-1圖表示的是同一區域，所不同的是第3B-2圖中的金屬層表示為透明的，以便清楚說明多晶矽二極體110和矽二極體120。第3B-1圖表示多晶矽二極體110和矽二極體120的外形輪廓。柵漏箝位元電路僅形成在晶片的一側，減少了在晶片上佔據的面積，使更多的晶片區域可作為有源區使用。柵極電極101，例如柵極墊，通過柵極電阻 R_g 125連接到柵極金屬111上。柵極金屬111包圍著源極金屬102，並直接連接到柵極澆道溝道131上。柵極金屬111和源極金屬102由金屬墊分割開。柵極金屬111連接到柵漏多晶矽二極體110的一側。多晶矽二極體110通過浮動金屬118連接到矽二極體120的另一側。浮動金屬118將矽二極體120與多晶矽二極體110串聯起來。如第3C圖所示，矽二極體為一個PN結，矽二極體植入物與本體區的導電類型相同，例如對於n-溝道場效應管，導電類型為P-型。在這種情況下，二極體的N側為外延層145，外延層145位於襯底150上，起金屬氧化物半導體場效應管裝置的漏極作用。在另一側，外延層145和襯底150有時統稱為半導體襯底。溝道終止區160形成在半導體晶片的邊緣處。

【0025】 穿過氧化層中的接觸開口121，作為襯底中的植入區形成矽二極體120。浮動井140提供隔離。浮動井140在矽二極體120周圍形成一個環。用於形成矽二極體120的植入區以及浮動井140的導電類型與金屬氧化物半導體場效應管的本體區導電類型相同。溝道終端160、浮動井140、矽二極體120和柵極澆道溝道131都形成在晶片的外延層145中。外延層145形成在襯底150上方。此附圖並沒有按照實際比例表示。外延層145和襯底150的導電類型與源極相同，並作為金屬氧化物半導體場效應管的漏極。漏極電極103

連接到襯底150的底部。矽二極體120含有兩個平行摻雜縱欄，其間隔距離為預設的縫隙d。在一個較佳實施例中，平行摻雜縱欄還包括一個U形彎管122（第3B-1和3B-2圖），將縱欄的末端連接在一起。銳角和拐角都使電場升高，降低擊穿電壓。因此，區域末端的擊穿電壓比其餘地方的低，導致漏電流、過早開啓等不良後果。U形彎管122有助於減少這種後果，使擊穿電壓更加穩定、易於控制。在一個典型實施例中，如第3D圖所示，矽二極體120的平行摻雜縱欄末端還被尾井140-1包圍。尾井140-1的導電類型與矽二極體120的平行條紋的導電類型相同，但摻雜濃度較低，將矽二極體120末端的擊穿電壓升高到所需擊穿電壓之上，來進一步增強對擊穿電壓的控制。這樣一來，矽二極體的末端就不會出現漏電流、過早開啓等上述問題。U形彎管122和尾井140-1能夠很好地控制整體擊穿電壓。矽二極體的間隔可用於調節擊穿電壓。由於電場的變化，間隔越大，擊穿電壓越小，反之亦然。例如，2微米的間隔對應的整體擊穿電壓為75V，5微米的間隔對應的整體（穩壓+矽）擊穿電壓為63.7V。僅對於矽二極體的擊穿電壓而言，2微米的間隔對應的擊穿電壓為44.5V，4微米的間隔對應的擊穿電壓為35.6V。

【0026】 第4圖表示本發明的一個可選實施例的橫截面視圖。與第3D圖類似，本圖也是沿第3B-2圖的A-A橫截面。在該實施例中，植入矽二極體120之前，先通過接觸開口120-1和120-2進行淺矽刻蝕。刻蝕過程使多餘的拐角和邊緣深入到平行摻雜縱欄中，矽二極體120的電場增大，擊穿電壓降低。接觸區（矽二極體的陽極區）深度很淺，經過植入和擴散後約為0.1-0.2微米。如上所述，二極體淺接觸區的擊穿電壓較低。

【0027】 第4A圖為本發明的一個可選實施例的俯視圖，第4B圖為第

4A圖沿C-C的橫截面視圖。大部分與第3B-2和3D圖類似，不同的是其中矽二極體120' 僅有一個單一縱欄，而不是兩個平行縱欄。矽二極體120' 縱欄的末端帶有一個尾井140-1，用於改善對於矽二極體120' 的擊穿電壓的控制。無論二極體的設計結構如何，密封深井中的二極體末端都可以改善對擊穿電壓的控制，對本領域的技術人員而言，這種方法是顯而易見的。例如，二極體可以含有一個、兩個或多個縱欄。另外，縱欄的末端也可以不連接在U型彎管中，就封閉在尾井140-1中。浮動井140和尾井可以形成為深約2微米的深井。浮動井和尾井不一定必須是深井，其深度可以與普通本體區深度相同。作為示例，帶有單一深井保護環的裝置，其中保護環距離矽二極體120的間隔為4微米，其擊穿電壓為97V。

【0028】 第5圖為本發明的一個可選實施例的俯視原理圖。半導體晶片帶有一個柵漏箝位元電路，以及一個柵源靜電放電保護電路130。靜電放電保護電路130的技術已廣為人知。對於本領域的技術人員，柵源保護電路130顯然可以用柵漏箝位的製作工藝形成，因此無需增加成本。第6圖表示本發明的另一個可選實施例的俯視圖。大部分與第5圖類似，不同的是柵極金屬111' 含有一個附加部分111-1'，這個附加部分111-1' 使溝道柵漏電流流經柵極電阻 R_g 125。

【0029】 第7A至7I圖為一系列橫截面視圖，表示製備改良柵漏箝位的方法。第7A圖開始在襯底750上設置一個外延層745。柵極溝道（圖中沒有表示出）和柵極澆道731都形成在外延層745中。然後在氧化層715上生長一個多晶矽層730，並形成如第7B圖所示的圖案。多晶矽層730摻雜的導電類型與金屬氧化物半導體場效應管的本體區中的導電類型相同。使用本體掩

膜和本體植入物723，形成本體區722和浮動井區740，以及如第7C-D圖所示的尾井740-1。在第7D圖中，通過擴散植入物，形成浮動井區740、尾井740-1以及本體區722。如果浮動井740和尾井740-1為深井，那麼就需要另外的掩膜和擴散來形成它們。也可以在形成多晶矽層730和氧化層715之前，形成本體區722、浮動井區740以及尾井740-1。

【0030】 在第7E圖中，利用源極掩膜植入並形成源極區（圖中沒有表示出）、多晶矽層730中的條紋724以及溝道終端760。由於多晶矽層730帶有交替P、N型條紋，因此形成柵漏箝位的背對背穩壓二極體710。由氧化物等形成的絕緣層725沉積並形成圖案，以形成如第7F圖所示的接觸開口732。在第7G圖中，使用本體接觸植入，通過接觸開口721形成本體接觸（圖中沒有表示出）以及矽二極體720，然後通過第7H圖所示的金屬沉積和形成圖案，形成頂部金屬層：源極金屬（圖中沒有表示出）、柵極金屬721以及浮動金屬718。在第7I圖中，沉積背部金屬，形成柵極金屬703。本領域的技術人員應明白，與帶有背對背多晶矽二極體的標準柵源靜電放電保護電路的製備工藝相比，改良的柵漏箝位並沒有增加額外的工藝。因此，在不增加生產成本的基礎上，可以在帶有柵源靜電放電保護電路的金屬氧化物半導體場效應管裝置上，形成柵漏箝位。

【0031】 儘管上述內容已經詳細說明了本發明現有的較佳實施例，但這些內容並不應作為局限。本領域的技術人員在閱讀上述說明後，無疑將容易地做出各種改變和修正。例如，可以使用其他導電材料代替多晶矽。採用N-和P-溝道金屬氧化物半導體場效應管以及輕摻雜漏金屬氧化物半導體場效應管技術。因此，應通過所附的申請專利範圍來界定本發明真實意

圖，將其理解為包括範圍內全部改變和修正。

【符號說明】

【0032】	100	金屬氧化物半導體場效應管裝置
101		柵極電極
102		源極電極
103		漏極電極
110		多晶矽二極體
111、111'、703		柵極金屬
111-1'		附加部分
115		寄生電阻
118、718		浮動金屬
120、120'、720		矽二極體
120-1、120-2、121		接觸開口
122		U形彎管
125		柵極電阻
130		靜電放電保護電路
131、731		柵極澆道溝道
140		浮動井
140-1、740-1		尾井
145、745		外延層
150、750		襯底

- 160 溝道終止區
- 710 背對背穩壓二極體
- 715 氧化層
- 721、732 接觸開口
- 722 本體區
- 723 本體植入物
- 724 條紋
- 725 絕緣層
- 730 多晶矽層
- 740 浮動井區
- 760 溝道終端

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

發明摘要

※ 申請案號：99101663

※ 申請日：99.1.21.

※IPC 分類：
H01L 27/06 (2006.01)
H01L 21/822 (2006.01)

【發明名稱】(中文/英文)

一種用於功率裝置擊穿保護的柵漏箝位元和靜電放電保護電路

A New Configuration Of Gate To Drain (GD) Clamp And ESD Protection
Circuit For Power Device Breakdown Protection

【中文】

一種位於半導體襯底上的半導體功率裝置，由多個電晶體單元組成，每個電晶體單元都有一個源極、一個柵極以及一個控制源極和柵極之間電流傳輸的漏極。這種半導體還包括一個柵漏箝位元終端，串聯在柵極和漏極之間，還包括多個背對背多晶矽二極體，串聯在一個矽二極體上，在半導體襯底中，矽二極體含有平行摻雜縱欄，其中平行摻雜縱欄帶有一個預設的縫隙。摻雜縱欄還包括一個 U 形彎管縱欄，將設置在 U 形彎管下方並包圍 U 形彎管的深摻雜井，與平行摻雜縱欄末端連接在一起。

【英文】

A semiconductor power device supported on a semiconductor substrate comprising a plurality of transistor cells each having a source and a drain with a gate

to control an electric current transmitted between the source and the drain. The semiconductor further includes a gate-to-drain(GD) clamp termination connected in series between the gate and the drain further includes a plurality of back-to-back polysilicon diodes connected in series to a silicon diode includes parallel doped columns in the semiconductor substrate wherein the parallel doped columns having a predefined gap. The doped columns further includes a U-shaped bend column connect together the ends of parallel doped columns with a deep doped well disposed below and engulfing the U-shaped bend.

【代表圖】

【本案指定代表圖】：第3B-2圖。

【本代表圖之符號簡單說明】：

- 102 源極電極
- 110 多晶矽二極體
- 111 柵極金屬
- 118 浮動金屬
- 120 矽二極體
- 122 U形彎管
- 131 柵極澆道溝道
- 140 浮動井
- 140-1 尾井
- 145 外延層

申請專利範圍

- 1.一種位於半導體襯底上的半導體功率裝置，含有多個電晶體單元，每個電晶體單元都有一個圍繞在本體區中的源極和一個漏極，以及一個控制源極和漏極之間傳輸電流的柵極，其中，上述的半導體還包括：
一個串聯在所述的柵極和所述的漏極之間的柵漏嵌位元終端，還包括串聯在一個矽二極體上的多個背對背多晶矽二極體，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄，其中所述的摻雜縱欄還包括平行摻雜縱欄，縱欄之間的縫隙是預設的。
- 2.如申請專利範圍第 1 項所述的半導體功率裝置，其中，所述的預設縫隙在 2 至 5 微米之間。
- 3.如申請專利範圍第 1 項所述的半導體功率裝置，其中，所述的平行摻雜縱欄的末端還包括一個 U 形彎管，將所述的平行摻雜縱欄連接在一起。
- 4.如申請專利範圍第 1 項所述的半導體功率裝置，其中，還包括：
設置在下方的尾井包圍了所述的至少一個摻雜縱欄的末端，其中尾井的導電類型與摻雜縱欄的導電類型相同，摻雜濃度低於摻雜縱欄的摻雜濃度。
- 5.如申請專利範圍第 1 項所述的半導體功率裝置，其中，所述的柵漏嵌位元終端僅設置在支撐著所述的半導體功率裝置的所述半導體襯底一個邊緣附近的一側。
- 6.如申請專利範圍第 1 項所述的半導體功率裝置，其中，所述的多個背對背多晶矽二極體由帶有交替導電類型的摻雜多晶矽區形成，起穩壓二極體的作用，其中所述的摻雜多晶矽區設置在一個絕緣層上，覆蓋著所述的半導體襯底的頂面，延伸到所述的矽二極體，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄。
- 7.如申請專利範圍第 6 項所述的半導體功率裝置，其中，所述的多個背對背

多晶矽二極體的一個末端連接在一個柵極金屬上，其中柵極金屬與柵極澆道溝道直接連接。

8.如申請專利範圍第 1 項所述的半導體功率裝置，其中，還包括設置在所述的半導體襯底中的浮動井圍繞在所述的矽二極體周圍，其中浮動井的導電類型與半導體襯底的導電類型相反。

9.如申請專利範圍第 8 項所述的半導體功率裝置，其中，所述的浮動井為深井。

10.如申請專利範圍第 1 項所述的半導體功率裝置，其中，所述的柵漏嵌位元終端的減少漏電流 I_{dss} 遠小於 $10 \mu A$ 。

11.如申請專利範圍第 1 項所述的半導體功率裝置，其中，還包括：柵源靜電放電保護電路，其包括背對背柵源多晶矽二極體。

12.如申請專利範圍第 11 項所述的半導體功率裝置，其中，所述的柵漏嵌位元終端和所述的柵源靜電放電保護電路的製作加工是同時進行的。

13.一種位於半導體襯底上的半導體功率裝置，含有多個電晶體單元，每個電晶體單元都有一個圍繞在本體區中的源極和一個漏極，以及一個控制源極和漏極之間傳輸電流的柵極，其中，上述的半導體還包括：

一個串聯在所述的柵極和所述的漏極之間的柵漏嵌位元終端，還包括串聯在一個矽二極體上的多個背對背多晶矽二極體，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄，所述的柵漏嵌位元終端僅設置在支撐著所述的半導體功率裝置的所述半導體襯底一個邊緣附近的一側。

14.如申請專利範圍第 13 項所述的半導體功率裝置，其中，還包括：設置在下方的尾井包圍了所述的至少一個摻雜縱欄的末端，其中尾井的導電類型與摻雜縱欄的導電類型相同，摻雜濃度低於摻雜縱欄的摻雜濃度。

15.如申請專利範圍第 13 項所述的半導體功率裝置，其中，所述的多個背對

背多晶矽二極體由帶有交替導電類型的摻雜多晶矽區形成，起穩壓二極體的作用，其中所述的摻雜多晶矽區設置在一個絕緣層上，覆蓋著所述的半導體襯底的頂面，延伸到所述的矽二極體，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄。

16.如申請專利範圍第 15 項所述的半導體功率裝置，其中，所述的多個背對背多晶矽二極體的一個末端連接在一個柵極金屬上，其中柵極金屬與柵極澆道溝道直接連接。

17.如申請專利範圍第 13 項所述的半導體功率裝置，其中，還包括設置在所述的半導體襯底中的浮動井圍繞在所述的矽二極體周圍，其中浮動井的導電類型與半導體襯底的導電類型相反。

18.如申請專利範圍第 13 項所述的半導體功率裝置，其中，所述的柵漏嵌位元終端的減少漏電流 I_{dss} 遠小於 $10\ \mu\text{A}$ 。

19.如申請專利範圍第 13 項所述的半導體功率裝置，其中，還包括：柵源靜電放電保護電路，其包括背對背柵源多晶矽二極體。

20.一種位於半導體襯底上的半導體功率裝置，含有多個電晶體單元，每個電晶體單元都有一個圍繞在本體區中的源極和一個漏極，以及一個控制源極和漏極之間傳輸電流的柵極，其中，上述的半導體還包括：

一個串聯在所述的柵極和所述的漏極之間的柵漏嵌位元終端，還包括串聯在一個矽二極體上的多個背對背多晶矽二極體，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄，設置在所述的半導體襯底中的浮動井圍繞在所述的矽二極體周圍，其中浮動井的導電類型與半導體襯底的導電類型相反。

21.如申請專利範圍第 20 項所述的半導體功率裝置，其中，還包括：設置在下方的尾井包圍了所述的至少一個摻雜縱欄的末端，其中尾井的導

電類型與摻雜縱欄的導電類型相同，摻雜濃度低於摻雜縱欄的摻雜濃度。

- 22.如申請專利範圍第 20 項所述的半導體功率裝置，其中，所述的多個背對背多晶矽二極體由帶有交替導電類型的摻雜多晶矽區形成，起穩壓二極體的作用，其中所述的摻雜多晶矽區設置在一個絕緣層上，覆蓋著所述的半導體襯底的頂面，延伸到所述的矽二極體，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄。
- 23.如申請專利範圍第 22 項所述的半導體功率裝置，其中，所述的多個背對背多晶矽二極體的一個末端連接在一個柵極金屬上，其中柵極金屬與柵極澆道溝道直接連接。
- 24.如申請專利範圍第 20 項所述的半導體功率裝置，其中，所述的浮動井為深井。
- 25.如申請專利範圍第 20 項所述的半導體功率裝置，其中，所述的柵漏嵌位元終端的減少漏電流 I_{dss} 遠小於 $10\mu A$ 。
- 26.如申請專利範圍第 20 項所述的半導體功率裝置，其中，還包括：
柵源靜電放電保護電路，其包括背對背柵源多晶矽二極體。
- 27.一個位於半導體襯底上的半導體功率裝置由多個溝道金屬氧化物半導體場效應管單元組成，其中，半導體功率裝置還包括：
一個串聯在所述的柵極和所述的漏極之間的柵漏嵌位，還包括在一側串聯在一個矽二極體上的多個背對背多晶矽二極體，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄，其中多個背對背多晶矽二極體在另一側連接到一個柵極金屬上，柵極金屬與柵極澆道溝道直接接觸，還包括設置在下方的尾井包圍了所述的至少一個摻雜縱欄的末端，其中尾井的導電類型與摻雜縱欄的導電類型相同，摻雜濃度低於摻雜縱欄的摻雜濃度。
- 28.一種箝位半導體功率裝置的柵漏電壓的方法，該半導體功率裝置位於半

導體襯底上，並含有多個電晶體單元，每個電晶體單元都有一個圍繞在本體區中的源極和一個漏極，以及一個控制源極和漏極之間傳輸電流的柵極，其中，此方法包括：

通過形成多個背對背多晶矽二極體，在第一邊串聯到矽二極體上，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄，並在第二邊通過一個柵極電阻連接到柵極電極上，以便在所述的柵極和所述的漏極之間，相互連接柵漏箝位元電路，

此方法還包括以下步驟：在所述的半導體襯底中，形成平行摻雜縱欄，起所述的矽二極體的作用，其中平行摻雜縱欄帶有預設的縫隙，用於控制擊穿電壓。

29.如申請專利範圍第 28 項所述的箝位半導體功率裝置的柵漏電壓的方法，其中，形成所述的平行摻雜縱欄的所述的步驟還包括將摻雜縱欄的末端用一個 U-型彎管連接在一起。

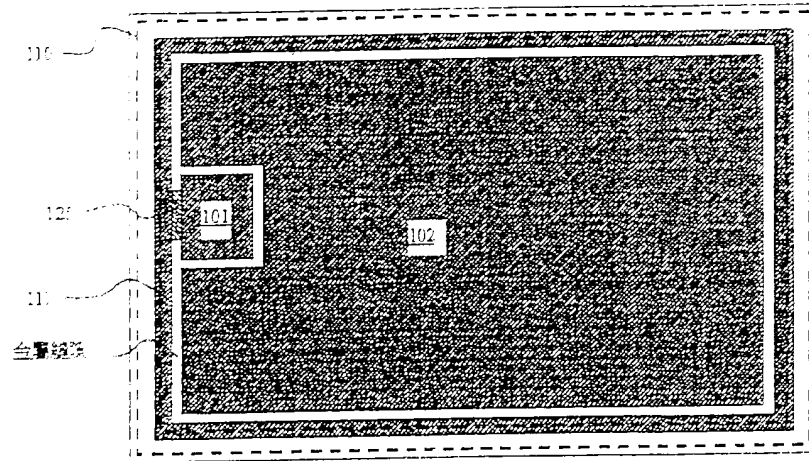
30.一種箝位半導體功率裝置的柵漏電壓的方法，該半導體功率裝置位於半導體襯底上，並含有多個電晶體單元，每個電晶體單元都有一個圍繞在本體區中的源極和一個漏極，以及一個控制源極和漏極之間傳輸電流的柵極，其中，此方法包括：

通過形成多個背對背多晶矽二極體，在第一邊串聯到矽二極體上，在所述的半導體襯底中，矽二極體含有至少一個摻雜縱欄，並在第二邊通過一個柵極電阻連接到柵極電極上，以便在所述的柵極和所述的漏極之間，相互連接柵漏箝位元電路，

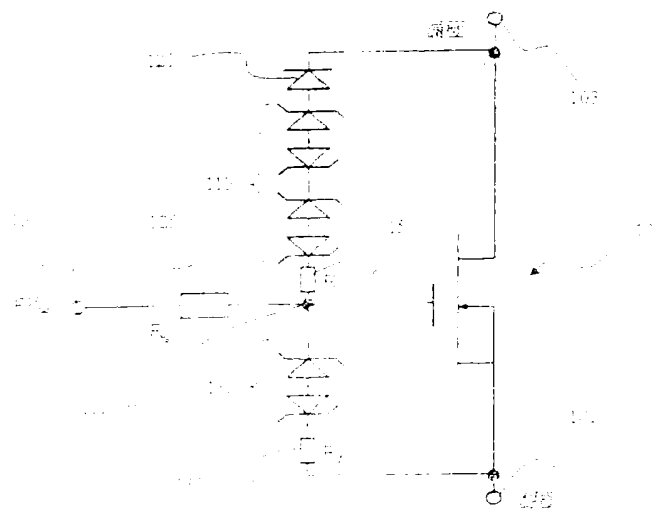
此方法還包括以下步驟：在所述的至少一個摻雜縱欄末端的下方，形成一個尾井，其中尾井的導電類型與摻雜縱欄的導電類型相同，摻雜濃度低於摻雜縱欄的摻雜濃度。

31.如申請專利範圍第 30 項所述的箝位半導體功率裝置的柵漏電壓的方法，其中，與帶有背對背多晶矽二極體的標準柵源靜電放電保護電路的半導體功率裝置的製造工藝相比，所述的方法並沒有增加額外的工藝。

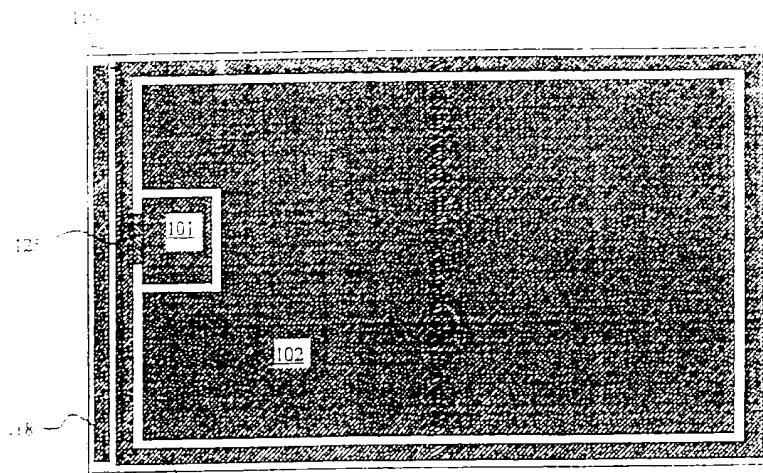
圖式：



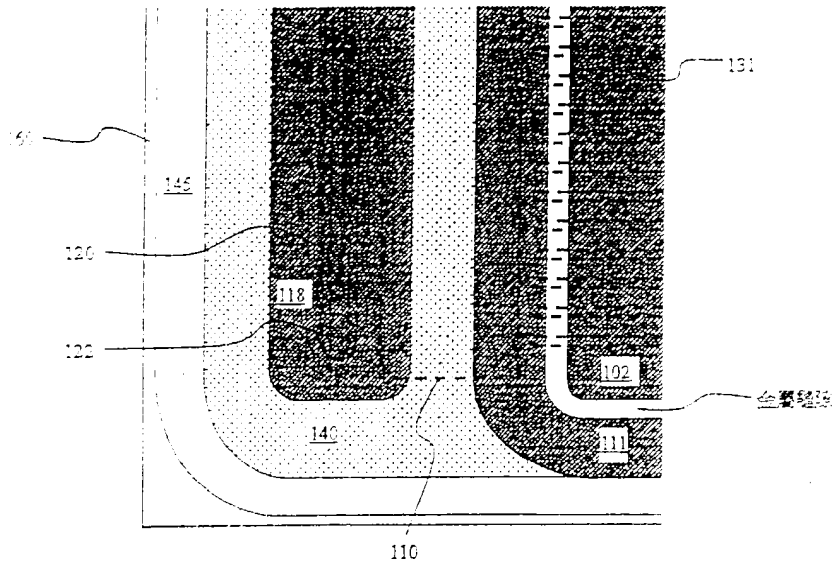
第 1 圖



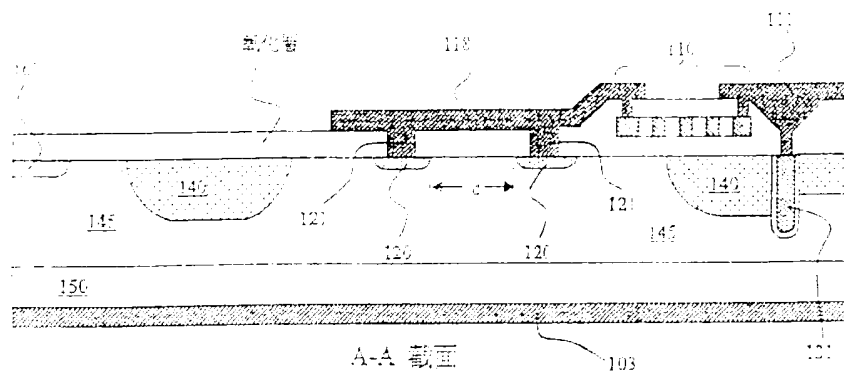
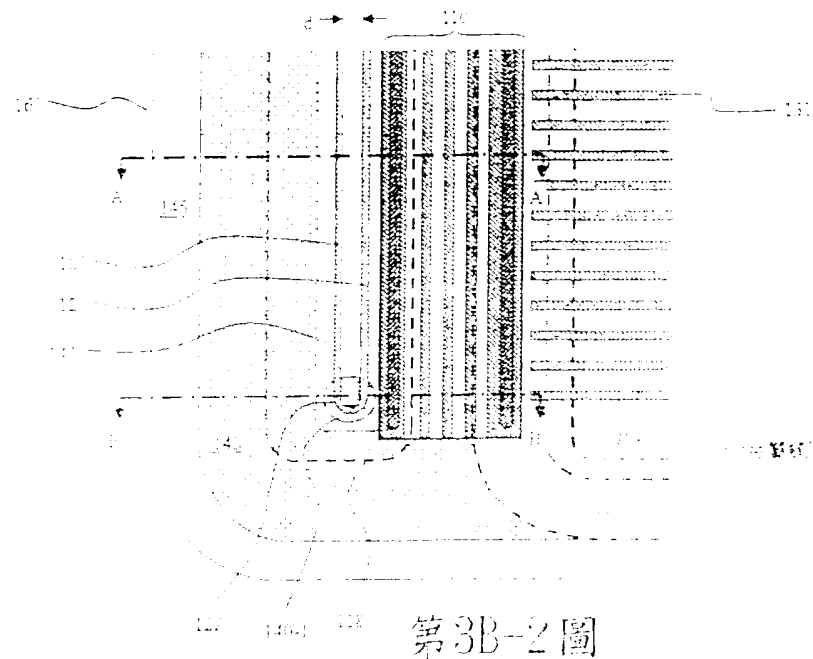
第2圖



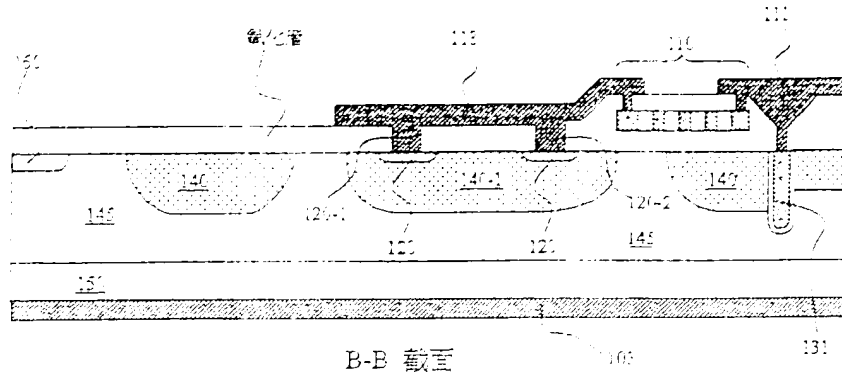
第3A圖



第3B-1圖

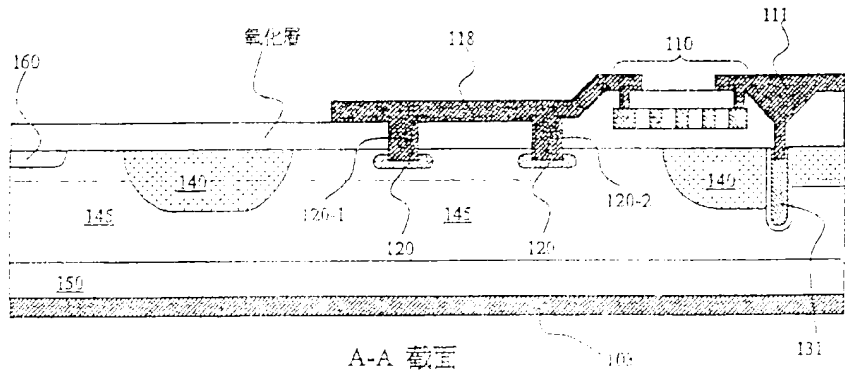


第3C圖



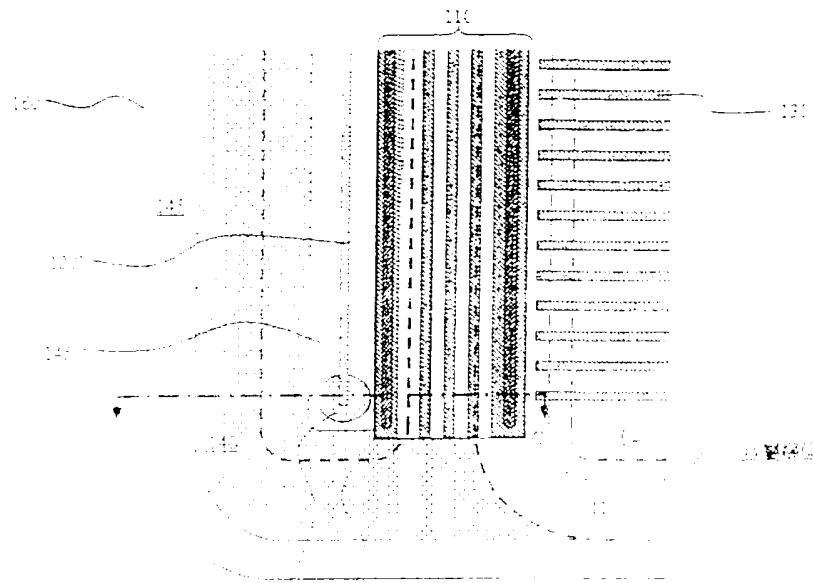
B-B 截面

第3D圖

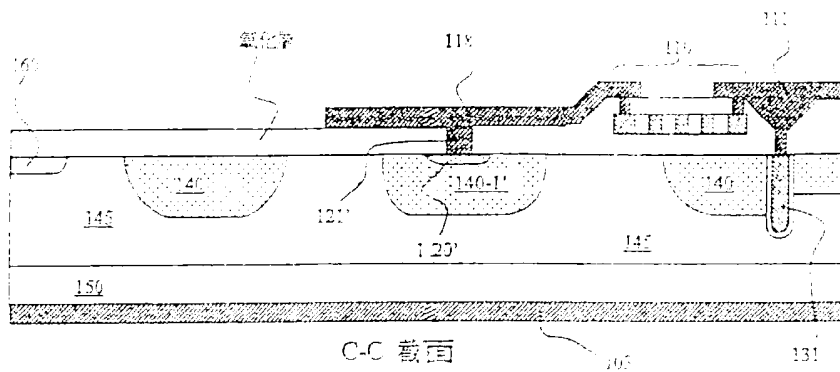


A-A 截面

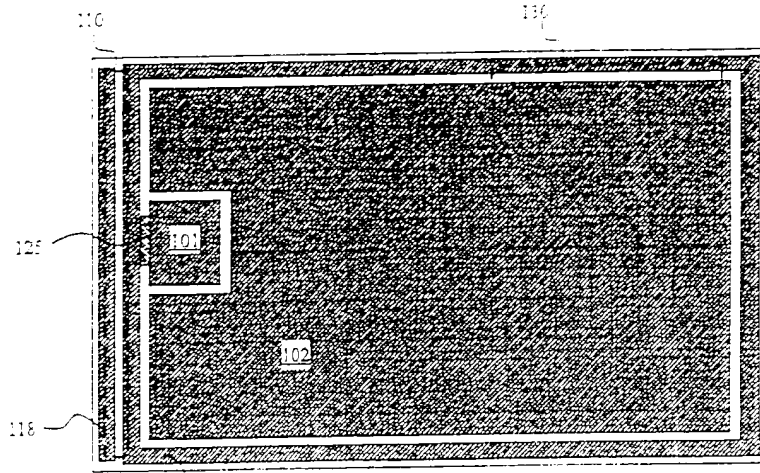
第4圖



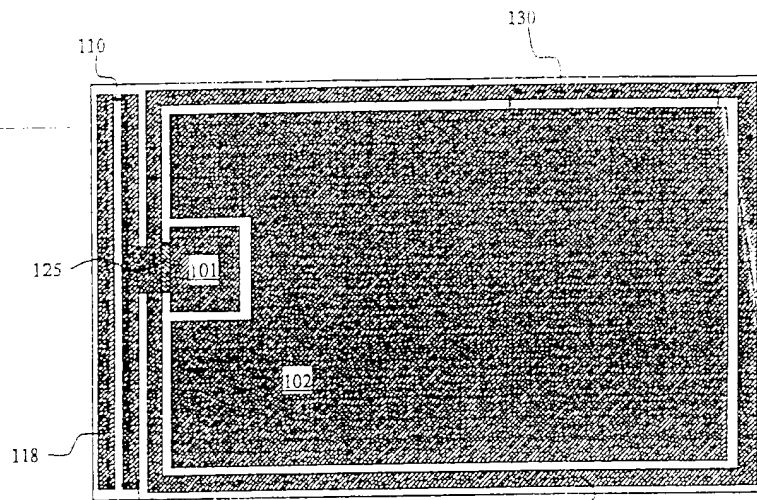
第4A圖



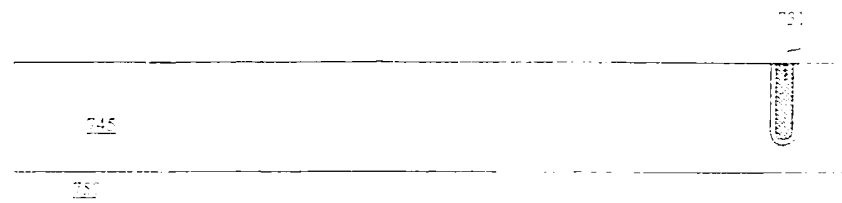
第4B圖



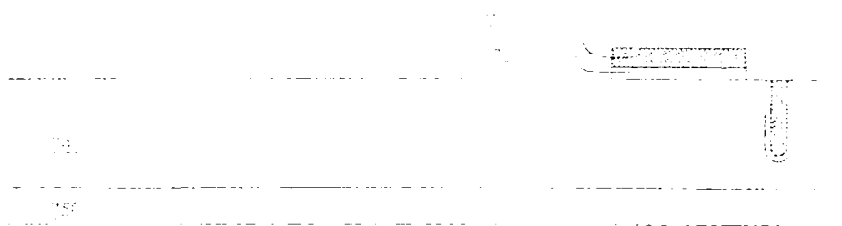
第5圖



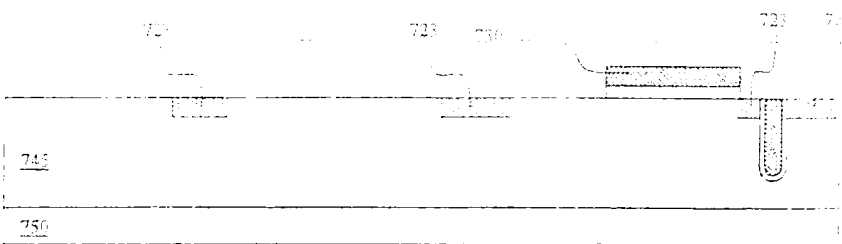
第6圖



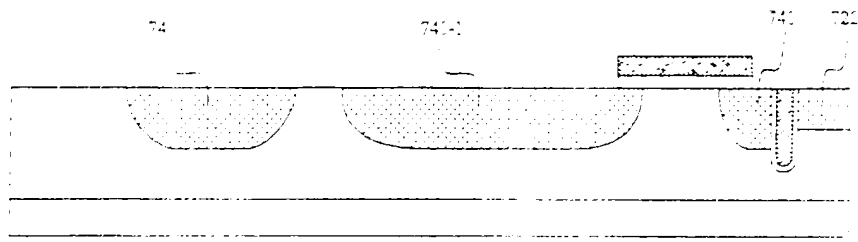
第7A圖



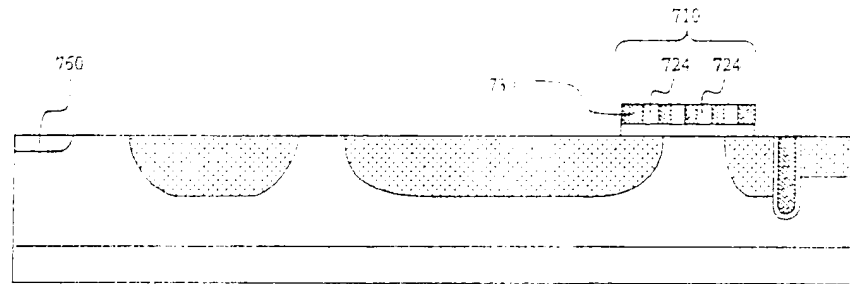
第7B圖



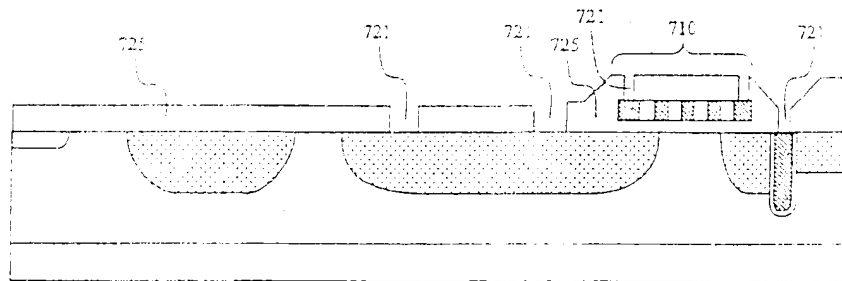
第7C圖



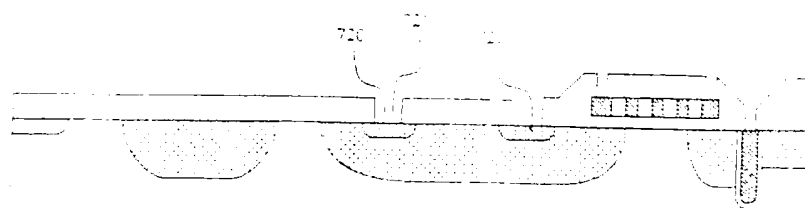
第7D圖



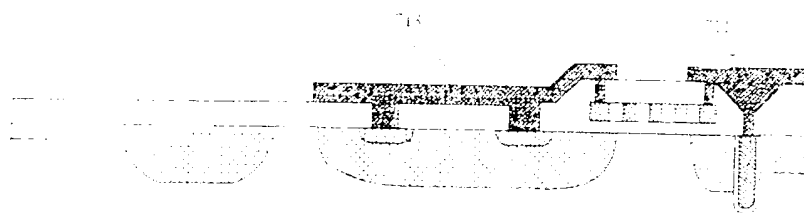
第7E圖



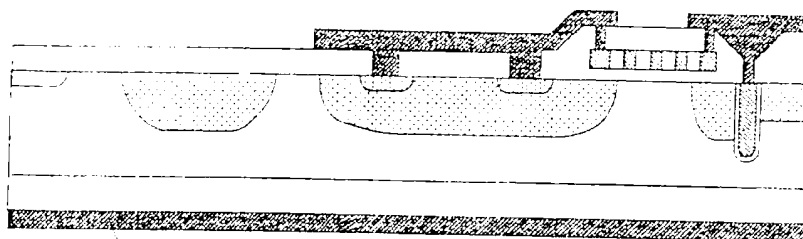
第7F圖



第7G圖



第7H圖



第7I圖

to control an electric current transmitted between the source and the drain. The semiconductor further includes a gate-to-drain(GD) clamp termination connected in series between the gate and the drain further includes a plurality of back-to-back polysilicon diodes connected in series to a silicon diode includes parallel doped columns in the semiconductor substrate wherein the parallel doped columns having a predefined gap. The doped columns further includes a U-shaped bend column connect together the ends of parallel doped columns with a deep doped well disposed below and engulfing the U-shaped bend.

【代表圖】

【本案指定代表圖】：第3B-2圖。

【本代表圖之符號簡單說明】：

- 102 源極電極
- 110 多晶矽二極體
- 111 柵極金屬
- 118 浮動金屬
- 120 矽二極體
- 122 U形彎管
- 131 柵極澆道溝道
- 140 浮動井
- 140-1 尾井
- 145 外延層

160 溝道終止區

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：