

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本文所公開的係關於一種半導體裝置。

【先前技術】

[0002] 現場可程式閘陣列 (FPGA) 的選路開關作為用來決定兩個邏輯塊 (LB) 之間或 LB 與輸入/輸出 (I/O) 電路之間的連接的開關作用。選路開關在連接於傳輸閘 (pass gate) (傳輸電晶體 (pass transistor)) 的組態記憶體中儲存連接的資訊。

[0003] 最近，對將氧化物半導體用於電晶體的通道層的 FPGA 已在進行研究開發 (專利文獻 1 及 2)。基於氧化物半導體的 FPGA 具有降低耗電量與微型化的優點。再者，也對具有多於一個的設定的 Multi-context FPGA 已在進行研究開發 (非專利文獻 1)。

[0004]

[專利文獻 1]美國專利第 8,547,753 號說明書

[專利文獻 2]美國專利第 8,675,382 號說明書

[0005]

[非專利文獻 1]Y. Okamoto et al. “Novel application of crystalline indium-gallium-zinc-oxide technology to LSI: Dynamically reconfigurable programmable logic device based on multi-context architecture.”, In 2013 International Conference on Semiconductor Technology for Ultra Large Scale Integrated Circuits and Thin Film Transistors (ULSIC vs. TFT 4).

【發明內容】

[0006] 本文所公開的目的是提供一種有關半導體裝置的新穎的電路、架構、驅動方法和裝置中的任一種。

[0007] 例如，提供一種半導體裝置，包括：第一邏輯塊；第二邏輯塊；以及可程式開關，其中第一邏輯塊和第二邏輯塊可藉由可程式開關連接，可程式開關包括傳輸電晶體、第一電晶體、第二電晶體以及第三電晶體。第一電晶體、傳輸電晶體以及第二電晶體按照這個順序串聯連接。在電路圖中，第一電晶體和第二電晶體的源極及汲極位於第一邏輯塊和第二邏輯塊之間。半導體裝置被設計為在第一電晶體和第二電晶體都處於關閉狀態時可將一電位經過第三電晶體供應到傳輸電晶體的源極和汲極中的一者。

[0008] 例如，提供一種半導體裝置，包括：兩個邏輯塊；傳輸電晶體；兩個選擇電晶體；以及預充電電晶體。其中兩個選擇電晶體被配置為夾有傳輸電晶體，該

傳輸電晶體位於兩個選擇電晶體的源極之間。兩個選擇電晶體的源極及汲極位於兩個邏輯塊之間。在兩個選擇電晶體處於關閉狀態時，可將一電位經過處於開啟狀態的預充電電晶體供應到傳輸電晶體的源極或汲極，且因電導通而將用於一個 Context（上下文）的另一電位施加到傳輸電晶體的閘極。並且在執行 Context 時，傳輸電晶體的閘極實質上電隔離（處於浮動狀態），兩個選擇電晶體處於開啟狀態，且預充電電晶體處於關閉狀態。

[0009] 上述半導體裝置是新穎的裝置，並具有如下優點中的一個以上：耗電量的降低、處理速度的提高以及穩定性、可靠性或以下所記載的功效。

【圖式簡單說明】

[0010]

圖 1A 和 1B 顯示說明多上下文 FPGA 的例子；

圖 2A 至 2C 顯示說明傳輸電晶體的工作的例子；

圖 3A 至 3C 顯示說明傳輸電晶體的工作的例子；

圖 4A 和 4B 顯示可程式開關的例子；

圖 5A 和 5B 顯示可程式開關的例子；

圖 6A 和 6B 顯示可程式開關的例子；

圖 7A 和 7B 顯示可程式開關的例子；

圖 8 顯示選路開關的例子；

圖 9 顯示選路開關的例子；

圖 10 顯示選路開關的例子；

圖 11A 和 11B 顯示說明可程式開關的工作的例子；

圖 12A 至 12D 顯示半導體裝置的製程的截面視圖的例子；

圖 13A 和 13B 顯示半導體裝置的製程的截面視圖的例子；

圖 14 顯示 FPGA 的例子；

圖 15A 至 15C 顯示邏輯塊的例子；

圖 16A 和 16B 分別顯示在實施例中組態的轉移電路和環形振盪器；

圖 17A 和 17B 顯示實施例的輸入/輸出電路的電位的概略；

圖 18A 至 18D 顯示實施例的環形振盪器的模擬特性；

圖 19A 至 19D 顯示實施例的環形振盪器的模擬特性；

圖 20 顯示實施例的環形振盪器的模擬特性；

圖 21A 至 21H 顯示實施例的半導體裝置的佈線、半導體膜、接觸孔的佈局；

圖 22 顯示實施例的半導體裝置的模擬特性；

圖 23 顯示實施例的半導體裝置的模擬特性。

【實施方式】

[0011] 以下參照圖式描述實施方式。但是，實施方

式可以以多個不同形式來實施。所屬技術領域的通常知識者可以很容易地理解一個事實，就是，其方式和詳細內容可以被變換為各種各樣的形式而不脫離實施方式的精神及其範圍。

[0012]

實施方式 1

圖 1A 顯示多上下文 FPGA 的一部分的方塊圖。多上下文 FPGA 具有選路開關 100、邏輯塊 102a 以及邏輯塊 102b。邏輯塊 102a 和邏輯塊 102b 藉由選路開關 100 可連接。

[0013] 例如，在選路開關 100 處於開啟狀態時邏輯塊 102a 的輸出信號可輸入到邏輯塊 102b。相對的，在選路開關 100 處於關閉狀態時邏輯塊 102a 與邏輯塊 102b 電隔離。這裡，選路開關 100 與邏輯塊 102a 之間的節點被稱為“IN”，而選路開關 100 與邏輯塊 102b 之間的節點被稱為“OUT”。

[0014] 選路開關 100 具有兩個以上的可程式開關。例如，選路開關 100 具有可程式開關 101a、可程式開關 101b 以及可程式開關 101c，並且它們分別獨立地具有組態資料。組態資料從位元線 BL 供應到各可程式開關。注意，也可以追加其他佈線，以寫入組態資料或選擇可程式開關等。

[0015] 圖 1B 顯示包含可程式開關的選路開關 100 的例子。例如，可程式開關 101a 包含寫入電晶體 103a、傳

輸電晶體 104a、電容器 105a 以及選擇電晶體 106a。

[0016] 在本實施方式中，寫入電晶體 103a、傳輸電晶體 104a 以及選擇電晶體 106a 為 n 型。但是，它們中的一部分或全部可以為 p 型。

[0017] 電容器 105a 的一個電極可以連接於傳輸電晶體 104a 的閘極。寫入電晶體 103a 的源極和汲極可以被設置在電容器 105a 的一個電極與位元線 BL 之間。

[0018] 再者，寫入電晶體 103a、傳輸電晶體 104a 以及選擇電晶體 106a 也可以為如傳輸閘之類的其他切換元件。因為在使用傳輸閘時沒有信號電位的下降，所以有利於提高速度、降低耗電量及/或降低驅動電壓。

[0019] 與此同樣，可程式開關 101b 和可程式開關 101c 分別具有：寫入電晶體 103b、傳輸電晶體 104b、電容器 105b 以及選擇電晶體 106b；寫入電晶體 103c、傳輸電晶體 104c、電容器 105c 以及選擇電晶體 106c。

[0020] 寫入電晶體 103a、寫入電晶體 103b 以及寫入電晶體 103c 組態為分別被字線 WLa、字線 WLb 以及字線 WLe 控制。在寫入電晶體 103a 處於開啟狀態時，將組態資料寫入到可程式開關 101a。在寫入電晶體 103a 處於開啟狀態時，傳輸電晶體 104a 的閘極（記憶節點 MN）的電位將對應於組態資料（或位元線 BL 的電位）。

[0021] 注意，記憶節點 MN 只藉由寫入電晶體 103a 實質上且可電連接於其他佈線。因此，在寫入電晶體 103a 處於關閉狀態時，記憶節點 MN 被電隔離。當然，兩

個以上的電晶體的源極電極及汲極電極也可以連接於記憶節點 MN。在此情況下，在所有電晶體處於關閉狀態時，記憶節點 MN 被電隔離。

[0022] 作為一個例子，為了在記憶節點 MN 中保持電荷充分長期間，寫入電晶體 103a 處於關閉狀態時的源極汲極電流為小於 1zA ($1 \times 10^{-21}\text{A}$)。記憶節點 MN 能夠保持充分電荷的期間取決於處於關閉狀態時的源極汲極電流（關態電流：off-state current）和記憶節點 MN 的電容。經由其他路徑（例如，閘極與記憶節點 MN 之間（所謂的閘極洩漏電流））的記憶節點的洩漏電流也較佳為小於 1zA 。

[0023] 如專利文獻 1、2 及非專利文獻 1 所描述，基於氧化物半導體的電晶體為達到上述目的而可是理想的，由此記憶節點 MN 實質上被用作非揮發性記憶體的一部分。

[0024] 基於氧化物半導體的電晶體具有氧化物半導體薄膜作為活性層，由此兩個閘極也可以被設置為隔著氧化物半導體膜彼此面對。

[0025] 作為一個例子，基於氧化物半導體的電晶體包含朝向氧化物半導體膜的一個表面的一個閘極電極。作為另一個例子，除了上述閘極電極以外，基於氧化物半導體的電晶體還包含朝向氧化物半導體膜的另一個表面的另一個閘極電極。

[0026] 傳輸電晶體 104a 的狀態（開啟或關閉）主要

5

取決於記憶節點 MN 的電位。例如，在記憶節點 MN 與傳輸電晶體 104a 之間的電位差大於傳輸電晶體 104a 的臨界值時，傳輸電晶體 104a 處於開啟狀態。

[0027] 選擇電晶體 106a 組態為被傳輸用來選擇 Context 信號的 Context 線 CXa 控制。為了連接節點 IN 和節點 OUT（或者，為了將信號從節點 IN 藉由選擇電晶體 106a 和傳輸電晶體 104a 傳輸到節點 OUT），需要使選擇電晶體 106a 和傳輸電晶體 104a 的兩者處於開啟狀態。與此同樣，選擇電晶體 106b 和選擇電晶體 106c 組態為分別被 Context 線 CXb 和 Context 線 CXc 控制。

[0028] 如圖 1B 所示，因為可以分別獨立地控制選擇電晶體 106a、選擇電晶體 106b 以及選擇電晶體 106c，所以藉由選擇它們中的任一個，可以執行被儲存在被選擇的可程式開關中的 Context。例如，藉由選擇選擇電晶體 106b，可以執行儲存在可程式開關 101b 中的 Context。

[0029] 在上述例子中，選路開關 100 具有三個可程式開關，由此能夠執行最多三個 Context。但是，藉由追加可程式開關，可以執行更多個 Context。或者，選路開關 100 也可以只有兩個以下的可程式開關。

[0030] 因為可以獨立地控制寫入電晶體 103a、寫入電晶體 103b 以及寫入電晶體 103c，所以可以將組態資料獨立地寫入到可程式開關 101a、可程式開關 101b 以及可程式開關 101c。

[0031] 再者，即使在使用可程式開關 101b，也可以

對（不在使用的）可程式開關 101a 寫入組態資料。這個工作被稱為動態重構（dynamic reconfiguration）。例如，當在基於儲存在可程式開關 101b 中的第一 Context 執行第一 Task（工作）時，可以對可程式開關 101a 寫入新的組態資料。

[0032] 在寫入組態資料時，傳輸電晶體 104a 的源極電極（或汲極電極）的電位扮演重要的作用。對其理由將參照圖 2A 至 2C 及 3A 至 3C 進行說明。

[0033] 圖 2A 顯示組態資料“H”（高位準電位，例如為 0.8V）輸入可程式開關的情況。這裡，位元線 BL 的電位為“H”，由此記憶節點 MN 的電位（實質上）成為“H”。另一方面，節點 IN 的電位被設定為比位元線 BL 的電位低出傳輸電晶體 104a 的臨界值以上的“L”（低位準電位，例如為 0V）。由此，傳輸電晶體 104a 處於開啟狀態，記憶節點 MN 藉由傳輸電晶體 104a 的通道與節點 IN（及源極節點 SN）電容耦合。

[0034] 在寫入電晶體 103a 關閉之後，當節點 IN 的電位從“L”升至“H”時，記憶節點 MN 的電位因電容耦合而上升到“ $H + \Delta V$ ”（圖 2B）。這個現象被稱為升壓(boosting)效應。在 ΔV 大於 V_{th} （傳輸電晶體 104a 的臨界值）時，節點 OUT 的電位可從“L”提高成“H”。在 ΔV 小於 V_{th} （傳輸電晶體 104a 的臨界值）時，節點 OUT 的電位可能會不到達“H”。但是，傳輸電晶體 104a 的開啟電阻下降，由此傳輸電晶體 104a 的信號延遲可減少。

[0035] 在節點 IN 的電位下降到“L”時，記憶節點 MN 的電位因電容耦合而上升到“H”（圖 2C）。

[0036] 圖 3A 雖然也顯示組態資料“H”輸入可程式開關的情況，但是其顯示節點 IN 的電位被設定為“H”的條件下的情況。這裡，假設為節點 OUT 的電位為“H-V_{th}”，但是傳輸電晶體 104a 一直處於開啟狀態的情況。由此，記憶節點 MN 藉由傳輸電晶體 104a 的通道與節點 IN（及源極節點 SN）電容耦合。

[0037] 在寫入電晶體 103a 關閉之後，當節點 IN 的電位從“H”降低成“L”時，記憶節點 MN 的電位因電容耦合而下降到“H- ΔV ”和“H-V_{th}”中的高的一者（圖 3B）。這個現象被稱為反升壓效應。如上所述，假設為節點 OUT 的電位為“H-V_{th}”的情況下，因為閘極電位低，使得傳輸電晶體 104a 的開啟電阻變高，所以該電位下降到“L”需要更長時間。

[0038] 在節點 IN 的電位上升到“H”時，記憶節點 MN 的電位因電容耦合而上升到“H”，但是，節點 OUT 的電位不會超過“H-V_{th}”（圖 3C）。

[0039] 如圖 3B 及 3C 所示，在寫入組態資料時源極節點 SN 的電位被設定為“H”有時會成為問題。總之，在寫入組態資料時，源極節點 SN 的電位較佳為比記憶節點 MN 可到達的最高電位低出 V_{th} 以上。例如，在寫入組態資料時，節點 IN 的電位被設定為“L”。

[0040] 在圖 1B 所示的電路中，相應於邏輯塊 102a

的輸出，源極節點 SN 的電位成為“H”或“L”。因此，可程式開關 101a 的工作性能取決於邏輯塊 102a 的輸出和組態時序。亦即，在寫入組態資料時，當邏輯塊 102a 的輸出為“L”時，如圖 2A 至 2C 所示那樣因升壓效應而得到高工作性能，反之，如圖 3A 至 3C 所示那樣因反升壓效應而得不到高工作性能。像這樣，可程式開關（及 FPGA）不穩定，而不能順利工作。

[0041] 另外，因為電路基於最慢的信號進行工作，所以在信號根據情況變快或變慢時基於變慢的信號設定時脈等。亦即因此，如果有圖 2A 至 2C 所示的工作快的情況及圖 3A 至 3C 所示的工作慢的情況的兩者，則基於圖 3A 至 3C 所示的情況設定時脈。其結果是，電路工作變慢。

[0042] 在圖 1B 所示的可程式開關中，源極節點 SN 不被保護，其電位實質上與節點 IN 的電位相等。因此，反升壓效應是不可避免的。圖 4A 所示的電路克服上述困難。

[0043] 與圖 1B 所示的可程式開關同樣，圖 4A 所示的可程式開關 101a 包含寫入電晶體 103a、傳輸電晶體 104a、電容器 105a 以及選擇電晶體 106a。除此以外，圖 4A 所示的可程式開關 101a 還包含選擇電晶體 107a 和預充電電晶體 108a。

[0044] 選擇電晶體 107a、傳輸電晶體 104a 以及選擇電晶體 106a 按照這個順序在節點 IN 與節點 OUT 之間串

聯連接。選擇電晶體 106a 和選擇電晶體 107a 分別被 Context 線 CXa 和 Context 線 CYa 控制。藉由使選擇電晶體 106a 和選擇電晶體 107a 關閉，使傳輸電晶體 104a 的源極及汲極與節點 IN 及節點 OUT 可電隔離。

[0045] 預充電電晶體 108a 的源極和汲極中的一者連接於傳輸電晶體 104a 的源極和汲極中的一者。作為該例子，預充電電晶體 108a 的源極和汲極中的另一者被供應電位。該電位例如為“L”，但是只要是記憶節點 MN 可到達的最高電位低出至少 V_{th} （例如為低於“H- V_{th} ”）即可。作為一個例子，電位也可以高於“L- V_{th} ”。

[0046] 注意，在預充電電晶體 108a 處於關閉狀態時，預充電電晶體 108a 的源極和汲極中的另一者的電位既可為“H”又可為其他電位。由此，預充電電晶體 108a 的源極和汲極中的另一者的電位既可為固定的又可為變動的。另外，例如，也可以使用電容器 105a 的另一個電極的電位。

[0047] 預充電電晶體 108a 被預充電線 PCa 控制，藉由使選擇電晶體 106a 和選擇電晶體 107a 關閉並使預充電電晶體 108a 開啟，例如可以將源極節點 SN 的電位設定為“L”。

[0048] 如上所述，在動態重構中，對可程式開關的組態資料的寫入在儲存在該可程式開關中的 Context 不被執行的期間中被執行。由此，在對可程式開關寫入組態資料時，可以使選擇電晶體 106a 和選擇電晶體 107a 成為關

閉狀態。

[0049] 作為一個例子，在選擇電晶體 106a 和選擇電晶體 107a 的兩者處於關閉狀態的整個期間或部分期間中，預充電電晶體 108a 可以成為開啟狀態。作為一個例子，在寫入電晶體 103a 成為關閉時或成為關閉之前，預充電電晶體 108a 處於開啟狀態。

[0050] 選擇電晶體 106a 和選擇電晶體 107a 可以彼此同步地開啟或關閉。在圖 4B 所示的可程式開關 101a 中，選擇電晶體 106a 和選擇電晶體 107a 的兩者被一個 Context 線 CXa 控制。

[0051] 如上所述，在選擇電晶體 106a 和選擇電晶體 107a 的兩者處於關閉狀態時，預充電電晶體 108a 成為開啟狀態。由此，也可以使預充電電晶體 108a 與選擇電晶體 106a 及選擇電晶體 107a 相反地成為開啟狀態或關閉狀態。在圖 5A 所示的可程式開關 101a 中，預充電電晶體 108a 被傳輸反 Context 信號（Context 信號的反轉信號）的反 Context 線 /CXa 控制。

[0052] 在可程式開關 101a 包含圖 5B 所示的傳輸閘時，反 Context 線 /CXa 及反 Context 信號可以用來控制 p 型電晶體（選擇電晶體 109a 和選擇電晶體 110a）。

[0053] 圖 6A 顯示可程式開關 101a 的另一個例子。在該例子中，預充電電晶體 108a 與寫入電晶體 103a 同樣被字線 WLa 控制。亦即，預充電電晶體 108a 與寫入電晶體 103a 可同步地開啟或關閉。

[0054] 圖 6B 顯示可程式開關 101a 的另一個例子。在該例子中，改變圖 6A 所示的可程式開關 101a 來將源極節點 SN 設置在傳輸電晶體 104a 與選擇電晶體 106a 之間。這種改變也可以應用於圖 4A、4B、5A 及 5B 所示的可程式開關。

[0055] 圖 7A 顯示可程式開關 101a 的另一個例子。在該例子中，改變圖 6A 所示的可程式開關 101a 來將預充電電晶體 108a 設置在源極節點 SN 與 Context 線 CXa 之間。

[0056] 在 Context 線 CXa 的電位上升以使選擇電晶體 106a 和選擇電晶體 107a 開啟時，預充電電晶體 108a 與寫入電晶體 103a 同樣處於關閉狀態。在 Context 線 CXa 的電位下降以使選擇電晶體 106a 和選擇電晶體 107a 關閉的期間，在預充電電晶體 108a 和寫入電晶體 103a 開啟時，源極節點 SN 以該下降了的電位（例如，“L”）可被預充電。

[0057] 這種改變也可以應用於圖 4A、4B、5A 及 5B 所示的可程式開關。圖 7B 是基於圖 5A 所示的可程式開關 101a 設計的。

[0058] 圖 8 顯示包含多個可程式開關 101（可程式開關 101[0]、可程式開關 101[1]、可程式開關 101[2]等）的選路開關 100 的例子。每個可程式開關 101 具有圖 6A 所示的電路結構。在該例子中，選路開關 100 被位元線 BL、字線 WL[0]、字線 WL[1]、字線 WL[2]等、Context

線 CX[0]、Context 線 CX[1]、Context 線 CX[2]等控制。節點 IN 和節點 OUT 之間的連接取決於所選擇的 Context 而決定。

[0059] 圖 9 是選路開關 100 的例子。圖 9 所示的選路開關 100 類似於圖 8，但是具有如下不同之處：字線 WL[1]的電位藉由可程式開關 101[0]中的預充電電晶體被供應到可程式開關 101[0]的源極節點。

[0060] 在可程式開關 101[0]的寫入電晶體和預充電電晶體處於開啟狀態時，字線 WL[1]的電位為“L”（或者低於“L”）。由此，可程式開關 101[0]的源極節點的電位成為“L”（或者低於“L”）。

[0061] 上述結構有利於寫入電晶體和預充電電晶體具有相同結構的情況，尤其是，有利於寫入電晶體和預充電電晶體使用同一層的佈線或膜的情況。

[0062] 圖 10 是選路開關 100 的例子。圖 10 所示的選路開關 100 雖然類似於圖 8，但是它們之間的不同之處是：可程式開關 101[0]的預充電電晶體被 Context 線 CX[1]控制。由此，可程式開關 101[0]的預充電電晶體只在可程式開關 101[1]的 Context 在被執行的期間中成為開啟狀態。

[0063] 在可程式開關 101[1]的 Context 在被執行的期間中，可程式開關 101[0]的選擇電晶體處於關閉狀態，而可程式開關 101[0]的預充電晶處於開啟狀態。由此，在上述期間中，可以對可程式開關 101[0]寫入組態資料。選路

開關 100 所具有的可程式開關 101 越多，上述結構越有利。

[0064] 圖 11A 是說明圖 4B 所示的可程式開關 101a 的驅動方法的例子。在該例子中，假設記憶節點 MN 的電位當初被設定為“L”的情況。再者，在該例子中，節點 IN 的電位週期性地上升或下降。

[0065] 在 T1 中，選擇電晶體 106a 和選擇電晶體 107a 關閉。在 T8 中，選擇電晶體 106a 和選擇電晶體 107a 開啟。由此，在 T1-T8 間，傳輸電晶體 104a 的源極及汲極與節點 IN 及節點 OUT 電隔離。由此，該期間可以用於寫入組態資料。

[0066] 注意，在 T1-T8 間，使用另一可程式開關來執行另一 Context (Task)。

[0067] 在 T3 中，寫入電晶體 103a 開啟。在 T5 中，寫入電晶體 103a 關閉。經 T3-T5 間的工作，組態資料寫入完成。在該例子中，位元線 BL 的電位在 T4-T6 間為“H”。由此，記憶節點 MN 的電位在 T4 中成為“H”。

[0068] 當在 T5 中字線 WLa 的電位下降時，記憶節點 MN 的電位有時因寫入電晶體 103a (及字線 WLa) 的閘極與記憶節點 MN 之間的電容 (主要是寄生電容) 所引起的電容耦合而些微下降。

[0069] 在 T5 之後，記憶節點 MN 與所有佈線電隔離。該狀態被稱為 (電) 浮動狀態。但是，記憶節點 MN 因佈線或導體而在電容方面上受到影響。

[0070] 另一方面，預充電線 PCa 的電位在 T2 中上升，並在 T7 中下降。由此，預充電電晶體 108a 在 T2 中開啟，並在 T7 中關閉。其結果是，在寫入電晶體 103a 關閉之前，源極節點 SN 的電位被設定為“L”。

[0071] 在 T8 之後，因為選擇電晶體 107a 處於開啟狀態，所以源極節點 SN 的電位週期性地上升或下降。再者，記憶節點 MN 的電位也因升壓效應而與源極節點 SN 的電位同步地變化。

[0072] 雖然在圖 11A 中未顯示，但是在記憶節點 MN 的最高電位高於“ $H+V_{th}$ ”時，節點 OUT 的電位與節點 IN 的電位相等。

[0073] 圖 11B 顯示其他例子。在該例子中，在 T11-T18 間，可以用於寫入組態資料。在該例子中，位元線 BL 和預充電線 PCa 的信號分別與圖 11A 所示的例子中的預充電線 PCa 和位元線 BL 的信號相同。由此，記憶節點 MN 及源極節點 SN 的電位的時序圖與圖 11A 不相同。

[0074] 在這些例子中，在寫入電晶體 103a 開啟之前，預充電電晶體 108a 開啟（圖 11A），或者，在寫入電晶體 103a 開啟的期間中，預充電電晶體 108a 開啟（圖 11B），在寫入電晶體 103a 關閉之後，預充電電晶體 108a 關閉。

[0075] 但是，也可以利用其他驅動方法。例如，在圖 11A 的 T1-T5 間或圖 11B 的 T11-T15 間中的任一期

間，可以在預充電電晶體 108a 為開啟狀態的期間使用。

[0076]

實施方式 2

在本實施方式中，參照截面視圖說明製造實施方式 1 的半導體裝置的步驟。圖 12A 至 12D、13A 及 13B 顯示截面視圖。注意，因為圖 12A 至 12D、13A 及 13B 只是為了理解半導體裝置的層結構的，所以圖 12A 至 12D、13A 及 13B 不顯示任何特定的實際的截面。

[0077]

(圖 12A)

元件隔離區域 201 形成在半導體基板 200 中。半導體基板 200 例如可以為單晶矽基板或絕緣層上覆矽 (SOI) 基板。半導體基板 200 既可輕摻雜有 n 型摻雜物又可為本質。元件隔離區域 201 例如也可以以淺溝槽隔離 (STI) 技術而形成。

[0078] 接著，在沒有元件隔離區域 201 形成的區域中形成 p 型區域 202。

[0079]

(圖 12B)

在元件隔離區域 201 和 p 型區域 202 上形成閘極絕緣體 203。閘極絕緣體 203 也可以只形成在 p 型區域 202 上。閘極絕緣體 203 例如可以由氧化矽、氧化鈣及/或其他氧化物構成。

[0080] 將佈線 204a 和佈線 204b 形成在閘極絕緣體

203 上。在圖中，顯示佈線 204a（及佈線 204b）的兩個截面。這意味著從該面來看的佈線 204a 具有兩個截面，該兩個截面屬於一個物體的截面。

[0081] 佈線 204a 和佈線 204b 也可以由金屬及/或被摻雜的矽構成。在一個例子中，佈線 204a 和佈線 204b 也可以藉由對單層或多層的導電膜選擇性地進行蝕刻而形成。在這個例子中，佈線 204a 和佈線 204b 彼此隔離（彼此不接觸）。

[0082] 佈線 204a 和佈線 204b 有時分別相當於圖 4B、5A、5B、6A、6B、7A 或 7B 中的 Context 線 CXa（的一部分）和記憶節點 MN（的一部分）。

[0083] 藉由使用佈線 204a 和佈線 204b 作為摻雜遮罩，形成 n 型區域 205a、n 型區域 205b、n 型區域 205c 以及 n 型區域 205d。n 型區域 205c 有時相當於圖 4B、5A、5B、6A、6B、7A 或 7B 中的源極節點 SN（的一部分）。在這個步驟之前或之後，閘極絕緣體 203 的部分區域也可以被進行蝕刻。

[0084]

（圖 12C）

在閘極絕緣體 203、佈線 204a 和佈線 204b 上形成層間絕緣體 206。層間絕緣體 206 例如可以由氧化矽、氧碳化矽及/或其他金屬氧化物構成。層間絕緣體 206 也可以具有空洞(void)，以減小介電常數。

[0085] 層間絕緣體 206 的表面被拋光而被平坦化。

S

在層間絕緣體 206 中形成接觸孔後，形成佈線 207a 和佈線 207b。佈線 207a 和佈線 207b 有時分別相當於圖 4B、5A、5B、6A、6B、7A 或 7B 中的節點 OUT（的一部分）和記憶節點 MN（的一部分）。

[0086]

（圖 12D）

在層間絕緣體 206、佈線 207a 和佈線 207b 上形成層間絕緣體 208。層間絕緣體 208 的表面被拋光而被平坦化。在層間絕緣體 208 上形成佈線 209。再者，在層間絕緣體 208 和佈線 209 上形成層間絕緣體 210。層間絕緣體 210 的表面被拋光而被平坦化。

[0087] 在層間絕緣體 210 上形成氧化物半導體膜 211a 和氧化物半導體膜 211b。氧化物半導體膜 211a 與佈線 209 重疊。氧化物半導體膜 211a 和氧化物半導體膜 211b 也可以由 In-Ga-Zn 氧化物構成。藉由對層間絕緣體 208 和層間絕緣體 210 進行蝕刻，形成到達佈線 207a 的接觸孔 212a 和到達佈線 207b 的接觸孔 212b。

[0088]

（圖 13A）

在層間絕緣體 210、氧化物半導體膜 211a 以及氧化物半導體膜 211b 上以覆蓋它們並填埋接觸孔 212a 和接觸孔 212b 的方式形成單層或多層的導電層 213。導電層 213 的表面被拋光而被平坦化。再者，在導電層 213 上形成單層或多層的絕緣體 214。絕緣體 214 的表面被拋光而被平

坦化。

[0089]

(圖 13B)

藉由一次的微影，對導電層 213 和絕緣體 214 選擇性地進行蝕刻，以形成佈線 215a、佈線 215b、佈線 215c、佈線 215a 上的被進行圖案化的絕緣體 216a、佈線 215b 上的被進行圖案化的絕緣體 216b 以及佈線 215c 上的被進行圖案化的絕緣體 216c。佈線 215a、佈線 215b、佈線 215c 分別相當於圖 4B、5A、5B、6A、6B、7A 或 7B 中的節點 OUT (的一部分)、位元線 BL (的一部分)、記憶節點 MN (的一部分)。

[0090] 佈線 215a、佈線 215b 以及佈線 215c 的形狀分別與被進行圖案化的絕緣體 216a、被進行圖案化的絕緣體 216b 以及被進行圖案化的絕緣體 216c 實質上相同。藉由進行上述蝕刻，使氧化物半導體膜 211a 和氧化物半導體膜 211b 露出。

[0091] 在層間絕緣體 210、氧化物半導體膜 211a、氧化物半導體膜 211b、佈線 215a、佈線 215b、佈線 215c、被進行圖案化的絕緣體 216a、被進行圖案化的絕緣體 216b 以及被進行圖案化的絕緣體 216c 上形成閘極絕緣體 217。

[0092] 然後，以覆蓋氧化物半導體膜 211a 和氧化物半導體膜 211b 的方式分別形成佈線 218a 和佈線 218b。佈線 218a 相當於圖 4B、5A、5B、6A、6B、7A 或 7B 中

5

的字線 WLa (的一部分)。

[0093] 經上述步驟，可以形成圖 4B、5A、5B、6A、6B、7A 或 7B 所示的寫入電晶體 103a、傳輸電晶體 104a、電容器 105a、選擇電晶體 106a 以及選擇電晶體 107a。雖然在上述截面中未顯示，但是也可以使用相同的方法形成預充電電晶體 108a。預充電電晶體 108a 也可以具有類似於寫入電晶體 103a 或傳輸電晶體 104a 的結構。

[0094] 在這個例子中，電容器 105a 具有金屬-絕緣體-半導體 (MIS) 結構，但是也可以使用金屬-絕緣體-金屬 (MIM) 結構形成。為了無論記憶節點 MN 的電位如何而得到充分的電容，佈線 218b 的電位較佳為高於對“H”加上電容器 105a 的臨界值的電位。在臨界電壓小於 0V 時被施加到佈線 218b 的電位可以為“H”，而在臨界值小於“L-H”時被施加到佈線 218b 的電位可以為“L”。

[0095] 因為不需要對佈線 218b 施加高電位，所以這種低臨界電壓可防止從氧化物半導體到閘極絕緣體 217 的電子注入。因電子注入而引起臨界電壓上升，這導致電容的減少。

[0096] 關於由於施加低電位而導致的電洞注入，氧化物半導體，尤其是包含銦 (In)、鎵 (Ga) 或鋅 (Zn) 的氧化物半導體的電洞的有效質量較重，由此不釋放電洞。因此，可以不考慮由電洞注入導致的劣化。

[0097] 上述特性對電容器來說是較佳的，但是對電

晶體來說不是較佳的。因電容器 105a 的結構類似於寫入電晶體 103a，所以“電容器 105a 的臨界電壓低”意味著“寫入電晶體 103a 的臨界電壓低”。由此，需要對（後面描述的）背閘極或字線 WLa 施加低電位。

[0098] 在寫入電晶體 103a 中，被進行圖案化的絕緣體 216b/被進行圖案化的絕緣體 216c 分別被設置在佈線 218a 與佈線 215b/215c 之間。由此，可以減低佈線 218a 與佈線 215b/215c 之間的寄生電容。

[0099] 寫入電晶體 103a 包含兩個閘極電極，即佈線 209 和佈線 218a。佈線 209 也可以被用作控制寫入電晶體 103a 的臨界值的背閘極。

[0100] 藉由對佈線 209 施加低於“L”的（固定）電位，可以提高寫入電晶體 103a 的臨界電壓。由此，可以將在字線 WLa（佈線 218a）被施加“L”時的源極汲極電流降低到低於 1zA。即使在沒有背閘極的情況下，也可以藉由對字線 WLa 施加低於“L”的電位得到同樣的效果。

[0101] 另外，也可以形成有其他佈線或層間絕緣體。

[0102]

實施方式 3

在本實施方式中，說明包含可程式開關的半導體裝置（FPGA）的例子。

[0103] 圖 14 是顯示包含開關陣列 301、邏輯陣列 302 以及 I/O 陣列 303 的 FPGA 的例子的方塊圖。

[0104] 各開關陣列 301 是包含配置為矩陣形狀的多個選路開關（SWa、SWb、SWc）的電路塊。各選路開關因儲存多個 Context 而包含圖 8 所示的多個可程式開關。

[0105] 各邏輯陣列 302 具有配置為陣列的多個邏輯塊。在圖 14 的例子中，各邏輯陣列 302 具有配置為一個列的 10 個邏輯塊（LB00 至 LB09）。各邏輯塊具有儲存組態資料的記憶體。

[0106] I/O 陣列 303 被設置在 FPGA 的兩端，並分別具有配置為一個列的 10 個輸入/輸出電路（I/O00 至 I/O09 及 I/O10 至 I/O19）。

[0107] 選路開關 SWa 控制邏輯塊之間的連接。例如，“SWa0*-00”意味著邏輯塊 LB00 至 LB09 中的任一個的輸出與邏輯塊 LB00 的輸入可藉由該選路開關連接或截斷。

[0108] 選路開關 SWb 控制邏輯塊的輸入端子與輸入/輸出電路之間的連接。例如，“SWb0*-00”意味著輸入/輸出電路 I/O00 至 I/O09 中的任一個與邏輯塊 LB00 的輸入可藉由該選路開關連接或截斷。

[0109] 選路開關 SWc 控制邏輯塊的輸出端子與輸入/輸出電路之間的連接。例如，“SWc0*-00”意味著輸入/輸出電路 I/O00 至 I/O09 中的任一個與邏輯塊 LB00 的輸出可藉由該選路開關連接或截斷。

[0110] 一般來說，邏輯塊具有一個以上的查找表

(LUT)、一個以上的正反器 (FF)以及一個以上的多工器 (MUX)。圖 15A 是顯示邏輯塊 311 的結構例子的方塊圖。邏輯塊 311 具有查找表 312、正反器 313 以及多工器 314。

[0111] 將用來使查找表 312 被用作特定的邏輯閘的資訊的組態資料 318a 輸入到查找表 312。換言之，從查找表 312 輸出的信號的邏輯位準（例如“1/0”或“H/L”）取決於組態資料 318a 及從輸入端子 316 輸入到查找表 312 的信號的邏輯位準。

[0112] 從查找表 312 輸出的信號輸入到正反器 313。從包含在邏輯塊 311 中的正反器 313 輸出的信號可輸入到包含在其他邏輯塊 311 中的正反器 313。正反器 313 具有保持這些輸入信號的功能。

[0113] 將具有控制多工器 314 之操作的資訊的組態資料 318b 輸入到多工器 314。多工器 314 具有根據組態資料 318b 選擇從查找表 312 輸出的信號和從正反器 313 輸出的信號中的任一個的功能。被多工器 314 選擇的信號從邏輯塊 311 的輸出端子 317 輸出。

[0114] 圖 15B 顯示圖 15A 的邏輯塊 311 的具體結構例子。圖 15B 的邏輯塊 311 具有查找表 312、正反器 313、多工器 314、儲存用於查找表 312 的組態資料 318a 的組態記憶體 315a 以及儲存用於多工器 314 的組態資料 318b 的組態記憶體 315b。

[0115] 由查找表 312 執行的邏輯工作根據儲存在組

S

態記憶體 315a 中的組態資料 318a 而改變。在由查找表 312 執行的邏輯工作被組態資料 318a 決定時，查找表 312 產生對應於供應到輸入端子 316 的多個輸入信號的輸出信號。正反器 313 保持由查找表 312 產生的輸出信號，並與時脈信號 CK 同步地輸出對應於查找表 312 的輸出信號的輸出信號。

[0116] 將從查找表 312 及正反器 313 輸出的信號輸入到多工器 314。多工器 314 具有根據儲存在組態記憶體 315b 中的組態資料 318b 選擇上述兩個輸出信號中的一個來輸出該信號的功能。將從多工器 314 輸出的信號供應到輸出端子 317。

[0117] 圖 15C 顯示圖 15A 的邏輯塊 311 的另一個具體結構例子。圖 15C 的邏輯塊 311 與圖 15B 的邏輯塊 311 的不同之處如下：圖 15C 的邏輯塊 311 具有多工器 319 及儲存用於多工器 319 的組態資料的組態記憶體 315c。

[0118] 將從查找表 312 輸出的信號和從其他邏輯塊 311 的正反器 313 輸出的信號輸入到多工器 319。從其他邏輯塊 311 的正反器 313 輸出的信號從輸入端子 320 輸入。多工器 319 具有根據儲存在組態記憶體 315c 中的組態資料選擇上述兩個輸出信號中的一個來輸出該信號的功能。

[0119] 在圖 15C 的邏輯塊 311 中，正反器 313 保持從多工器 319 輸出的信號，並與信號 CK 同步地輸出對應於從多工器 319 輸出的信號的輸出信號。

[0120] 注意，圖 15B 或圖 15C 所示的邏輯塊 311 中，組態資料可決定可使用的正反器 313 的類型。明確地說，正反器 313 的類型根據組態資料而改變，可以使用 D 型正反器、T 型正反器、JK 型正反器和 RS 型正反器中的任一個。

實施例

[0121] 對於實施方式 3 所示的 FPGA 的工作性能，使用 Synopsys XA(註冊商標)作為 SPICE (以積體電路為重點的模擬程式) 模擬儀器進行模擬。在該模擬中，驗證兩種可程式開關。該兩種可程式開關中的一個是圖 1B 所示的，而另一個是圖 6A 所示的。

[0122] 假設為具有 20 個邏輯塊、20 個輸入/輸出端子 (I/O[0]至 I/O[19]) 以及兩個 Context (Context[1]和 Context[2]) 的 FPGA。另外，假設為能夠執行各種 Task (Task[0]、Task[1]等) 的 FPGA。在模擬中，將全域時脈頻率在 2.5V 下設定為 33MHz。

[0123] 在模擬中，在初始化之後，將 FPGA 的一部分組態為轉移電路。亦即，將用來執行轉移電路對應於 Context[0]的組態資料寫入到 FPGA 以使它執行 Task[0]。圖 16A 顯示轉移電路。在 Task[0]的期間中，將 FPGA 的一部分組態為環形振盪器。亦即，將用來執行環形振盪器的組態資料 Context[1]寫入到 FPGA 以使它在執行 Task[0]之後執行 Task[1]。圖 16B 顯示 (七級) 環形振盪器。將

FPGA 的一部分組態為環形振盪器，而不中斷 Task[0]。

[0124] 假設為圖 15B 所示的邏輯塊 311 的情況下，為了組態轉移電路，設定如下工作：查找表 312 組態為只根據特定的輸入信號而將信號輸出到正反器 313，並且多工器 314 組態為只通過正反器 313 的輸出。

[0125] 與此同樣，為了組態環形振盪器，設定如下工作：查找表 312 組態為只根據特定的輸入信號而將反轉信號輸出到多工器 314，並且多工器 314 組態為只通過查找表 312 的輸出。

[0126] 在 Task[0]的期間中，對各選路開關中的所對應的可程式開關寫入對應於 Context[1]的組態資料。

[0127] 在 Task[0]的期間中，轉移電路根據來自 I/O00 的輸入信號輸出圖 17A 所示的脈衝信號或圖 17B 所示的階梯信號。由此，在從轉移電路重新組態環形振盪器時，可程式開關的源極節點的電位根據轉移電路的輸出而改變。

[0128] 如圖 17A 和 17B 所示，在 T0 開始重新組態。在 T0 中，在轉移電路輸出脈衝信號時各邏輯塊的輸出電位為“L”，而在轉移電路輸出步驟信號時該電位為“H”。

[0129] 圖 18A 和 18C 顯示使用圖 1B 所示的可程式開關時的 I/O06 的模擬輸出，即 Task[1]的期間中的環形振盪器的振盪波形。圖 18A 顯示圖 17A 於 T0 組態的輸出，即源極節點的電位為“L”時，而圖 18C 是在圖 17B 於

T0 組態的輸出，即源極節點的電位為“H”時。

[0130] 由圖 18A 和圖 18C 可知，振盪頻率分別為 21MHz 和 13MHz。它們之間的差異起因於通態電阻的差異。像這樣，在因某種原因而發生信號的回應速度的變動時，電路的工作基於較慢的信號而設定。在此情況下，以 13MHz 為前提設定電路的工作。

[0131] 圖 18B 和 18D 顯示使用圖 1B 所示的選路開關 100 時的 Task[1]的期間中的所對應的可程式開關的記憶節點的模擬電位。圖 18B 和 18D 分別對應於圖 18A 和 18C。由此可知，兩圖輸出之間的差異起因於升壓效應和反升壓效應，在源極節點的電位為“L”的條件下組態的電位（圖 18B）高於另一電位。

[0132] 圖 19A 至 19D 顯示包含圖 6A 所示的可程式開關的 FPGA 的工作性能。圖 19A 和 19C 顯示 Task[1]的期間中的 I/O06 的模擬輸出。圖 19A 是在脈衝信號的條件下組態的，而圖 19C 是在步驟信號的條件下組態的。兩種條件下的振盪頻率都是 18MHz。

[0133] 上述頻率雖然低於圖 18A 所示的，但是高於圖 18C 所示的。在圖 1B 的電路中，以根據圖 18C 所示的環形振盪頻率（13MHz）決定的回應速度為前提設定其工作，同時，在圖 6A 的電路中，以根據圖 19A 和 19C 所示的環形振盪器的振盪頻率（18MHz）決定的回應速度為前提設定其工作。由此，可以實現更高速度的工作。

[0134] 圖 19B 和 19D 顯示 Task[1]的期間中的所對

應的可程式開關的記憶節點的模擬電位。圖 19B 和 19D 分別對應於圖 19A 和 19C，在它們之間沒有實質上的差異。

[0135] 比較圖 1B 和圖 6A，後一者需要額外的電晶體、選擇電晶體 107a，由此不利於工作速度或信號強度。對用來改善輸出信號的強度和傳輸延遲的 Context 信號的過驅動進行模擬。

[0136] 圖 20 顯示對於當在 Task[1]的期間的七級環形振盪器中 Context 信號被進行過驅動時圖 1B 的可程式開關及圖 6A 的可程式開關的週期怎樣改變。由此可知，圖 6A 的可程式開關（曲線 X）的週期雖然長於在“L”進行組態的圖 1B 的可程式開關（曲線 Y），但是比在“H”進行組態的圖 1B 的可程式開關（曲線 Z）短得多。

[0137] 接著，對從 FPGA 裝入三個不同的程式的情況進行模擬。該三個不同的程式為從 I/O[0]向 I/O[19]轉移信號的增加轉移器（Task[0]）、從 I/O[19]向 I/O[0]轉移信號的減少轉移器（Task[1]）以及將 I/O[i]的頻率轉換為 I/O[i-1]的一半的分頻電路（Task[2]）。

[0138] 首先，執行對應最初組態的工作。此時，Context[0]儲存 Task[0]，而 Context[1]儲存 Task[1]。在執行 Context[0]之後，執行 Context[1]。然後，在進行重新組態以使 Context[1]儲存 Task[2]的期間中，再次執行 Context[0]。在重新組態結束後，最後執行 Context[1]。圖 22 顯示模擬的結果，可知：能夠明確轉換 Context；在

FPGA 執行 Context[0]的期間中，Context[1]從最初組態的轉移器怎樣轉換成分頻電路。

[0139] 接著，對包含圖 4B 所示的可程式開關 101a 的 FPGA 和基於 SRAM 的 FPGA 的特性進行比較。在市場上銷售的可重構 FPGA 大多是基於 SRAM 的。藉由使用各種類型的選路開關構成 53 級環形振盪器，進行估計。這裡，電容器 105a 的電容為 4fF。

[0140] 圖 23 顯示過驅動信號被施加到 Context 線 CXa 時的各選路開關類型的環型振盪器頻率的電壓依賴性。由圖 23 可知，包含圖 4B 所示的可程式開關 101a 的選路開關（New RS）的性能雖然在高電壓範圍中低於基於 SRAM 的選路開關（SRAM RS），但是在低於 1.8V 的驅動電壓達到較佳性能。例如，在電壓為 1.5V 時，選路開關的速度比基於 SRAM 的選路開關快 37%。

[0141] 接著，對耗電量進行研討。基於 SRAM 的 FPGA 的組態記憶體的靜態耗電量伴隨微型化而增加，被推定為占有耗電量的 38%。在使用 SPICE 的模擬中，得知重新組態包含圖 4B 所示的可程式開關 101a 的選路開關所需的總能量為 334fJ。在 334fJ 中，187fJ 用來改寫資料，147fJ 用來將源極節點 SN 的電位設定為“L”（接地電位）。

[0142] 以下說明與上述用於模擬的半導體裝置相同的半導體裝置的結構。圖 21A 至 21H 顯示半導體裝置的佈線、半導體膜以及接觸孔的佈局。注意，各圖式中的右

端的十字 (+) 被用作標記。由此，在使兩個以上的圖式重疊為上述所有十字彼此完全重疊時，可以理解不同的層之間的正確的關係。

[0143] 半導體裝置包括：單晶矽晶圓上的氧化矽層上的單晶矽膜（厚度為 50nm）；使單晶矽膜氧化而形成的第一閘極絕緣體（厚度為 15nm）；第一閘極絕緣體上的第一佈線（厚度為 30nm 的氮化鉭和其上的厚度為 170 nm 的 W 的多層結構）；第一層間絕緣體（厚度為 50nm 的 SiON、厚度為 280nm 的 SiNO 以及厚度為 300nm 的 SiO_x 的多層結構）；第二佈線（厚度為 150nm 的 W）；第二層間絕緣體（厚度為 400nm 至 500nm 的 TEOS-SiO_x）；第三佈線（厚度為 150nm 的 W）；第三層間絕緣體（厚度為 50nm 的 AlO_x 和厚度為 300nm 的 SiO_x 的多層結構）；厚度為 15nm 的 In-Ga-Zn 氧化物膜；第四佈線（厚度為 100nm 的 W）；第二閘極絕緣體（厚度為 15nm 的 SiON）；第五佈線（厚度為 30nm 的氮化鉭和其上的厚度為 135nm 的 W 的多層結構）；第四層間絕緣體（厚度為 70nm 的 AlO_x 和厚度為 300nm 的 SiON 的多層結構）；第六佈線（厚度為 50nm 的 Ti、厚度為 200nm 的 Al 以及厚度為 50nm 的 Ti 的多層結構）；第五層間絕緣體（厚度為 1500nm 的聚醯亞胺）；第七佈線（厚度為 50nm 的 Ti、厚度為 300nm 的 Al 以及厚度為 50nm 的 Ti 的多層結構）；以及第六層間絕緣體（厚度為 1500nm 的聚醯亞胺）。

[0144] 第一佈線中的一部分被用作基於矽的電晶體的閘極電極。第二佈線中的一部分被用作基於矽的電晶體的源極電極或汲極電極。第三佈線中的一部分被用作基於氧化物半導體的電晶體的背閘極電極。第四佈線中的一部分被用作基於氧化物半導體的電晶體的源極電極或汲極電極。第五佈線中的一部分被用作基於氧化物半導體的電晶體的閘極電極。

[0145] 在第一層間絕緣體、第二層間絕緣體、第三層間絕緣體、第二閘極絕緣體、第四層間絕緣體以及第五層間絕緣體中形成有用來連接不同的層之間的接觸孔。

[0146] 圖 21A 顯示單晶矽膜和第一佈線 204 的佈局。單晶矽膜具有 n 型區域 205。注意，與第一佈線 204 重疊的單晶矽膜的一部分輕摻雜有 p 型摻雜物。

[0147] 圖 21B 顯示第二佈線（陰影部分）和設置在第一層間絕緣體中的到達 n 型區域 205 的接觸孔的佈局。接觸孔被顯示為陰影部分中的長方形。

[0148] 圖 21C 顯示第三佈線（陰影部分）和設置在第二層間絕緣體中的到達第二佈線的接觸孔的佈局。接觸孔被顯示為陰影部分中的長方形。

[0149] 圖 21D 顯示 In-Ga-Zn 氧化物膜的佈局。

[0150] 圖 21E 顯示第四佈線（陰影部分）和設置在第三層間絕緣體中的到達第三佈線的接觸孔的佈局。接觸孔被顯示為陰影部分中的長方形。

[0151] 圖 21F 顯示第五佈線（陰影部分）的佈局。

[0152] 圖 21G 顯示第六佈線（陰影部分）和設置在第二閘極絕緣體及第四層間絕緣體中的到達第四佈線及第五佈線的接觸孔的佈局。接觸孔被顯示為陰影部分中的長方形。

[0153] 圖 21H 顯示第七佈線（陰影部分）和設置在第五層間絕緣體中的到達第六的接觸孔的佈局。接觸孔被顯示為陰影部分中的長方形。

[0154] 注意，氧化物半導體電晶體採用 $1.0\mu\text{m}$ 的設計規則，而單晶矽電晶體採用 $0.5\mu\text{m}$ 的設計規則。在上述佈局中，其半導體裝置的面積比採用同樣的設計規則的基於 SRAM 的選路開關減少 38%。

【符號說明】

[0155]

100：選路開關

101：可程式開關

101a：可程式開關

101b：可程式開關

101c：可程式開關

102a：邏輯塊

102b：邏輯塊

103a：寫入電晶體

103b：寫入電晶體

103c：寫入電晶體

- 104a：傳輸電晶體
- 104b：傳輸電晶體
- 104c：傳輸電晶體
- 105a：電容器
- 105b：電容器
- 105c：電容器
- 106a：選擇電晶體
- 106b：選擇電晶體
- 106c：選擇電晶體
- 107a：選擇電晶體
- 108a：預充電電晶體
- 109a：選擇電晶體
- 110a：選擇電晶體
- 200：半導體基板
- 201：元件隔離區域
- 202：p 型區域
- 203：閘極絕緣體
- 204：佈線
- 204a：佈線
- 204b：佈線
- 205：n 型區域
- 205a：n 型區域
- 205b：n 型區域
- 205c：n 型區域

- 205d：n 型區域
- 206：層間絕緣體
- 207a：佈線
- 207b：佈線
- 208：層間絕緣體
- 209：佈線
- 210：層間絕緣體
- 211a：氧化物半導體膜
- 211b：氧化物半導體膜
- 212a：接觸孔
- 212b：接觸孔
- 213：導電層
- 214：絕緣體
- 215a：佈線
- 215b：佈線
- 215c：佈線
- 216a：被進行圖案化的絕緣體
- 216b：被進行圖案化的絕緣體
- 216c：被進行圖案化的絕緣體
- 217：閘極絕緣體
- 218a：佈線
- 218b：佈線
- 301：開關陣列
- 302：邏輯陣列

303 : I/O 陣列
 311 : 邏輯塊
 312 : 查找表
 313 : 正反器
 314 : 多工器
 315a : 組態記憶體
 315b : 組態記憶體
 315c : 組態記憶體
 316 : 輸入端子
 317 : 輸出端子
 318a : 組態資料
 318b : 組態資料
 319 : 多工器
 320 : 輸入端子
 BL : 位元線
 CX : Context 線
 CXa : Context 線
 CXb : Context 線
 CXc : Context 線
 CYa : Context 線
 IN : 節點
 I/O : 輸入輸出電路
 LB : 邏輯塊
 MN : 記憶節點

OUT：節點

SN：源極節點

SWa：選路開關

SWb：選路開關

SWc：選路開關

WL：字線

WLa：字線

WLb：字線

WLc：字線

I643457

發明摘要

※申請案號：104111963

※申請日：104 年 04 月 14 日 ※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

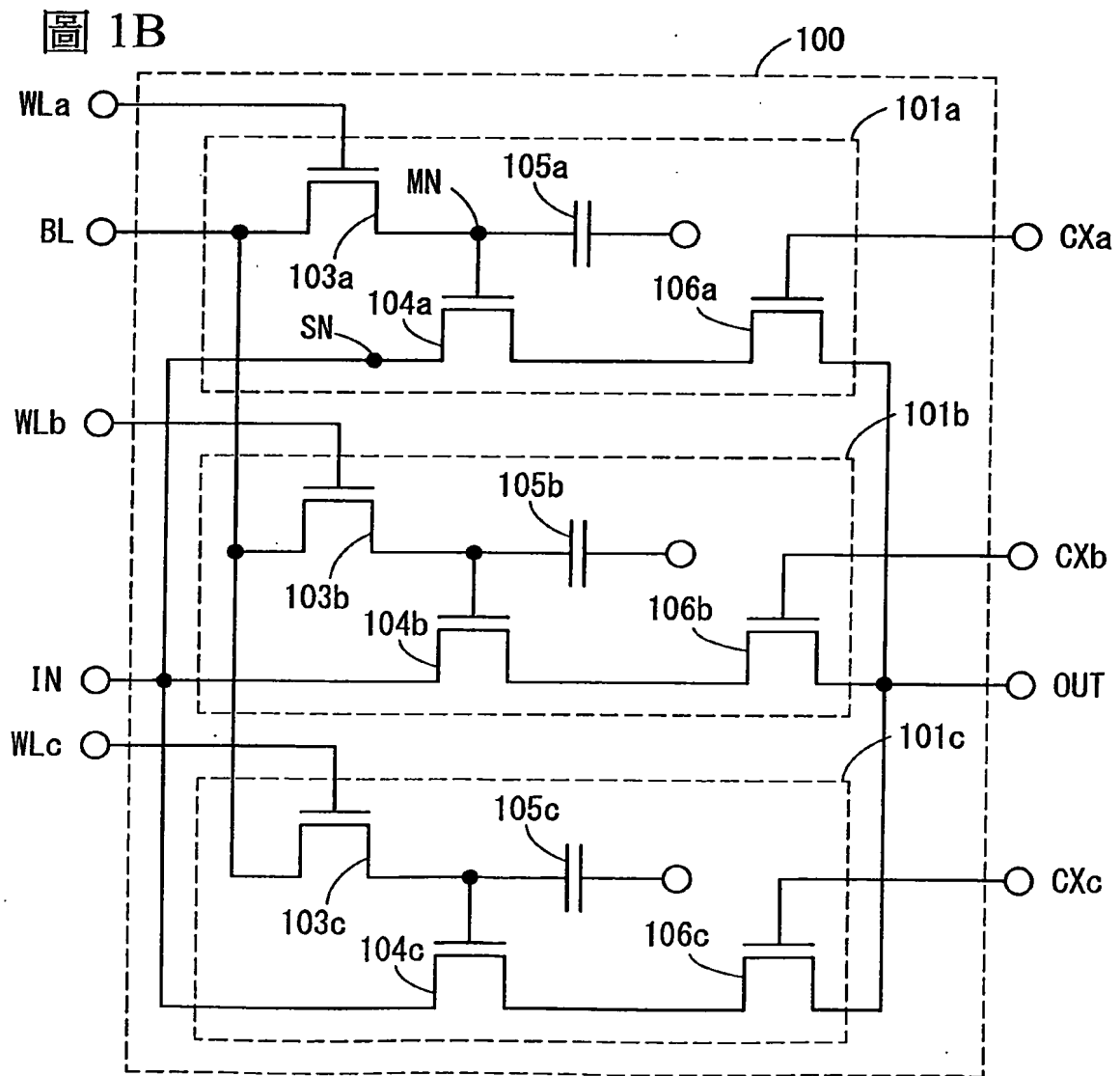
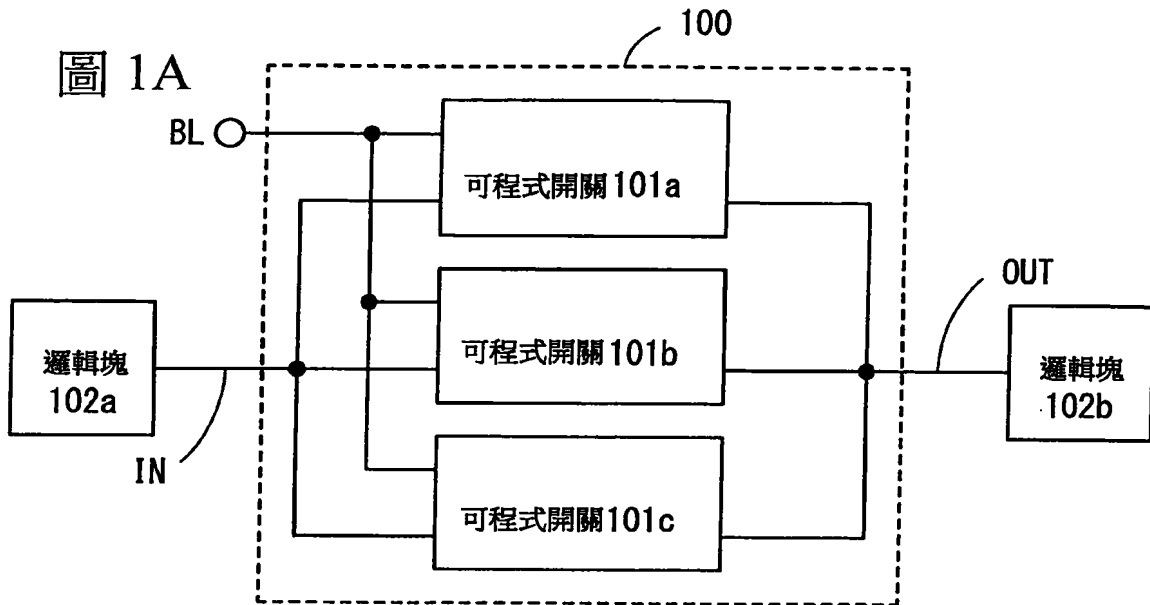
【中文】

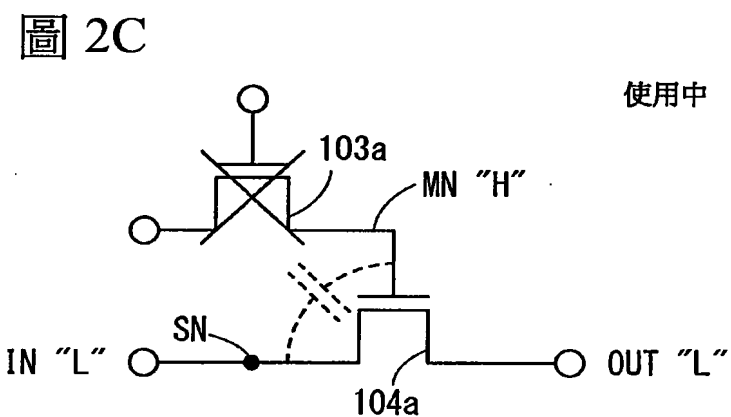
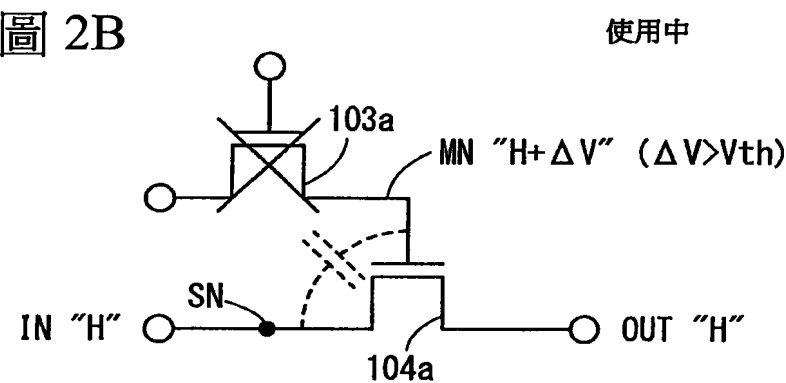
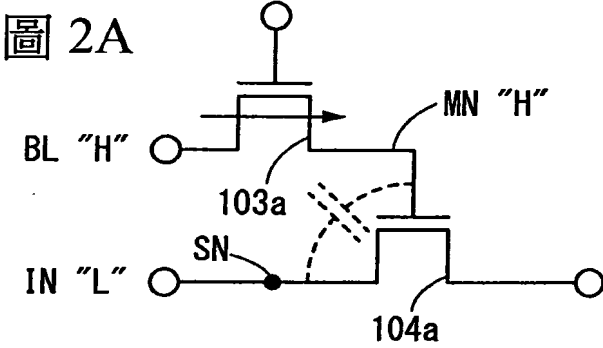
提供一種動態可重構半導體裝置。一種半導體裝置，包括：兩個邏輯塊；傳輸電晶體；兩個選擇電晶體；以及預充電電晶體，其中兩個選擇電晶體被配置為夾有傳輸電晶體，該傳輸電晶體的源極及汲極位於兩個選擇電晶體的源極之間，兩個選擇電晶體的源極及汲極位於兩個邏輯塊之間，在兩個選擇電晶體處於關閉狀態時，可將電位經過預充電電晶體供應到傳輸電晶體的源極或汲極，且因電導通而將用於一個 Context 的另一電位施加到傳輸電晶體的閘極，並且在執行 Context 時，傳輸電晶體的閘極處於浮動狀態，兩個選擇電晶體處於開啟狀態，且預充電電晶體處於關閉狀態。

【 英文 】

A dynamic reconfigurable semiconductor device is provided. The semiconductor device includes two logic blocks, a pass transistor, two selection transistors and a precharge transistor. The two selection transistors are arranged to sandwich the pass transistor so that a source and a drain of the pass transistor are located between the sources of the two selection transistors. The sources and the drains of the two selection transistors are located between the two logic blocks. When the two selection transistors are in off-state, a potential can be supplied to the source or the drain of the pass transistor via the precharge transistor, and by electrical conduction, another potential for a context is applied to the gate of the pass transistor. When the context is executed, the gate of the pass transistor is in a floating state, the two selection transistors are in on-state, and the precharge transistor is in off-state.

圖式





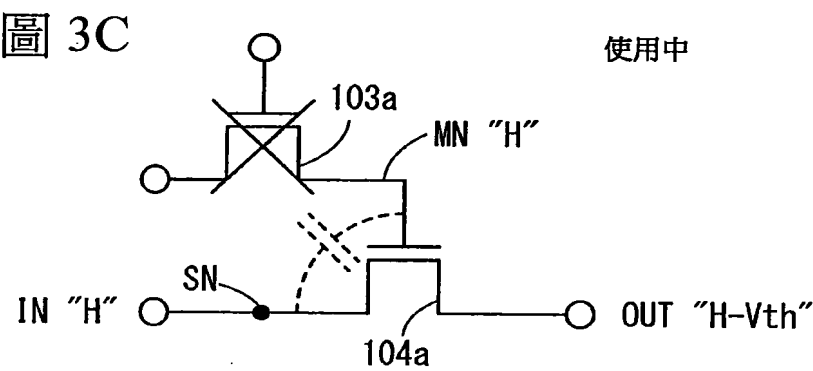
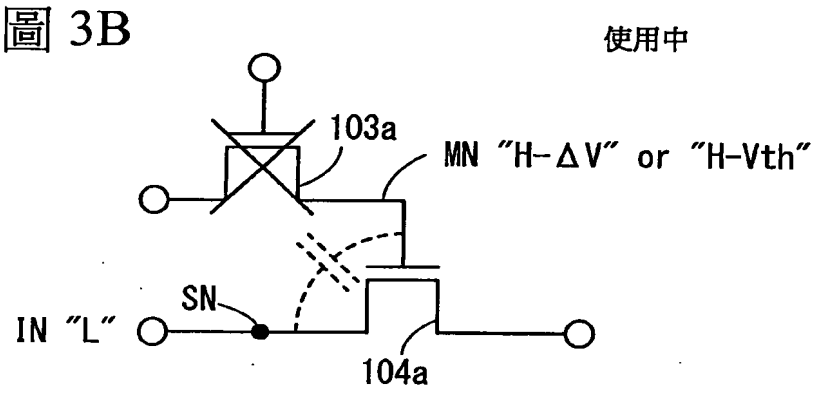
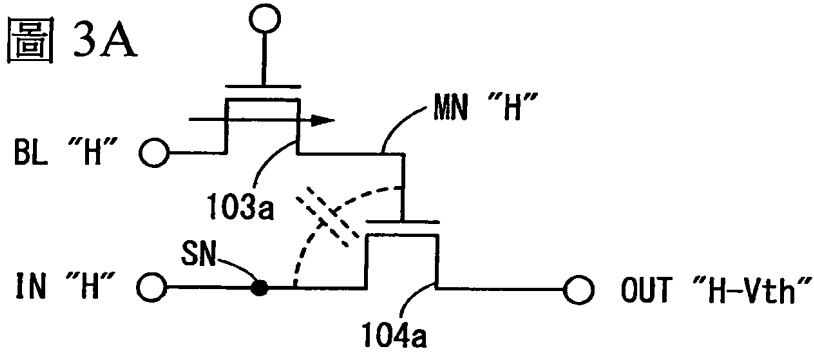


圖 4A

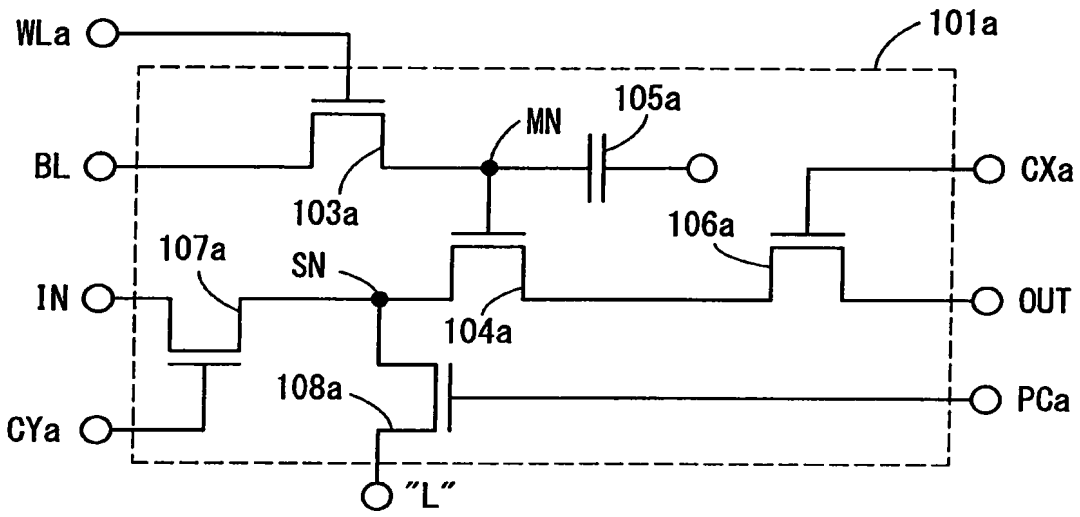


圖 4B

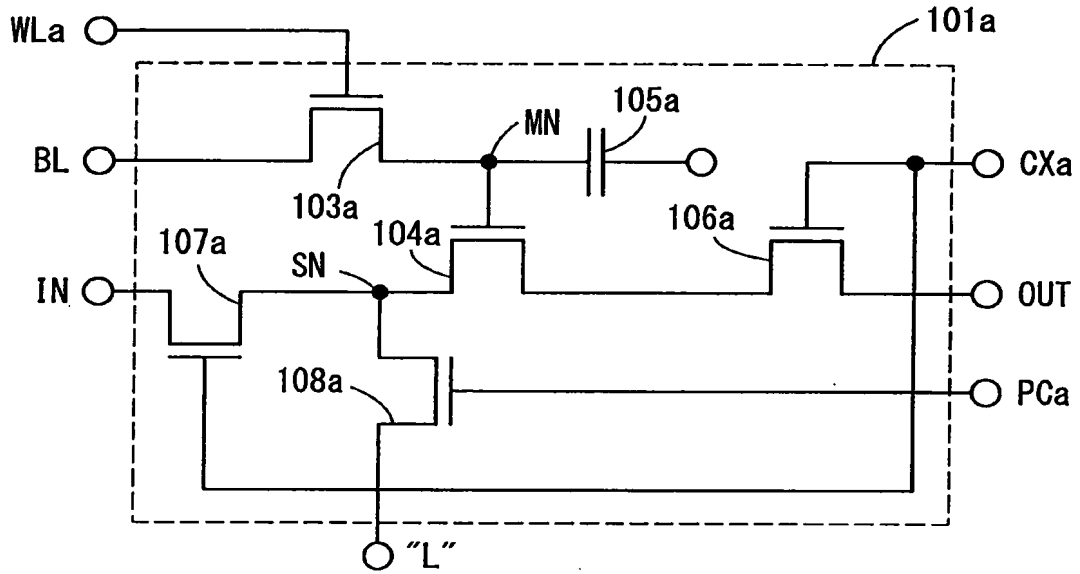


圖 6A

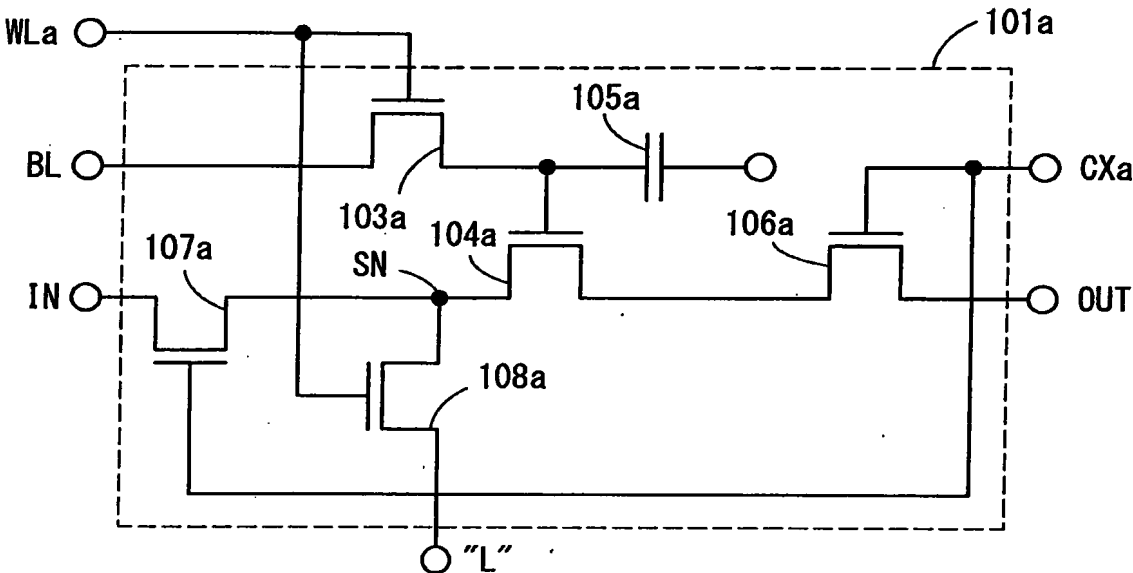


圖 6B

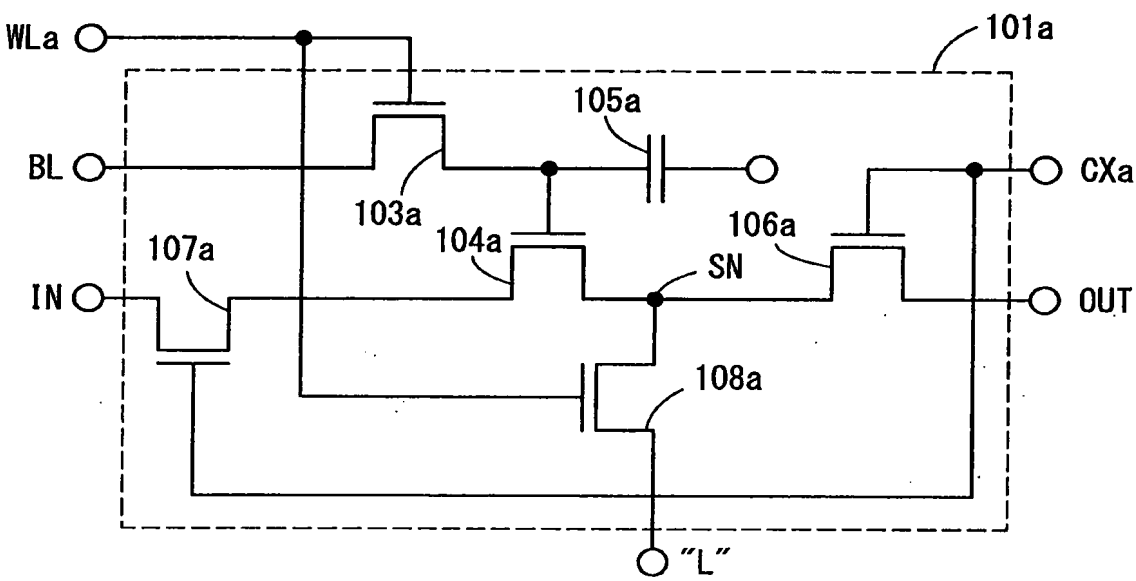


圖 7A

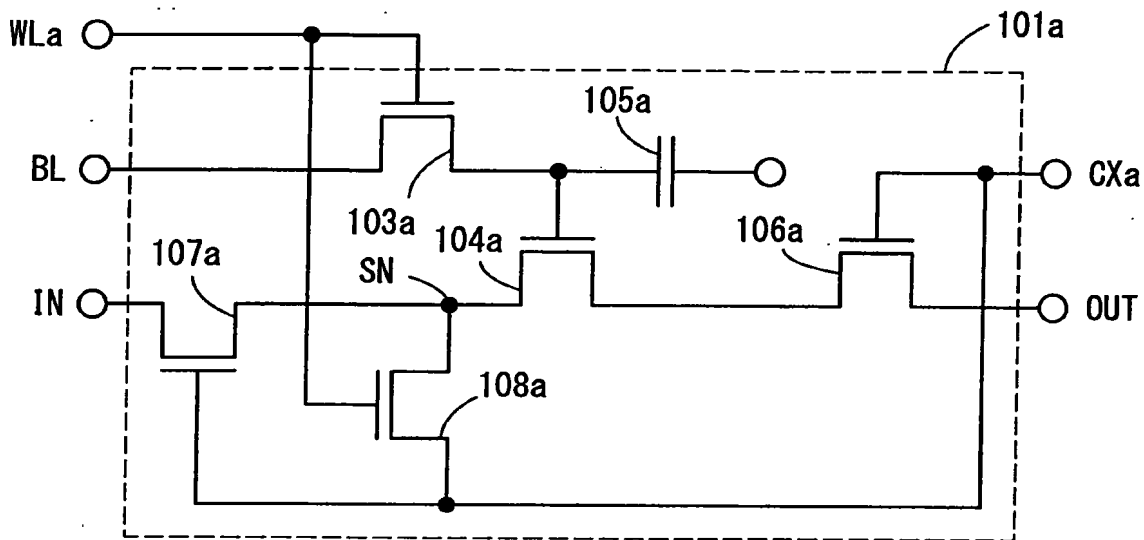
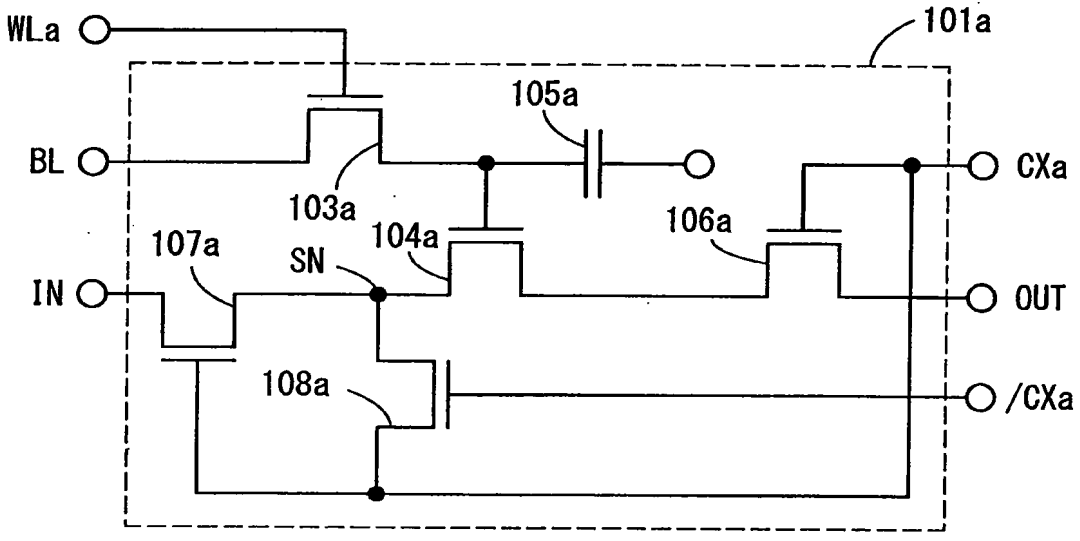
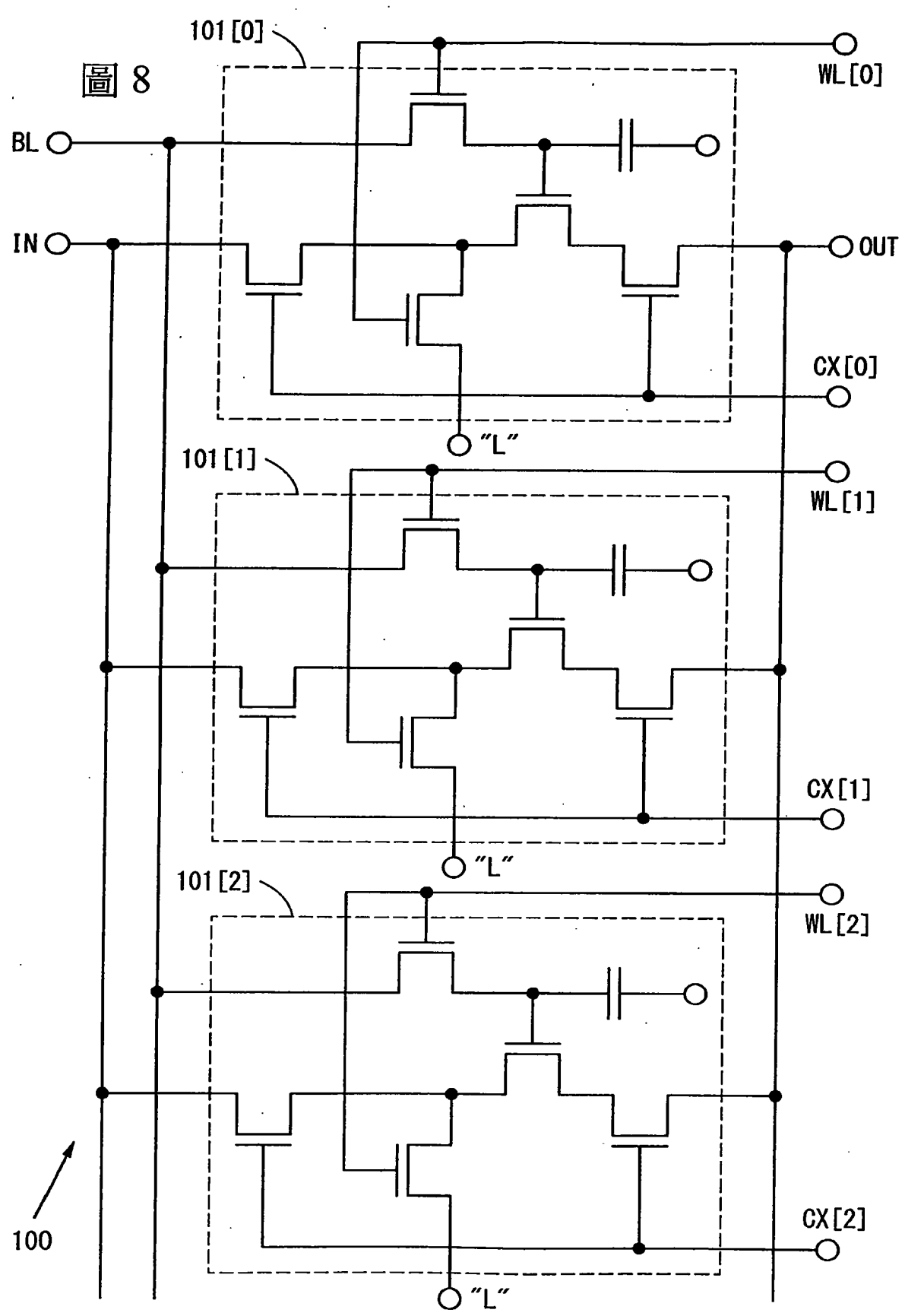
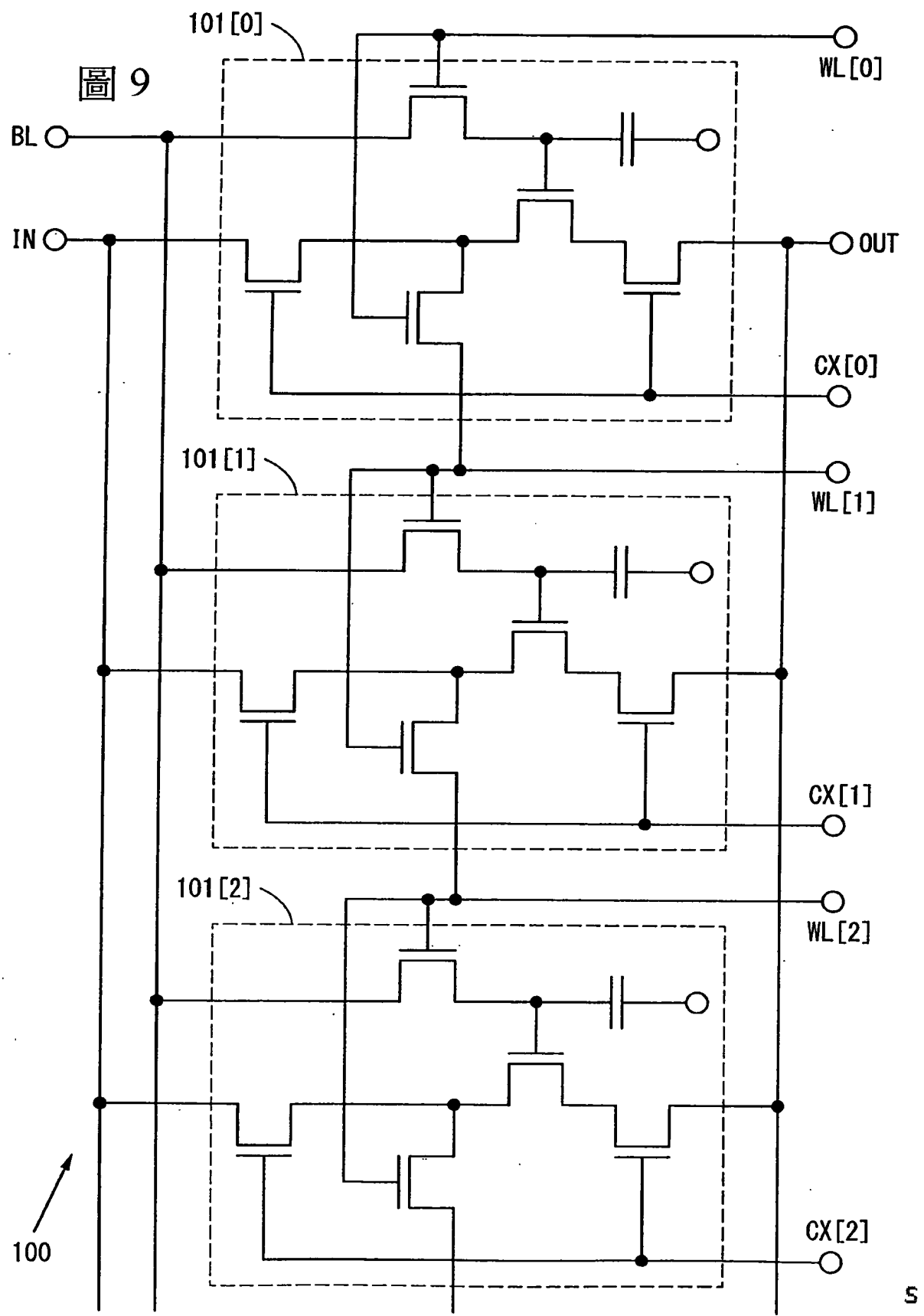


圖 7B







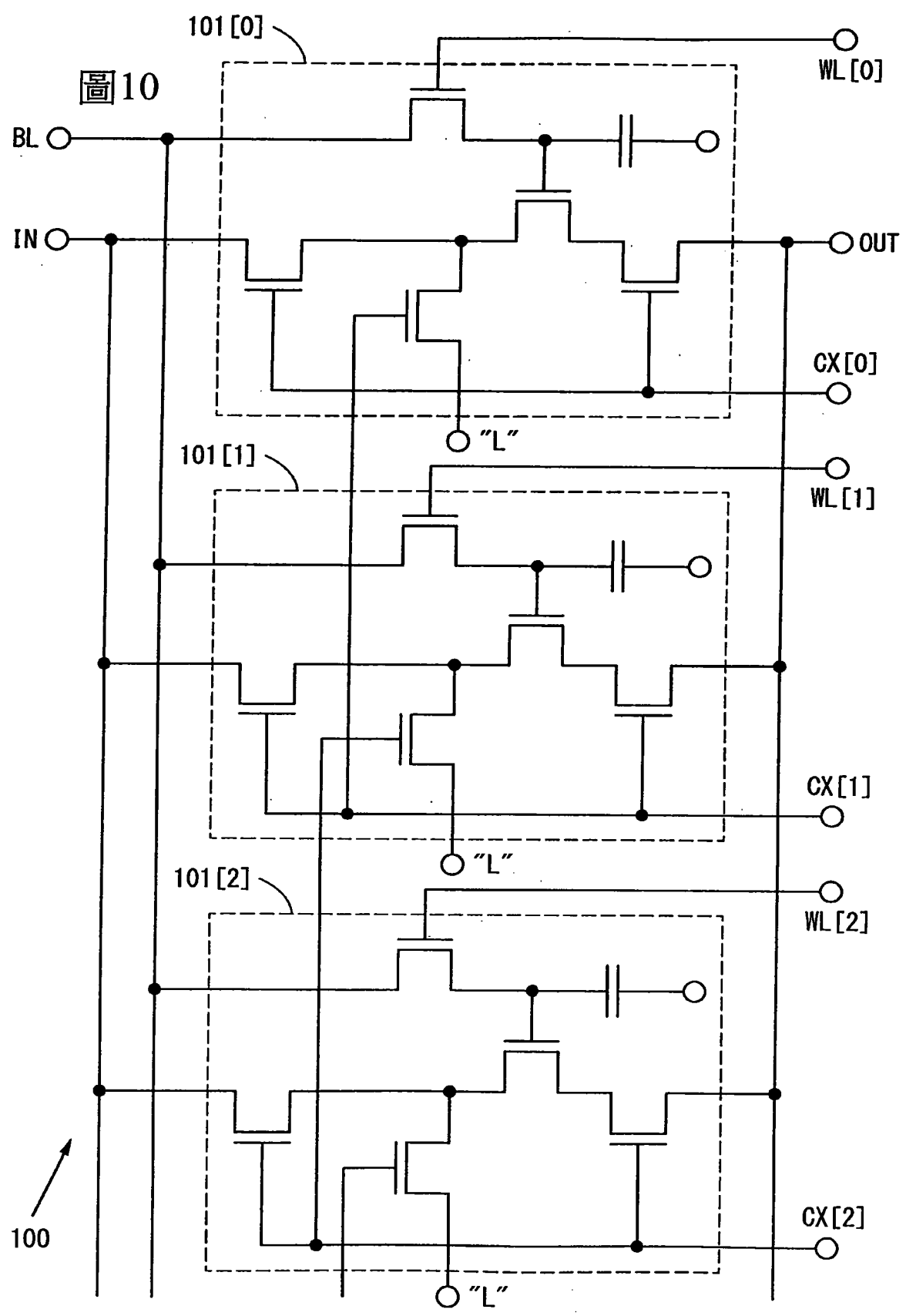


圖 11A

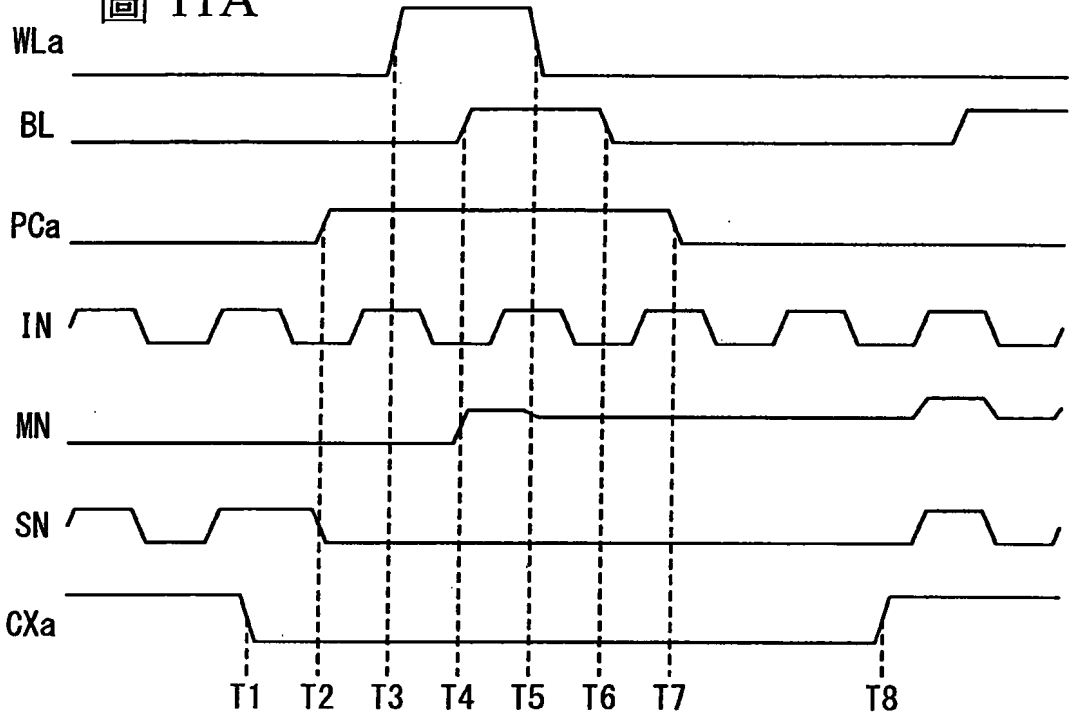
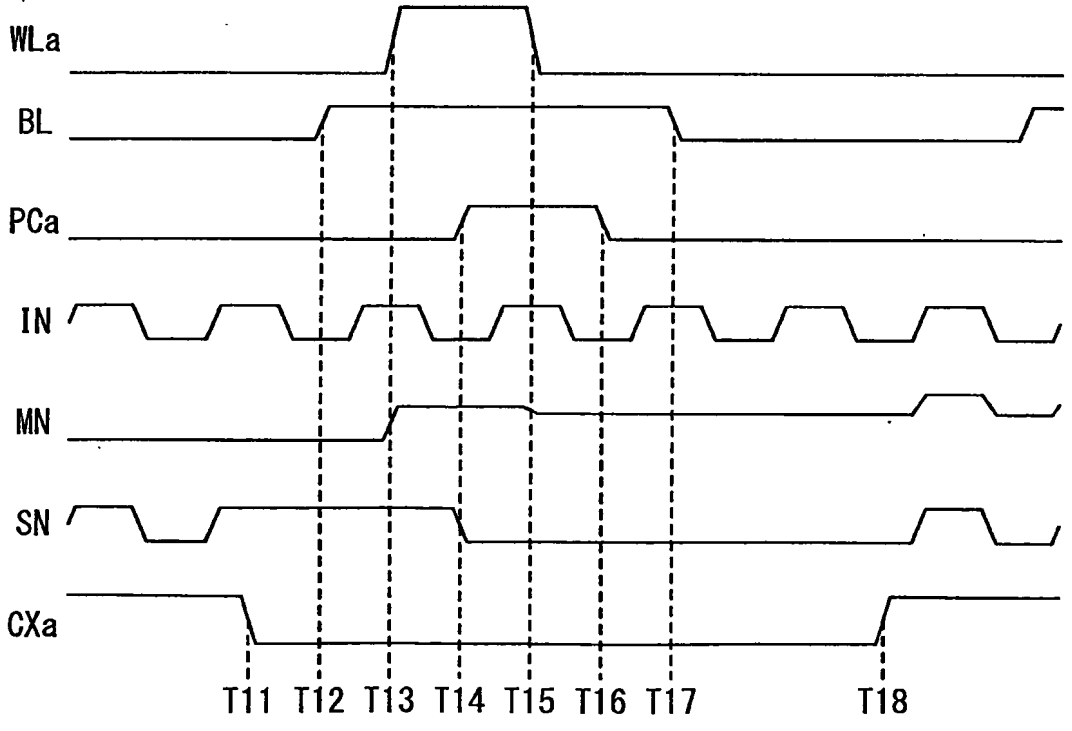


圖 11B



s

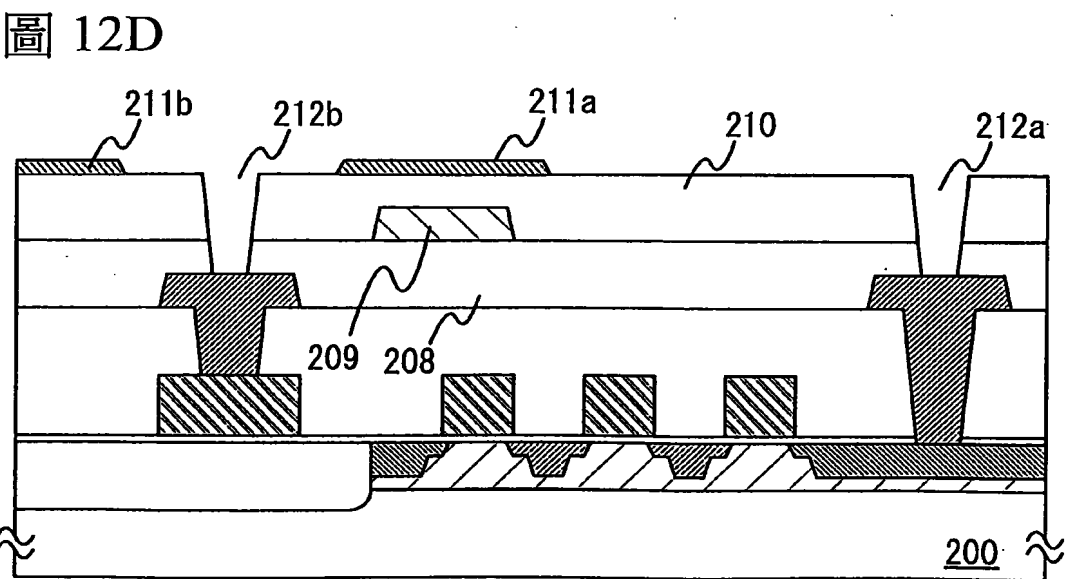
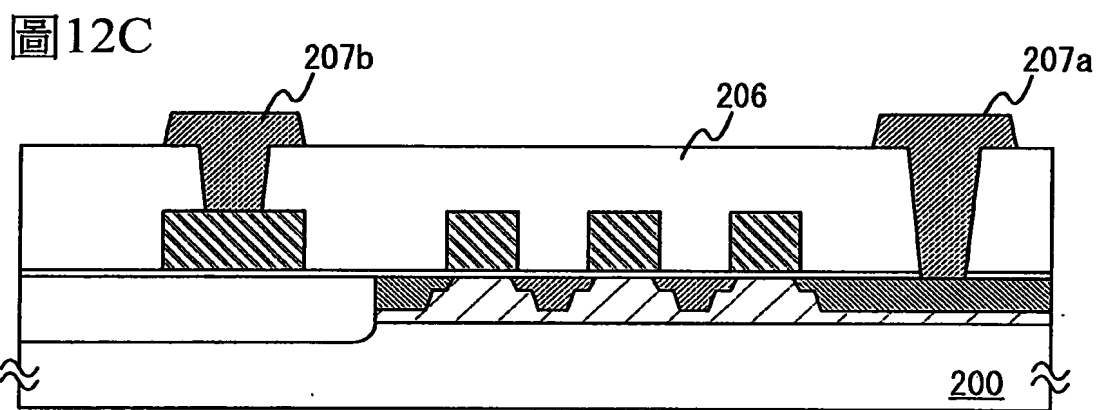
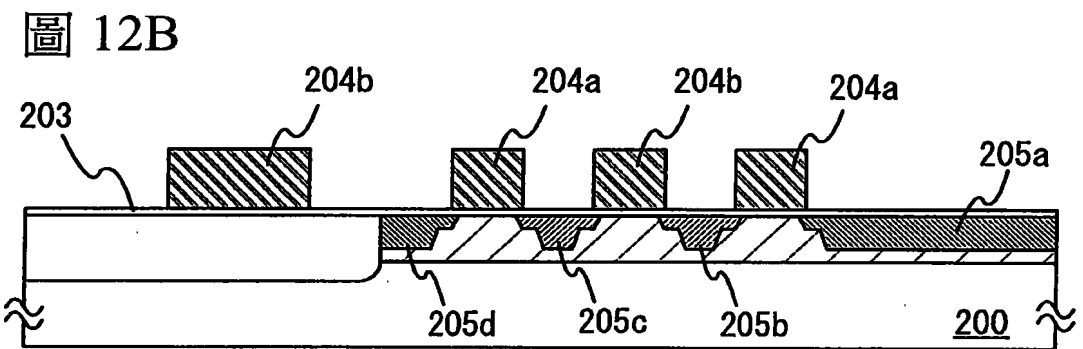
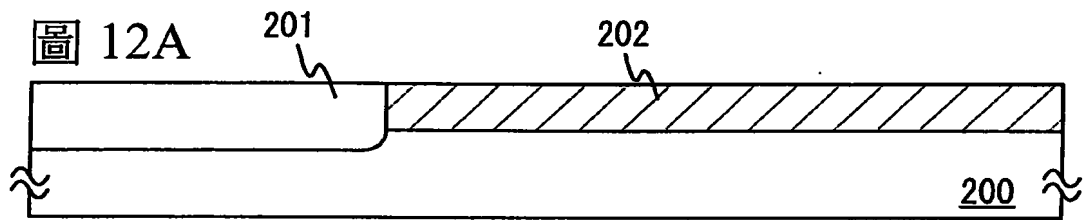


圖 13A

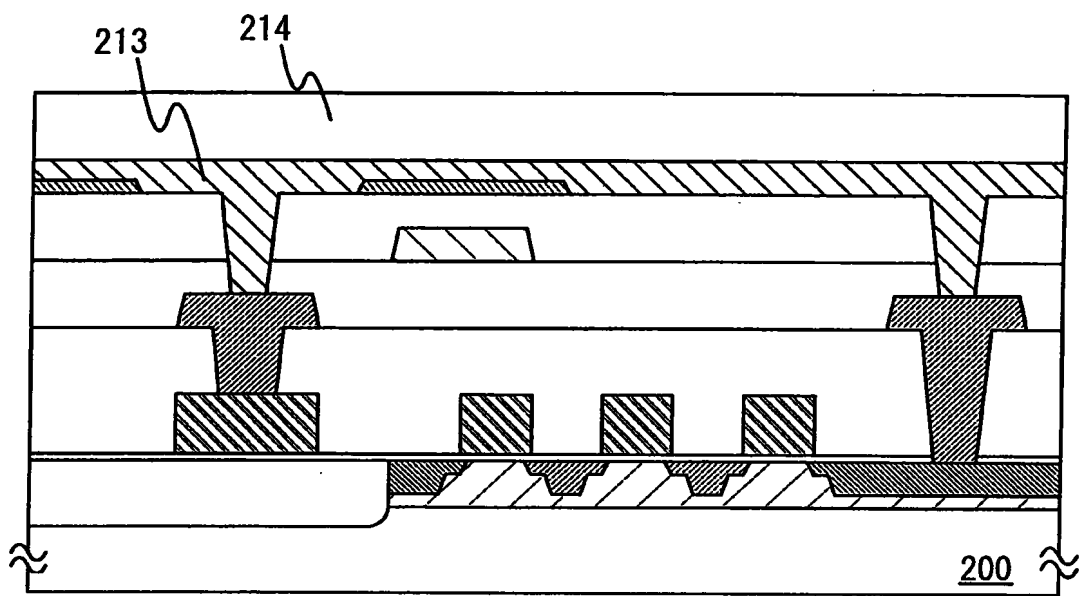


圖 13B

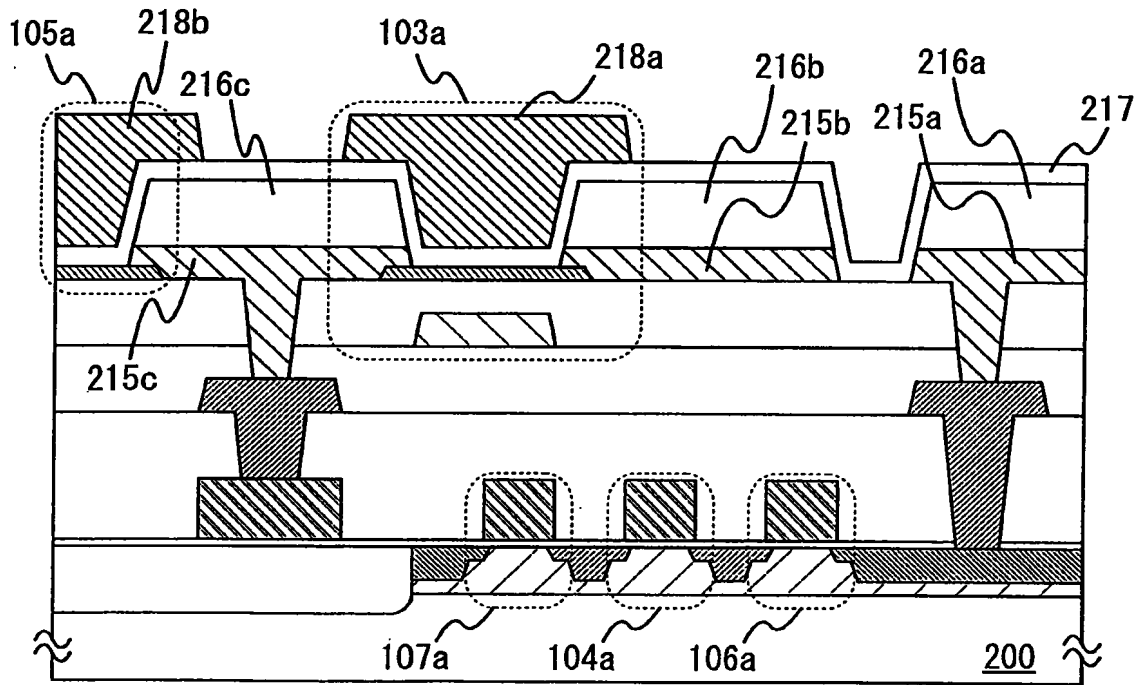


圖 14

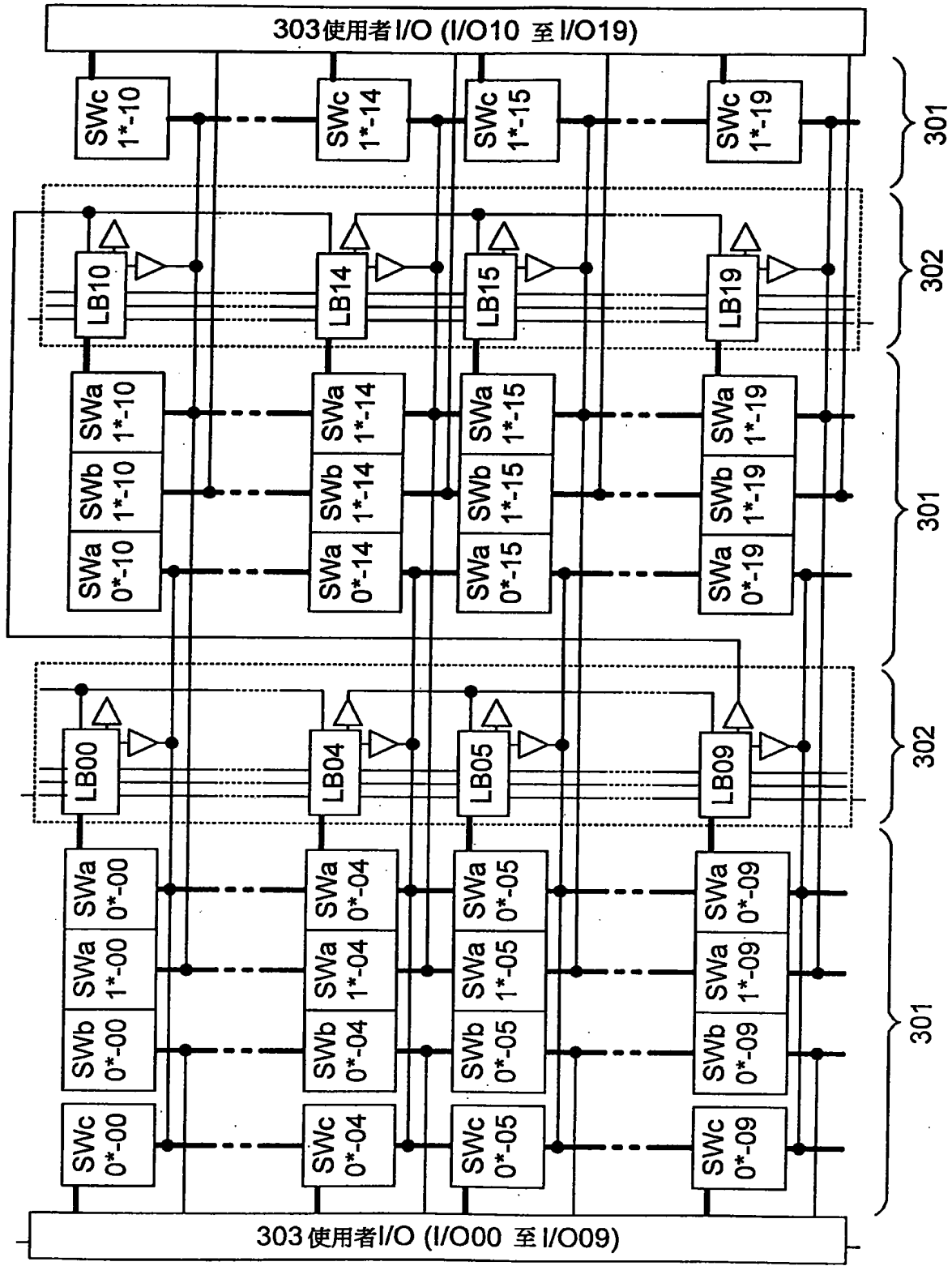


圖 15A

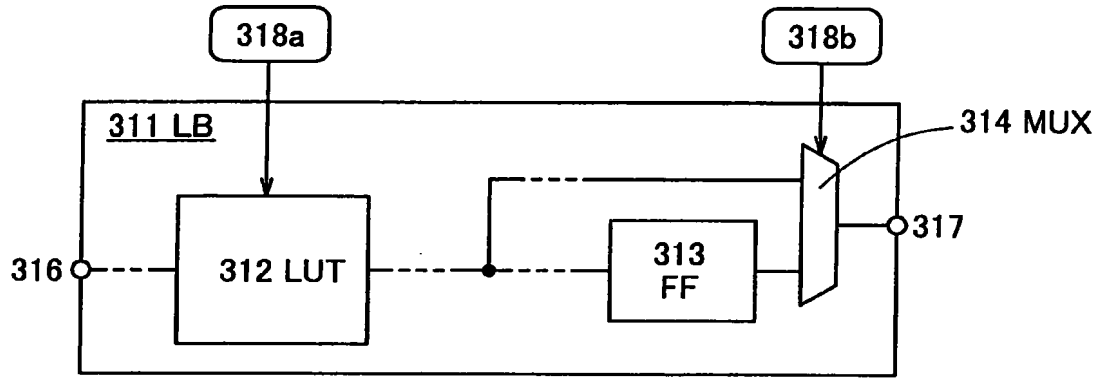


圖 15B

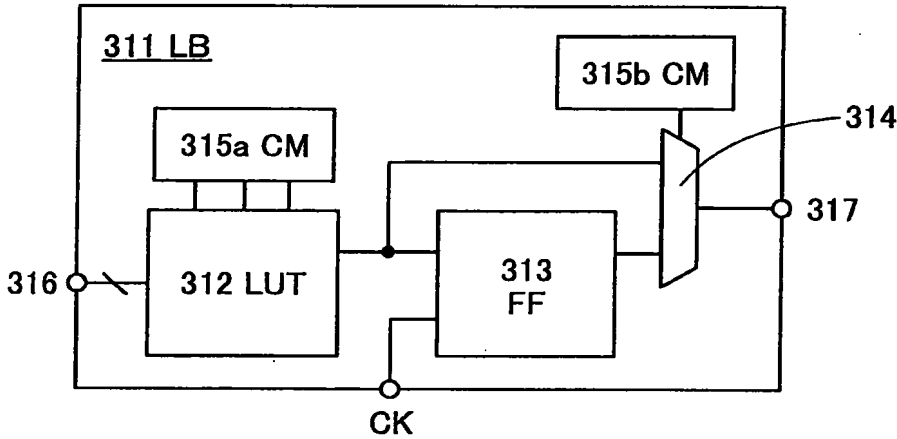


圖 15C

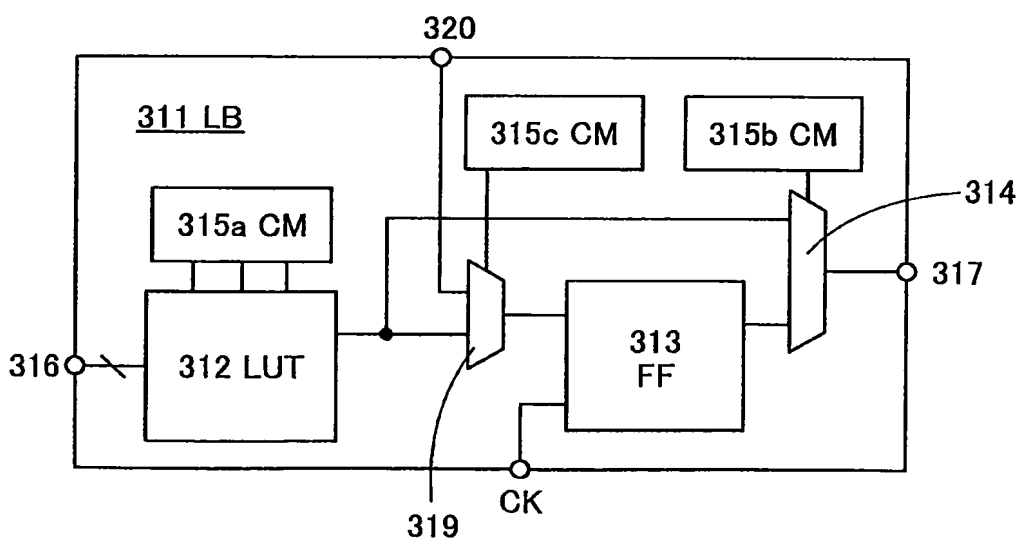


圖 16A

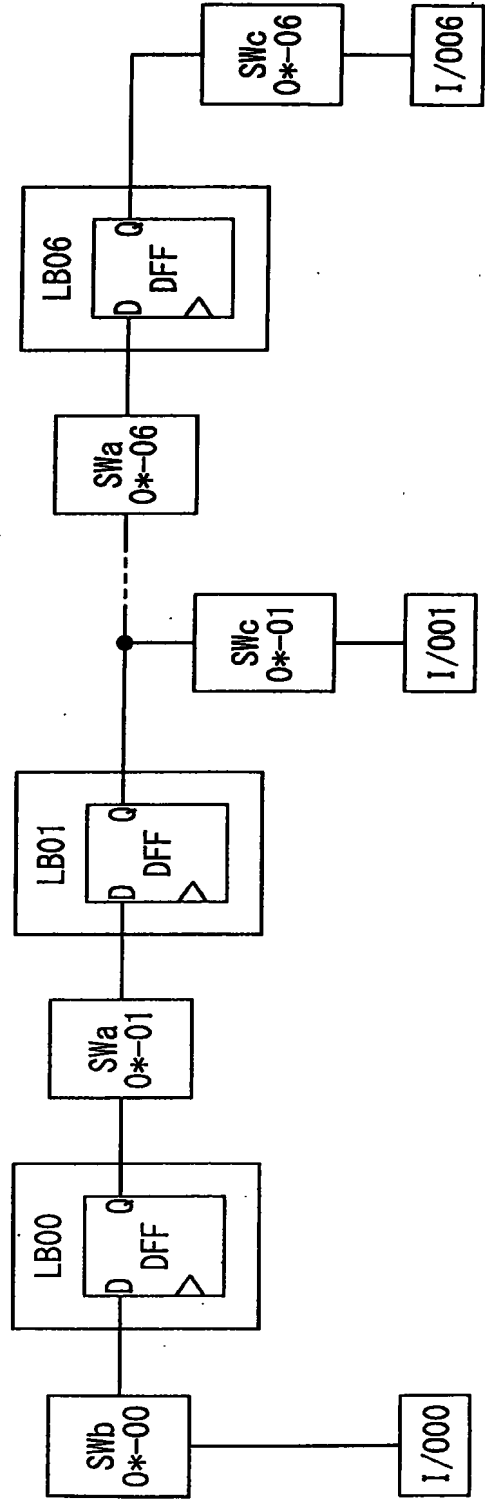


圖 16B

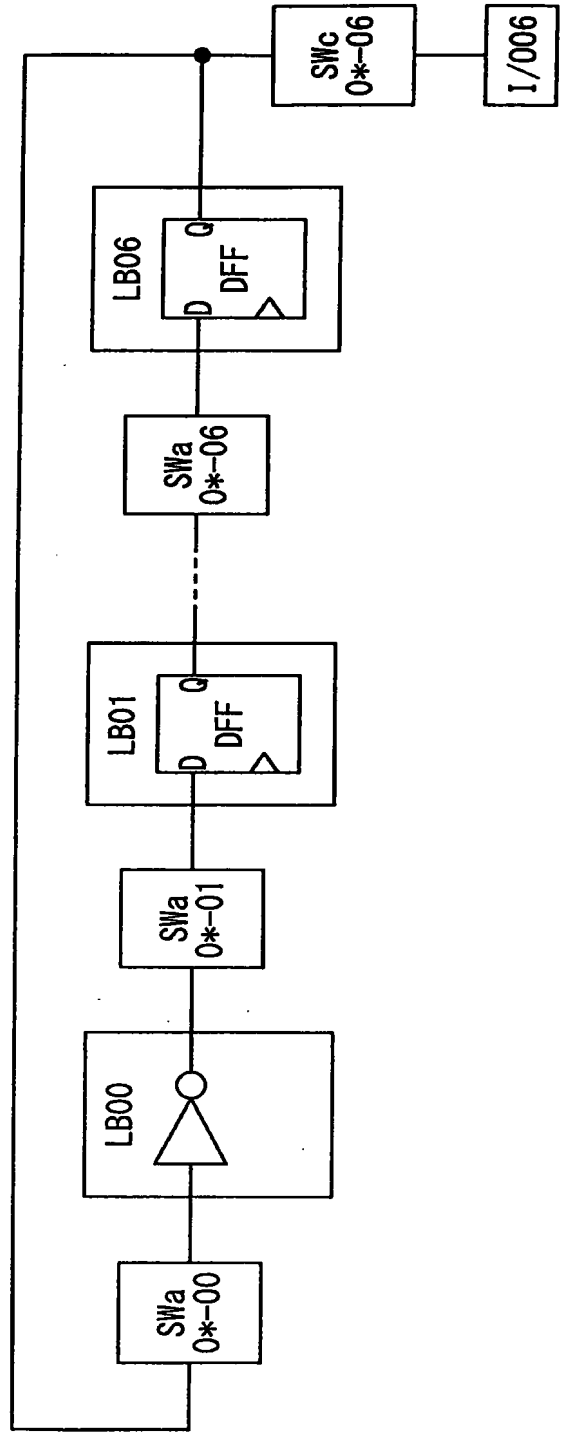


圖 17A

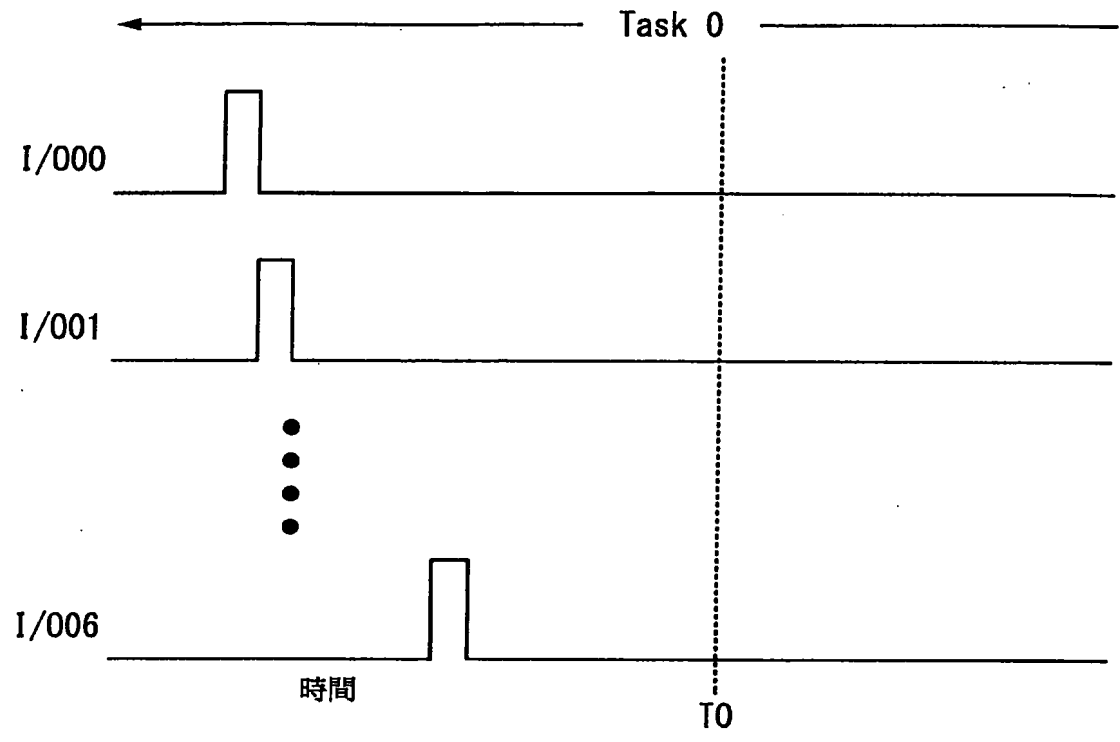


圖 17B

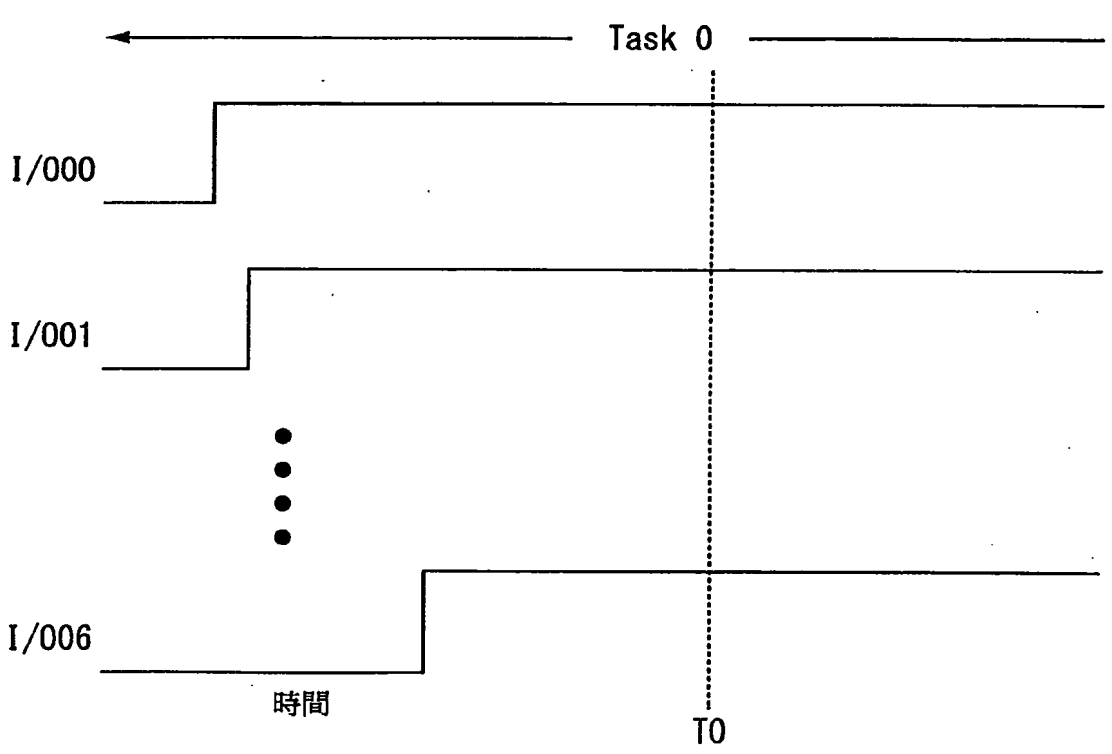


圖 18A

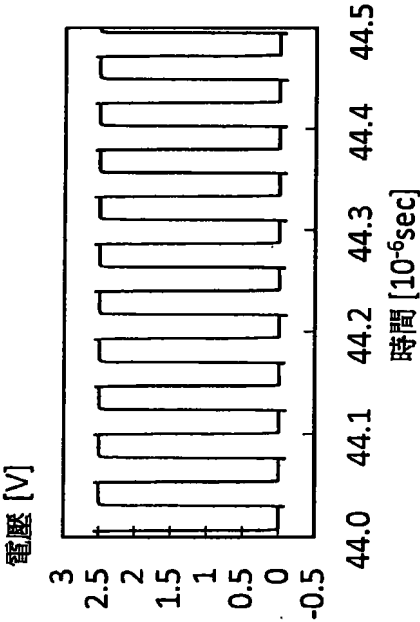


圖 18C

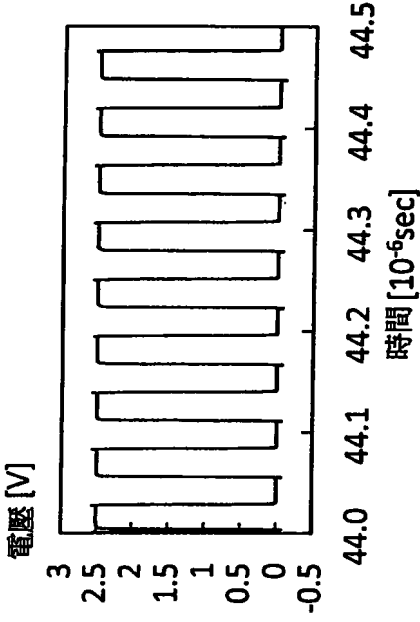


圖 18B

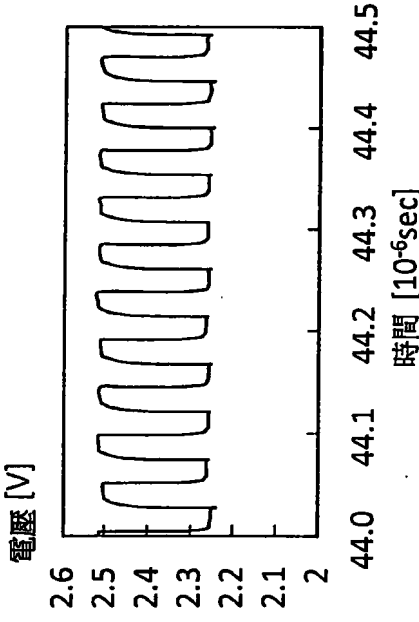


圖 18D

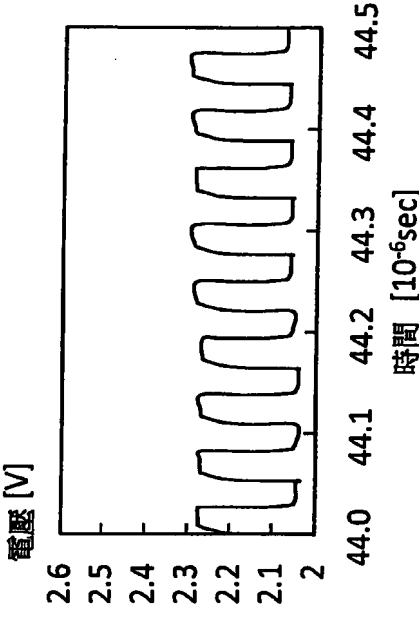


圖 19A

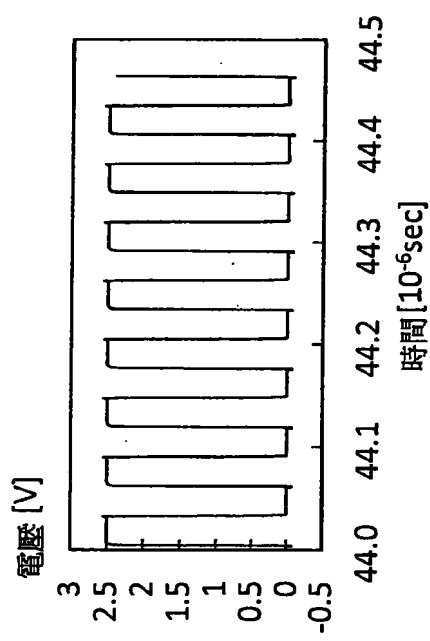


圖 19B

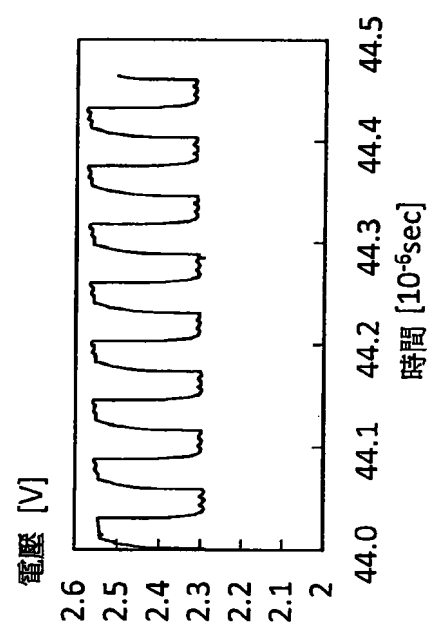


圖 19C

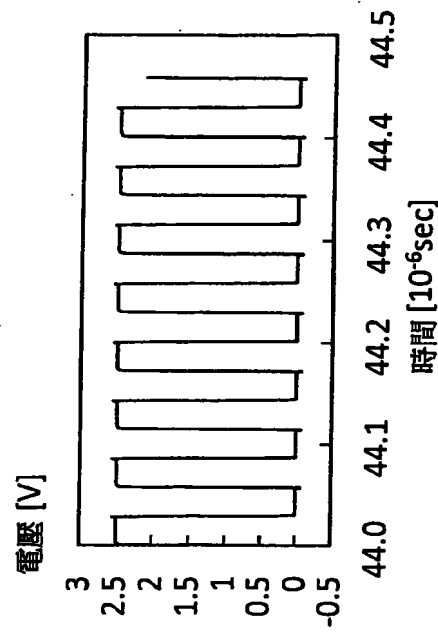


圖 19D

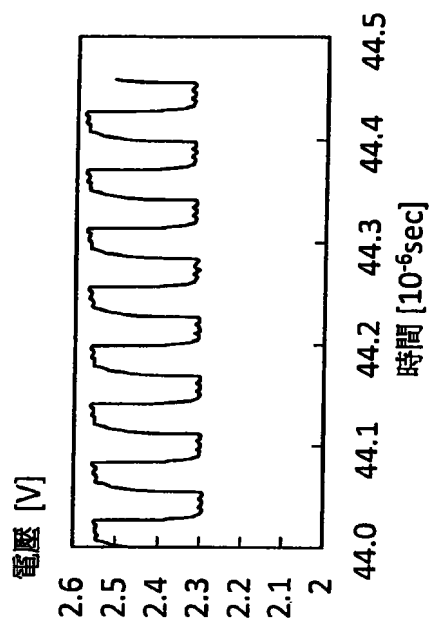


圖 20

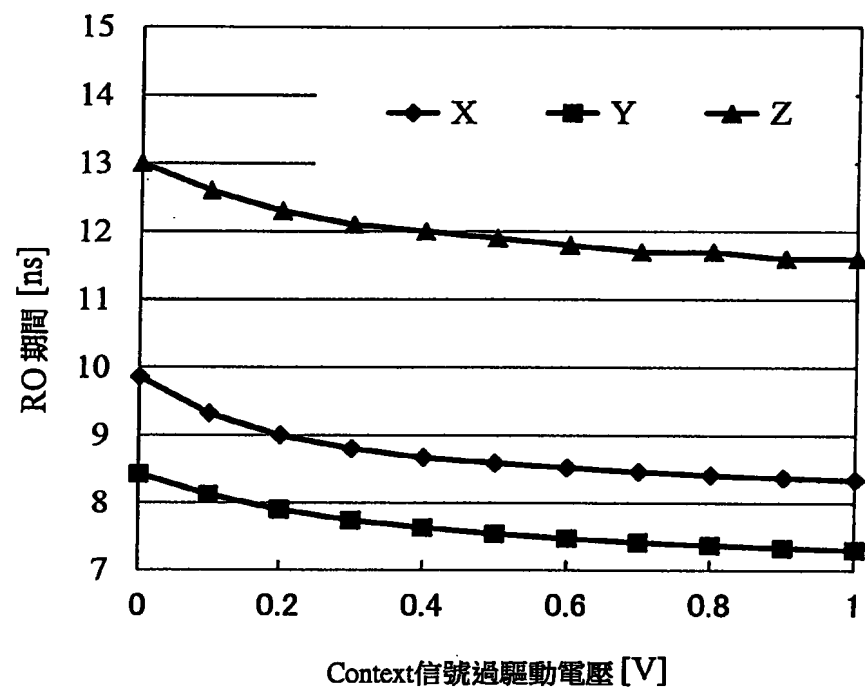


圖 21A

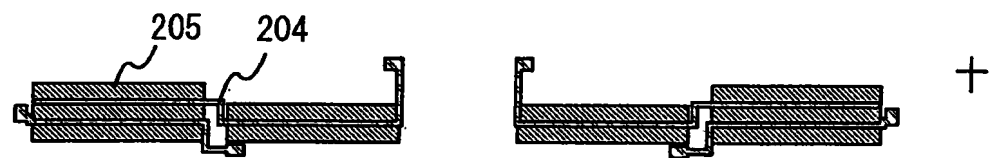


圖 21B

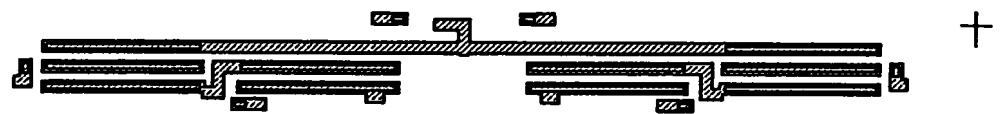


圖 21C



圖 21D



圖 21E

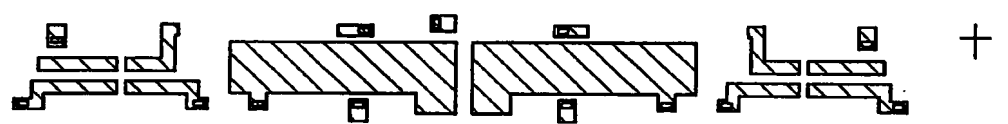


圖 21F

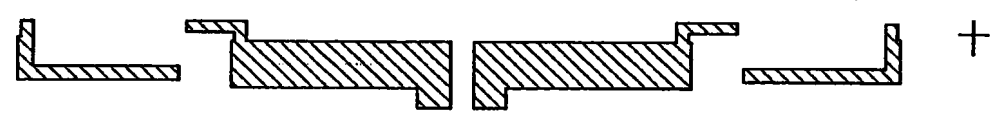


圖 21G

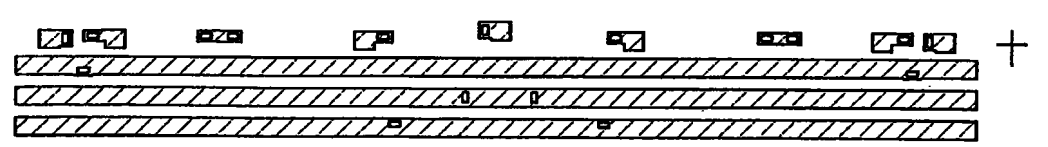


圖 21H

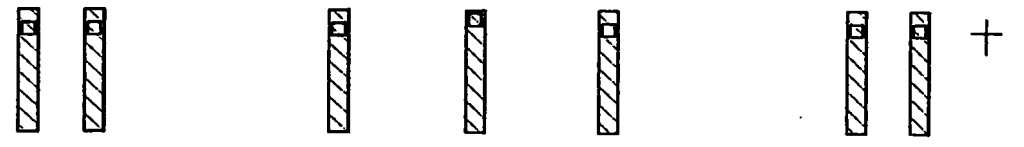


圖 22

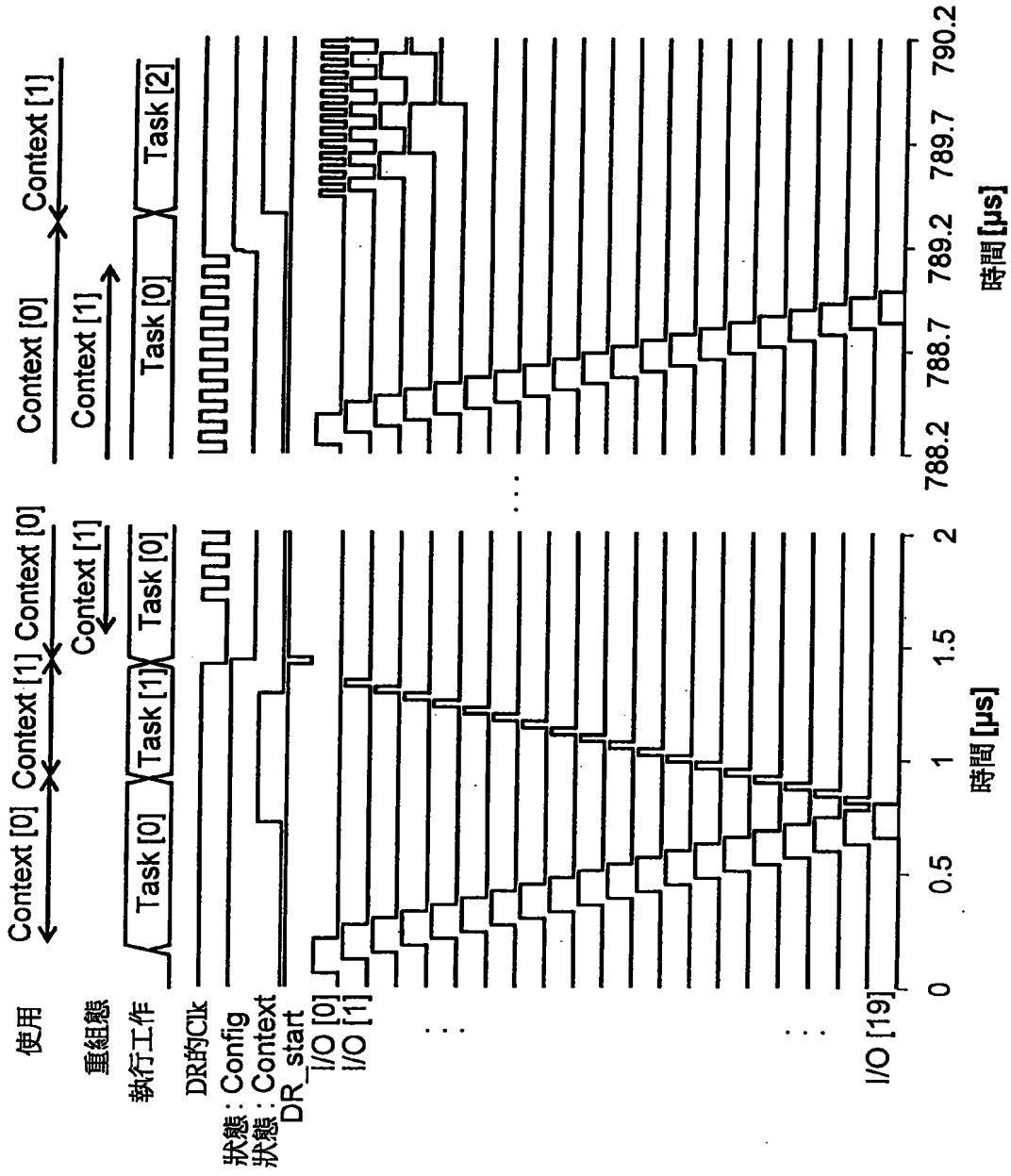
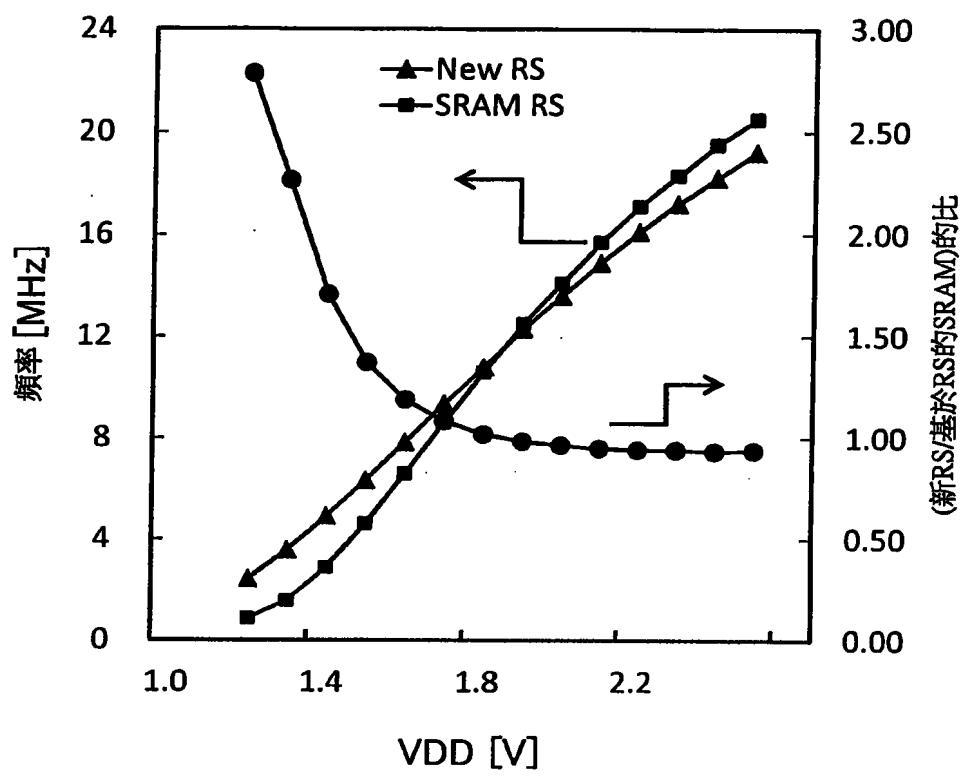


圖 23



【代表圖】

【本案指定代表圖】：第(4A)圖。

【本代表圖之符號簡單說明】：

101a：可程式開關

103a：寫入電晶體

104a：傳輸電晶體

105a：電容器

106a：選擇電晶體

107a：選擇電晶體

108a：預充電電晶體

BL：位元線

CXa：Context 線

CYa：Context 線

IN：節點

MN：記憶節點

OUT：節點

SN：源極節點

WLa：字線

PCa：預充電線

“L”：電位

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

第 104111963 號

申請專利範圍

1.一種半導體裝置，包括：

第一邏輯塊；

第二邏輯塊；以及

可程式開關，包括：

傳輸電晶體；

第一電晶體；

第二電晶體；以及

第三電晶體，

其中，該第一邏輯塊和該第二邏輯塊可藉由該可程式開關相互電連接，

其中，該第一電晶體、該傳輸電晶體以及該第二電晶體按照這個順序串聯電連接，

其中，該第一電晶體和該第二電晶體的兩者的源極及汲極位於該第一邏輯塊和該第二邏輯塊之間，並且

其中，該半導體裝置被設計為在該第一電晶體和該第二電晶體都處於關閉狀態時，可將電位經過該第三電晶體供應到該傳輸電晶體的源極和汲極中的一者。

2.根據申請專利範圍第 1 項之半導體裝置，還包括寫入電晶體和位元線，其中該寫入電晶體的源極及汲極位於該位元線和該傳輸電晶體的閘極之間。

3.根據申請專利範圍第 2 項之半導體裝置，其中該寫入電晶體包括氧化物半導體膜作為活性層。

4.根據申請專利範圍第 2 項之半導體裝置，還包括字

第 104111963 號

線，其中該寫入電晶體和該第三電晶體組態為由從該字線供應的信號控制。

5.根據申請專利範圍第 2 項之半導體裝置，其中在該寫入電晶體處於關閉狀態時，該傳輸電晶體的閘極實質上電隔離。

6.一種半導體裝置，包括：

第一邏輯塊；

第二邏輯塊；以及

可程式開關，包括：

第一電晶體；

第二電晶體；

第三電晶體；以及

第四電晶體，

其中，該第一邏輯塊的輸出端子電連接於該第一電晶體的第一端子，

其中，該第一電晶體的第二端子電連接於該第二電晶體的第一端子，

其中，該第二電晶體的第二端子電連接於該第三電晶體的第一端子，

其中，該第三電晶體的第二端子電連接於該第二邏輯塊的輸入端子，並且

其中，該第四電晶體的第一端子電連接於該第二電晶體的閘極。

7.一種半導體裝置，包括：

第 104111963 號

第一邏輯塊；

第二邏輯塊；以及

可程式開關，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；以及

第五電晶體，

其中，該第一邏輯塊的輸出端子電連接於該第一電晶體的第一端子，

其中，該第一電晶體的第二端子電連接於該第二電晶體的第一端子，

其中，該第二電晶體的第二端子電連接於該第三電晶體的第一端子，

其中，該第三電晶體的第二端子電連接於該第二邏輯塊的輸入端子，

其中，該第四電晶體的第一端子電連接於該第二電晶體的閘極，並且

其中，該第五電晶體的第一端子電連接於該第二電晶體的第一端子。

8.根據申請專利範圍第 6 或 7 項之半導體裝置，其中該第四電晶體包括包含氧化物半導體的通道形成區。

9.根據申請專利範圍第 6 或 7 項之半導體裝置，其中該第一電晶體的閘極電連接於該第三電晶體的閘極。

第 104111963 號

10.根據申請專利範圍第 6 或 7 項之半導體裝置，其中該可程式開關包括電容器，並且其中該電容器的第一電極電連接於該第二電晶體的閘極。

11.根據申請專利範圍第 7 項之半導體裝置，其中該第四電晶體的閘極電連接於該第五電晶體的閘極。

12.根據申請專利範圍第 7 項之半導體裝置，其中該第一電晶體的閘極電連接於該第三電晶體的閘極及該第五電晶體的第二端子。

13.根據申請專利範圍第 7 項之半導體裝置，其中該第一電晶體的閘極電連接於該第三電晶體的閘極及該第五電晶體的第二端子，並且其中該第四電晶體的閘極電連接於該第五電晶體的閘極。