



(12)发明专利

(10)授权公告号 CN 104040738 B

(45)授权公告日 2017.06.06

(21)申请号 201280063569.1

(22)申请日 2012.11.12

(65)同一申请的已公布的文献号

申请公布号 CN 104040738 A

(43)申请公布日 2014.09.10

(30)优先权数据

102011056993.6 2011.12.23 DE

102012101409.4 2012.02.22 DE

(85)PCT国际申请进入国家阶段日

2014.06.20

(86)PCT国际申请的申请数据

PCT/EP2012/072403 2012.11.12

(87)PCT国际申请的公布数据

W02013/092004 DE 2013.06.27

(73)专利权人 欧司朗光电半导体有限公司

地址 德国雷根斯堡

(72)发明人 帕特里克·罗德 卢茨·赫佩尔

诺温·文马尔姆 斯特凡·伊莱克

阿尔布雷克特·基斯利希

西格弗里德·赫尔曼

(74)专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 丁永凡 张春水

(51)Int.Cl.

H01L 33/36(2006.01)

H01L 21/321(2006.01)

审查员 魏芳芳

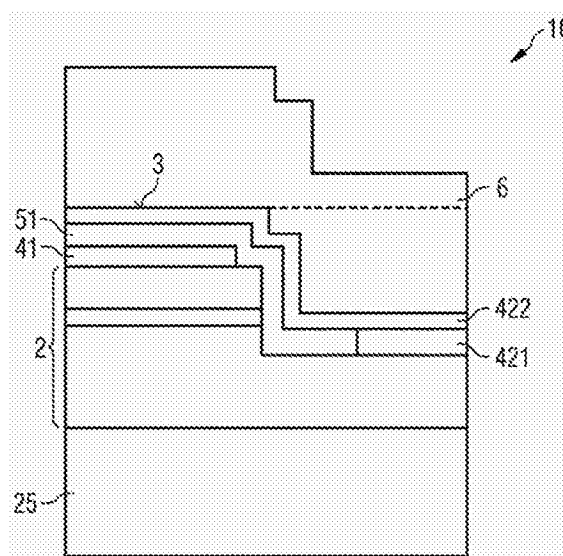
权利要求书2页 说明书9页 附图9页

(54)发明名称

用于制造多个光电子半导体芯片的方法和光电子半导体芯片

(57)摘要

本发明提出一种用于制造多个光电子半导体芯片(1)的方法,其中提供层复合结构(10),所述层复合结构具有主平面(3)和半导体层序列(2),所述主平面沿竖直方向对层复合结构(10)限界,所述半导体层序列具有设置为用于产生和/或检测辐射的有源区(20),其中在层复合结构(10)中构成有多个凹部(31),所述凹部从主平面(3)沿朝向有源区(20)的方向延伸。在主平面(3)上构成平坦化层,使得凹部至少部分地由平坦化层(6)的材料来填充。平坦化层(6)的材料至少局部地被移除以平整平坦化层。制成半导体芯片(1),其中对于半导体芯片(1)而言至少一个半导体本体(200)从半导体层序列(2)中产生。此外本发明提出一种光电子半导体芯片。



1. 一种用于制造多个光电子半导体芯片(1)的方法,具有下述步骤:

a) 提供层复合结构(10),所述层复合结构具有主平面(3)和半导体层序列(2),所述主平面沿竖直方向对所述层复合结构(10)限界,所述半导体层序列具有设置为用于产生和/或检测辐射的有源区(20),其中在所述层复合结构中构成多个凹部(31),所述凹部从所述主平面沿朝向所述有源区的方向延伸;

b) 在所述主平面(3)上构成平坦化层(6),使得所述凹部(31)至少部分地以所述平坦化层的材料来填充;

c) 至少局部地移除所述平坦化层(6)的材料以平整所述平坦化层(6),并且借助于因氢键和/或范德瓦耳交互作用引起的直接的键合连接将所述半导体层序列固定在载体(26)上,其中借助于所述平坦化层平整所述层复合结构,使得为在所述载体上的直接的键合连接提供平面的面;以及

d) 制成所述半导体芯片(1),其中对于每个半导体芯片而言至少一个半导体本体(200)从所述半导体层序列(2)中产生。

2. 一种用于制造多个光电子半导体芯片(1)的方法,具有下述步骤:

a) 提供层复合结构(10),所述层复合结构具有主平面(3)和半导体层序列(2),所述主平面沿竖直方向对所述层复合结构(10)限界,所述半导体层序列具有设置为用于产生和/或检测辐射的有源区(20),其中在所述层复合结构中构成多个凹部(31),所述凹部从所述主平面沿朝向所述有源区的方向延伸;

b) 在所述主平面(3)上构成平坦化层(6),使得所述凹部(31)至少部分地以所述平坦化层的材料来填充;

c) 至少局部地移除所述平坦化层(6)的材料以平整所述平坦化层(6),以及

d) 制成所述半导体芯片(1),其中对于每个半导体芯片而言至少一个半导体本体(200)从所述半导体层序列(2)中产生;

其中在步骤c)中局部地露出所述主平面,并且在步骤c)之后沉积所述平坦化层的另外的材料(61)。

3. 根据权利要求1或2所述的方法,

其中在步骤c)中将所述平坦化层机械地和/或化学地抛光。

4. 根据权利要求1或2所述的方法,

其中所述凹部延伸穿过所述有源区。

5. 根据权利要求2所述的方法,

其中所述半导体层序列借助于材料配合的连接固定在载体(26)上。

6. 根据权利要求5所述的方法,

其中所述半导体层序列借助于直接的键合连接固定在所述载体上。

7. 根据权利要求1所述的方法,

其中在步骤c)中将所述平坦化层仅在一定程度上打薄,使得所述平坦化层在打薄之后完全地覆盖所述主平面。

8. 根据权利要求1所述的方法,

其中在步骤c)中局部地露出所述主平面。

9. 根据权利要求8所述的方法,

其中在步骤b)之前,在所述半导体层序列上构成停止层(7),所述停止层形成所述主平面,并且其中在步骤c)中局部地露出所述停止层。

10.根据权利要求9所述的方法,

其中在步骤c)之后,沉积所述平坦化层的另外的材料(61)。

11.根据权利要求1或2所述的方法,

其中在步骤c)之后,在所述平坦化层中在所述凹部的区域中构成开口(32)。

12.根据权利要求11所述的方法,

其中所述开口至少局部地借助于另一个平坦化层(65)来填充。

13.根据权利要求12所述的方法,

其中所述平坦化层是电绝缘的并且所述另一个平坦化层是导电的。

14.根据权利要求1或2所述的方法,

其中

-所述半导体层序列沿竖直方向在第一主面(210)和第二主平面(220)之间延伸;

-所述有源区设置在第一半导体层(21)和第二半导体层(22)之间;

-所述凹部从所述第一主面穿过所述有源区延伸进入到所述第二半导体层中;

-所述第一半导体层从所述第一主面处借助于第一连接区域(41)电接触;

-所述第二半导体层从所述第一主面处借助于第二连接区域(42)电接触;以及

-所述第二连接区域或者所述第二连接区域和所述第一半导体层之间的电绝缘层借助于所述平坦化层形成。

15.一种光电子半导体芯片(1),具有层复合结构(10),所述层复合结构具有主平面(3)和半导体本体(200),所述半导体本体具有设置为用于产生和/或检测辐射的有源区(20),其中在所述层复合结构(10)中构成有至少一个凹部(31),所述凹部从所述主平面(3)沿朝向所述有源区(20)的方向延伸,其中所述半导体芯片具有平坦化层(6),所述平坦化层在所述凹部(31)的区域中与在横向地与所述凹部间隔的区域中相比具有更大的竖直扩展,并且其中所述层复合结构借助于因氢键和/或范德瓦耳交互作用引起的直接的键合连接固定在载体(26)上,其中所述平坦化层形成所述层复合结构的用于与所述载体连接的平的表面。

用于制造多个光电子半导体芯片的方法和光电子半导体芯片

技术领域

[0001] 本申请涉及一种用于制造多个光电子半导体芯片的方法以及一种光电子半导体芯片。

背景技术

[0002] 对于光电子半导体器件、例如发光二极管芯片而言，通常需要多层相叠地设置的且结构化的层，例如用于电接触器件。层的结构化会导致必须通过后续的层包覆相对陡的阶梯或棱边。在这样的部位上存在下述危险：这些部位在沉积层时未在每个部位处都充分地覆层，这例如会导致两个待彼此电绝缘的层之间的电短路。

发明内容

[0003] 本发明的目的是，提出一种用于制造光电子半导体芯片的方法，借助所述方法能够以简单且可靠的方式制造半导体芯片。此外，应当提出一种具有高可靠性的光电子半导体芯片。

[0004] 该目的通过一种用于制造多个光电子半导体芯片的方法或一种光电子半导体芯片来实现，所述方法具有下述步骤：a) 提供层复合结构，所述层复合结构具有主平面和半导体层序列，所述主平面沿竖直方向对所述层复合结构限界，所述半导体层序列具有设置为用于产生和/或检测辐射的有源区，其中在所述层复合结构中构成多个凹部，所述凹部从所述主平面沿朝向所述有源区的方向延伸；b) 在所述主平面上构成平坦化层，使得所述凹部至少部分地以所述平坦化层的材料来填充；c) 至少局部地移除所述平坦化层的材料以平整所述平坦化层，并且借助于因氢键和/或范德瓦尔交互作用引起的直接的键合连接将所述半导体层序列固定在载体上，其中借助于所述平坦化层平整所述层复合结构，使得为在所述载体上的直接的键合连接提供平面的面；以及d) 制成所述半导体芯片，其中对于每个半导体芯片而言至少一个半导体本体从所述半导体层序列中产生；其中在步骤c) 中局部地露出所述主平面，并且在步骤c) 之后沉积所述平坦化层的另外的材料，所述光电子半导体芯片具有层复合结构，所述层复合结构具有主平面和半导体本体，所述半导体本体具有设置为用于产生和/或检测辐射的有源区，其中在所述层复合结构中构成有至少一个凹部，所述凹部从所述主平面沿朝向所述有源区的方向延伸，其中所述半导体芯片具有平坦化层，所述平坦化层在所述凹部的区域中与在横向地与所述凹部间隔的区域中相比具有更大的竖直扩展，并且其中所述层复合结构借助于因氢键和/或范德瓦尔交互作用引起的直接的键合连接固定在载体上，其中所述平坦化层形成所述层复合结构方面的用于与所述载体连接的平面的表面。设计方案和改进形式在下文中描述。

[0005] 根据一个实施形式，在用于制造多个光电子半导体芯片的方法中，提供具有主平面的层复合结构，所述主平面沿竖直方向对层复合结构限界。层复合结构此外具有半导体层序列，所述半导体层序列具有设置为用于产生和/或检测辐射的有源区。在层复合结构中构成有多个凹部，所述凹部从主平面沿朝向有源区的方向延伸。在主平面上构成有平坦化

层,使得凹部至少部分地由平坦化层的材料来填充。为了平整平坦化层,至少局部地移除平坦化层的材料。制成半导体芯片,其中对于各个半导体芯片而言从半导体层序列中产生半导体本体。制成例如包括将层复合结构分割成半导体芯片。

[0006] 将竖直方向理解为垂直于半导体层序列的半导体层的主延伸平面伸展的方向。

[0007] 将主平面尤其是理解为下述平面,所述平面在沉积平坦化层的材料之前直接沿竖直方向对层复合结构限界。这就是说,层复合结构在任何位置处都不突出于主平面。换言之,层复合结构从主平面开始具有凹部形式的凹陷部,然而不具有在竖直方向上延伸超出主平面的凸出部。

[0008] 此外,主平面为数学平面。这就是说,主平面例如能够通过一个参考点和两个展开平面的向量来限定。优选地,主平面平行于半导体层序列的半导体层的主延伸平面伸展。

[0009] 半导体层序列优选沿竖直方向在第一主面和第二主面之间延伸。第二主面构成在有源区的背离主平面的一侧上。

[0010] 半导体层序列优选具有第一半导体层和第二半导体层,其中有源区设置在第一半导体层和第二半导体层之间。第一半导体层和第二半导体层适当地具有彼此不同的传导类型。此外,第一半导体层和第二半导体层也能够多层地构成。第一半导体层能够形成第一主面,第二半导体层能够形成第二主面。

[0011] 主平面能够借助于半导体层序列的第一主面或借助于设置在第一主面上的层来形成。

[0012] 在一个设计方案变型形式中,凹部延伸进入到半导体层序列中。特别地,凹部能够延伸穿过有源区。例如,凹部能够穿过第一半导体层并且穿过有源区延伸进入到第二半导体层中。在凹部的区域中在该情况下能够进行第二半导体层的电接触。

[0013] 在一个可备选的设计方案变型形式中,凹部不延伸进入到半导体层序列中。在该情况下,平坦化层例如能够设置为用于,平整位于施加在半导体层序列的第一主面上的电连接层或电绝缘层中的凹部。

[0014] 优选在平坦化层构成之后凹部完全地被填充。在平整之后,平坦化层在有源区的背离第二主面的一侧上形成平坦化面,所述平坦化面尤其优选平面地构成。平面地在本文中尤其理解为:平坦化层除表面粗糙度之外不具有沿朝向有源区的方向延伸的凹陷部。与其不同地,也能够考虑:平坦化面在凹部的区域中具有凹陷部。然而在该情况下,凹陷部的深度、即凹陷部的竖直扩展在平坦化层构成之前优选至多为凹部的深度的一半大。也就是说,在该情况下,平坦化层用于降低凹部的深度,而不是完全地平整所述凹部。

[0015] 平坦化面能够作为起点用于另外的制造步骤、例如用于沉积能导电的和/或导电的层或用于另一微结构化。

[0016] 在一个优选的设计方案中,为了平整而对平坦化层机械地和/或化学地抛光。尤其优选应用化学机械的抛光方法(chemical mechanical polishing, CMP)。借助这样的方法能够以简单且可靠的方式制造平面的平坦化面。

[0017] 在一个优选的设计方案中,半导体层序列借助于材料配合的连接固定在载体上。

[0018] 与载体的连接能够导电地或电绝缘地构成。该连接优选在平整平坦化层之后进行并且此外优选在分割成半导体芯片之前进行。

[0019] 在材料配合的连接中,优选预制的连接配对借助于原子力和/或分子力结合在一

起。材料配合的连接例如能够借助于连接层、例如粘结层或焊料层来实现。通常,连接的分离伴随着连接层的破坏和/或所述连接配对中的至少一个的破坏。

[0020] 借助于平坦化层,能够平整层复合结构,使得对于材料配合的连接而言在载体上准备好平面的面。也就是说,在借助于连接层的材料配合的连接中,连接层在横向方向上能够具有均匀的厚度。换言之,连接层不必补偿层复合结构的凹陷部。

[0021] 在一个改进形式中,半导体层序列借助于直接的键合连接固定在载体上。在直接的键合连接中,机械连接能够通过氢键和/或范德瓦尔交互作用来实现。对于作为材料配合的连接的直接的键合连接而言,待连接的面必须是尤其平面的。这能够借助于平坦化层简化地实现。直接的键合连接优选借助于至少一个介电层进行,尤其优选在两个介电层之间进行。介电层优选包含氧化物,例如氧化硅。尤其优选在两个氧化硅层之间进行直接的键合连接。直接的键合连接的建立优选仅通过按压来实现。

[0022] 在该方法的一个设计方案变型形式中,平坦化层在平整时仅在一定程度上打薄,使得平坦化层在打薄之后完全地覆盖主平面。也就是说,平坦化层在背离有源区的一侧上形成连续的平坦化面。

[0023] 在该方法的一个可替选的设计方案变型形式中,在平整时主平面局部地露出。在该设计方案变型形式的一个改进形式中,在半导体层序列上构成平坦化层之前构成停止层,所述停止层形成主平面。在平整时停止层局部地露出。停止层适当地构成为,使得在平整平坦化层时,所述停止层与平坦化层的材料相比以更低的剥离速率被剥离。借助于停止层,能够简化地预设,沿竖直方向在哪个部位上停止平整步骤。

[0024] 为了完全地覆盖主平面,在主平面露出之后能够沉积平坦化层的另外的材料。借助于这样的以两级的方式施加平坦化层的材料,能够在沉积另外的材料时调整平坦化层的厚度,例如在沉积速率预设的情况下在沉积时间内进行调整。

[0025] 在一个优选的设计方案中,在平坦化层中进行平整之后,在凹部的区域中构成有开口。开口能够沿竖直方向完全地延伸穿过平坦化层。开口能够设置为用于建立到半导体层序列的导电的连接。当开口延伸穿过有源区时,在开口的区域中例如能够建立到第二半导体层的导电的连接。

[0026] 随后开口能够至少局部地被填充、尤其借助于另一个平坦化层来填充。

[0027] 在该情况下,平坦化层的平坦化面或设置在其上的层形成另一个主平面,其中开口能够借助于另一个平坦化层完全地填充。另一个平坦化层能够如结合平坦化层所描述的那样构成和平整。

[0028] 在一个优选的改进形式中,平坦化层是电绝缘的并且另一个平坦化层是导电的。特别地,另一个平坦化层能够设置为用于电接触半导体层序列、尤其是第二半导体层,而平坦化层使另一个平坦化层与半导体层序列和/或施加在半导体层序列上的能导电的层电绝缘。借助于设计为平坦化层的绝缘层避免或者至少降低不充分地覆盖凹部的侧壁的危险。

[0029] 在另一个优选的设计方案中,第一半导体层借助于第一连接区域并且第二半导体层借助于第二连接区域分别从第一主面处被电接触,其中凹部从第一主面起穿过有源区延伸进入到第二半导体层中。第二连接区域或第二连接区域和第一半导体层之间的电绝缘层借助于平坦化层来形成。

[0030] 也就是说,平坦化层用于平整设置为用于电接触第二半导体层的凹部。

[0031] 光电子半导体芯片根据一个实施形式具有层复合结构,所述层复合结构具有主平面,所述主平面优选沿竖直方向对层复合结构限界。此外,层复合结构包括具有设置为用于产生和/或检测辐射的有源区的半导体本体,其中在层复合结构中构成有至少一个凹部,所述凹部从主平面沿朝向有源区的方向延伸。半导体芯片具有平坦化层,所述平坦化层在凹部的区域中与在横向地与凹部间隔的区域中相比具有更大的竖直扩展。在极端情况下,平坦化层仅能够存在于凹部的区域中。在该情况下,平坦化层在凹部旁在横向方向上的竖直扩展为0。在不同于0的竖直扩展的情况下,平坦化层适当地直接邻接于主平面。此外,平坦化层能够在层复合结构上、尤其在半导体本体上构成。

[0032] 相对于借助于沉积的常规的包覆,借助于平坦化层能够简化地包覆在凹部的区域中出现的棱边,不需要随后的平整。特别地,平坦化层关于垂直于凹部的侧面伸展的方向的厚度也能够大于平坦化层在横向地设置在凹部旁的区域中的竖直扩展。因此能够避免由于不充分的边缘包覆使湿气渗入的危险或因电子迁移引起的不利的效果。因此这样的光电子半导体芯片能够具有改进的老化特性从而其特征在于提高的可靠性。

[0033] 在上文中所描述的方法尤其适合于制造这样的光电子半导体芯片。结合该方法所描述的特征因此也能够用于光电子半导体芯片并且反之亦然。

附图说明

[0034] 从下面结合附图对实施例的描述中得出其他的优点、设计方案和适当方案。

[0035] 在附图中,相同的、相同类型的或起相同作用的元件设有相同的附图标记。

[0036] 附图和在附图中示出的元件相互间的大小关系不能够视为是按照比例的,更确切地说,为了更好的可视性和/或为了更好的理解能够夸张大地示出各个元件。

[0037] 附图示出:

[0038] 图1A至1F根据分别在示意性的剖面图中示出的中间步骤示出用于制造多个光电子半导体芯片的方法的第一实施例;

[0039] 图2A至2D根据分别在示意性的剖面图中示出的中间步骤示出用于制造多个光电子半导体芯片的方法的第二实施例;

[0040] 图3A至3F根据分别在示意性的剖面图中示出的中间步骤示出用于制造多个光电子半导体芯片的方法的第三实施例;以及

[0041] 图4在示意的剖面图中示出半导体芯片的一个实施例。

具体实施方式

[0042] 根据图1A至1F示意地描述用于制造多个光电子半导体芯片的方法的第一实施例,其中为了简化视图分别仅示出部段,所述部段在制成的半导体芯片中为半导体芯片的部分区域。在这里示例性地根据薄膜半导体芯片、例如薄膜发光二极管芯片的制造来描述该实施例。在薄膜半导体芯片中,移除用于外延地沉积半导体层序列的生长衬底。

[0043] 如在图1A中所示出的一样,提供半导体层序列2,所述半导体层序列在竖直方向上、即在垂直于半导体层序列2的半导体层的主延伸平面伸展的方向上在第一主面210和第二主面220之间延伸。半导体层序列具有设置为用于产生辐射和/或用于接收辐射的有源区20,所述有源区设置在第一传导类型的第一半导体层21和与第一传导类型不同的第二传导

类型的第二半导体层22之间。第一半导体层例如能够设计为是p型传导的并且第二半导体层能够设计为是n型传导的或者反之。

[0044] 有源区20、第一半导体层21和第二半导体层22分别能够单层地或多层地构成。特别地,有源区能够具有量子结构、例如多重量子结构(multiple quantum well structure, MQW结构,多量子阱结构)。

[0045] 在所示出的实施例中,在用于外延地沉积半导体层序列2的生长衬底25上提供半导体层序列2。半导体层序列、尤其是有源区20优选包含III-V族化合物半导体材料。

[0046] III-V族化合物半导体材料尤其适合于在紫外的光谱范围(氮化物的化合物半导体材料,例如 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$)中经过可见的光谱范围(氮化物的化合物半导体材料,尤其对于蓝色至绿色的辐射而言例如是 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$,或者磷化物的化合物半导体材料,尤其对于黄色至红色的辐射而言例如是 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{P}$)直至在红外光谱范围(砷化物的化合物半导体材料,例如 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}$)中的产生辐射。在此分别适用的是 $0 \leq x \leq 1, 0 \leq y \leq 1$ 并且 $x+y \leq 1$,尤其 $x \neq 1, y \neq 1, x \neq 0$ 和/或 $y \neq 0$ 。借助III-V族半导体材料、尤其是由所提到的材料体系构成的III-V族半导体材料,此外能够在辐射产生时实现高的内部的量子效率。

[0047] 对于氮化物的化合物半导体材料而言,例如蓝宝石、硅或碳化硅适合作为生长衬底。对于砷化物的或磷化物的化合物半导体材料而言,例如能够应用砷化镓。

[0048] 在第一主面210上构成有第一连接区域41,所述第一连接区域设置为用于电接触第一半导体层21。

[0049] 如在图1B中所示出的一样,在第一主面210上施加有绝缘层51。此外在露出第二半导体层22的区域中沉积第二连接区域42的第一层421。第一层设置为用于与第二半导体层22导电地连接并且关于材料在低的接触电阻方面来选择。

[0050] 作为用于连接区域41、42或连接区域的层的材料,金属是尤其适合的,例如银、铝、钯、铑、镍或金,或具有所提到的材料中的至少一种的金属合金,或TCO(透明导电氧化物)材料、例如铟锡氧化物(ITO)或氧化锌。所述层能够例如借助于蒸镀或溅镀施加在预制的半导体层序列上。

[0051] 在第一层421上沉积第二连接区域42的第二层422。第二层对于在有源区20中待接收的或待产生的辐射优选具有高的反射率。在可见的光谱范围和紫外的光谱范围中,尤其是银或者含银的合金的特征在于高的反射率,并且在红外光谱范围中尤其是金的特征在于高的反射率。但是也能够应用与在上文中结合连接区域提出的金属不同的金属。

[0052] 半导体层序列2和设置在半导体层序列上的层形成层复合结构10。在竖直方向上,层复合结构由主平面3限界。

[0053] 在该实施例中,第二连接区域42的第二层422形成主平面3。凹部31从主平面沿朝向有源区20的方向延伸。凹部31在所示出的实施例中延伸进入到半导体层序列2中。但是与其不同的是,半导体层序列也能够平面地构成,使得凹部仅延伸穿过设置在半导体层序列上的层。

[0054] 在主平面3上直接施加有平坦化层6(图1C)。平坦化层设计成厚到使得其在层复合结构10的任何部位上都突出于或者至少到达主平面3。

[0055] 在下文中,如在图1D中所示出的,平坦化层6的材料局部地被移除,以便因此平整层复合结构10。平坦化层6的背离有源区20的一侧形成平坦化面60,所述平坦化面平面地伸

展。这就是说,平坦化面除表面粗糙度之外不再具有任何凹陷部、尤其不再具有因位于其下的层的微结构化而引起的凹陷部。

[0056] 优选借助于化学机械抛光法移除材料。借助于该方法,尤其能够制造平面的表面。但是也能够应用纯化学的或纯机械的方法。

[0057] 在所示出的实施例中,在平整时将平坦化层6仅在一定程度上打薄,使得平坦化层6的平坦化面60为层复合结构10的连续的竖直的边界。

[0058] 在该实施例中,平坦化层6形成第二连接区域42的第三层423。在该情况下,平坦化层适当地构成为是能导电的。平坦化层例如能够包含钨、铝或铜或者由这样的材料构成。

[0059] 在下文中,层复合结构10(如在图1E中所示出的)能够与载体26连接。与载体的材料配合的连接例如能够借助于连接层27、如焊料层或导电的或电绝缘的粘结层来进行。连接层例如能够包含Au、Sn、Ni或In或者具有所提到的金属中的至少一种的金属合金,或者由这样的材料构成。

[0060] 借助于平坦化层6,层复合结构10为了与载体26连接而具有平面的表面。连接层27因此能够具有均匀的厚度并且不必补偿层复合结构的形貌中的不平坦。因此降低了连接层中的砂眼的危险。此外,相对于用液态焊料、例如含金的焊料如AuSn填充凹部的方法,减少了对贵金属的需求。也就是说,载体和层复合结构10之间的连接能够以无贵金属的方式或以减少的贵金属需求的方式进行。此外,平坦化层6同时能够实现焊料阻挡的功能。

[0061] 特别地,能够借助于平坦化层6在层复合结构10方面提供用于与载体26连接的平面的表面,使得也能够借助于直接的键合建立材料配合的连接。为此,例如能够在层复合结构10和载体26上分别施加以介电层、例如氧化硅层形式的连接层27的子层。与载体26的材料和平坦化层6的材料相关地,也能够没有连接层的情况下或借助仅一个连接层进行直接的键合连接。

[0062] 半导体材料例如硅或锗,陶瓷例如氮化硅、氮化铝或氮化硼,或者金属例如钼、钨、铜,或者例如具有所提到的材料的金属合金例如适合于载体26。

[0063] 载体26尤其用于机械地稳定半导体层序列2。为此生长衬底25不再是必需的并且能够被移除,如在图1F中示出的那样。生长衬底的移除例如能够借助于激光剥离方法进行,机械地例如借助于研磨、精研或抛光进行,和/或化学地例如借助于刻蚀进行。

[0064] 所描述的用于平整层复合结构10的形貌的方法原则上能够在制造光电子半导体芯片、例如发光二极管、激光二极管或辐射检测器时应用。显然,该方法也适合于平整层复合结构,其中半导体层序列不在生长衬底上提供而是在与生长衬底不同的载体上提供。

[0065] 此外,平坦化层不必一定用于电接触半导体层序列。在该情况下,平坦化层也能够构成为是电绝缘的。氧化物如氧化硅、氮化物如氮化硅、或者氮氧化物如氮氧化硅例如适合用于电绝缘的平坦化层。也能够应用 Al_2O_3 、 $Y_xAl_yO_3$ 、 TiO_2 或 HfO_2 。

[0066] 为了制成半导体芯片,载体26与设置在其上的层复合结构10能够被分割,例如机械地分割,如借助于锯割、折断、剖割,化学地分割,例如借助于刻蚀,或借助于激光分离法(未明确示出)分割。通过分割对于每个半导体芯片而言从层复合结构中产生半导体本体,所述半导体本体分别设置在载体26的一部分上。

[0067] 在图2A至2D中示意地在剖面图中示出制造方法的第二实施例。所述第二实施例基本上相应于结合图1A至1F所描述的第一实施例。不同之处在于,施加到半导体层序列2上的

停止层7形成主平面3。随后,如在图2B中所示出的,施加平坦化层6,使得凹部31完全地由平坦化层的材料填充并且平坦化层6在层复合结构的每个部位上在竖直方向上突出于主平面3。

[0068] 在该实施例中进行平坦化层6的材料的移除,使得在到达停止层7时停止该方法。在该情况下,平坦化面60局部地通过停止层7并且局部地通过平坦化层6形成(图2C)。

[0069] 停止层7在该实施例中形成第二连接区域42的第四层424。

[0070] 可选地,如在图2D中所示出的,能够施加平坦化层6的另外的材料61,使得半导体层序列2完全地由平坦化层6的材料覆盖。

[0071] 适当地,借助于如下材料形成停止层7,所述材料在平整时与平坦化层6的材料相比具有更小的剥离率。在所示出的实施例中,停止层7适当地构成为是能导电的。当停止层在制成的元件中不用于电接触时,也能够应用电绝缘的材料。与所示出的实施例不同的是,例如也能够将电绝缘的停止层7仅局部地施加到半导体层序列2上,使得停止层在凹部31的区域中不覆盖或仅部分地覆盖半导体层序列2。在未由电绝缘的停止层覆盖的区域中,第二半导体层能够被电接触。此外,停止层7与半导体芯片的构造相关地对于在运行中产生的或待接收的辐射能够构成为是可透过辐射的,例如以至少60%的透射率,或者构成为是反射性的,例如以至少60%的反射率。

[0072] 如结合图1D和1F所描述的那样进行用于制成半导体芯片的后续的步骤。

[0073] 在图3A至3F中示意地示出用于制造多个光电子半导体芯片的方法的第三实施例。该实施例基本上相应于结合图1A至1F所描述的第一实施例。不同之处在于,平坦化层6不用于构成用于半导体层序列2的电连接区域。如在图3A中所示出的,第一连接区域41形成层复合结构10的主平面3。平坦化层6施加为,使得凹部31完全地由平坦化层的材料来填充(图3B)。

[0074] 平整平坦化层能够如结合上述实施例所描述那样执行,其中平整在该实施例中进行成,使得平坦化层6在平整之后与第一连接区域41齐平。也就是说第一连接区域41和平坦化层6形成平坦化面60(图3C)。

[0075] 在下文中,如在图3D中所示出的,能够施加平坦化层的另外的材料61,使得第一连接区域41完全地由平坦化层的材料来覆盖。如此借助于两级的沉积和在这两个沉积步骤之间执行的平整而制造的平坦化层6形成绝缘层51。借助所描述的方法,在用于平坦化层的另外的材料61的沉积持续时间内能够调节绝缘层51在第一连接区域41上方的区域中的层厚度。也就是说,层厚度与执行平坦化层的平整无关。显然,与其不同的是,平整也能够到达第一连接区域41之前就已经停止(参见图1D)。在该情况下,不需要构成平坦化层的另外的材料61。

[0076] 为了电接触第二半导体层22,在凹部31的区域中构成有开口32,所述开口完全地延伸穿过平坦化层6。随后,为了构成第二连接区域42施加第一层421和第二层422。

[0077] 第二层422形成用于另一个平坦化步骤的另一个主平面35。另一个平坦化层被施加到另一个主平面上,使得开口32完全地被填充(图3E)。随后,平整另一个平坦化层65,使得另一个平坦化层65形成另一个连续的平坦化面650(图3F)。也就是说,在所示出的实施例中,执行两个平坦化步骤,其中借助于第一平坦化层构成电绝缘层并且借助于另一个平坦化层65构成第二连接区域42的子层。显然,与待制造的半导体芯片的构造相关地,两个电绝

缘的平坦化层或两个能导电的平坦化层也能够是适当的。

[0078] 作为能导电的平坦化层的材料,金属,如Ag、Au、Cu、Cr、Ni、Mo、W、Ti、V、Pd、Pt或Sn,具有所提到的金属中的至少一种的金属合金,或透明导电氧化物,例如ZnO、ITO(铟锡氧化物)或IZO(铟锌氧化物),例如能够是适合的。

[0079] 半导体芯片的制造又能够如结合图1E至1F所描述的那样来进行。

[0080] 在图4中示意地在剖面图中示出光电子半导体芯片1的一个实施例。这样的半导体芯片能够如结合图3A至3F所描述的那样制造。在这里,部段15基本上相应于在图3F中示出的层复合结构10的部段。

[0081] 半导体芯片1具有半导体本体200,所述半导体本体在制造时从半导体层序列2中产生并且具有有源区20,所述有源区设置在第一半导体层21和第二半导体层22之间。半导体本体200借助于连接层27与载体26连接。半导体芯片1具有第一接触面410和第二外接触面420,所述第一接触面借助于第一连接区域41形成,所述第二外接触面借助于第二连接区域42形成。

[0082] 半导体本体200仅仅为了简化的视图而具有仅一个凹部31,所述凹部从第一主面210穿过第一半导体层21和有源区20延伸进入到第二半导体层22中。为了在横向方向上经由第二半导体层均匀地将载流子注入到有源区20中,尤其是与第二半导体层22的横向电导率相关地,多个这样的凹部也能够是适当的。

[0083] 通过在外部的接触面410、420之间施加电压,载流子能够从相对置的侧注入到有源区中并且在那里在发射辐射的情况下复合。在构成为辐射接收器的半导体芯片1中,能够在外部的接触面410、420上截取电信号。

[0084] 在所示出的实施例中,能够从载体26的朝向半导体本体200的一侧起电接触半导体芯片1。也就是说,半导体芯片的电接触与连接层27和载体26无关地进行,使得为此也能够应用电绝缘的材料。与其不同的是,也能够将一个接触面或两个接触面设置在载体26的背离半导体本体200的一侧上。第二外接触面420例如能够设置在载体26的背离半导体本体200的一侧上,使得第二半导体层22经由第二连接区域42穿过连接层27和载体26被电接触。在该情况下,载体26优选构成为是能导电的。但是与其不同的是,也能够应用电绝缘的载体,其中电接触穿过载体经由载体中的贯通接触部进行。

[0085] 第一连接区域41的背离半导体本体200的表面形成主平面3,凹部31从所述主平面延伸进入到半导体本体中。平坦化层6形成绝缘层51。在凹部31的区域中,平坦化层与在沿着横向方向,也就是说沿着半导体层序列的半导体层的主延伸平面伸展的方向与凹部间隔的区域中相比具有更大的竖直扩展。此外,平坦化层的在垂直于侧面310伸展的方向上的厚度与平坦化层的在横向地与凹部间隔的区域中的竖直扩展相比更大。因此能够简化地实现由绝缘材料可靠地覆盖凹部的侧面310。

[0086] 第二连接区域42的第三层423的背离半导体本体200的表面形成另一个主平面35。另一个平坦化层65邻接于另一个主平面35,所述另一个平坦化层形成第二连接区域42的第三层。另一个平坦化层在背离半导体本体的一侧上形成另一个平面的平坦化面65。连接层27因此能够在半导体芯片的整个横向扩展之上具有恒定的厚度。

[0087] 与所描述的实施例不同的是,半导体芯片1也能够具有多个半导体本体200,所述半导体本体经由连接区域41、42彼此导电地连接。第一半导体本体的第一半导体层21例如

能够借助于连接区域41、42与第二半导体本体的第二半导体层22导电连接,使得半导体本体能够彼此电串联。通过多个光电子半导体芯片的串联电路能够以提高的工作电压、例如以110V或220V的电网电压运行半导体芯片1。

[0088] 与所示出的实施例不同的是,凹部能够也如结合图1A至1F和2A和2D所描述的那样构成。

[0089] 该方法更普遍地适合于改进地包覆器件形貌的阶梯或棱边。借助所描述的方法,特别是能够以尤其简单且可靠的方式构成电绝缘层和导电层,使得可靠地以足够的厚度对待包覆的棱边进行覆层。因此,例如能够避免两个待彼此电分离的层之间的电短路。在制造薄膜芯片时,其中半导体本体固定在与生长衬底不同的载体上,此外简化了建立材料配合的连接。

[0090] 本申请要求德国专利申请10 2011 056 993.6和10 2012 101 409.4的优先权,其公开内容通过参考并入本文。

[0091] 本发明不受限于根据所述实施例进行的描述。相反,本发明包括各个新的特征以及特征的各个组合,这尤其包含实施例中的特征各个组合,即使所述特征或所述组合本身没有在实施例中明确地说明时也是如此。

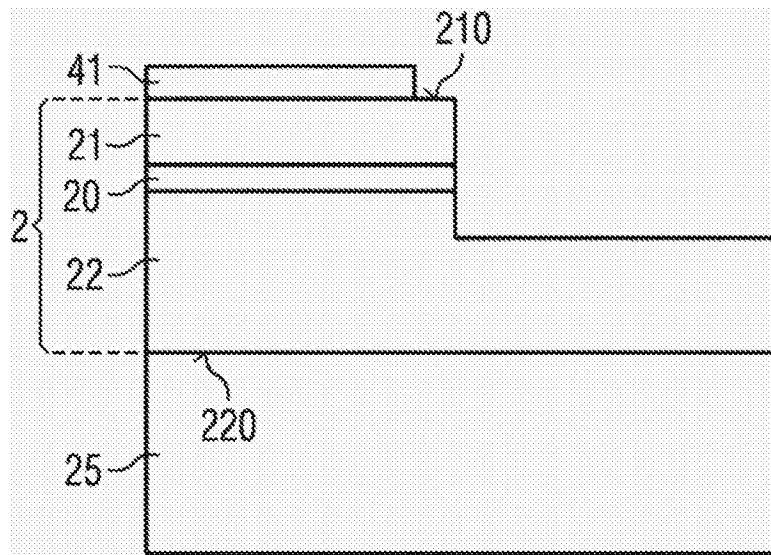


图1A

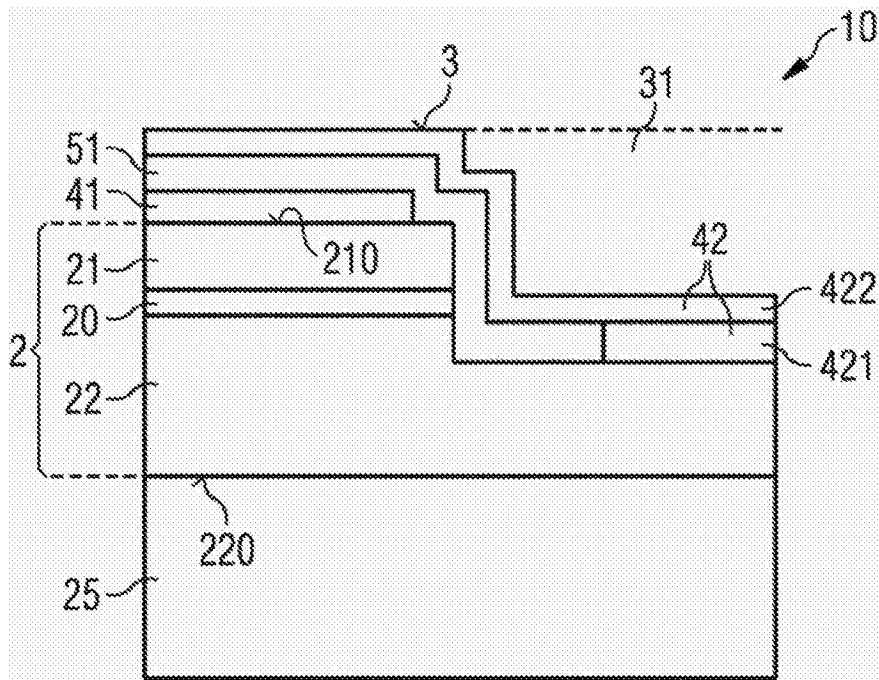


图1B

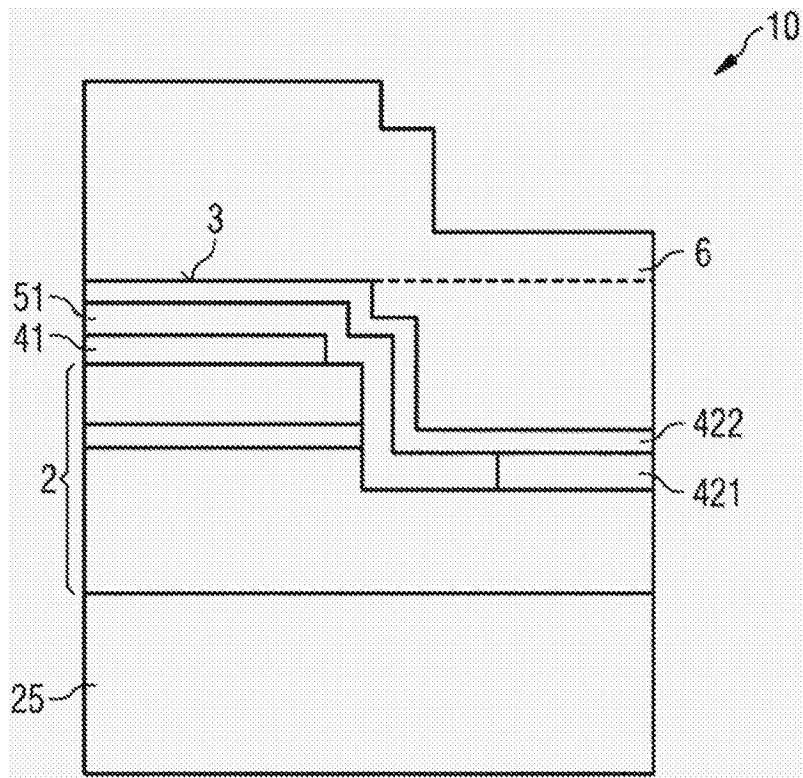


图1C

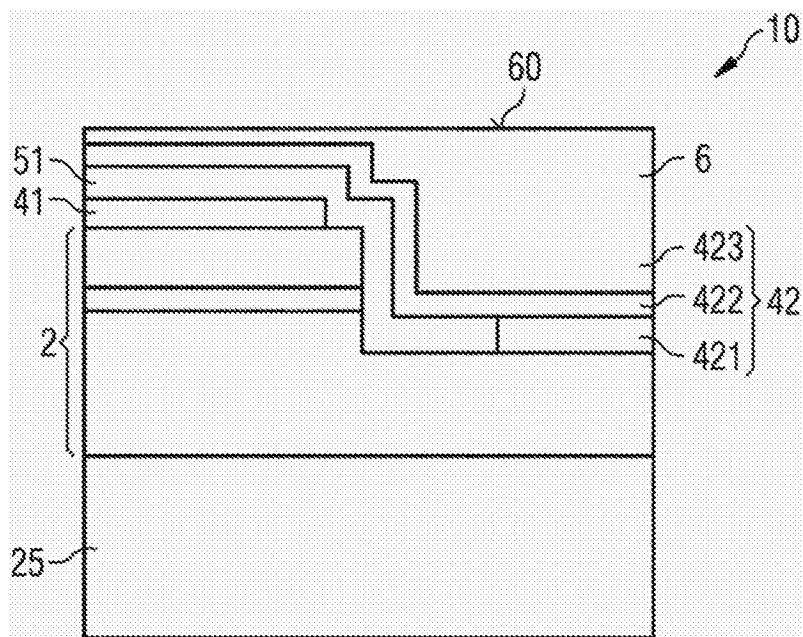


图1D

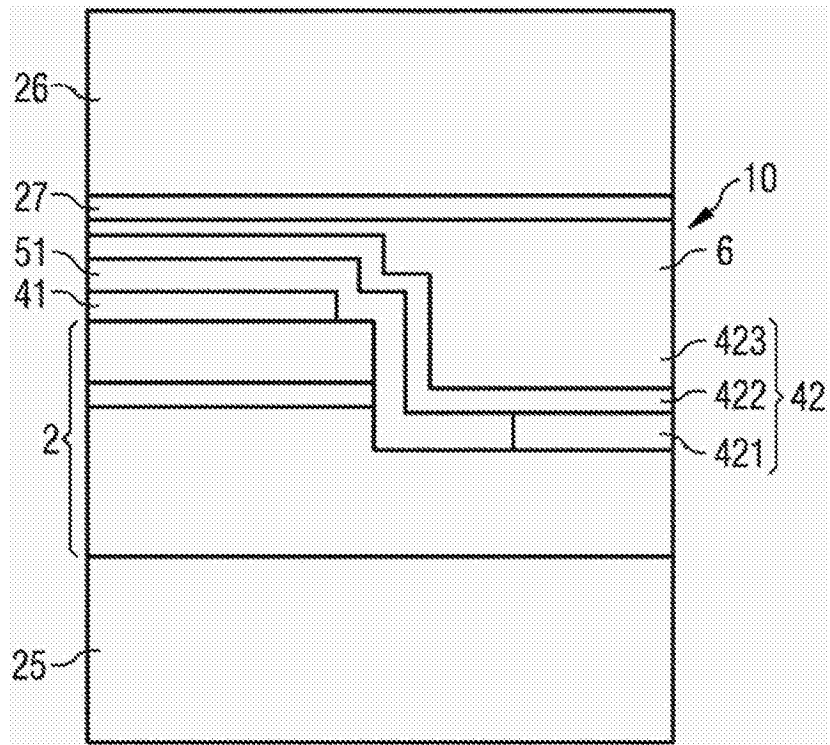


图1E

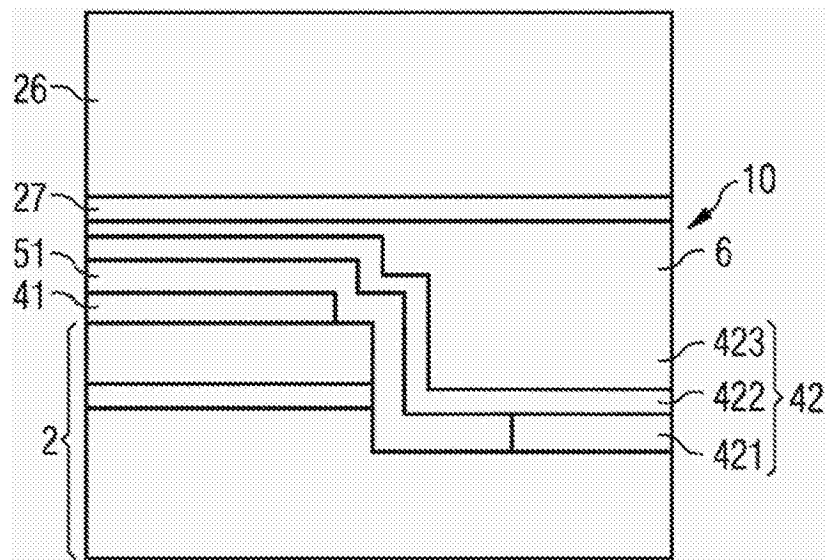


图1F

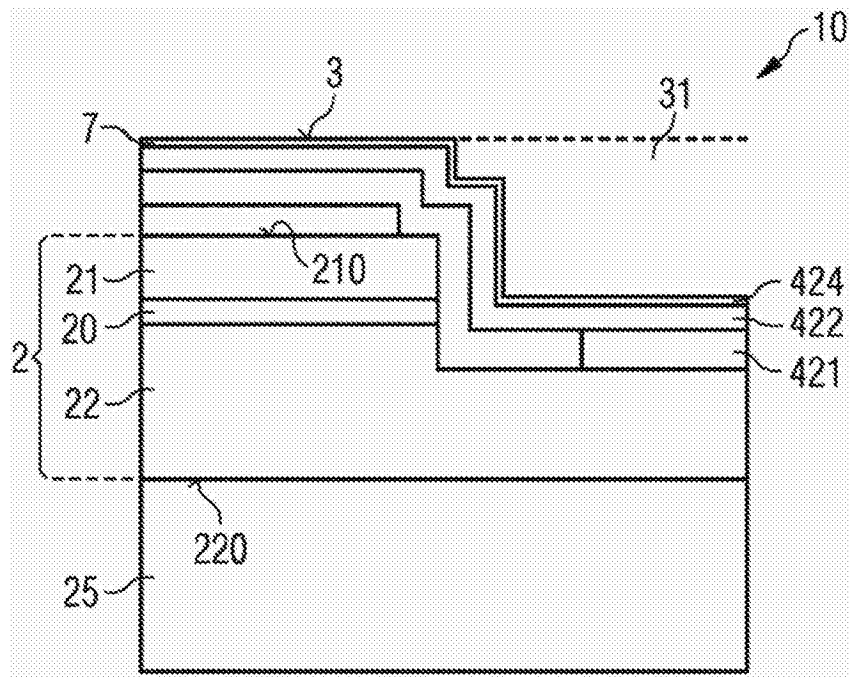


图2A

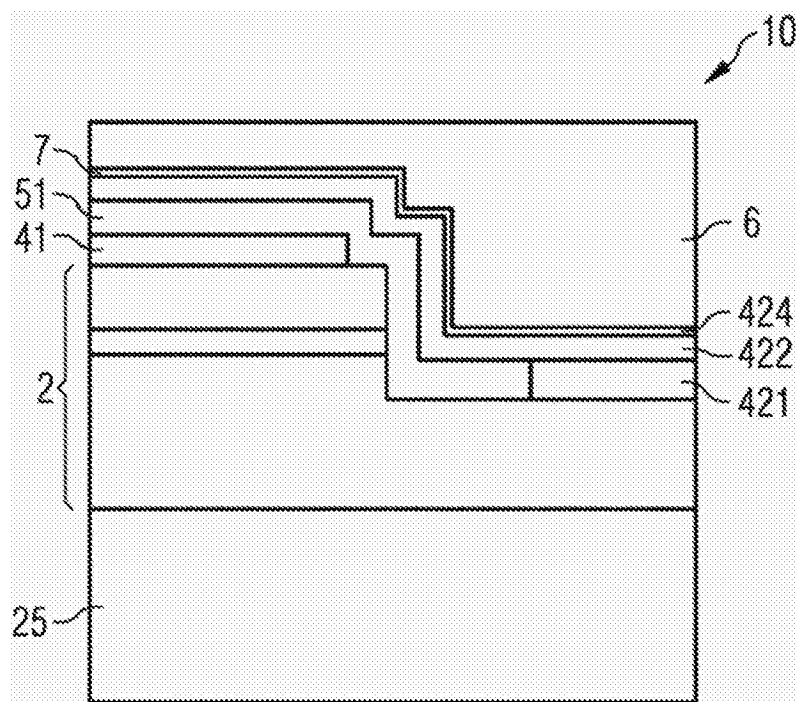


图2B

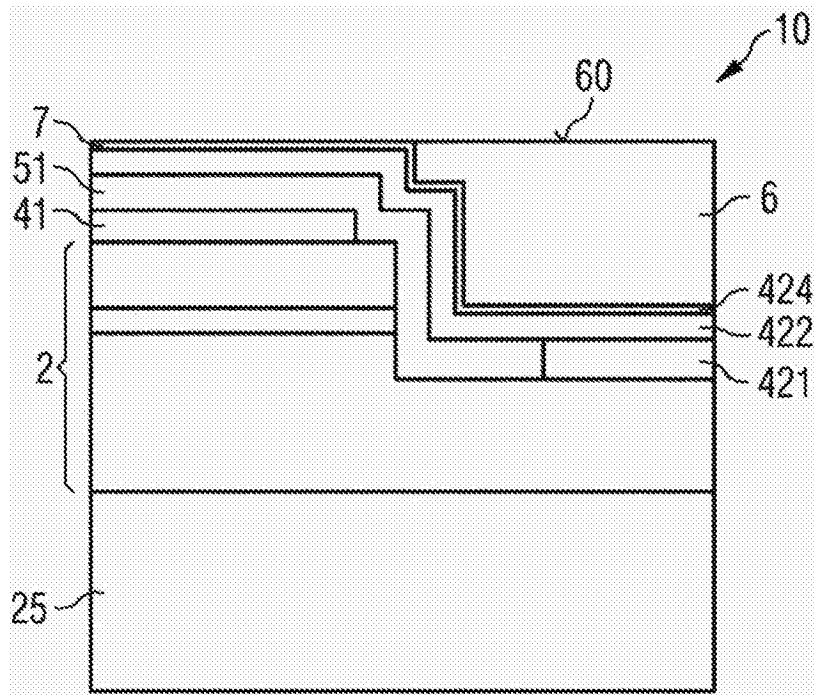


图2C

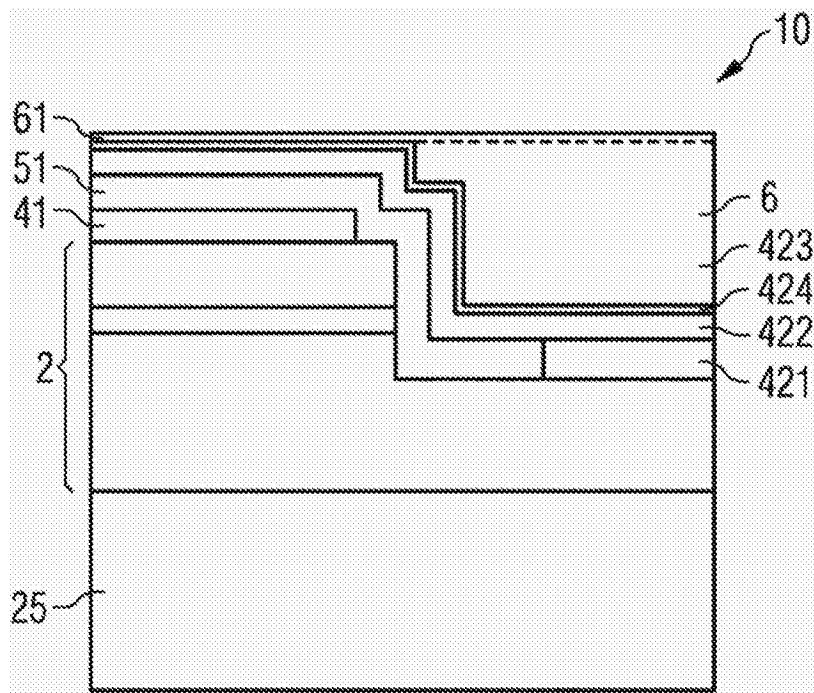


图2D

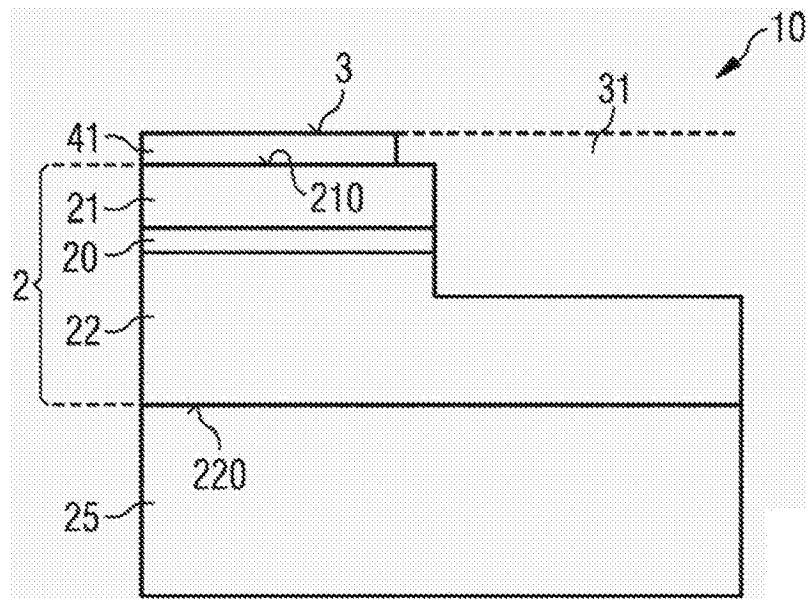


图3A

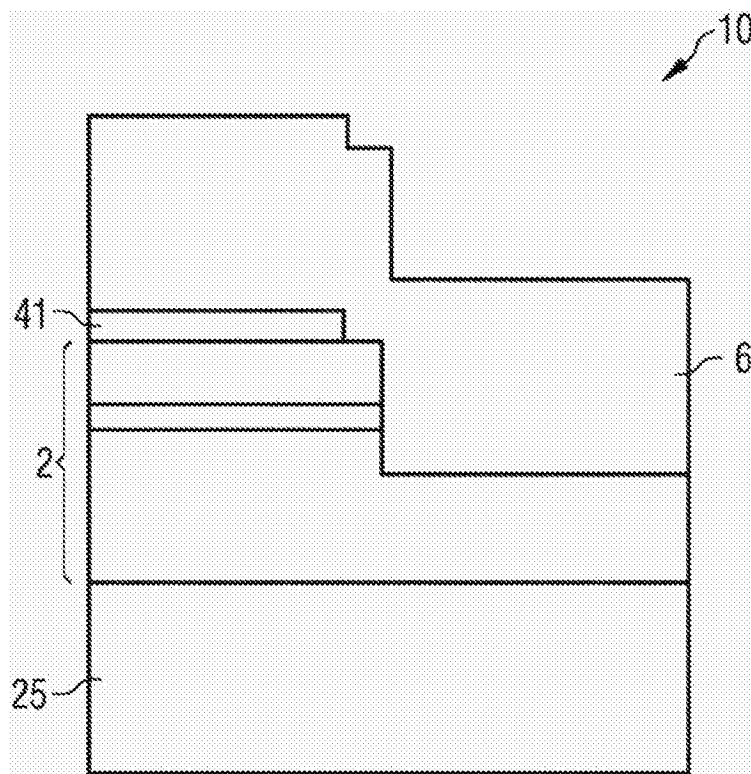


图3B

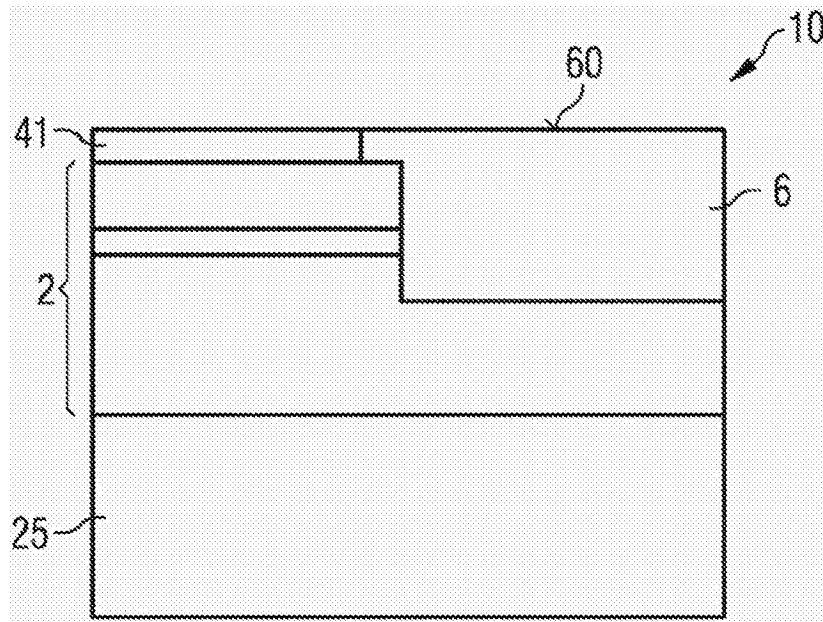


图3C

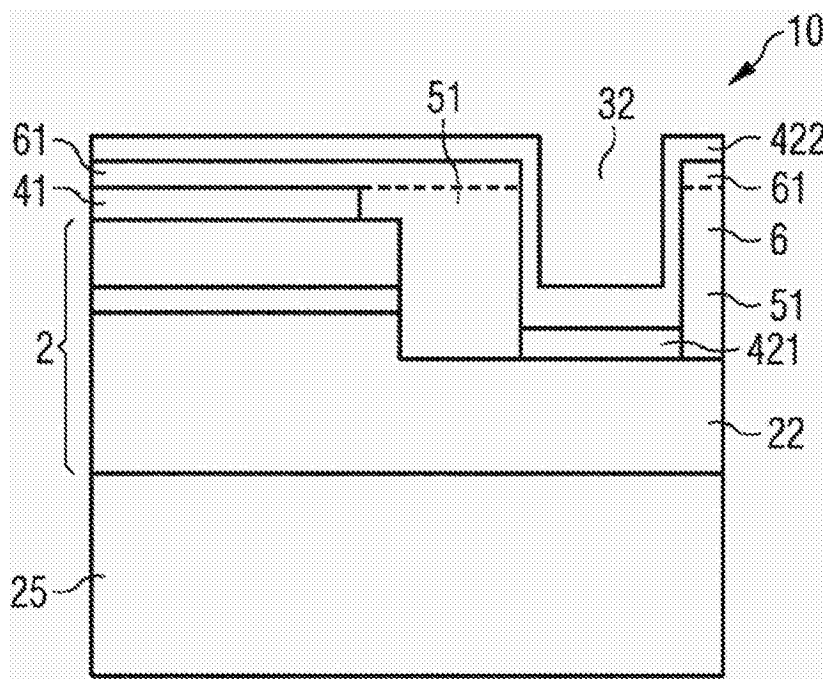


图3D

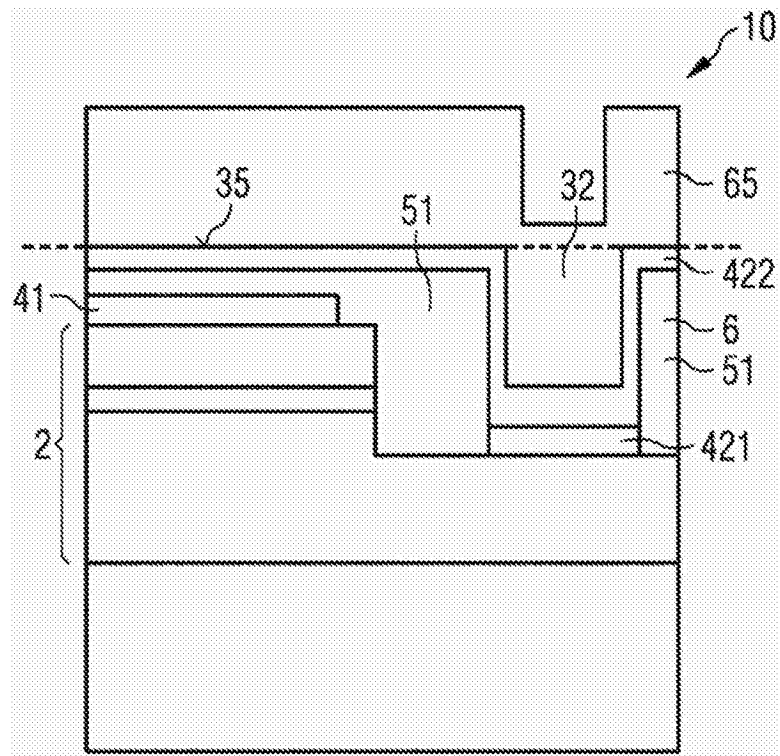


图3E

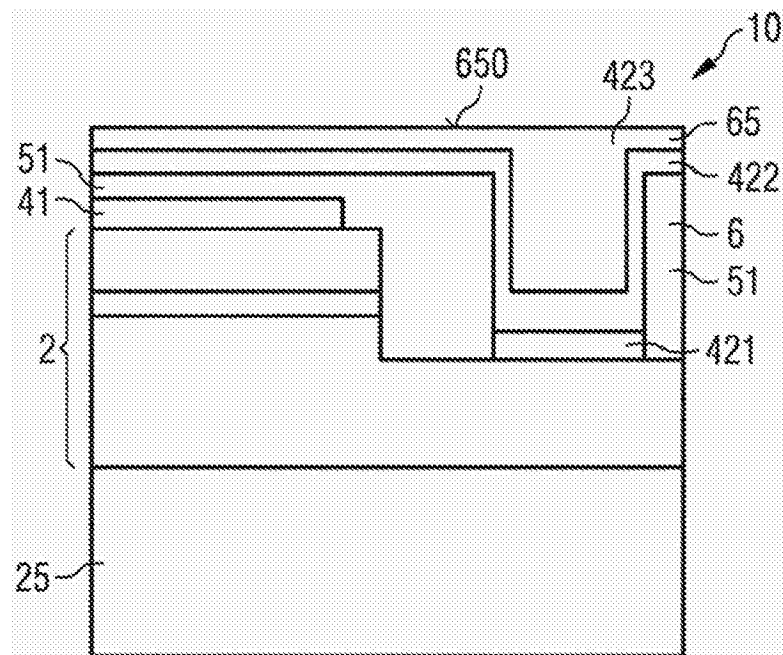


图3F

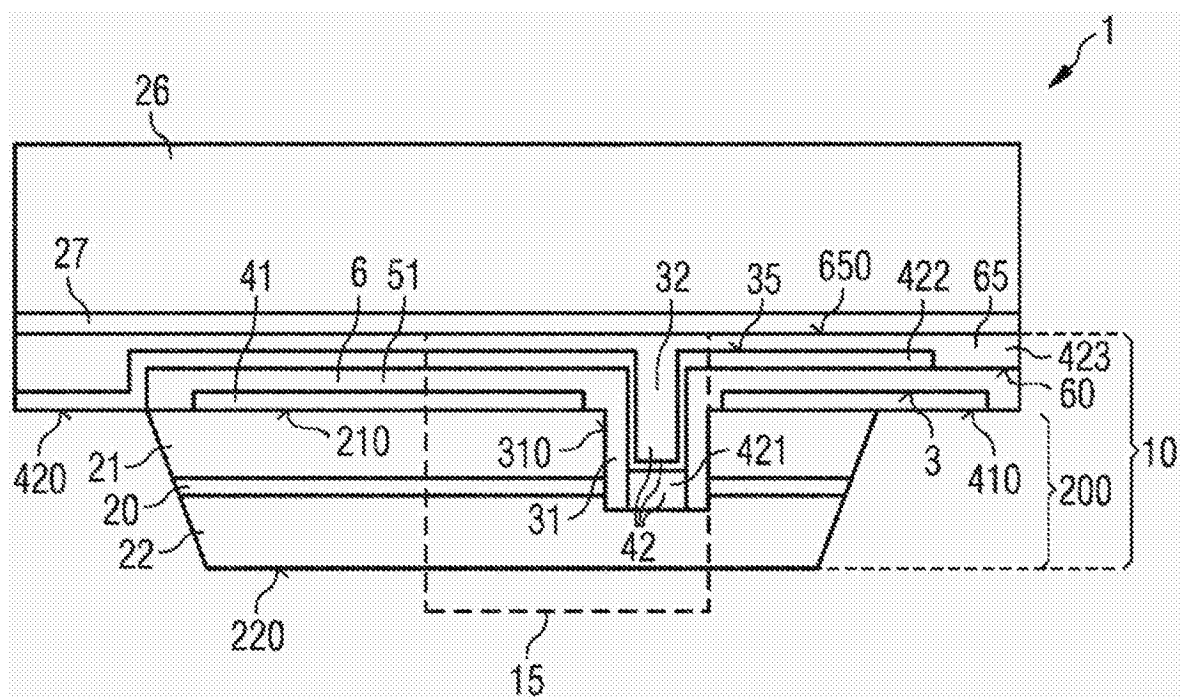


图4