

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-529732

(P2016-529732A)

(43) 公表日 平成28年9月23日(2016.9.23)

(51) Int.Cl.

H01F 17/00 (2006.01)
H01F 41/04 (2006.01)
H01L 21/822 (2006.01)
H01L 27/04 (2006.01)

F 1

H01F 17/00
H01F 41/04
H01L 27/04

テーマコード(参考)

B 5 E 062
C 5 E 070
L 5 F 038

審査請求 未請求 予備審査請求 有 (全 28 頁)

(21) 出願番号 特願2016-538927 (P2016-538927)
(86) (22) 出願日 平成26年7月29日 (2014.7.29)
(85) 翻訳文提出日 平成28年2月24日 (2016.2.24)
(86) 國際出願番号 PCT/US2014/048723
(87) 國際公開番号 WO2015/030976
(87) 國際公開日 平成27年3月5日 (2015.3.5)
(31) 優先権主張番号 61/872,342
(32) 優先日 平成25年8月30日 (2013.8.30)
(33) 優先権主張国 米国(US)
(31) 優先権主張番号 14/155,244
(32) 優先日 平成26年1月14日 (2014.1.14)
(33) 優先権主張国 米国(US)

(71) 出願人 507364838
クアルコム、インコーポレイテッド
アメリカ合衆国 カリフォルニア 921
21 サンディエゴ モアハウス ドラ
イブ 5775
(74) 代理人 100108453
弁理士 村山 靖彦
(74) 代理人 100163522
弁理士 黒田 晋平
(72) 発明者 デイク・ダニエル・キム
アメリカ合衆国・カリフォルニア・921
21-1714・サン・ディエゴ・モアハ
ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】厚さが変化するインダクタ

(57) 【要約】

特定のデバイスは、基板と、基板に結合されたスパイラルインダクタとを含む。スパイラルインダクタは、第1の導電性スパイラルと、第1の導電性スパイラルに重なる第2の導電性スパイラルとを含む。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有する。最内周ターンの第1の部分は、第1の導電性スパイラルの第1の部分を含み、第2の導電性スパイラルを含まない。最内周ターンの第2の部分は、第2の導電性スパイラルの第1の部分を含む。スパイラルインダクタの最外周ターンの一部分は、基板に垂直な方向に第1の厚さよりも大きい第2の厚さを有する。最外周ターンの一部分は、第1の導電性スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含む。

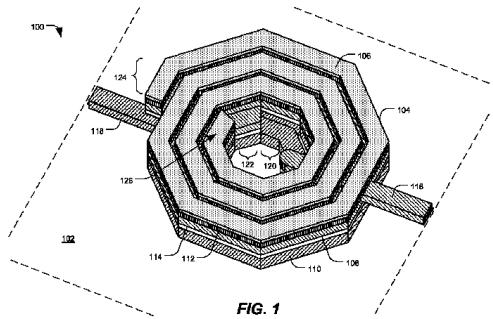


FIG. 1

【特許請求の範囲】**【請求項 1】**

基板と、

前記基板に結合されたスパイラルインダクタであって、第1の導電性スパイラルと、前記第1の導電性スパイラルに重なる第2の導電性スパイラルとを備えたスパイラルインダクタと、を備えた装置であって、

前記スパイラルインダクタの最内周ターンの第1の部分が、前記基板に垂直な方向に第1の厚さを有し、前記最内周ターンの前記第1の部分が、前記第1の導電性スパイラルの第1の部分を含み、前記第2の導電性スパイラルを含まず、

前記最内周ターンの第2の部分が、前記第2の導電性スパイラルの第1の部分を含み、

前記スパイラルインダクタの最外周ターンの一部分が、前記基板に垂直な前記方向に第2の厚さを有し、前記第2の厚さが、前記第1の厚さよりも大きく、前記最外周ターンの前記部分が、前記第1の導電性スパイラルの第2の部分と、前記第2の導電性スパイラルの第2の部分とを含む、装置。

10

【請求項 2】

前記第1の導電性スパイラルの第1の長さが、前記第2の導電性スパイラルの第2の長さよりも長い、請求項1に記載の装置。

【請求項 3】

前記スパイラルインダクタが、さらに、前記第1の導電性スパイラルと前記第2の導電性スパイラルとの間に導電層を備え、前記スパイラルインダクタの前記最内周ターンの第3の部分が、前記基板に垂直な前記方向に第3の厚さを有し、前記第3の厚さが、前記第2の厚さよりも小さく、前記第1の厚さよりも大きく、前記最内周ターンの前記第3の部分が、前記第1の導電性スパイラルの第3の部分と、前記導電層の第1の部分とを含み、前記第2の導電性スパイラルを含まない、請求項1に記載の装置。

20

【請求項 4】

前記最内周ターンの前記第1の部分が、前記導電層を含まない、請求項3に記載の装置。

【請求項 5】

前記スパイラルインダクタの前記最外周ターンの前記部分が、前記導電層の第2の部分を含む、請求項3に記載の装置。

30

【請求項 6】

前記導電層が、不連続スパイラルを備えている、請求項3に記載の装置。

【請求項 7】

前記導電層が、入力導線、出力導線、またはそれらの組み合わせを備えている、請求項3に記載の装置。

【請求項 8】

前記第1の導電性スパイラルと前記第2の導電性スパイラルとの間にパッシベーション層をさらに備えている、請求項1に記載の装置。

【請求項 9】

前記第1の導電性スパイラルが、前記パッシベーション層の一部分を貫通して延在するビアによって前記第2の導電性スパイラルに電気的に接続された、請求項8に記載の装置。

40

【請求項 10】

前記基板に垂直な前記方向の前記最内周ターンの厚さが、前記最内周ターンの前記第1の部分から前記最内周ターンの前記第2の部分まで単調に増加している、請求項1に記載の装置。

【請求項 11】

前記基板が、ガラス材料、アルカリ土類金属ボロアルミノシリケートガラス、ケイ素(Si)、ガリウムヒ素(GaAs)、インジウムリン(InP)、炭化ケイ素(SiC)、ガラス系積層物、サファイア(Al₂O₃)、石英、セラミック、シリコンオニンシ

50

ュレータ(S O I)、シリコンオンサファイア(S O S)、高抵抗ケイ素(H R S)、窒化アルミニウム(A 1 N)、プラスチック、またはそれらの組み合わせで形成される誘電物質である、請求項 1 に記載の装置。

【請求項 1 2】

前記スパイラルインダクタが、アルミニウム、銅、銀、金、タンゲステン、モリブデン、アルミニウムの合金、銀の合金、金の合金、タンゲステンの合金、もしくはモリブデンの合金、またはそれらの組み合わせで形成された、請求項 1 に記載の装置。

【請求項 1 3】

前記スパイラルインダクタが、階段状積層インダクタである、請求項 1 に記載の装置。

【請求項 1 4】

前記スパイラルインダクタに関連するトレース幅が、前記スパイラルインダクタを製造するために使用される特定のプロセス技術を使用して製造され得る最小のトレース幅である、請求項 1 に記載の装置。

【請求項 1 5】

少なくとも 1 つのダイに組み込まれた、請求項 1 に記載の装置。

【請求項 1 6】

その中に前記基板および前記スパイラルインダクタが組み込まれた、携帯電話、タブレット、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンタテイメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(P D A)、固定位置データユニット、およびコンピュータから選択されたデバイスをさらに備えている、請求項 1 に記載の装置。

【請求項 1 7】

基板に結合されたスパイラルインダクタの第 1 の導電性スパイラルを形成するステップと、

前記スパイラルインダクタの第 2 の導電性スパイラルを形成するステップであって、前記第 2 の導電性スパイラルが、前記第 1 の導電性スパイラルに重なるステップと、を含む方法であって、

前記スパイラルインダクタの最内周ターンの第 1 の部分が、前記基板に垂直な方向に第 1 の厚さを有し、前記最内周ターンの前記第 1 の部分が、前記第 1 の導電性スパイラルの第 1 の部分を含み、前記第 2 の導電性スパイラルを含まず、

前記最内周ターンの第 2 の部分が、前記第 2 の導電性スパイラルの第 1 の部分を含み、

前記スパイラルインダクタの最外周ターンの一部分が、前記基板に垂直な前記方向に第 2 の厚さを有し、前記第 2 の厚さが、前記第 1 の厚さよりも大きく、前記最外周ターンの前記部分が、前記第 1 の導電性スパイラルの第 2 の部分と、前記第 2 の導電性スパイラルの第 2 の部分とを含む、方法。

【請求項 1 8】

前記第 1 の導電性スパイラルを形成するステップ、および前記第 2 の導電性スパイラルを形成するステップが、電子デバイスに組み込まれたプロセッサによって開始される、請求項 1 7 に記載の方法。

【請求項 1 9】

基板と、

前記基板に結合されたスパイラルインダクタと、を備えた装置であって、

前記スパイラルインダクタの最内周ターンの第 1 の部分が、前記基板に垂直な方向に第 1 の厚さを有し、

前記最内周ターンの第 2 の部分が、前記基板に垂直な前記方向に第 2 の厚さを有し、前記第 2 の厚さが、前記第 1 の厚さよりも大きく、

前記基板に垂直な前記方向の前記スパイラルインダクタの厚さが、前記第 1 の厚さから前記第 2 の厚さまで、勾配に従って増加する、装置。

【請求項 2 0】

前記スパイラルインダクタの最外周ターンの一部分が、前記基板に垂直な前記方向に第

10

20

30

40

50

3の厚さを有し、前記第3の厚さが、前記第1の厚さよりも大きい、請求項19に記載の装置。

【請求項21】

前記第2の厚さが、前記第3の厚さに等しい、請求項20に記載の装置。

【請求項22】

前記第3の厚さが、前記第2の厚さよりも大きい、請求項20に記載の装置。

【請求項23】

前記スパイラルインダクタの前記厚さが、前記第1の厚さから前記第3の厚さまで、単調に増加している、請求項20に記載の装置。

【請求項24】

前記スパイラルインダクタが、勾配積層インダクタである、請求項19に記載の装置。

【請求項25】

少なくとも1つのダイに組み込まれた、請求項19に記載の装置。

【請求項26】

その中に前記基板および前記スパイラルインダクタが組み込まれた、携帯電話、タブレット、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンタテイメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータから選択されたデバイスをさらに備えている、請求項19に記載の装置。

【請求項27】

基板に結合されたスパイラルインダクタの導電性スパイラルを形成するステップと、前記導電性スパイラルの上に前記スパイラルインダクタの導電層を形成するステップと、を含む方法であって、

前記スパイラルインダクタの最内周ターンの第1の部分が、前記基板に垂直な方向に第1の厚さを有し、

前記最内周ターンの第2の部分が、前記基板に垂直な前記方向に第2の厚さを有し、前記第2の厚さが、前記第1の厚さよりも大きく、

前記スパイラルインダクタの厚さが、前記第1の厚さから前記第2の厚さまで、勾配に従って増加する、方法。

【請求項28】

前記導電層が、第2の導電性スパイラルを備えている、請求項27に記載の方法。

【請求項29】

前記導電層が、不連続スパイラルを備えている、請求項27に記載の方法。

【請求項30】

前記導電性スパイラルを形成するステップ、および前記導電層を形成するステップが、電子デバイスに組み込まれたプロセッサによって開始される、請求項27に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

優先権の主張

本出願は、内容が全部参照により組み込まれている、2013年8月30日に出願した「VARYING THICKNESS INDUCTOR」と題する米国仮特許出願第61/872,342号、および、2014年1月14日に出願した「VARYING THICKNESS INDUCTOR」と題する米国非仮特許出願第14/155,244号の優先権を主張するものである。

【0002】

本開示は、全体的に、変化する厚さを有するインダクタに関する。

【背景技術】

【0003】

技術の進歩は、より小さくより強力なコンピューティングデバイスをもたらした。たと

10

20

30

40

50

えば、携帯型ワイヤレス電話機、携帯情報端末（PDA）、および、小さく、軽量で、ユーザによって容易に運ばれるページングデバイスなどの、ワイヤレスコンピューティングデバイスを含む、様々な携帯型パーソナルコンピューティングデバイスが現在存在する。より具体的には、セルラ電話およびインターネットプロトコル（IP）電話機などの携帯型ワイヤレス電話機は、ワイヤレスネットワークを介して、音声およびデータパケットを通信することができる。さらに、多くのそのようなワイヤレス電話機は、それらに組み込まれた他のタイプのデバイスを含む。たとえば、ワイヤレス電話機は、また、デジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、およびオーディオファイルプレーヤを含むことができる。また、そのようなワイヤレス電話機は、インターネットにアクセスするために使用され得るウェブブラウザアプリケーションなどのソフトウェアアプリケーションを含む実行可能命令を処理することができる。そのように、これらのワイヤレス電話機は、かなりのコンピューティング能力を含むことができる。

10

【0004】

インダクタは、多くの電子デバイス（たとえば、パーソナルコンピュータ、タブレットコンピュータ、ワイヤレス携帯型ハンドセット、およびワイヤレス電話機）での電力調整用途、周波数制御用途、および信号調節用途で使用される。より高い電気抵抗値を有するインダクタは、より低い電気抵抗値を有するインダクタよりも多くの電力を消費する可能性がある。スパイラルインダクタは、交流電流によって電力供給される電気システムに特定の電気抵抗値（たとえば、渦電流損失に関連する抵抗値）に寄与する可能性がある。渦電流損失は、スパイラルインダクタの最内周ターンに存在する導電性材料の量または容積に関連する可能性がある。スパイラルインダクタに関連するトレース幅は、渦電流損失を低減するために減少され得る。しかしながら、スパイラルインダクタを製造するために使用されるプロセス技術は、特定の幅よりも狭いトレース幅を有するインダクタを生産できない可能性がある。

20

【発明の概要】

【課題を解決するための手段】

【0005】

本開示は、変化する厚さを有するインダクタの実施形態を提示する。インダクタは、階段状積層スパイラルインダクタまたは勾配積層スパイラルインダクタであり得る。たとえば、インダクタは、基板に結合されてよく、インダクタ位の最外周ターンの一部分は、インダクタの最内周ターンの一部分よりも厚くてよい。この例では、インダクタの厚さは、インダクタの最内周ターンからインダクタの最外周ターンまで単調に増加してよい（たとえば、実質的に減少することなく、一貫して増加する）。インダクタは、同様のサイズの従来のスパイラルインダクタ（たとえば、均一な厚さを有するスパイラルインダクタ）と比較して同様のインダクタンス値を提供するように構成され得る。最内周ターンの減少した厚さは、インダクタが、減少した渦電流損失により、従来のスパイラルインダクタよりも低い無線周波数（RF）抵抗値を有するようになることができる。電子デバイスは、従来のスパイラルインダクタを含む電子デバイスと比較して、より少ない電力を使用してインダクタンスを提供するためにこのインダクタを使用することができる。

30

【0006】

特定の実施形態では、装置は、基板と、基板に結合されたスパイラルインダクタとを含む。スパイラルインダクタは、第1の導電性スパイラルと、第1の導電性スパイラルに重なる第2の導電性スパイラルとを含む。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有する。最内周ターンの第1の部分は、第1の導電性スパイラルの第1の部分を含み、第2の導電性スパイラルを含まない。最内周ターンの第2の部分は、第2の導電性スパイラルの第1の部分を含む。スパイラルインダクタの最外周ターンの一部分は、基板に垂直な方向に、第1の厚さよりも大きい第2の厚さを有する。最外周ターンの一部分は、第1の導電性スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含む。

40

【0007】

50

別の特定の実施形態では、方法は、基板に結合されたスパイラルインダクタの第1の導電性スパイラルを形成するステップを含む。方法は、さらに、第1の導電性スパイラルに重なるスパイラルインダクタの第2の導電性スパイラルを形成するステップを含む。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有する。最内周ターンの第1の部分は、第1の導電性スパイラルの第1の部分を含み、第2の導電性スパイラルを含まない。最内周ターンの第2の部分は、第2の導電性スパイラルの第1の部分を含む。スパイラルインダクタの最外周ターンの一部は、基板に垂直な方向に第2の厚さを有する。第2の厚さは、第1の厚さよりも大きい。最外周ターンの部分は、第1の導電性スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含む。

10

【0008】

別の特定の実施形態では、装置は、基板と、基板に結合されたスパイラルインダクタとを含む。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有する。スパイラルインダクタの最内周ターンの第2の部分は、基板に垂直な方向に第2の厚さを有する。第2の厚さは、第1の厚さよりも大きい。基板に垂直な方向のスパイラルインダクタの厚さは、第1の厚さから第2の厚さまで勾配に従って増加する。

【0009】

別の特定の実施形態では、方法は、基板に結合されたスパイラルインダクタの導電性スパイラルを形成するステップを含む。方法は、さらに、導電性スパイラルの上にスパイラルインダクタの導電層を形成するステップを含む。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有する。最内周ターンの第2の部分は、基板に垂直な方向に第2の厚さを有する。第2の厚さは、第1の厚さよりも大きい。基板に垂直な方向のスパイラルインダクタの厚さは、第1の厚さから第2の厚さまで勾配に従って増加する。

20

【0010】

開示された実施形態の少なくとも1つによって提供される1つの特定の利点は、変化する厚さを有するスパイラルインダクタが、同様の寸法の均一な厚さのスパイラルインダクタと比較して、同様のインダクタンスを提供することである。しかしながら、スパイラルインダクタの最内周ターンの減少した厚さは、インダクタが、減少した渦電流損失により、より低い電気抵抗値を有するようにすることができる。したがって、電子デバイスは、均一な厚さのスパイラルインダクタを含む電子デバイスと比較して、より少ない電力を使用してインダクタンスを提供するために、変化する厚さを有するインダクタを使用することができる。

30

【0011】

本開示の他の態様、利点、および特徴は、以下の節、図面の簡単な説明、詳細な説明、および特許請求の範囲を含め、本明細書全体の検討後に明らかになるであろう。

【図面の簡単な説明】

【0012】

【図1】基板と、変化する厚さを有する階段状積層スパイラルインダクタとを含むシステムの特定の実施形態を示す図である。

40

【図2】基板と、変化する厚さを有する勾配積層スパイラルインダクタとを含むシステムの特定の実施形態を示す図である。

【図3】変化する厚さを有するスパイラルインダクタと変化しない厚さを有するスパイラルインダクタとの間の比較を示す図である。

【図4】変化する厚さを有するスパイラルインダクタを形成する方法の特定の実施形態を示すフローチャートである。

【図5】変化する厚さを有するスパイラルインダクタを形成する方法の別の特定の実施形態を示すフローチャートである。

【図6】基板と、変化する厚さを有するスパイラルインダクタとを含む通信デバイスを示すブロック図である。

50

【図7】基板と、変化する厚さを有するスパイラルインダクタとを含む電子デバイスを製造する製造プロセスの特定の例示的な実施形態を示すデータフロー図である。

【発明を実施するための形態】

【0013】

図1を参照すると、基板102と、基板102に結合されたスパイラルインダクタ104（たとえば、階段状積層インダクタ）とを含むシステム100の特定の例示的な実施形態が示されている。スパイラルインダクタ104は、第1の導電性スパイラル106と、導電層108と、第2の導電性スパイラル110と、第1のパッシベーション層112と、第2のパッシベーション層114とを含むことができる。スパイラルインダクタ104は、第1の導線116と第2の導線118とに接続される。スパイラルインダクタ104に関連するトレース幅は、スパイラルインダクタ104を製造するために使用される特定のプロセス技術を使用して製造され得る最小のトレース幅であり得る。特定の実施形態では、スパイラルインダクタは、5μmと50μmとの間の最小トレース幅を有する、1μmと20μmとの間の厚さを有する層を含む。

10

【0014】

導電層108は、スパイラル（たとえば、導電性スパイラル）を形成することができ、または、部分的スパイラルもしくは不連続スパイラルを形成することができる（たとえば、導電層108は、スパイラル形状を形成することができるが、導電層108は、第1の導線116からおよび第2の導線118から特定の距離内に存在しなくててもよい）。スパイラルは、複数のターンを含むことができ、各ターンの各開始点は、スパイラルの中心点から異なる半径を有する。

20

【0015】

スパイラルインダクタ104は、基板102に垂直な方向に第1の厚さを有する第1の部分120と、基板102に垂直な方向に第2の厚さを有する第2の部分122と、基板102に垂直な方向に第3の厚さを有する第3の部分126と基板102に垂直な方向に第4の厚さを有する第4の部分124とを含む。第4の厚さは、第3の厚さ（図示せず）よりも大きくてよく、第3の厚さは、第2の厚さよりも大きくてよく、第2の厚さは、第1の厚さよりも大きくてよい。第1の部分120、第2の部分122、および第3の部分126は、スパイラルインダクタ104の最内周ターンの一部であり得、第4の部分124は、スパイラルインダクタ104の最外周ターンの一部であり得る。特定の実施形態では、第1の部分120は、第2の導電性スパイラル110の第1の部分を含む。第2の部分122は、導電層108の第1の部分と、第2の導電性スパイラル110の第2の部分とを含むことができる。第3の部分126は、第1の導電性スパイラル106の第1の部分と、導電層108の第2の部分と、第2の導電性スパイラル110の第3の部分とを含むことができる。第4の部分124は、第1の導電性スパイラル106の第2の部分と、導電層108の第3の部分と、第2の導電性スパイラル110の第4の部分とを含むことができる。

30

【0016】

図1は、異なる長さを有する各スパイラルを示しているが、他の実施形態では、2つ以上のスパイラルは、同じ長さを有することができる。図1は、各々が異なる厚さを有するものとして第1の部分120と、第2の部分122と、第3の部分126とを示しているが、他の実施形態では、第2の厚さは、第1の厚さまたは第3の厚さと同じであってもよい。さらに、図1は、導電層108の第2の長さよりも長い第2の導電性スパイラル110の第3の長さと、第1の導電層106の第1の長さよりも長い導電層108の第2の長さとを示しているが、他の実施形態では、導電性スパイラルおよび導電層は、異なる長さ関係を有することができる（たとえば、第1の導電性スパイラル106の第1の長さは、導電層108の第2の長さよりも長くてもよく、導電層108の第2の長さは、第2の導電性スパイラル110の第3の長さよりも長くてもよい）。したがって、図1は、第2の導電性スパイラル110の第1の部分のみを含む第1の部分120を示しているが、他の実施形態では、第1の部分120は、異なる導電性スパイラルの部分または導電層の一部

40

50

分を含むことができる。たとえば、第1の部分120は、第1の導電性スパイラル106の第1の部分のみを含むことができる。

【0017】

基板102は、ガラス材料、アルカリ土類金属ボロアルミノシリケートガラス、ケイ素(Si)、ガリウムヒ素(GaAs)、インジウムリン(InP)、炭化ケイ素(SiC)、ガラス系積層物、サファイア(Al₂O₃)、石英、セラミック、シリコンオンインシュレータ(SOI)、シリコンオンサファイア(SOS)、高抵抗ケイ素(HRS)、窒化アルミニウム(AlN)、プラスチック、またはそれらの組み合わせで形成される誘電物質であり得る。導電性スパイラル106および110ならびに導電層108は、アルミニウム、銅、銀、金、タングステン、モリブデン、アルミニウムの合金、銀の合金、金の合金、タングステンの合金、もしくはモリブデンの合金、またはそれらの組み合わせを、基板102上に堆積することによって形成され得る。スパイラルインダクタ104は、最内周ターンよりも大きくない厚さを有する最外周ターンを有するインダクタと同じ製造ステップを使用して製造され得る(たとえば、追加の堆積ステップまたはエッチングステップは、不要であり得る)。各パッシベーション層(たとえば、第1のパッシベーション層112および第2のパッシベーション層114)は、感光性ポリマで形成され得る。

【0018】

特定の実施形態では、第1の導電性スパイラル106は、導電層108に重なり、導電層108は、第2の導電性スパイラル110に重なる。第1のパッシベーション層112は、第1の導電性スパイラル106と導電層108との間に形成され得る。第2のパッシベーション層114は、導電層108と第2の導電性スパイラル110との間に形成され得る。1つまたは複数のビアが、第1のパッシベーション層112、第2のパッシベーション層114、または両方に形成され得る。1つまたは複数のビアは、第1の導電性スパイラル106、導電層108、および第2の導電性スパイラル110、またはそれらの組み合わせを電気的に接続することができる。1つまたは複数のビアは、さらに、第1の導電性スパイラル106、導電層108、第2の導電性スパイラル110、またはそれらの組み合わせを、第1の導線116に、第2の導線118に、または両方に電気的に接続することができる。

【0019】

基板102に垂直な方向のスパイラルインダクタ104の厚さは、スパイラルインダクタ104の最も内側の部分からスパイラルインダクタ104の最も外側の部分まで単調に増加することができる。特定の実施形態では、スパイラルインダクタ104は、階段状積層インダクタであってよく、ここで、基板102に垂直な方向のスパイラルインダクタ104の厚さは、階段状構成で増加する。たとえば、基板102に垂直な方向の第1の導電性スパイラル106、導電層108、および第2の導電性スパイラル110の厚さは、各導電性スパイラルの長さに沿って実質的に一定であり得る。この例では、導電層108の第2の長さは、第1の導電性スパイラル106の第1の長さよりも長くてもよく、第2の導電性スパイラル110の第3の長さは、導電層108の第2の長さよりも長くてもよい。第1の部分120は、第2の導電性スパイラル110の第1の部分を含むことができる。第1の導電性スパイラル106および導電層108は、第1の部分120まで延在しなくてもよい。第2の部分122は、第2の導電性スパイラル110の第2の部分と、導電層108の第1の部分とを含むことができる。第1の導電性スパイラル106は、第2の部分122まで延在しなくてもよい。第4の部分124は、第2の導電性スパイラル110の第3の部分と、導電層108の第2の部分と、第1の導電性スパイラル106の一部とを含むことができる。別の例として、第1の導電性スパイラル106は、第1の長さを有する第1の導電層を堆積し、第1の導電層上に直接(たとえば、パッシベーション層を介在させずに)、第2の長さを有する第2の導電層を堆積することによって形成され得る。第1の導電層および第2の導電層は、異なる長さを有することができる。

【0020】

電流が第1の導線116または第2の導線118に印加されたとき、磁界が、スパイラ

10

20

30

40

50

ルインダクタ 104 によって生成される。スパイラルインダクタ 104 の最外周ターンは、スパイラルインダクタの最内周ターンよりも厚いので（すなわち、スパイラルインダクタ 104 の最内周ターンの導電性容積は、均一の厚さのスパイラルインダクタの最内周ターンの導電性容積よりも小さいので）、スパイラルインダクタ 104 の最外周ターンに関連する渦電流損失は、均一の厚さのスパイラルインダクタと比較して、減少され得る。したがって、渦電流損失は、RF 抵抗値に寄与するので、スパイラルインダクタ 104 に関連する無線周波数（RF）抵抗値は、減少され得る。

【0021】

図 1 は、2つの導電性スパイラルを含むスパイラルインダクタ 104 を示しているが、他の実施形態では、スパイラルインダクタ 104 は、1つの導電性スパイラルまたは2つよりも多くの導電性スパイラルを含むことができる。図 1 は、1つの導電層を含むスパイラルインダクタ 104 を示しているが、他の実施形態では、スパイラルインダクタ 104 は、2つ以上の導電層を含むことができる。図 1 は、第 1 のパッシベーション層 112 および第 2 のパッシベーション層 114 を、それぞれ、導電層 108 および第 2 の導電性スパイラル 110 に重なるものとして示しているが、第 1 のパッシベーション層 112、第 2 のパッシベーション層 114、または両方は、スパイラルインダクタ 104 に関連する領域よりも大きい領域を覆うことができる（たとえば、第 1 のパッシベーション層 112、第 2 のパッシベーション層 114、または両方は、スパイラルインダクタ 104 の中心、またはスパイラルインダクタ 104 のターン間の空間を充填することができる）。

【0022】

変化する厚さのスパイラルインダクタ（たとえば、スパイラルインダクタ 104）を含む電子デバイスは、同様の寸法の均一な厚さのスパイラルインダクタと比較して、同様のインダクタンスを提供することができる。しかしながら、変化する厚さのスパイラルインダクタの最内周ターンの減少した厚さは、減少した渦電流損失により、変化する厚さのインダクタが交流電流に対するより低い電気抵抗値を有するようになる。したがって、電子デバイスは、均一な厚さのスパイラルインダクタを含む電子デバイスと比較して、より少ないRF 電力を使用してインダクタンスを提供するために、変化する厚さのインダクタを使用することができる。

【0023】

図 2 を参照すると、基板 202 と、基板 202 に結合されたスパイラルインダクタ 204（たとえば、勾配積層インダクタ）とを含むシステム 200 の特定の例示的な実施形態が示されている。スパイラルインダクタ 204 は、第 1 の導電性スパイラル 206 と、導電層 208 と、第 2 の導電性スパイラル 210 とを含むことができる。スパイラルインダクタ 204 に関連するトレース幅は、スパイラルインダクタ 204 を製造するために使用される特定のプロセス技術を使用して製造され得る最小のトレース幅であり得る。システム 200 は、スパイラルインダクタ 204 の第 1 の導電性スパイラル 206、導電層 208、第 2 の導電性スパイラル 210 のうちの 1 つまたは複数が、図 1 の階段状構成で増加する厚さと比較して、下記で説明するように、勾配の厚さを有することができることを除いて、システム 100 と同じであり得る。システム 200 は、図 1 のシステム 100 と同様の方法および材料を使用して製造され得る。

【0024】

基板 202 に垂直な方向のスパイラルインダクタ 204 の厚さは、スパイラルインダクタ 204 の最も内側の部分からスパイラルインダクタ 204 の最も外側の部分まで単調に増加することができる。特定の実施形態では、スパイラルインダクタ 204 は、勾配積層インダクタであり得、ここで、基板 202 に垂直な方向の厚さは、最内周ターンに沿った 1 つの点から、最内周ターンに沿った別の点まで増加する。スパイラルインダクタ 204 の最内周ターンの第 1 の点の厚さは、最内周ターンの第 2 の点の厚さよりも大きくてよい。たとえば、スパイラルインダクタ 204 の最内周ターンの部分 222 に対応する導電層 208 の特定の部分は、基板 202 に垂直な方向に勾配する厚さ（たとえば、スパイラルインダクタ 204 の最内周ターンの部分 222 に沿って傾斜に比例して変化する厚さ）

10

20

30

40

50

を有することができる。部分 222 に対応する導電層 208 の一部分は、第 1 の点 214 から第 2 の点 212 まで増加する基板 202 に垂直な方向の厚さを有することができる。第 2 の点 212 に対応する導電層 208 の一部分は、第 1 の点 214 の厚さよりも大きい基板 202 に垂直な方向の厚さを有することができる。第 1 の導電性スパイラル 206、導電層 208、第 2 の導電性スパイラル 210、またはそれらの組み合わせは、実質的に一定の厚さを有することができ、または、勾配する厚さを有することができる。

【0025】

変化する厚さのスパイラルインダクタ（たとえば、スパイラルインダクタ 204）を含む電子デバイスは、同様の寸法の均一な厚さのスパイラルインダクタと比較して、同様のインダクタンスを提供することができる。しかしながら、変化する厚さのスパイラルインダクタの最内周ターンの減少した厚さは、変化する厚さのスパイラルインダクタが、減少した渦電流損失により、より低い電気抵抗値を有するようになることができる。したがって、電子デバイスは、均一な厚さのスパイラルインダクタを含む電子デバイスと比較して、より少ない電力を使用してインダクタンスを提供するために、変化する厚さを有するスパイラルインダクタを使用することができる。

【0026】

図 3 を参照すると、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 などの、変化する厚さを有するスパイラルインダクタ（たとえば、変化する厚さのスパイラルインダクタ 304）と、変化しない厚さを有するスパイラルインダクタ（たとえば、均一な厚さのスパイラルインダクタ 302）との間の比較の例示的な図 300。図 3 では、表 306 は、均一の厚さのスパイラルインダクタ 302 および変化する厚さのスパイラルインダクタ 304 が、4.9851 ナノヘンリー (nH) のインダクタンス値 (L) を有するように釣り合いが取られた特定の実施形態における、均一な（たとえば、変化しない）厚さのスパイラルインダクタ 302 と、変化する厚さのスパイラルインダクタ 304 との間の増減率を示す。変化する厚さのスパイラルインダクタ 304 に関する品質係数 (Q)（たとえば、33.775）は、均一な厚さのスパイラルインダクタ 302 に関する品質係数（たとえば、32.974）よりも高い（たとえば、図示の特定の実施形態では 2.43%）。変化する厚さのスパイラルインダクタ 304 は、均一の厚さのスパイラルインダクタ 302 と比較して、より低い電気抵抗値に関連付けられ得、インダクタに関して、電気抵抗値は、品質係数に反比例する。加えて、インダクタンス値（たとえば、4.9851 nH）を生成するために使用される変化する厚さのスパイラルインダクタ 304 の面積（平方ミリメートル (mm²)）（たとえば、0.571 mm²）は、そのインダクタンス値を生成するために使用される均一の厚さのスパイラルインダクタ 302 の面積（たとえば、0.575 mm²）よりも小さい（たとえば、図示の特定の実施形態では 0.72%）。変化する厚さのスパイラルインダクタ 304 の面積あたりの品質係数 (Q / 面積)（たとえば、59.2）は、均一の厚さのスパイラルインダクタ 302 の面積あたりの品質係数よりも高い（たとえば、図示の特定の実施形態では 3.17%）。

【0027】

図 4 は、電子デバイスを形成する方法 400 の特定の実施形態を示すフローチャートである。方法は、402において、基板に結合されたスパイラルインダクタの第 1 の導電性スパイラルを形成するステップを含む。たとえば、図 1 のスパイラルインダクタ 104 の第 2 の導電性スパイラル 110 は、基板 102 に結合されて形成され得る。方法は、さらに、404において、スパイラルインダクタの第 2 の導電性スパイラルを形成するステップを含む。たとえば、図 1 のスパイラルインダクタ 104 の第 1 の導電性スパイラル 106 は、形成され得る。第 2 の導電性スパイラルは、第 1 の導電性スパイラルに重なる。たとえば、第 1 の導電性スパイラル 106 は、第 2 の導電性スパイラル 110 に重なる。スパイラルインダクタの最内周ターンの第 1 の部分は、基板に垂直な方向に第 1 の厚さを有する。たとえば、図 1 のスパイラルインダクタ 104 の第 1 の部分 120 は、基板 102 に垂直な方向に第 1 の厚さを有する。最内周ターンの第 1 の部分は、第 1 の導電性スパイ

10

20

30

40

50

ラルの第 1 の部分を含み、第 2 の導電性スパイラルを含まない。たとえば、図 1 のスパイラルインダクタ 104 の第 1 の部分 120 は、第 2 の導電性スパイラル 110 の一部分を含み、第 1 の導電性スパイラル 106 を含まない。最内周ターンの第 2 の部分は、第 2 の導電性スパイラルの第 1 の部分を含む。たとえば、図 1 のスパイラルインダクタ 104 の第 3 の部分 126 は、第 1 の導電性スパイラル 106 の一部分を含む。スパイラルインダクタの最外周ターンの一部は、基板に垂直な方向に第 2 の厚さを有し、ここで、第 2 の厚さは、第 1 の厚さよりも大きい。たとえば、図 1 のスパイラルインダクタ 104 の第 4 の部分 124 は、基板 102 に垂直な方向に第 2 の厚さを有し、第 2 の厚さは、第 1 の厚さよりも大きい。最外周ターンの部分は、第 1 の導電性スパイラルの第 2 の部分と、第 2 の導電性スパイラルの第 2 の部分とを含む。たとえば、第 4 の部分 124 は、第 2 の導電性スパイラル 110 の一部分と、第 1 の導電性スパイラル 106 の一部分とを含む。

10

【0028】

図 4 の方法は、中央処理装置 (C P U)、フィールドプログラマブルゲートアレイ (F P G A) デバイス、特定用途向け集積回路 (A S I C)、コントローラ、別のハードウェアデバイス、ファームウェアデバイス、またはそれらの任意の組み合わせなどの処理ユニットによって開始され得る。例として、図 4 の方法は、製造装置内の、または製造装置に結合された、図 7 を参照してさらに説明するように、メモリ (たとえば、非一時的コンピュータ可読媒体) に記憶された命令を実行するプロセッサなどの製造装置によって開始され得る。湿式エッチング、乾式エッチング、堆積、平坦化、リソグラフィ、またはそれらの組み合わせなどの集積回路製造プロセスは、図 1 のシステム 100 および図 2 のシステム 200 を製造するために使用され得る。

20

【0029】

方法 400 に従って形成された電子デバイスは、同様の寸法の均一な厚さのスパイラルインダクタと比較して、同様のインダクタンスを提供する変化する厚さのスパイラルインダクタを含むことができる。しかしながら、変化する厚さのスパイラルインダクタの最内周ターンの減少した厚さは、減少した渦電流損失により、変化する厚さのインダクタがより低い電気抵抗値を有するようになる。したがって、電子デバイスは、均一な厚さのスパイラルインダクタを含む電子デバイスと比較して、より少ない電力を使用してインダクタンスを提供するために、変化する厚さを有するインダクタを使用することができる。

30

【0030】

図 5 は、電子デバイスを形成する方法 500 の特定の実施形態を示すフローチャートである。方法は、502において、基板に結合されたスパイラルインダクタの導電性スパイラルを形成するステップを含む。たとえば、図 2 のスパイラルインダクタ 204 の第 2 の導電性スパイラル 210 は、形成され得、基板 202 に結合され得る。方法は、さらに、504において、導電性スパイラルの上にスパイラルインダクタの導電層を形成するステップを含む。たとえば、図 2 のスパイラルインダクタ 204 の導電層 208 は、第 2 の導電性スパイラル 210 の上に形成され得る。スパイラルインダクタの最内周ターンの第 1 の部分は、基板に垂直な方向に第 1 の厚さを有する。たとえば、第 1 の点 214 に対応する図 2 のスパイラルインダクタ 204 の部分は、基板 202 に垂直な方向に第 1 の厚さを有する。最内周ターンの第 2 の部分は、基板に垂直な方向に第 2 の厚さを有し、ここで、第 2 の厚さは、第 1 の厚さよりも大きい。たとえば、第 2 の点 212 に対応する図 2 のスパイラルインダクタ 204 の部分は、基板 202 に垂直な方向に第 2 の厚さを有し、第 2 の厚さは、第 1 の厚さよりも大きい。基板に垂直な方向のスパイラルインダクタの厚さは、第 1 の厚さから第 2 の厚さまで、勾配に従って増加する。たとえば、図 2 のスパイラルインダクタ 204 の厚さは、第 1 の点 214 から第 2 の点 212 まで、勾配に従って増加する。

40

【0031】

図 5 の方法は、中央処理装置 (C P U)、フィールドプログラマブルゲートアレイ (F P G A) デバイス、特定用途向け集積回路 (A S I C)、コントローラ、別のハードウェアデバイス、ファームウェアデバイス、またはそれらの任意の組み合わせなどの処理ユニ

50

ットによって開始され得る。例として、図5の方法は、製造装置内の、または製造装置に結合された、図7を参照してさらに説明するように、メモリ(たとえば、非一時的コンピュータ可読媒体)に記憶された命令を実行するプロセッサなどの製造装置によって開始され得る。

【0032】

方法500に従って形成された電子デバイスは、同様の寸法の均一な厚さのスパイラルインダクタと比較して、同様のインダクタンスを提供する変化する厚さのスパイラルインダクタを含むことができる。しかしながら、変化する厚さのスパイラルインダクタの最内周ターンの減少した厚さは、減少した渦電流損失により、変化する厚さのインダクタがより低い電気抵抗値を有するようになる。したがって、電子デバイスは、均一な厚さのスパイラルインダクタを含む電子デバイスと比較して、より少ない電力を使用してインダクタンスを提供するために、変化する厚さを有するインダクタを使用することができる。10

【0033】

図6を参照すると、ブロック図は、基板602と、スパイラルインダクタ604とを含むモバイルデバイスの特定の例示的な実施形態を示し、モバイルデバイスは、全体として600と示されている。モバイルデバイス600、またはその構成要素は、通信デバイス、携帯電話、セルラ電話、コンピュータ、ポータブルコンピュータ、タブレット、アクセスポイント、セットトップボックス、エンタテイメントユニット、ナビゲーションデバイス、携帯情報端末(PDA)、固定位置データユニット、移動体位置データユニット、デスクトップコンピュータ、モニタ、コンピュータモニタ、テレビジョン、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、ビデオプレーヤ、デジタルビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、またはポータブルデジタルビデオプレーヤなどのデバイスを含むことができる、デバイスを実装することができる、またはデバイス内に含まれ得る。20

【0034】

デバイス600は、デジタル信号プロセッサ(DSP)などのプロセッサ612を含んでよい。プロセッサ612は、メモリ632(たとえば、非一時的コンピュータ可読媒体)に結合されてよい。

【0035】

図6は、プロセッサ612とディスプレイ628とに結合されたディスプレイコントローラ626も示す。コーダ/デコーダ(CODEC)634は、また、プロセッサ612に結合され得る。スピーカ636およびマイクロフォン638は、CODEC634に結合され得る。ワイヤレスコントローラ640は、プロセッサ612に結合され得、さらに、基板602とスパイラルインダクタ604とを含む無線周波数(RF)段606に結合され得る。RF段606は、アンテナ642に結合され得る。他の実施形態では、基板602およびスパイラルインダクタ604は、モバイルデバイス600の他の構成要素に含まれ得、または、モバイルデバイス600の他の構成要素にインダクタンスを提供するように構成され得る。基板602およびスパイラルインダクタ604は、LC電圧制御発振器(LC-VCO)、LC系フィルタ、整合回路、またはRF段606の他の構成要素に含まれ得る。30

【0036】

特定の実施形態では、スパイラルインダクタ604は、基板602に結合される(たとえば、上に堆積される)。スパイラルインダクタ604は、第1の導電性スパイラルと、第1の導電性スパイラルに重なる第2の導電性スパイラルとを含むことができる。スパイラルインダクタ604の最内周ターンの第1の部分は、基板602に垂直な方向に第1の厚さを有することができる。最内周ターンの第1の部分は、第1の導電性スパイラルの第1の部分を含むことができる(そして、第2の導電性スパイラルを含まなくてよい)。最内周ターンの第2の部分は、第2の導電性スパイラルの第1の部分を含むことができる。スパイラルインダクタ604の最外周ターンの一部分は、基板に垂直な方向に第1の厚さよりも大きい第2の厚さを有することができる。最外周ターンの一部分は、第1の導電性40

10

20

30

40

50

スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含むことができる。たとえば、基板602は、図1の基板102に対応することができ、スパイラルインダクタ604は、図1のスパイラルインダクタ104、または図3の変化する厚さのスパイラルインダクタ304に対応することができる。

【0037】

別の特定の実施形態では、スパイラルインダクタ604は、基板602に結合される(たとえば、上に堆積される)。スパイラルインダクタ604の最内周ターンの第1の部分は、基板602に垂直な方向に第1の厚さを有することができる。スパイラルインダクタ604の最内周ターンの第2の部分は、基板に垂直な方向に第1の厚さよりも大きい第2の厚さを有することができる。基板602に垂直な方向のスパイラルインダクタ604の厚さは、第1の厚さから第2の厚さまで、勾配に従って増加することができる。たとえば、基板602は、図2の基板202に対応することができ、スパイラルインダクタ604は、図2のスパイラルインダクタ204に対応することができる。

10

【0038】

特定の実施形態では、プロセッサ612、ディスプレイコントローラ626、メモリ632、CODEC634、およびワイヤレスコントローラ640は、システムインパッケージまたはシステムオンチップデバイス622に含まれる。入力デバイス630および電源644は、システムオンチップデバイス622に結合され得る。その上、特定の実施形態において、図6に例示するように、RF段606、ディスプレイ628、入力デバイス630、スピーカ636、マイクロフォン638、アンテナ642、および電源644はシステムオンチップデバイス622の外部に設けられる。しかしながら、RF段606、ディスプレイ628、入力デバイス630、スピーカ636、マイクロフォン638、アンテナ642、および電源644の各々は、インターフェースまたはコントローラなどのシステムオンチップデバイス622の構成要素に結合され得る。RF段606は、システムオンチップデバイス622に含まれてもよく、または、図6に示すように、別個の構成要素であってもよい。

20

【0039】

特定の実施形態では、(モバイルデバイス600などの)装置は、層を支持するための手段(たとえば、図1の基板102または図6の基板602)に結合された、スパイラル形状を有する、磁界にエネルギーを蓄積するための手段(たとえば、図1のスパイラルインダクタ104、図3の変化する厚さのスパイラルインダクタ304、または図6のスパイラルインダクタ604)を含む。エネルギーを蓄積するための手段は、第1の導電性スパイラルと、第1の導電性スパイラルに重なる第2の導電性スパイラルとを含むことができる。エネルギーを蓄積するための手段の最内周ターンの一部分は、層を支持するための手段に垂直な方向に第1の厚さを有することができる。最内周ターンの第1の部分は、第1の導電性スパイラルの第1の部分を含むことができ、第2の導電性スパイラルを含まなくてよい。最内周ターンの第2の部分は、第2の導電性スパイラルの第1の部分を含むことができる。エネルギーを蓄積するための手段の最外周ターンの一部分は、基板に垂直な方向に、第1の厚さよりも大きい第2の厚さを有することができる。最外周ターンの一部分は、第1の導電性スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含むことができる。たとえば、層を支持するための手段は、図1の基板102または図6の基板602を含むことができ、またはこれらに対応することができ、エネルギーを蓄積するための手段は、図1のスパイラルインダクタ104、図3の変化する厚さのスパイラルインダクタ304、または図6のスパイラルインダクタ604を含むことができ、またはこれらに対応することができ。第1の導電性スパイラルは、図1の第2の導電性スパイラル110または導電層108を含むことができ、またはこれらに対応することができる。第2の導電性スパイラルは、図1の導電層108または第1の導電性スパイラル106を含むことができ、またはこれらに対応することができる。最内周ターンの第1の部分は、図1の第1の部分120または第2の部分122を含むことができ、またはこれらに対応することができる。最内周ターンの第2の部分は、図1の第2の部分122また

30

40

50

は第3の部分126に対応することができる。最外周ターンの部分は、図1の第4の部分124を含むことができ、またはこれに対応することができる。

【0040】

別の特定の実施形態では、(モバイルデバイス600などの)装置は、層を支持するための手段(たとえば、図2の基板202または図6の基板602)に結合された、スパイラル形状を有する、磁界にエネルギーを蓄積するための手段(たとえば、図2のスパイラルインダクタ204、または図6のスパイラルインダクタ604)を含む。エネルギーを蓄積するための手段の最内周ターンの一部は、層を支持するための手段に垂直な方向に第1の厚さを有することができ、エネルギーを蓄積するための手段の最外周ターンの一部は、層を支持するための手段に垂直な方向に、第1の厚さよりも大きい第2の厚さを有することができる。たとえば、層を支持するための手段は、図2の基板202または図6の基板602を含むことができ、またはこれらに対応することができ、エネルギーを蓄積するための手段は、図2のスパイラルインダクタ204、または図6のスパイラルインダクタ604を含むことができ、またはこれらに対応することができる。最内周ターンの第1の部分は、図2の第1の部分214を含むことができ、またはこれに対応することができ、最内周ターンの第2の部分は、図2の第2の部分212を含むことができ、またはこれに対応することができる。

10

【0041】

上記の開示したデバイスや機能性は、コンピュータ可読媒体上に記憶されるコンピュータファイル(たとえばRTL、GDSII、GERBERなど)へ設計および構成してよい。一部のまたはすべてのそのようなファイルは、そのようなファイルに基づいてデバイスを製造するように製造ハンドラに供給されてよい。得られる生成物は、ウェハを含み、ウェハは、次いで、ダイに切断され、チップにパッケージされる。チップは、次いで、上記で説明したデバイスにおいて使用される。図7は、電子デバイス製造プロセス700の特定の例示的な実施形態を示す。

20

【0042】

物理デバイス情報702は、調査コンピュータ706などで、製造プロセス700で受信される。物理デバイス情報702は、(たとえば、図1の基板102または図2の基板202に対応する)基板に結合された(たとえば、図1のスパイラルインダクタ104または図2のスパイラルインダクタ204に対応する)スパイラルインダクタなどの電子デバイスの少なくとも1つの物理的特性を表す設計情報を含むことができる。たとえば、物理デバイス情報702は、物理的パラメータ、材料特性、および、調査コンピュータ706に結合されたユーザインターフェース704を介して入力された構造情報を含むことができる。調査コンピュータ706は、メモリ710などのコンピュータ可読媒体に結合される、1つまたは複数の処理コアなどのプロセッサ708を含む。メモリ710は、プロセッサ708に物理デバイス情報702をファイルフォーマットに準拠して変換させ、ライブラリファイル712を生成させるように実行可能であるコンピュータ可読命令を記憶してよい。

30

【0043】

特定の実施形態では、ライブラリファイル712は、変換された設計情報を含む少なくとも1つのデータファイルを含む。たとえば、ライブラリファイル712は、電子設計自動化(EDA)ツール720の使用のために提供された、(たとえば、図1の基板102または図2の基板202に対応する)基板に結合された(たとえば、図1のスパイラルインダクタ104または図2のスパイラルインダクタ204に対応する)スパイラルインダクタを含む電子デバイス(たとえば、半導体デバイス)のライブラリを含むことができる。

40

【0044】

ライブラリファイル712は、メモリ718に結合された1つまたは複数の処理コアなどのプロセッサ716を含む設計コンピュータ714において、EDAツール720と共に使用され得る。EDAツール720は、設計コンピュータ714のユーザが、ライブラ

50

リファイル 712 を使用して、(たとえば、図 1 の基板 102 または図 2 の基板 202 に対応する) 基板に結合された(たとえば、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 に対応する) スパイラルインダクタを含む回路を設計することを可能にするために、メモリ 718 にプロセッサ実行可能命令として記憶され得る。たとえば、設計コンピュータ 714 のユーザは、設計コンピュータ 714 に結合されたユーザインターフェース 724 を介して回路設計情報 722 を入力することができる。回路設計情報 722 は、(たとえば、図 1 の基板 102 または図 2 の基板 202 に対応する) 基板に結合された(たとえば、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 に対応する) スパイラルインダクタなどの電子デバイスの少なくとも 1 つの物理的特性を表す設計情報を含むことができる。例示するために、回路設計特性は、特定の回路の識別情報および回路設計内の他の要素との関係、位置決め情報、フィーチャサイズ情報、配線情報、または電子デバイスの物理的特性を表す他の情報を含むことができる。

10

【0045】

設計コンピュータ 714 は、回路設計情報 722 を含む設計情報をファイルフォーマットに準拠するように変換するように構成され得る。例示するために、ファイル形成は、平面幾何学的形状と、テキストラベルと、グラフィックデータシステム (GDSII) ファイルフォーマットなどの、階層フォーマットでの回路レイアウトについての他の情報を表すデータベースバイナリファイルフォーマットを含むことができる。設計コンピュータ 714 は、他の回路または情報に加えて、(たとえば、図 1 の基板 102 または図 2 の基板 202 に対応する) 基板に結合された(たとえば、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 に対応する) スパイラルインダクタを記述する情報を含む GDSII ファイル 726 などの、変換された設計情報を含むデータファイルを生成するように構成され得る。例示するために、データファイルは、(たとえば、図 1 の基板 102 または図 2 の基板 202 に対応する) 基板に結合された(たとえば、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 に対応する) スパイラルインダクタを含み、SOC 内の追加の電子回路および構成要素も含む、システムオンチップ (SOC) またはチップインターポーザ構成要素に対応する情報を含むことができる。

20

【0046】

GDSII ファイル 726 は、GDSII ファイル 726 内の変換された情報に従って、(たとえば、図 1 の基板 102 または図 2 の基板 202 に対応する) 基板に結合された(たとえば、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 に対応する) スパイラルインダクタを製造するために、製造プロセス 728 で受信され得る。たとえばデバイス製造プロセスは、GDSII ファイル 726 を、代表的なマスク 732 として図 7 に例示するフォトリソグラフィ処理で使用されるマスクなどの、1 つまたは複数のマスクを作成するマスク製造業者 730 に提供することを含んでよい。マスク 732 は、試験されて代表的なダイ 736 などのダイに分離されてよい 1 つまたは複数のウェハ 733 を生成するために製作プロセスの間に使用してよい。ダイ 736 は、(たとえば、図 1 の基板 102 または図 2 の基板 202 に対応する) 基板に結合された(たとえば、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 に対応する) スパイラルインダクタを含む回路を含む。

30

40

【0047】

特定の実施形態では、製造プロセス 728 は、プロセッサ 734 によって開始され得、またはプロセッサ 734 によって制御され得る。プロセッサ 734 は、コンピュータ可読命令またはプロセッサ可読命令などの実行可能命令を含むメモリ 735 にアクセスすることができる。実行可能命令は、プロセッサ 734 などのコンピュータによって実行可能な 1 つまたは複数の命令を含むことができる。

【0048】

製造プロセス 728 は、完全に自動化された、または部分的に自動化された製造システ

50

ムによって実施され得る。たとえば、製造プロセス 728 は、自動化されてもよく、スケジュールに従って処理ステップを実行することができる。製造システムは、電子デバイスを形成するために 1つまたは複数の動作を実行するための製造機器（たとえば、処理ツール）を含むことができる。たとえば、製造機器は、集積回路製造プロセス（たとえば、湿式エッティング、乾式エッティング、堆積、平坦化、リソグラフィ、またはそれらの組み合わせ）を使用して、1つまたは複数の導電性スパイクルを形成するように、1つまたは複数の導電層を形成するように、1つまたは複数のパッシベーション層を形成するように、1つまたは複数の導電ビアを形成するように、1つまたは複数のエッティングを実行するように、1つまたは複数の金属構造を形成するように、または他の集積回路要素を形成するように構成され得る。

10

【0049】

製造システムは、分散型アーキテクチャ（たとえば、階層）を有することができる。たとえば、製造システムは、分散型アーキテクチャに従って分散された、プロセッサ 734 などの1つもしくは複数のプロセッサ、メモリ 735 などの1つもしくは複数のメモリ、および／またはコントローラを含むことができる。分散型アーキテクチャは、1つまたは複数の低レベルシステムの動作を制御または開始する高レベルプロセッサを含むことができる。たとえば、製造プロセス 728 の高レベル部分は、プロセッサ 734 などの1つまたは複数のプロセッサを含むことができ、低レベルシステムは、各々、1つもしくは複数の対応するコントローラを含むことができ、または、1つもしくは複数の対応するコントローラによって制御され得る。特定の低レベルシステムの特定のコントローラは、高レベルシステムから1つまたは複数の命令（たとえば、コマンド）を受信することができ、サブコマンドを下位のモジュールまたはプロセスツールに発行することができ、高レベルシステムに状態データを通信し戻すことができる。1つまたは複数の低レベルシステムの各々は、製造機器の1つまたは複数の対応する部分（たとえば、処理ツール）に関連付けられ得る。特定の実施形態では、製造システムは、製造システム内に分散された複数のプロセッサを含むことができる。たとえば、製造システムの低レベルシステム構成要素のコントローラは、プロセッサ 734 などのプロセッサを含むことができる。

20

【0050】

代替的には、プロセッサ 734 は、製造システムの高レベルシステム、サブシステム、または構成要素の一部であり得る。別の実施形態では、プロセッサ 734 は、製造システムの様々なレベルおよび構成要素での分散処理を含む。

30

【0051】

したがって、メモリ 735 は、プロセッサ 734 によって実行されたとき、プロセッサ 734 に、基板に結合されたスパイクルインダクタの第1の導電性スパイクルの形成を開始または制御させるプロセッサ実行可能命令を含むことができる。たとえば、第1の導電性スパイクルを含む第1の導電層は、流動性化学蒸着（F C V D）ツールまたはスピノン堆積ツールなどの、1つまたは複数の堆積ツールによって形成され得る。第1の導電性スパイクルは、湿式エッティング装置、乾式エッティング装置、またはプラズマエッティング装置などの、1つまたは複数のエッティング機またはエッティング装置によって、第1の導電層からエッティングされ得る。プロセッサ実行可能命令の実行は、さらに、プロセッサ 734 に、スパイクルインダクタの第2の導電性スパイクルの形成を開始または制御させることができ。たとえば、第2の導電性スパイクルを含む第2の導電層は、流動性化学蒸着（F C V D）ツールまたはスピノン堆積ツールなどの、1つまたは複数の堆積ツールによって形成され得る。第2の導電性スパイクルは、湿式エッティング装置、乾式エッティング装置、またはプラズマエッティング装置などの、1つまたは複数のエッティング機またはエッティング装置によって、第2の導電層からエッティングされ得る。第2の導電性スパイクルは、第1の導電性スパイクルに重なることができる。スパイクルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有することができる。最内周ターンの第1の部分は、第1の導電性スパイクルの第1の部分を含むことができ、第2の導電性スパイクルを含まなくてもよい。最内周ターンの第2の部分は、第2の導電性スパイクルの第

40

50

1の部分を含むことができる。スパイラルインダクタの最外周ターンの一部分は、基板に垂直な方向に第2の厚さを有することができる。第2の厚さは、第1の厚さよりも大きくてもよい。最外周ターンの部分は、第1の導電性スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含むことができる。

【0052】

さらに、メモリ735は、プロセッサ734によって実行されたとき、プロセッサ734に、基板に結合されたスパイラルインダクタの導電性スパイラルの形成を開始または制御させるプロセッサ実行可能命令を含むことができる。たとえば、導電性スパイラルを含む第1の導電層は、流動性化学蒸着(FCVD)ツールまたはスピノン堆積ツールなどの、1つまたは複数の堆積ツールによって形成され得る。導電性スパイラルは、湿式エッチング装置、乾式エッチング装置、またはプラズマエッチング装置などの、1つまたは複数のエッチング機またはエッチング装置によって、第1の導電層からエッチングされ得る。プロセッサ実行可能命令の実行は、さらに、プロセッサ734に、導電性スパイラルの上のスパイラルインダクタの導電層の形成を開始または制御させることができる。たとえば、導電層を含む第2の導電層は、流動性化学蒸着(FCVD)ツールまたはスピノン堆積ツールなどの、1つまたは複数の堆積ツールによって形成され得る。導電層は、湿式エッチング装置、乾式エッチング装置、またはプラズマエッチング装置などの、1つまたは複数のエッチング機またはエッチング装置によって、第2の導電層からエッチングされ得る。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有することができる。スパイラルインダクタの最内周ターンの第2の部分は、基板に垂直な方向に第2の厚さを有することができる。第2の厚さは、第1の厚さよりも大きくてもよい。スパイラルインダクタの厚さは、第1の厚さから第2の厚さまで、勾配に従って増加することができる。

10

20

30

40

【0053】

例示的な例として、プロセッサ734は、基板に結合されたスパイラルインダクタの第1の導電性スパイラルを形成するためのステップを制御することができる。たとえば、プロセッサ734は、基板に結合されたスパイラルインダクタの第1の導電性スパイラルを形成するためのステップを実行するために、製造機器の1つまたは複数の部分を制御する、1つまたは複数のコントローラに埋め込まれ得、または、これらのコントローラに結合され得る。プロセッサ734は、第1の導電性スパイラルの形成を制御することによって、第1の導電性スパイラルを形成するように構成された1つまたは複数の他のプロセスを制御することによって、または、それらの任意の組み合わせによって、第1の導電性スパイラルを形成するためのステップを制御することができる。プロセッサ734は、また、スパイラルインダクタの第2の導電性スパイラルを形成するためのステップを制御することができる。プロセッサ734は、第2の導電性スパイラルの形成を制御することによって、第2の導電性スパイラルを形成するように構成された1つまたは複数の他のプロセスを制御することによって、または、それらの任意の組み合わせによって、第2の導電性スパイラルを形成するためのステップを制御することができる。第2のスパイラルは、第1の導電性スパイラルに重なることができる。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有することができる。最内周ターンの第1の部分は、第1の導電性スパイラルの第1の部分を含むことができ、第2の導電性スパイラルを含まなくてもよい。最内周ターンの第2の部分は、第2の導電性スパイラルの第1の部分を含むことができる。スパイラルインダクタの最外周ターンの一部分は、基板に垂直な方向に第2の厚さを有することができる。第2の厚さは、第1の厚さよりも大きくてもよい。最外周ターンの部分は、第1の導電性スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含むことができる。集積回路製造プロセス(たとえば、湿式エッチング、乾式エッチング、堆積、平坦化、リソグラフィ、またはそれらの組み合わせ)は、第1の導電性スパイラルと第2の導電性スパイラルとを製造するために使用され得る。

【0054】

50

別の例示的な例として、プロセッサ 734 は、基板に結合されたスパイラルインダクタの導電性スパイラルを形成するためのステップを制御することができる。たとえば、プロセッサ 734 は、基板に結合されたスパイラルインダクタの導電性スパイラルを形成するためのステップを実行するために製造機器の 1つまたは複数の部分を制御する 1つまたは複数のコントローラに埋め込まれ得、または、これらのコントローラに結合され得る。プロセッサ 734 は、導電性スパイラルの形成を制御することによって、導電性スパイラルを形成するように構成された 1つまたは複数の他のプロセスを制御することによって、またはそれらの任意の組み合わせによって、導電性スパイラルを形成するためのステップを制御することができる。プロセッサ 734 は、また、導電性スパイラルの上にスパイラルインダクタの導電層を形成するためのステップを制御することができる。プロセッサ 734 は、導電層の形成を制御することによって、導電層を形成するように構成された 1つまたは複数の他のプロセスを制御することによって、またはそれらの任意の組み合わせによって、導電層を形成するためのステップを制御することができる。スパイラルインダクタの最内周ターンの第 1 の部分は、基板に垂直な方向に第 1 の厚さを有することができる。最内周ターンの第 2 の部分は、基板に垂直な方向に第 2 の厚さを有することができる。第 2 の厚さは、第 1 の厚さよりも大きくてよい。スパイラルインダクタの厚さは、第 1 の厚さから第 2 の厚さまで、勾配に従って増加することができる。集積回路製造プロセス（たとえば、湿式エッチング、乾式エッチング、堆積、平坦化、リソグラフィ、またはそれらの組み合わせ）は、導電性スパイラルと導電層とを製造するために使用され得る。

10

20

【0055】

ダイ 736 は、パッケージ化プロセス 738 に提供され得、ここで、ダイ 736 は、代表的なパッケージ 740 に組み込まれる。たとえば、パッケージ 740 は、システムインパッケージ（SIP）配置などの、単一のダイ 736 または複数のダイを含むことができる。パッケージ 740 は、合同電子デバイスエンジニアリング評議会（JEDDEC）規格などの 1つまたは複数の規格または使用に準拠するように構成され得る。

30

【0056】

パッケージ 740 に関する情報は、コンピュータ 746 に記憶された構成要素ライブラリなどを介して、様々な製品設計者に配布され得る。コンピュータ 746 は、メモリ 750 に結合された 1つまたは複数の処理コアなどのプロセッサ 748 を含むことができる。プリント回路基板（PCB）ツールは、ユーザインターフェース 744 を介してコンピュータ 746 のユーザから受信された PCB 設計情報 742 を処理するために、メモリ 750 にプロセッサ実行可能命令として記憶され得る。PCB 設計情報 742 は、回路基板上のパッケージ化された電子デバイスの物理的位置決め情報を含むことができ、パッケージ化された電子デバイスは、（たとえば、図 1 の基板 102 または図 2 の基板 202 に対応する）基板に結合された（たとえば、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 に対応する）スパイラルインダクタを含むパッケージ 740 に対応する。

30

【0057】

コンピュータ 746 は、回路基板上のパッケージ化された電子デバイスの物理的位置決め情報ならびにトレースおよびビアなどの電気的接続のレイアウトを含むデータを有する G E R B E R ファイル 752 などのデータファイルを生成するために、PCB 設計情報 742 を変換するように構成され得、ここで、パッケージ化された電子デバイスは、（たとえば、図 1 の基板 102 または図 2 の基板 202 に対応する）基板に結合された（たとえば、図 1 のスパイラルインダクタ 104 または図 2 のスパイラルインダクタ 204 に対応する）スパイラルインダクタを含むパッケージ 740 に対応する。他の実施形態では、変換された PCB 設計情報によって生成されたデータファイルは、GERBER フォーマット以外のフォーマットを有することができる。

40

【0058】

GERBER ファイル 752 は、基板アセンブリプロセス 754 で受信され得、GERBER ファイル 752 内に記憶された設計情報に従って製造された代表的な PCB 756

50

などのP C Bを作成するために使用され得る。たとえば、G E R B E R ファイル 7 5 2 は、P C B 製造プロセスの様々なステップを実行するために、1つまたは複数の機械にアップロードされ得る。P C B 7 5 6 には、代表的なプリント回路アセンブリ (P C A) 7 5 8 を形成するために、パッケージ 7 4 0 を含む電子構成要素が入れられる。

【 0 0 5 9 】

P C A 7 5 8 は、製品製造業者 7 6 0 において受け取られ、第 1 の代表的な電子デバイス 7 6 2 および第 2 の代表的な電子デバイス 7 6 4 のような、1つまたは複数の電子デバイスとして集積される。例示的な非限定的な例として、第 1 の代表的な電子デバイス 7 6 2 、第 2 の代表的な電子デバイス 7 6 4 、または両方は、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンタテイメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末 (P D A) 、固定位置データユニット、およびコンピュータから選択され得、その中に、(たとえば、図 1 の基板 1 0 2 または図 2 の基板 2 0 2 に対応する) 基板に結合された(たとえば、図 1 のスパイラルインダクタ 1 0 4 または図 2 のスパイラルインダクタ 2 0 4 に対応する)スパイラルインダクタが組み込まれる。別の例示的な非限定的な例として、電子デバイス 7 6 2 および 7 6 4 のうちの1つまたは複数は、携帯電話、ハンドヘルドパーソナル通信システム (P C S) ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム (G P S) 対応デバイス、ナビゲーションデバイス、メータ検針機器などの固定位置データユニット、または、データもしくはコンピュータ命令を記憶するもしくは引き出す任意の他のデバイス、またはそれらの任意の組み合わせなどの、遠隔ユニットであり得る。図 7 は、本開示の教示による遠隔ユニットを示しているが、本開示は、これらの例示されたユニットに限定されない。本開示の実施形態は、好ましくは、メモリとオンチップ回路とを含む能動集積回路を含む任意のデバイスで使用され得る。

【 0 0 6 0 】

(たとえば、図 1 の基板 1 0 2 または図 2 の基板 2 0 2 に対応する) 基板に結合された(たとえば、図 1 のスパイラルインダクタ 1 0 4 または図 2 のスパイラルインダクタ 2 0 4 に対応する)スパイラルインダクタを含むデバイスは、例示的な製造プロセス 7 0 0 で説明したように、製造され得、処理され得、電子デバイス内に組み込まれ得る。図 1 ~ 図 6 に関して開示される実施形態の1つまたは複数の態様は、ライプラリファイル 7 1 2 、G D S I I ファイル 7 2 6 、および G E R B E R ファイル 7 5 2 内など、様々な処理ステージにおいて含まれ、ならびに、調査コンピュータ 7 0 6 のメモリ 7 1 0 、設計コンピュータ 7 1 4 のメモリ 7 1 8 、コンピュータ 7 4 6 のメモリ 7 5 0 、基板アセンブリプロセス 7 5 4 においてなど様々なステージにおいて使用される1つまたは複数の他のコンピュータまたはプロセッサ(図示せず)のメモリにおいて格納され、また、マスク 7 3 2 、ダイ 7 3 6 、パッケージ 7 4 0 、P C A 7 5 8 、プロトタイプ回路もしくはデバイス(図示せず)などの他の製品、またはその任意の組み合わせなどの1つまたは複数の他の物理実施形態に組み込まれ得る。様々な代表的なステージが、図 1 ~ 図 6 を参照して示されているが、他の実施形態では、より少ないステージが使用され得、または、追加のステージが含まれ得る。同様に、図 7 のプロセス 7 0 0 は、製造プロセス 7 0 0 の様々な段階を実行する、単一のエンティティによって、または1つもしくは複数のエンティティによって実行され得る。

【 0 0 6 1 】

説明した実施形態と併せて、非一時的コンピュータ可読媒体は、プロセッサによって実行されたとき、プロセッサに、基板に結合されたスパイラルインダクタの第1の導電性スパイラルの形成を開始させる命令を記憶する。非一時的コンピュータ可読媒体は、さらに、プロセッサによって実行されたとき、プロセッサに、スパイラルインダクタの第2の導電性スパイラルの形成を開始させる命令を記憶することができる。第2の導電性スパイラルは、第1の導電性スパイラルに重なることができる。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有することができる。最内周ターンの第1の部分は、第1の導電性スパイラルの第1の部分を含むことができ、第2の導電

10

20

30

40

50

性スパイラルを含まなくてもよい。最内周ターンの第2の部分は、第2の導電性スパイラルの第1の部分を含むことができる。スパイラルインダクタの最外周ターンの一部分は、基板に垂直な方向に第2の厚さを有することができる。第2の厚さは、第1の厚さよりも大きくてよい。最外周ターンの部分は、第1の導電性スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含むことができる。非一時的コンピュータ可読媒体は、図6のメモリ632に、または、図7のメモリ710、メモリ718、もしくはメモリ750に対応することができる。プロセッサは、図6のプロセッサ612に、または、図7のプロセッサ708、プロセッサ716、もしくはプロセッサ748に対応することができる。基板は、図1の基板102、図2の基板202、または図6の基板602に対応することができる。スパイラルインダクタは、図1のスパイラルインダクタ104、図2のスパイラルインダクタ204、図3の変化する厚さのスパイラルインダクタ304、または図6のスパイラルインダクタ604に対応することができる。第1の導電性スパイラルは、図1の導電層108もしくは第2の導電性スパイラル110に、または、図2の導電層208もしくは第2の導電性スパイラル210に対応することができる。第2の導電性スパイラルは、図1の第1の導電性スパイラル106もしくは導電層108に、または、図2の第1の導電性スパイラル206もしくは導電層208に対応することができる。

10

【0062】

説明した実施形態と併せて、非一時的コンピュータ可読媒体は、プロセッサによって実行されたとき、プロセッサに、基板に結合されたスパイラルインダクタの導電性スパイラルの形成を開始させる命令を記憶する。非一時的コンピュータ可読媒体は、さらに、プロセッサによって実行されたとき、プロセッサに、導電性スパイラルの上にスパイラルインダクタの導電層を形成させる命令を記憶することができる。スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有することができる。最内周ターンの第2の部分は、基板に垂直な方向に第2の厚さを有することができる。第2の厚さは、第1の厚さよりも大きくてよい。スパイラルインダクタの厚さは、第1の厚さから第2の厚さまで、勾配に従って増加することができる。非一時的コンピュータ可読媒体は、図7のメモリ710、メモリ718、またはメモリ750に対応することができる。プロセッサは、図7のプロセッサ708、プロセッサ716、プロセッサ734、またはプロセッサ748に対応することができる。基板は、図2の基板202または図6の基板602に対応することができる。スパイラルインダクタは、図2のスパイラルインダクタ204または図6のスパイラルインダクタ604に対応することができる。導電性スパイラルは、図2の導電層208または第2の導電性スパイラル210に対応することができる。導電層は、図2の第1の導電性スパイラル206または導電層208に対応することができる。

20

【0063】

当業者は、さらに、本明細書で開示した実施形態に関連して説明した様々な例示的な論理ブロック、構成、モジュール、回路、およびアルゴリズムステップが、電子ハードウェア、プロセッサによって実行されるコンピュータソフトウェア、または両方の組み合わせとして実装され得ることを理解するであろう。様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップは、それらの機能の観点から一般的に上記で説明されている。そのような機能が、ハードウェアまたはプロセッサ実行可能命令のどちらとして実装されるのかは、システム全体に課される特定のアプリケーションおよび設計制約に依存する。当業者は、説明した機能を各々の特定のアプリケーションのために様々な方法で実装することができるが、そのような実装の決定は、本開示の範囲からの逸脱を引き起こすと解釈されるべきではない。

30

【0064】

本明細書で開示した実施形態に関連して説明した方法またはアルゴリズムのステップは、直接ハードウェアにおいて、プロセッサによって実行されるソフトウェアモジュールにおいて、またはこれら2つの組み合わせにおいて具体化され得る。ソフトウェアモジュ

40

50

ルは、ランダムアクセスメモリ(R A M)、フラッシュメモリ、読み取り専用メモリ(R O M)、プログラマブル読み取り専用メモリ(P R O M)、消去可能プログラマブル読み取り専用メモリ(E P R O M)、電気的消去可能プログラマブル読み取り専用メモリ(E E P R O M)、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読み取り専用メモリ(C D - R O M)などのメモリに存在し得る。メモリは、当業者に知られている任意の形態の非一時的記憶媒体を含んでよい。例示的な記憶媒体(たとえば、メモリ)は、プロセッサが記憶媒体から情報を読み取り、そこに情報を書き込めるようにプロセッサに結合される。代わりに、記憶媒体は、プロセッサと一体化されてもよい。プロセッサおよび記憶媒体は特定用途向け集積回路(A S I C)に常駐してよい。A S I C はコンピューティングデバイスまたはユーザ端末に常駐してよい。代替策では、プロセッサおよび記憶媒体は別個の構成要素としてコンピューティングデバイスまたはユーザ端末に常駐してよい。

10

【 0 0 6 5 】

開示された実施形態の前述の説明は、当業者が開示された実施形態を製作または使用することを可能にするために提供される。これらの実施形態に対する様々な修正は、当業者には容易に明らかであり、本明細書で定義された原理は、本開示の範囲から逸脱することなく、他の実施形態に適用され得る。したがって、本開示は、本明細書に示す実施形態に限定するように意図されるものではなく、以下の特許請求の範囲によって定義される原理および新規な特徴と一致する可能な最も広い範囲を与えられるべきである。

20

【 符号の説明 】

【 0 0 6 6 】

1 0 0	システム	
1 0 2	基板	
1 0 4	スパイラルインダクタ	
1 0 6	第 1 の導電性スパイラル	
1 0 8	導電層	
1 1 0	第 2 の導電性スパイラル	
1 1 2	第 1 のパッシベーション層	
1 1 4	第 2 のパッシベーション層	
1 1 6	第 1 の導線	30
1 1 8	第 2 の導線	
1 2 0	第 1 の部分	
1 2 2	第 2 の部分	
1 2 4	第 4 の部分	
1 2 6	第 3 の部分	
2 0 0	システム	
2 0 2	基板	
2 0 4	スパイラルインダクタ	
2 0 6	第 1 の導電性スパイラル	
2 0 8	導電層	40
2 1 0	第 2 の導電性スパイラル	
2 1 2	第 2 の点	
2 1 4	第 1 の点	
2 2 2	最内周ターンの部分	
3 0 0	例示的な図	
3 0 2	均一の厚さのスパイラルインダクタ	
3 0 4	変化する厚さのスパイラルインダクタ	
3 0 6	表	
6 0 0	モバイルデバイス	
6 0 2	基板	50

6 0 4	スパイラルインダクタ	
6 0 6	無線周波数（R F）段	
6 1 2	プロセッサ	
6 2 2	システムオンチップデバイス	
6 2 6	ディスプレイコントローラ	
6 2 8	ディスプレイ	
6 3 0	入力デバイス	
6 3 2	メモリ	
6 3 4	C O D E C	10
6 3 6	スピーカ	
6 3 8	マイクロフォン	
6 4 0	ワイヤレスコントローラ	
6 4 2	アンテナ	
6 4 4	電源	
7 0 0	電子デバイス製造プロセス	
7 0 2	物理デバイス情報	
7 0 4	ユーザインターフェース	
7 0 6	調査コンピュータ	
7 0 8	プロセッサ	
7 1 0	メモリ	20
7 1 2	ライブラリファイル	
7 1 4	設計コンピュータ	
7 1 6	プロセッサ	
7 1 8	メモリ	
7 2 0	電子設計自動化（E D A）ツール	
7 2 2	回路設計情報	
7 2 4	ユーザインターフェース	
7 2 6	G D S I I ファイル	
7 2 8	製造プロセス	
7 3 0	マスク製造業者	30
7 3 2	マスク	
7 3 3	ウェハ	
7 3 4	プロセッサ	
7 3 5	メモリ	
7 3 6	ダイ	
7 3 8	パッケージ化プロセス	
7 4 0	パッケージ	
7 4 2	P C B 設計情報	
7 4 4	ユーザインターフェース	
7 4 6	コンピュータ	40
7 4 8	プロセッサ	
7 5 0	メモリ	
7 5 2	G E R B E R ファイル	
7 5 4	基板アセンブリプロセス	
7 5 6	P C B	
7 5 8	プリント回路アセンブリ（P C A）	
7 6 0	製品製造業者	
7 6 2	電子デバイス	
7 6 4	電子デバイス	

【図1】

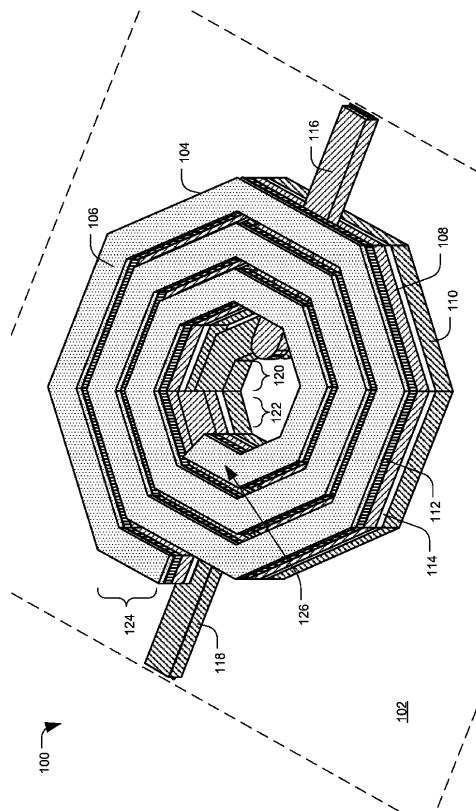


FIG. 1

【図2】

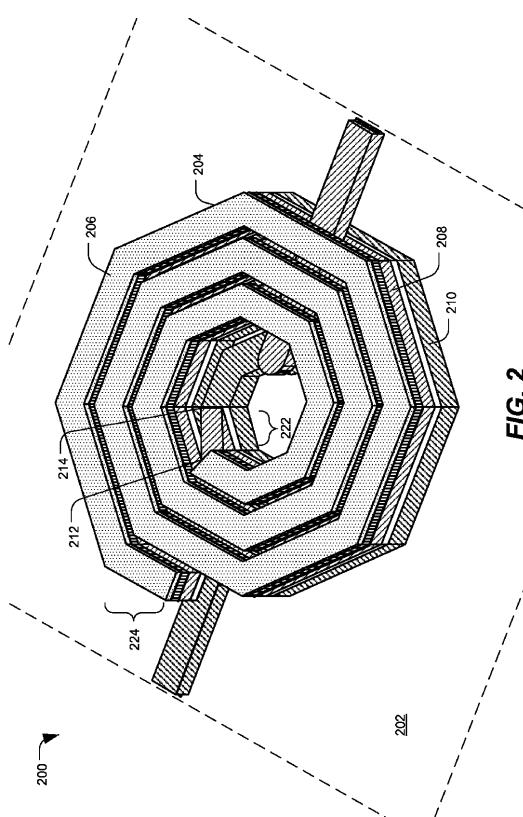
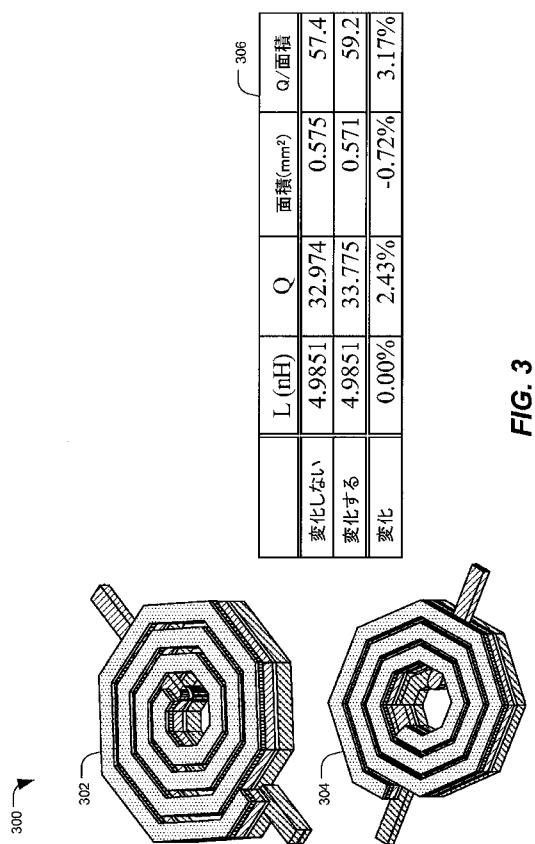


FIG. 2

【図3】



【図4】

400

402

404

基板に結合されたスパイラルインダクタの第1の導電性スパイラルを形成する。

スパイラルインダクタの第2の導電性スパイラルを形成し、第2の導電性スパイラルは、第1の導電性スパイラルに重なり、スパイラルインダクタの最内周ターンの第1の部分は、基板に垂直な方向に第1の厚さを有し、最内周ターンの第1の部分は、第1の導電性スパイラルの第1の部分を含み、第2の導電性スパイラルを含まず、最内周ターンの第2の部分は、第2の導電性スパイラルの第1の部分を含み、スパイラルインダクタの最外周ターンの一部は、基板に垂直な方向に第2の厚さを有し、第2の厚さは、第1の厚さよりも大きく、最外周ターンの部分は、第1の導電性スパイラルの第2の部分と、第2の導電性スパイラルの第2の部分とを含む

FIG. 4

【図 5】

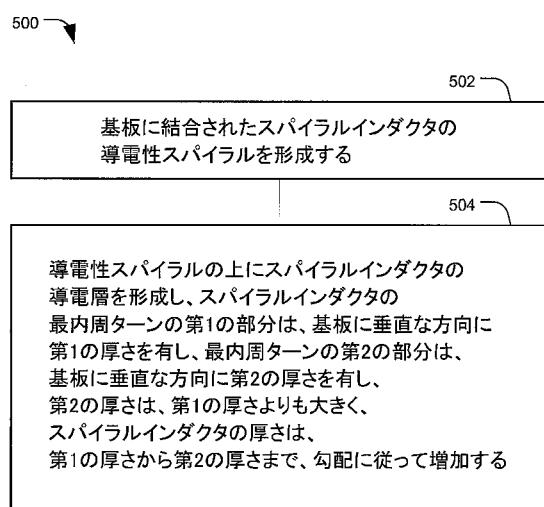


FIG. 5

【図 6】

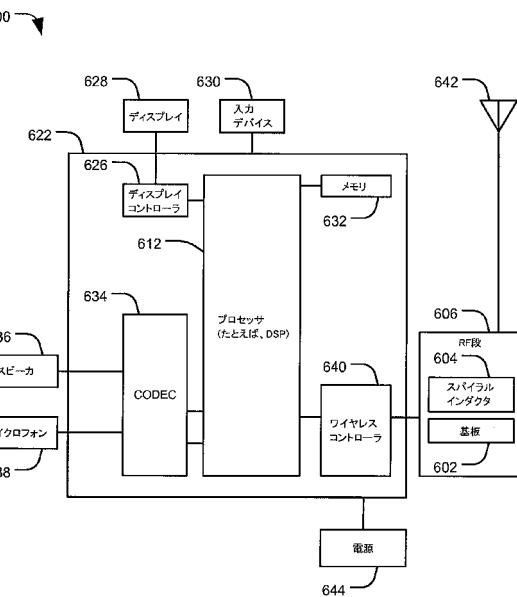


FIG. 6

【図 7】

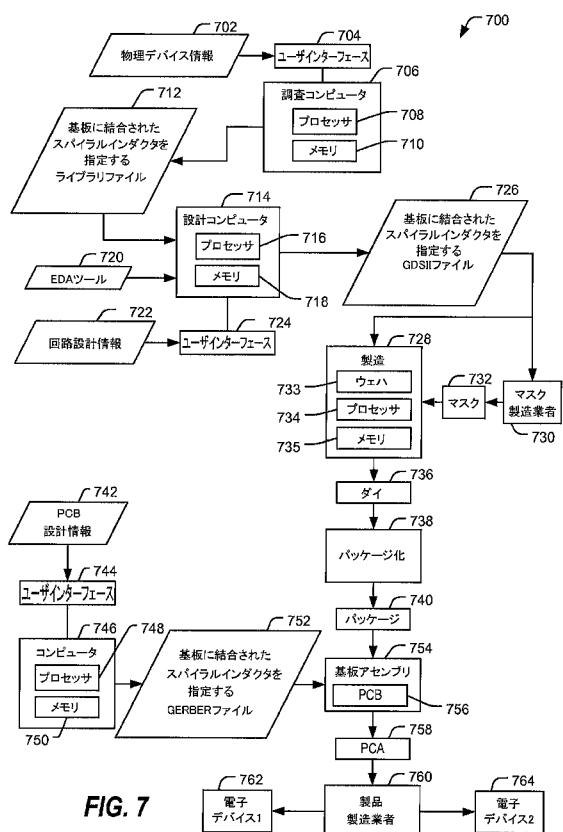


FIG. 7

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2014/048723

A. CLASSIFICATION OF SUBJECT MATTER INV. H01F17/00 ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols) H01F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
--

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT
--

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2006/284719 A1 (LEE SHENG-YUAN [TW]) 21 December 2006 (2006-12-21) paragraph [0033]; figure 7 paragraph [0034] - paragraph [0035] -----	1-30
A	US 2005/104158 A1 (BHATTACHARJEE JISHNU [US] ET AL) 19 May 2005 (2005-05-19) abstract; figure 3a -----	1-30
A	US 2008/169895 A1 (LEE SHENG-YUAN [TW]) 17 July 2008 (2008-07-17) figure 3a -----	1-30
A	US 2009/146770 A1 (LEE MING-WEI [TW] ET AL) 11 June 2009 (2009-06-11) abstract; figure 5a ----- -/-	1-30

<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.
--

<input checked="" type="checkbox"/> See patent family annex.
--

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report
--

10 October 2014

20/10/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016
--

Authorized officer

Rouzier, Brice

INTERNATIONAL SEARCH REPORT

International application No PCT/US2014/048723

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 169 470 B1 (IBATA AKIHIKO [JP] ET AL) 2 January 2001 (2001-01-02) abstract; figure 21 -----	1-30
A	US 6 603 382 B1 (KOMAI EIICHI [JP] ET AL) 5 August 2003 (2003-08-05) paragraph [0057] - paragraph [0058]; figure 1 -----	1-30
A	US 6 985 035 B1 (KHORRAMABADI HAIDEH [US]) 10 January 2006 (2006-01-10) the whole document -----	1-30

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2014/048723

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 2006284719	A1	21-12-2006	TW US	I280593 B 2006284719 A1	01-05-2007 21-12-2006	
US 2005104158	A1	19-05-2005	NONE			
US 2008169895	A1	17-07-2008	TW US US	200830464 A 2008169895 A1 2010039205 A1	16-07-2008 17-07-2008 18-02-2010	
US 2009146770	A1	11-06-2009	TW US	200926218 A 2009146770 A1	16-06-2009 11-06-2009	
US 6169470	B1	02-01-2001	CN MY US WO	1207826 A 120914 A 6169470 B1 9720327 A1	10-02-1999 30-12-2005 02-01-2001 05-06-1997	
US 6603382	B1	05-08-2003	JP JP KR TW US	3776281 B2 2000357612 A 20010014659 A 451232 B 6603382 B1	17-05-2006 26-12-2000 26-02-2001 21-08-2001 05-08-2003	
US 6985035	B1	10-01-2006	NONE			

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,H,R,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 チェンジエ・ズオ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 チャンハン・ホビー・ユン

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 マリオ・フランシスコ・ヴェレス

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 ロバート・ポール・ミクルカ

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 シエンドン・ジャン

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 ジョンヘ・キム

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

(72)発明者 ジエ・シュン・ラン

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライブ・5775

F ターム(参考) 5E062 DD01 FF01

5E070 AA01 AB01 AB02 CB12 CB17
5F038 AZ04 EZ01 EZ02 EZ06 EZ20