

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第5785643号
(P5785643)

(45) 発行日 平成27年9月30日 (2015. 9. 30)

(24) 登録日 平成27年7月31日 (2015. 7. 31)

(51) Int. Cl.			F I		
H03L	7/10	(2006.01)	H03L	7/10	A
H03L	7/08	(2006.01)	H03L	7/08	N
H03L	7/095	(2006.01)	H03L	7/08	B
H04L	7/033	(2006.01)	H04L	7/033	
H04N	5/225	(2006.01)	H04N	5/225	F

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2014-145239 (P2014-145239)	(73) 特許権者	000005186
(22) 出願日	平成26年7月15日 (2014. 7. 15)		株式会社フジクラ
審査請求日	平成27年3月13日 (2015. 3. 13)		東京都江東区木場1丁目5番1号
早期審査対象出願		(74) 代理人	110000338
			特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
		(72) 発明者	大竹 守
			千葉県佐倉市六崎1440番地 株式会社フジクラ佐倉事業所内
		(72) 発明者	竹下 和由
			千葉県佐倉市六崎1440番地 株式会社フジクラ佐倉事業所内

最終頁に続く

(54) 【発明の名称】 アクティブケーブルおよびアクティブケーブルの制御方法

(57) 【特許請求の範囲】

【請求項1】

送信部と、ケーブルと、上記ケーブルを介して上記送信部に接続する受信部とを備えたアクティブケーブルであって、

上記送信部に信号生成装置が設けられ、

上記信号生成装置は、第1PLL回路と、上記第1PLL回路を制御する制御回路とを含み、

上記第1PLL回路は、パラメータの設定変更による動作帯域の変更が可能であり、各動作帯域にてロックしたときに、上記第1PLL回路への入力クロック信号に応じた出力クロック信号を生成し、上記制御回路は、上記パラメータの設定を、上記第1PLL回路がロックされるまで逐次変更し、

上記受信部に、上記第1PLL回路とは別の第2PLL回路が含まれ、

上記第2PLL回路のロック状況が上記送信部に通知され、上記制御回路は、この通知されたロック状況に基づいて、上記第1PLL回路のパラメータ設定をやり直すか否かを判断することを特徴とするアクティブケーブル。

【請求項2】

変更可能な複数の動作帯域によって、上記入力クロック信号の想定される周波数帯域がカバーされていることを特徴とする請求項1記載のアクティブケーブル。

【請求項3】

上記出力クロック信号では、入力クロック信号のジッタが除去されている請求項1また

10

20

は2記載のアクティブケーブル。

【請求項4】

上記第1 PLL回路は複数の分周器を含み、上記パラメータは、これら分周器の分周比の組み合わせであることを特徴とする請求項1～3のいずれか1項に記載のアクティブケーブル。

【請求項5】

上記制御回路は、過去にロックした回数の多いパラメータの順に設定を行うことを特徴とする請求項1～4のいずれか1項に記載のアクティブケーブル。

【請求項6】

上記制御回路は、各パラメータに予め付加された情報に基づいて各パラメータの設定の要否を判断することを特徴とする請求項1～5のいずれか1項に記載のアクティブケーブル。

【請求項7】

送信部と、ケーブルと、上記ケーブルを介して上記送信部に接続する受信部とを備えたアクティブケーブルであって、

上記送信部に信号生成装置が設けられ、

上記信号生成装置は、第1 PLL回路と、上記第1 PLL回路を制御する制御回路とを含み、

上記第1 PLL回路は、パラメータの設定変更による動作帯域の変更が可能であり、各動作帯域にてロックしたときに、上記第1 PLL回路への入力クロック信号に応じた出力クロック信号を生成し、上記制御回路は、上記パラメータの設定を、上記第1 PLL回路がロックされるまで逐次変更し、

上記受信部に、上記第1 PLL回路とは別の、パラメータの設定変更による動作帯域の変更が可能な第2 PLL回路が含まれ、

上記制御回路は、第1 PLL回路がロックしたパラメータを上記受信部に通知し、この通知されたパラメータに基づいて上記第2 PLL回路の設定が行われることを特徴とするアクティブケーブル。

【請求項8】

カメラリンク規格に適合していることを特徴とする請求項1から7のいずれか1項に記載のアクティブケーブル。

【請求項9】

パラメータの設定変更による動作帯域の変更が可能で、かつ各動作帯域にてロックしたときに入力クロック信号に応じた出力クロック信号を生成する第1 PLL回路を含む送信部と、ケーブルと、第2 PLL回路を含むとともに上記ケーブルを介して上記送信部に接続する受信部とを備えたアクティブケーブルの制御方法であって、

上記パラメータの設定を、上記第1 PLL回路がロックされるまで逐次変更し、

上記第2 PLL回路のロック状況を上記送信部に通知し、この通知されたロック状況に基づいて、上記第1 PLL回路のパラメータ設定をやり直すか否かを決定することを特徴とするアクティブケーブルの制御方法。

【請求項10】

パラメータの設定変更による動作帯域の変更が可能で、かつ各動作帯域にてロックしたときに入力クロック信号に応じた出力クロック信号を生成する第1 PLL回路を含む送信部と、ケーブルと、パラメータの設定変更による動作帯域の変更が可能な第2 PLL回路を含むとともに上記ケーブルを介して上記送信部に接続する受信部とを備えたアクティブケーブルの制御方法であって、

上記パラメータの設定を、上記第1 PLL回路がロックされるまで逐次変更し、

上記第1 PLL回路がロックしたパラメータを上記受信部に通知し、この通知されたパラメータに基づいて上記第2 PLL回路の設定を行うことを特徴とするアクティブケーブルの制御方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】**

本発明は、PLL回路を用いた信号生成装置に関する。

【背景技術】**【0002】**

外部機器からの画像信号等を取り扱う装置（例えば、特許文献1の伝送装置）には入力クロック信号に応じた出力クロック信号を生成するPLL（Phase Locked Loop）回路が広く利用されている。

【先行技術文献】**【特許文献】**

10

【0003】

【特許文献1】特開2012-60522号公報（2012年3月22日公開）

【発明の概要】**【発明が解決しようとする課題】****【0004】**

上記のようなPLL回路には様々な外部機器（カメラ等）の入力信号に対応可能であることが求められる。これに対して、PLL回路の動作帯域を可変とし、外部機器からの入力（周波数等）を判定してPLL回路の動作帯域を設定するような構成も考えられるが、外部機器からの入力を判定する回路等が必要となり、サイズおよびコストの増加を招来する。

20

【0005】

本発明では、様々な外部機器の入力に対応でき、かつサイズおよびコストの抑制が可能な信号生成装置を提供する。

【課題を解決するための手段】**【0006】**

本発明にかかる信号生成装置は、PLL回路と、上記PLL回路を制御する制御回路とを含み、上記PLL回路は、パラメータの設定変更による動作帯域の変更が可能であり、各動作帯域にてロックしたときに、PLL回路への入力クロック信号に応じた出力クロック信号を生成し、上記制御回路は、上記パラメータの設定を、PLL回路がロックされるまで逐次変更することを特徴とする。

30

【0007】

上記構成では、パラメータの設定の逐次変更によってPLL回路の動作帯域が逐次変更され、PLL回路がロックする。すなわち、外部からPLL回路への入力クロック信号と動作帯域とが適合するパラメータの設定において、この入力クロック信号に応じた出力クロック信号を得ることができる。

【0008】

これにより、外部からの入力を判定する回路等が不要となり、外部からの様々な入力に対応でき、かつサイズおよびコストの抑制が可能な信号生成装置を実現することができる。

【0009】

40

本信号生成装置では、変更可能な複数の動作帯域によって、上記入力クロック信号の想定される周波数帯域がカバーされていることが望ましい。

【0010】

例えば、カメラリンク規格の入力クロック信号は20～85MHzであり、複数の動作帯域によってこれがカバーされていることで、規格に応じた様々な入力クロック信号に対応可能となる。

【0011】

本信号生成装置では、上記出力クロック信号では、入力クロック信号のジッタが除去されている構成とすることもできる。

【0012】

50

PLL回路は、回路特性（例えば、時定数）の調整によってジッタ除去機能を有するため、上記構成をもつ信号生成装置は、様々な入力クロック信号に対応可能なジッタ除去装置として利用することができる。

【0013】

本信号生成装置では、上記PLL回路は複数の分周器を含み、上記パラメータは、これら分周器の分周比の組み合わせである構成とすることもできる。

【0014】

このように、上記パラメータを分周比の組み合わせとすることでPLL回路の動作帯域の変更が容易になる。

【0015】

本信号生成装置では、上記制御回路は、過去にロックした回数の多いパラメータの順に設定を行う構成とすることもできる。

【0016】

こうすれば、パラメータの設定に要する時間を短縮することができる。

【0017】

本信号生成装置では、上記制御回路は、各パラメータに予め付加された情報に基づいて各パラメータの設定の要否を判断する構成とすることもできる。

【0018】

こうすれば、制御回路のメモリ使用を抑えながら、設定に要する時間を短縮することができる。

【0019】

本アクティブケーブルは、送信部と、ケーブルと、上記ケーブルを介して上記送信部に接続する受信部とを含み、上記送信部および上記受信部の少なくとも一方に、上記信号生成装置が含まれることを特徴とする。

【0020】

アクティブケーブルには様々なクロック信号が入力されるため、上記信号生成装置を好適に利用することができる。

【0021】

本アクティブケーブルでは、上記送信部に上記信号生成装置が含まれ、上記受信部に上記信号生成装置のPLL回路とは別のPLL回路が含まれ、上記受信部に含まれる上記別のPLL回路のロック状況が上記送信部に通知され、上記送信部に含まれる上記信号生成装置の制御回路は、この通知されたロック状況に基づいて、上記信号生成装置のPLL回路のパラメータ設定をやり直すか否かを判断する構成とすることもできる。

【0022】

上記構成によれば、受信部のロックが外れる等の受信部側の異常に対しても送信部のPLL回路のパラメータ設定を行うことが可能となる。

【0023】

本アクティブケーブルでは、上記送信部に上記信号生成装置が含まれ、上記受信部に、上記信号生成装置のPLL回路とは別の、パラメータの設定変更による動作帯域の変更が可能なPLL回路が含まれ、上記送信部に含まれる上記信号生成装置の制御回路は、この信号生成装置のPLL回路がロックしたパラメータを上記受信部に通知し、この通知されたパラメータに基づいて上記受信部に含まれる上記別のPLL回路の設定が行われる構成とすることもできる。

【0024】

上記構成によれば、受信側では送信部側のようなPLL回路の設定が不要となるため、受信部側での処理速度が高められる。

【0025】

本アクティブケーブルはCamera Link（登録商標）の規格（以下、「カメラリンク規格」と記載）に適合していることが望ましい。カメラリンク規格ではカメラからのクロック信号の周波数の範囲が決まっており、また、カメラによって周波数が異なっている。本ア

10

20

30

40

50

クティブケーブルの信号生成装置によれば、変更可能な複数の動作帯域によってカメラリンク規格の入力周波数の範囲をカバーでき、様々なカメラに対応できる。

【0026】

また、カメラリンク規格にはジッタ規制がなく、カメラからの入力に大きなジッタが含まれていることもある。本アクティブケーブルの信号生成装置にはジッタ除去機能をもたせることができるため、カメラからの入力に大きなジッタが含まれているような場合でも適切な信号伝送が可能となる。

【0027】

本信号生成方法は、パラメータの設定変更による動作帯域の変更が可能であり、各動作帯域にてロックしたときに、入力クロック信号に応じた出力クロック信号を生成するPLL回路を用いた信号生成方法であって、上記パラメータの設定を、PLL回路がロックされるまで逐次変更することを特徴とする。

10

【0028】

上記構成では、パラメータの設定の逐次変更によってPLL回路の動作帯域が逐次変更され、PLL回路がロックする。すなわち、外部からPLL回路への入力クロック信号とPLL回路の動作帯域とが適合するパラメータの設定において、この入力クロック信号に応じた出力クロック信号を得ることができる。

【0029】

これにより、外部からの入力を判定する回路等が不要となり、外部からの様々な入力に対応でき、かつサイズおよびコストの抑制が可能な信号生成装置を実現することができる。

20

【発明の効果】

【0030】

本発明によれば、様々な外部機器の入力に対応でき、かつサイズおよびコストの抑制が可能な信号生成装置を実現することができる。

【図面の簡単な説明】

【0031】

【図1】実施の形態1にかかる伝送装置の構成を示すブロック図である。

【図2】第1ジッタクリーナの構成を示すブロック図である。

【図3】パラメータの具体例を示す表である。

30

【図4】実施の形態1にかかる第1ジッタクリーナの最適化処理を示すフローチャートである。

【図5】実施の形態2にかかる第1ジッタクリーナの最適化処理を示すフローチャートである。

【図6】実施の形態3にかかる第1ジッタクリーナの最適化処理を示すフローチャートである。

【図7】実施の形態3にかかる第1ジッタクリーナの最適化処理の別例を示すフローチャートである。

【図8】実施の形態4にかかるアクティブ光ケーブルの構成を示すブロック図である。

【図9】実施の形態4にかかる最適化処理の要否判断を示すフローチャートである。

40

【図10】実施の形態5にかかるアクティブ光ケーブルの構成を示すブロック図である。

【図11】実施の形態6にかかる最適化処理を示すフローチャートである。

【発明を実施するための形態】

【0032】

本発明の実施の形態について、図1～図11に基づいて説明すれば以下のとおりである。

【0033】

〔実施の形態1〕

図1は、実施の形態1に係る伝送装置の構成を示すブロック図である。図1に示すように、伝送装置1は、伝送元デバイス2（例えば、カメラまたはカメラに搭載されるカメラ

50

ボード)に接続される送信部10(例えば、カメラ側コネクタ)と、伝送先デバイス3(例えば、グラバまたはグラバに搭載されるグラバボード)に接続される受信部20(例えば、グラバ側コネクタ)と、送信部10および受信部20を接続するケーブル30とを備え、伝送装置1がアクティブケーブルとして機能する。

【0034】

ここで、アクティブケーブルとは、アクティブ素子(外部から供給される電力によって動作する素子)を備えるケーブルを指す。アクティブ素子の例としては、パラレル(P)/シリアル(S)変換回路(シリアライザ)、シリアル(S)/パラレル(P)変換回路(デシリアライザ)、電気/光(E/O)変換回路、光/電気(O/E)変換回路などが挙げられる。伝送装置1においては、送信部10および受信部20がアクティブ素子を備えている。

10

【0035】

送信部10は、送信器11と、第1ジッタクリーナ12と、送信器11および第1ジッタクリーナ12を制御する第1プロセッサ13(制御回路)とを備えており、第1ジッタクリーナ12および第1プロセッサ13はジッタ除去の機能をもつ信号生成装置を構成する。また、受信部20は、受信器21と、第2ジッタクリーナ22と、受信器21および第2ジッタクリーナ22を制御する第2プロセッサ23とを備えており、第2ジッタクリーナ22および第2プロセッサ23はジッタ除去機能をもつ信号生成装置を構成する。

【0036】

送信器11には伝送元デバイス2からデータ信号Xが入力され、第1ジッタクリーナ12には、伝送元デバイス2からクロック信号ck1が入力される。第1ジッタクリーナ12は、第1プロセッサ13の制御を受けてクロック信号ck1のジッタを除去したクロック信号CK1を送信器11に出力する。送信器11は、クロック信号CK1およびデータ信号Xから伝送信号TSを生成し、ケーブル30内の伝送路に出力する。

20

【0037】

受信器21は伝送路より受けた伝送信号TSからデータ信号Xおよびクロック信号ck2を生成し、データ信号Xを伝送先デバイス3に出力するとともに、クロック信号ck2を第2ジッタクリーナ22に出力する。第2ジッタクリーナ22は、第2プロセッサ23の制御を受けてクロック信号ck2のジッタを除去したクロック信号CK2を伝送先デバイス3に出力する。

30

【0038】

送信部10の第1ジッタクリーナ12の構成を図2に示す。図2に示すように、第1ジッタクリーナ12は、PLL回路40、レジスタ50、ロック検出回路60、およびロック検出ピン70(適宜LDと略記する)を備える。PLL回路40は、第1分周回路(1/A分周回路)41、第2分周回路(1/B分周回路)42、第3分周回路(1/C分周回路)43、第4分周回路(1/D分周回路)44、位相比較器45、ループフィルタ46、およびVCO47(電圧制御発振回路)を備える。

【0039】

第1分周回路41は、レジスタ50に書き込まれた値Aを分周比とする分周比可変な分周回路であり、第2分周回路42は、レジスタ50に書き込まれた値Bを分周比とする分周比可変な分周回路であり、第3分周回路43は、レジスタ50に書き込まれた値Cを分周比とする分周比可変な分周回路であり、第4分周回路44は、レジスタ50に書き込まれた値Dを分周比とする分周比可変な分周回路である。

40

【0040】

第1分周回路41は、伝送元デバイス2から入力されるクロック信号ck1のA分の1倍の周波数を有するクロック信号を、位相比較器45に出力する。第2分周回路42は、第3分周回路43から入力されるクロック信号のB分の1倍の周波数を有するクロック信号を、位相比較器45に出力する。位相比較器45は、第1分周回路41から出力されたクロック信号と第2分周回路42から出力されたクロック信号との位相差に比例した値を有する位相差信号(具体的には、その電圧が位相差に比例する電圧信号)を生成する。位

50

相比較器 45 にて生成された位相差信号は、ループフィルタ 46 によって平滑化された後、VCO 47 に入力される。VCO 47 は、平滑化された位相差信号の値に比例した周波数を有するクロック信号を第 3 分周回路 43 に出力する。第 3 分周回路 43 は、VCO 47 から入力されるクロック信号の C 分の 1 倍の周波数を有するクロック信号を、第 2 分周回路 42 に出力する。第 4 分周回路 44 は、第 3 分周回路 43 から入力されるクロック信号の D 分の 1 倍の周波数を有するクロック信号 CK1 を、送信器 11 に出力する。

【0041】

このように、PLL 回路 40 は、第 1 分周回路 41 から出力されたクロック信号と第 2 分周回路 42 から出力されたクロック信号との位相差（周波数差）を 0 にする負帰還回路により構成されている。このため、第 1 分周回路 41 に入力されるクロック信号 ck1 の周波数を F_{ck1} とし、VCO 47 から出力されるクロック信号の周波数を F_{vco} とすると、入力されるクロック信号 ck1 が動作帯域であれば、 $F_{ck1} / A = F_{vco} / (B \times C)$ となるように動作する。すなわち、各動作帯域において $B = A \times D$ を満たすように分周比 A, B, D が設定されていれば、PLL 回路 40 から出力されるクロック信号 CK1 の周波数 $F_{CK1} = F_{vco} / (C \times D)$ は、PLL 回路 40 に入力されるクロック信号 ck1 の周波数 F_{ck1} に一致する（PLL 回路 40 がロックする）ようになる。

【0042】

ここで、ループフィルタ 46 の帯域を狭くして時定数を大きくすれば、PLL 回路 40 に入力されるクロック信号 ck1 の揺らぎ（ジッタ）が、PLL 回路 40 から出力されるクロック信号 CK1 に含まれないようになる。すなわち、クロック信号 ck1 に含まれるジッタを除去することが可能になる。

【0043】

なお、第 1 ジッタクリーナ 12 には、位相比較器 45 に接続するロック検出回路 60 とロック検出回路 60 に接続するロック検出ピン（LD ピン）70 とが設けられており、ロック検出回路 60 が PLL 回路 40 のロック完了を検出すると、ロック検出ピン 70 の出力が「Low (0)」から「High (1)」に立ち上がるようになっている。

【0044】

また、PLL 回路 40 の動作帯域の切り替えは、レジスタ 50 に書き込まれた分周比 A, B, C, D の書き換えによって実現される。図 3 に示すように、分周比 A, B, C および D の組み合わせであるパラメータは 11 組（設定番号 1 ~ 11）あり、第 1 プロセッサ 13 に内蔵されたメモリ（例えば、EEPROM（登録商標））に記憶されている。

【0045】

例えば、設定番号 1 のパラメータ（ $A = 100$, $B = 5000$, $C = 2$, $D = 50$ ）は、入力クロック周波数 19 - 21 (MHz) に対応し、設定番号 2 のパラメータ（ $A = 100$, $B = 4200$, $C = 2$, $D = 50$ ）は、入力クロック周波数 22 - 25 (MHz) に対応し、設定番号 11 のパラメータ（ $A = 200$, $B = 2400$, $C = 2$, $D = 12$ ）は、入力クロック周波数 78 - 90 (MHz) に対応する。図 3 の 11 組のパラメータによって 19 ~ 90 MHz の入力クロック信号がカバーされ、カメラリンク規格の入力周波数（20 ~ 85 MHz）に対応可能である。

【0046】

第 1 ジッタクリーナ 12 の PLL 回路 40 の動作帯域を伝送元デバイス 2 からのクロック信号 ck1 の周波数に適合させる処理（以下、最適化処理）は図 4 のように行われる。

【0047】

第 1 プロセッサ 13 は、メモリから設定番号 i（図 3 参照）= 1 のパラメータを読み出し（S1）、レジスタ 50 に、 $A = 100$, $B = 5000$, $C = 2$, $D = 50$ を書き込む（S2）。ついで、第 1 プロセッサ 13 は、第 1 ジッタクリーナ 12 の LD ピン 70 の出力を n 回読み出し（S3）、n 回連続で「High」となっているか否かを判定し（S4）、n 回連続で「High」となっていれば（Yes）、最適化処理を完了し、n 回のうち 1 回でも「Low」となっていれば（No）、S1 に戻って、レジスタ 50 に、 $A = 100$, $B = 4200$, $C = 2$, $D = 42$ を書き込む（S2）。ついで、第 1 プロセッサ 1

10

20

30

40

50

3は、LDピン70の出力をn回読み出し(S3)、n回連続で「High」となっているか否かを判定し(S4)、n回連続で「High」となっていれば(Yes)、PLL回路40が正常にロックしたものと判断して最適化処理を完了し、n回のうち1回でも「Low」となっていれば(No)、S1に戻ってメモリから設定番号i(図3参照)=3のパラメータを読み出し(S1)、レジスタ50に書き込む(S2)。これをi=11まで繰り返す。この最適化処理によって、クロック信号ck1のジッタを除去して得られたクロック信号CK1を送信器11に出力することができる。なお、LDピン70の出力をn回(nは2以上の整数で、例えば1000)読み出すのは、1回の読み出しでは、第1プロセッサ13がLDピン70の出力を誤検出したり、パラメータの設定の切換直後にLDピン70が「High」を誤出力したりするおそれがあるからである。このため、第1プロセッサ13は、上記最適化処理において、LDピン70の出力がn回連続で「High」となったときにPLL回路40がロックしたものと判断する。

10

【0048】

上記最適化処理が完了すると、第1プロセッサ13は定常状態に入り、一定間隔で最適化処理を繰り返し実行する。すなわち、一定間隔でLDピン70の出力を確認し、「L(0)」の時は伝送元デバイス2からの入力クロック信号の周波数が変更された、あるいは伝送元デバイス2からのクロック信号の入力が途絶えたと判断し、最適化処理を再度実行する。

【0049】

また、i=11まですべてのパラメータの設定を行っても最適化処理が完了とならない場合は、伝送元デバイス2からのクロック信号が未入力状態である、あるいは伝送元デバイス2からのクロック信号の周波数が規格外であると判断し、正常なクロック信号が入力されるまで最適化処理を繰り返す。

20

【0050】

受信部20の第2ジッタクリーナ23は第1ジッタクリーナ12と同様の構成であり、第2ジッタクリーナ23のPLL回路の動作帯域を受信器21からのクロック信号ck2の周波数に適合させる処理(最適化処理)は、第2プロセッサ23が、送信部10から独立して行う。第2プロセッサ23が行う最適化処理は、第1プロセッサ13が図4のとおり行うものと同様であり、この最適化処理によって、クロック信号ck2のジッタを除去して得られたクロック信号CK2を伝送先デバイス3に出力することができる。

30

【0051】

図1では、送信部10に第1ジッタクリーナ12を設け、受信部20に第2ジッタクリーナ22を設けているがこれに限られない。第1ジッタクリーナ12のみ設ける(第2ジッタクリーナ22は設けない)構成も可能であるし、逆に、第2ジッタクリーナ22のみ設ける(第1ジッタクリーナ12は設けない)構成も可能である。ただし、送信元デバイス2からのクロック信号ck1のジッタを除去することが主たる目的の場合は、送信部10の第1ジッタクリーナ12のみ設けることが考えられる。第1ジッタクリーナ12でクロック信号ck1のジッタが除去されれば、伝送装置1内でジッタが付加されない限り、伝送先デバイス3へのクロック信号CK2にはジッタが含まれないからである。

【0052】

実施の形態1によれば、カメラ等からの入力クロック信号の周波数等を判定する回路、例えば、FPGA(Field Programmable Gate Array)等を必要とすることなく、すなわち、サイズおよびコストの増大を招来することなく、様々な入力クロック信号に対応可能なジッタ除去機能をもつ伝送装置を実現することができる。

40

【0053】

なお、ジッタ除去機能をもたない従来のアクティブケーブルにも信号変換回路の制御や内部リンク信号の送受信を行うプロセッサが設けられている。したがって、従来のアクティブケーブルにジッタクリーナを設けるとともに、そのプロセッサに図4で示した最適化処理機能をもたせるだけでジッタ除去機能をもつアクティブケーブル(伝送装置1)を実現することができる。このように、実施の形態1ではジッタクリーナ以外の部品を追加す

50

る必要がないため、アクティブケーブル（特にコネクタ部分）のサイズおよびコストの大幅な増大を避けることができる。

【0054】

カメラリンク規格では、カメラからのクロック信号の周波数（入力周波数）が範囲（20～85MHz）で規定されており、カメラからのクロック信号の周波数は、この範囲内の任意の値を取り得る。また、カメラからのクロック信号のジッタに関する規制もない（±1.6%程度の大きなジッタのカメラについてはジッタ除去機能をもたない従来のアクティブケーブルでは適切な信号伝送ができない場合がある）。この点、伝送装置1は、変更可能な11通りの動作帯域によってカメラリンク規格の入力周波数の範囲をカバーするジッタ除去機能（例えば、ジッタを±1.0%以内に低減する）を有し、上記のとおりコネクタ部分のサイズも抑えられたものであるため、カメラリンク規格のアクティブケーブルとして好適といえる。

10

【0055】

〔実施の形態2〕

実施の形態1での最適化処理は図5のように行うこともできる。すなわち、第1プロセッサ13は、内蔵メモリからパラメータの設定履歴を読み出し（S11）、設定回数の多い順にパラメータを並べ替え、設定回数の最も多いパラメータを設定番号*i* = 1、設定回数の最も少ないパラメータを設定番号*i* = 11とする（S12）。

【0056】

そして、設定番号*i*（図3参照）= 1のパラメータを読み出し（S13）、レジスタ50に書き込む（S14）。ついで、第1プロセッサ13は、第1ジッタクリーナ12のLDピン70の出力を*n*回読み出し（S15）、*n*回連続で「High」となっているかを判定し（S16）、*n*回連続で「High」となっていれば（Yes）、メモリに今回設定したパラメータを履歴として保存し（S17）、最適化処理を完了する。ステップS16で*n*回のうち1回でも「Low」となっていれば（No）、S13に戻ってメモリから設定番号*i* = 2のパラメータを読み出し、レジスタ50に書き込む（S14）。これを*i* = 11まで繰り返す。

20

【0057】

実施の形態2によれば、接続するカメラが同じような場合に、最適化に要する時間を短縮することができる。

30

【0058】

〔実施の形態3〕

実施の形態1での最適化処理は図6のように行うこともできる。ここでは、11組のパラメータそれぞれに有効あるいは無効のフラグをあらかじめ追加しておく。フラグの追加は、ユーザに渡る前（製造段階）で行われてもよいし、ユーザにより行われてもよい。また、伝送元デバイス2からの情報に基づいて行われてもよい。第1プロセッサ13は、メモリから設定番号*i*のパラメータを読み出し（S21）、そのフラグの有効・無効を判定する（S22）。無効であれば、S21に戻って、設定番号（*i* + 1）のパラメータを読み出し、そのフラグの有効/無効を判定する（S22）。ステップS22で有効であれば、第1プロセッサ13は、そのパラメータをレジスタ50に書き込み（S23）、ついで、第1ジッタクリーナ12のLDピン70の出力を*n*回読み出し（S24）、*n*回連続で「High」となっているかを判定する（S25）。第1プロセッサ13は、ステップS25で*n*回連続で「High」となっていれば（Yes）、最適化処理を完了し、*n*回のうち1回でも「Low」となっていれば、ステップS21に戻る。これを*i* = 11まで繰り返す。

40

【0059】

実施の形態1での最適化処理は図7のように行うこともできる。ここでは、11組のパラメータそれぞれに有効あるいは無効のフラグをあらかじめ追加しておく。有効・無効の判断は、例えば、伝送元デバイス2からの情報に基づいて決定する。第1プロセッサ13は、内蔵メモリからパラメータの設定履歴を読み出し（S31）、設定回数の多い順にパ

50

ラメータを並べ替え、設定回数の最も多いパラメータを設定番号 $i = 1$ 、設定回数の最も少ないパラメータを設定番号 $i = 11$ とする (S32)。

【0060】

そして、設定番号 i (図3参照) = 1 のパラメータを読み出し (S33)、そのフラグの有効・無効を判定する (S34)。無効であれば、S33に戻って、設定番号 ($i + 1$) のパラメータを読み出し、そのフラグの有効/無効を判定する (S34)。ステップ S34 で有効であれば、第1プロセッサ13は、そのパラメータをレジスタ50に書き込む (S35)。ついで、第1プロセッサ13は、第1ジッタクリーナ12のLDピン70の出力を n 回読み出し (S36)、 n 回連続で「High」となっているか否かを判定し (S37)、 n 回連続で「High」となっていれば (Yes)、メモリに今回設定したパラメータを履歴として保存し (S38)、最適化処理を完了する。ステップ S37 で n 回のうち1回でも「Low」となっていれば (No)、ステップ S33に戻る。これを $i = 11$ まで繰り返す。

10

【0061】

実施の形態3によれば、第1プロセッサ13のメモリの使用を抑えながら、最適化に要する時間を短縮することができる。

【0062】

〔実施の形態4〕

本伝送装置を光カメラリンクケーブル (カメラリンク規格に準拠したアクティブ光ケーブル) に適用した場合の構成例を図8に示す。図8に示すように、光カメラリンクケーブル101は、カメラに接続されるカメラ側コネクタ110と、フレームグラバボード103に接続されるグラバ側コネクタ120と、カメラ側コネクタ110およびグラバ側コネクタ120を接続するケーブル130とを備える。

20

【0063】

ケーブル130には、光信号伝送路 (光ファイバ) 131と、内部リンク信号伝送路132と、制御信号 (CC1 ~ CC4) 伝送路133と、上りおよび下りシリアル信号伝送路134とが含まれる。内部リンク信号とは、カメラリンク規格により定められた制御信号 (CC1 ~ CC4) 以外の内部的な制御情報を表す信号である。

【0064】

カメラ側コネクタ110は、シリアライザ111と、第1ジッタクリーナ12と、シリアライザ111および第1ジッタクリーナ12を制御する第1プロセッサ13 (制御回路) とを備えており、第1ジッタクリーナ12および第1プロセッサ13はジッタ除去の機能をもつ信号生成装置を構成する。また、グラバ側コネクタ120は、デシリアライザ121と、デシリアライザ121を制御する第2プロセッサ24とを備えている。

30

【0065】

シリアライザ111にはカメラ102からデータ信号 $x_0 \sim x_3$ (パラレル信号) が入力され、第1ジッタクリーナ12には、カメラ102からクロック信号 ck_1 が入力される。ここで、第1ジッタクリーナ12は、第1プロセッサ13の制御を受けてクロック信号 ck_1 のジッタを除去したクロック信号 CK_1 をシリアライザ111に出力する。この工程は、実施の形態1 ~ 3で説明した最適化処理によって実現される。

40

【0066】

シリアライザ111は、クロック信号 CK_1 およびデータ信号 $x_0 \sim x_3$ (パラレル信号) から光信号 (シリアル信号) を生成し、ケーブル130内の光信号伝送路 (光ファイバ) 131に出力する。

【0067】

デシリアライザ121はケーブル130内の光信号伝送路131より受けた光信号からデータ信号 $x_0 \sim x_3$ およびクロック信号 CK_2 を生成し、これらをフレームグラバボード103に出力する。

【0068】

デシリアライザ121には、クロック信号 CK_2 を生成するPLL回路 (図示せず) と

50

、このPLL回路のロック状態を出力するロック検出ピン(LD)とが設けられる。第2プロセッサ24は、デシリアライザ121のロック検出ピン(LD)の出力を読み出し、PLL回路のロック状態を内部リンク信号伝送路132を介して第1プロセッサ13に通知する。なお、第1プロセッサ13が、内部リンク信号伝送路132および第2プロセッサ24を介してデシリアライザ121のロック検出ピン(LD)の出力を読みに行くような構成も可能である。

【0069】

第1プロセッサ13は、最適化処理後の定常状態において、デシリアライザ121のPLL回路のロック状態を考慮して最適化処理の要否判断を行う。すなわち、図9に示すように、第1ジッタクリーナ12のLDピン70の出力を確認し(S41)、「H」であれば(Yes)、ステップS42に進み、「L」であれば(No)、第1ジッタクリーナ12の最適化処理が必要と判断して最適化処理を行う(S43)。ステップS42ではデシリアライザ121のPLL回路がロックしているかを判定し、ロックしていれば(Yes)、第1ジッタクリーナ12の最適化処理が不要と判断し、ロックしていなければ(No)、第1ジッタクリーナ12の最適化処理が必要と判断して最適化処理を行う(S43)。

10

【0070】

実施の形態4によれば、デシリアライザ121のPLL回路のロックが外れる等のグラバ側コネクタ120の異常に対してもカメラ側コネクタ110の第1ジッタクリーナ12の最適化処理を行うことが可能となる。

20

【0071】

〔実施の形態5〕

本伝送装置を光カメラリンクケーブルに適用した場合の別の構成例を図10に示す。図10に示すように、光カメラリンクケーブル101は、カメラに接続されるカメラ側コネクタ110と、フレームグラバボード103に接続されるグラバ側コネクタ120と、カメラ側コネクタ110およびグラバ側コネクタ120を接続するケーブル130とを備える。

【0072】

ケーブル130には、光信号伝送路(光ファイバ)131と、内部リンク信号伝送路132と、制御信号(CC1~CC4)伝送路133と、上りおよび下りシリアル信号伝送路134とが含まれる。

30

【0073】

カメラ側コネクタ110は、シリアライザ111と、第1ジッタクリーナ12と、シリアライザ111および第1ジッタクリーナ12を制御する第1プロセッサ13(制御回路)とを備えており、第1ジッタクリーナ12および第1プロセッサ13はジッタ除去の機能をもつ信号生成装置を構成する。

【0074】

グラバ側コネクタ120は、デシリアライザ121と、第2ジッタクリーナ22と、デシリアライザ121および第2ジッタクリーナ22を制御する第2プロセッサ23(制御回路)とを備えており、第2ジッタクリーナ22および第2プロセッサ23はジッタ除去の機能をもつ信号生成装置を構成する。

40

【0075】

シリアライザ111にはカメラ102からデータ信号x0~x3(パラレル信号)が入力され、第1ジッタクリーナ12には、カメラ102からクロック信号ck1が入力される。ここで、第1ジッタクリーナ12は、第1プロセッサ13の制御を受けてクロック信号ck1のジッタを除去したクロック信号CK1をシリアライザ111に出力する。この工程は、実施の形態1~3で説明した最適化処理によって実現される。

【0076】

シリアライザ111は、クロック信号CK1およびデータ信号x0~x3(パラレル信号)から光信号(シリアル信号)を生成し、ケーブル130内の光信号伝送路(光ファイ

50

バ) 1 3 1 に出力する。

【 0 0 7 7 】

デシリアライザ 1 2 1 はケーブル 1 3 0 内の光信号伝送路 1 3 1 より受けた光信号からデータ信号 $x_0 \sim x_3$ およびクロック信号 ck_2 を生成し、データ信号 $x_0 \sim x_3$ をフレームグラバボード 1 0 3 に出力するとともに、クロック信号 ck_2 を第 2 ジッタクリーナ 2 2 に出力する。第 2 ジッタクリーナ 2 2 は、第 2 プロセッサ 2 3 の制御を受けてクロック信号 ck_2 のジッタを除去したクロック信号 CK_2 をフレームグラバボード 1 0 3 に出力する。

【 0 0 7 8 】

ここでは、第 1 プロセッサ 1 3 が、第 1 ジッタクリーナ 1 2 の最適化処理で設定されたパラメータを内部リンク信号伝送路 1 3 2 を介して第 2 プロセッサ 2 3 に通知しており、第 2 プロセッサ 2 3 は、この通知されたパラメータを第 2 ジッタクリーナ 2 2 に設定することで、クロック信号 ck_2 のジッタを除去したクロック信号 CK_2 が生成される。

【 0 0 7 9 】

なお、グラバ側コネクタ 1 2 0 に、カメラ側コネクタ 1 1 0 に設けられた第 1 ジッタクリーナ 1 2 とは異なる周波数のクロック信号を生成するジッタクリーナ (パラメータの設定変更による動作帯域の変更が可能なもの) が設けられ、このジッタクリーナの動作帯域を変更する場合もある。ここで、異なる周波数とは、例えば第 1 ジッタクリーナ 1 2 で生成される CK_1 の (N/M) 倍 (N 、 M は整数) の周波数である (N 、 M はグラバ側コネクタ 1 2 0 もしくはカメラ側コネクタ 1 1 0 内部の分周回路や逡倍回路等により決まり、最終的には (M/N) 倍されて CK_1 と同じ周波数である CK_2 としてグラバに出力される)。この場合、第 2 プロセッサ 2 3 は、第 1 プロセッサ 1 3 から通知されたパラメータに基づいて決定されたパラメータ (第 1 ジッタクリーナ 1 2 に設定されるパラメータとは異なるパラメータ) を、このジッタクリーナに設定することで、このジッタクリーナからもジッタが除去されたクロック信号が生成される。

【 0 0 8 0 】

実施の形態 4 によれば、グラバ側ではカメラ側のような最適化処理が不要となるため、グラバ側での処理速度が高められる。

【 0 0 8 1 】

〔 実施の形態 6 〕

上記各実施の形態では、最適化処理をジッタ除去の目的で行っているが、これに限定されない。例えば、図 8 や図 1 0 のシリアライザ 1 1 1 に、レジスタへのパラメータ設定によって動作帯域が変更可能な PLL 回路およびそのロックの有無を出力する LD ピンが設けられている場合に、シリアライザ 1 1 1 の PLL 回路の動作帯域をカメラから入力されるクロック信号 ck_1 に適合させる目的で、図 1 1 の最適化処理を行うこともできる。

【 0 0 8 2 】

すなわち、第 1 プロセッサ 1 3 は、メモリから設定番号 i (図 3 参照) = 1 のパラメータを読み出し (S_1)、レジスタ 5 0 に、 $A = 100$ 、 $B = 5000$ 、 $C = 2$ 、 $D = 50$ を書き込む (S_2)。ついで、第 1 プロセッサ 1 3 は、シリアライザ 1 1 1 の LD ピンの出力を n 回読み出し (S_3)、 n 回連続で「 High」となっているか否かを判定し (S_4)、 n 回連続で「 High」となっていれば (Yes)、最適化処理を完了し、 n 回のうち 1 回でも「 Low」となっていれば (No)、 S_1 に戻って、レジスタに、 $A = 100$ 、 $B = 4200$ 、 $C = 2$ 、 $D = 42$ を書き込む (S_2)。ついで、第 1 プロセッサ 1 3 は、シリアライザ 1 1 1 の LD ピンの出力を n 回読み出し (S_3)、 n 回連続で「 High」となっているか否かを判定し (S_4)、 n 回連続で「 High」となっていれば (Yes)、最適化処理を完了し、 n 回のうち 1 回でも「 Low」となっていれば (No)、 S_1 に戻ってメモリから設定番号 i (図 3 参照) = 3 のパラメータを読み出し (S_1)、レジスタに書き込む (S_2)。これを $i = 11$ まで繰り返す。この最適化処理によって、シリアライザ 1 1 1 の PLL 回路の動作帯域をカメラから入力されるクロック信号 ck_1 に適合させることができる。

10

20

30

40

50

【産業上の利用可能性】**【0083】**

本発明は、クロック信号を用いた伝送システム（例えば、カメラリンク）に適用することができる。

【符号の説明】**【0084】**

- 1 伝送装置
- 2 伝送元デバイス
- 3 伝送先デバイス
- 10 送信部
- 11 送信器
- 12 第1ジッタクリーナ
- 13 第1プロセッサ（制御回路）
- 20 受信部
- 21 受信器
- 22 第2ジッタクリーナ
- 23 第2プロセッサ
- 40 PLL回路

10

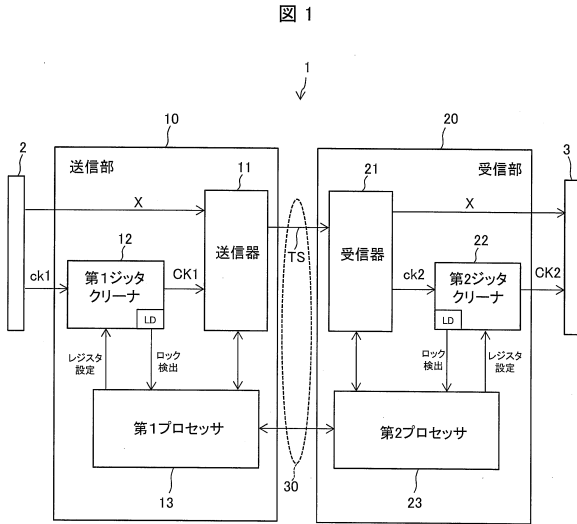
【要約】

【課題】 様々な外部機器の入力に対応でき、かつサイズおよびコストの抑制が可能な信号生成装置を提供する。 20

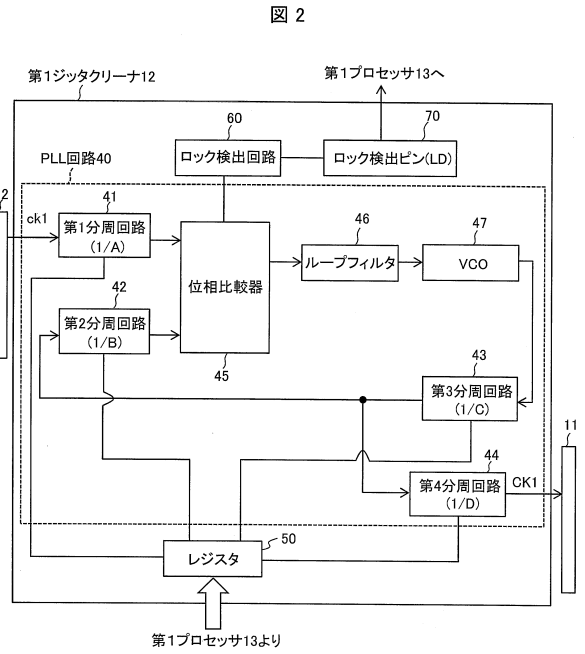
【解決手段】 本信号生成装置は、PLL回路と、上記PLL回路を制御する制御回路とを含み、上記PLL回路は、パラメータの設定変更による動作帯域の変更が可能であり、各動作帯域にてロックしたときに、PLL回路への入力クロック信号に応じた出力クロック信号を生成し、上記制御回路は、上記パラメータの設定を、PLL回路がロックされるまで逐次変更する。

【選択図】 図4

【図1】



【図2】

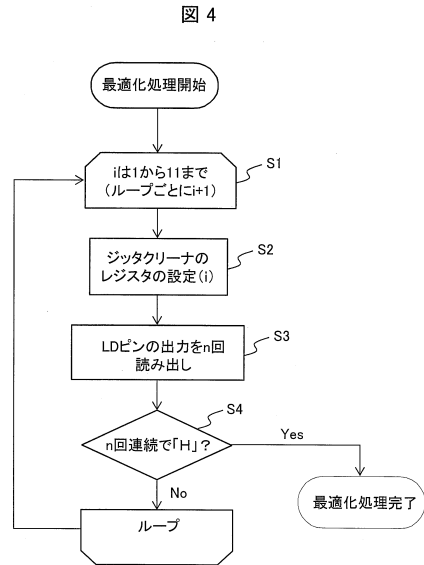


【図3】

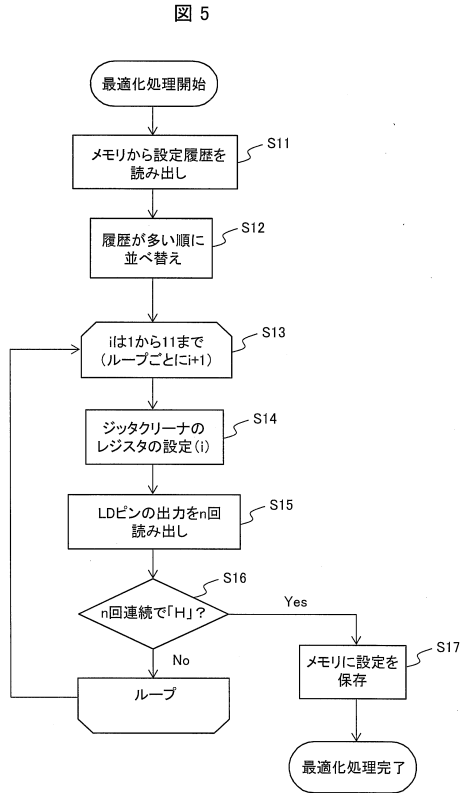
図3

設定番号(i)	入力クロック周波数帯域(MHz)	A	B	C	D
1	19~21	100	5000	2	50
2	22~25	100	4200	2	42
3	26~30	100	3600	2	36
4	31~36	100	3000	2	30
5	37~41	100	2600	2	26
6	42~49	200	4400	2	22
7	50~54	200	4000	2	20
8	55~60	200	3600	2	18
9	61~67	200	3200	2	16
10	68~77	200	2800	2	14
11	78~90	200	2400	2	12

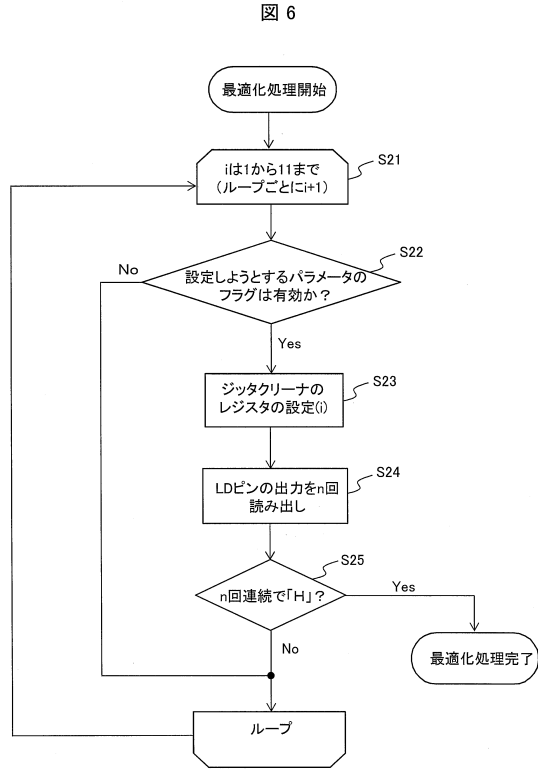
【図4】



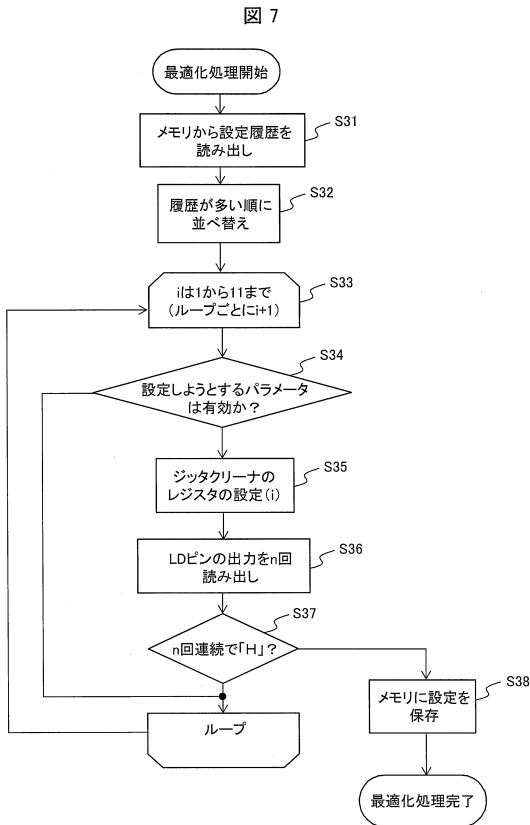
【図5】



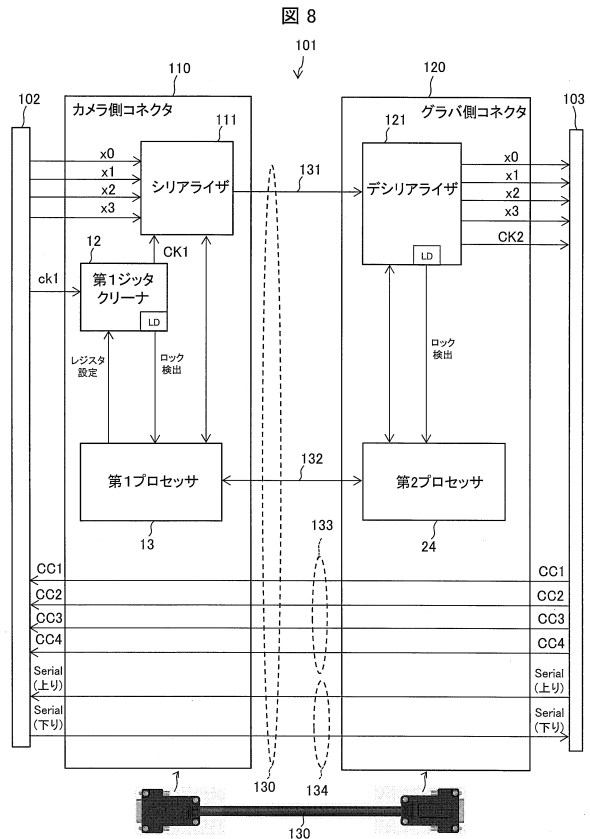
【図6】



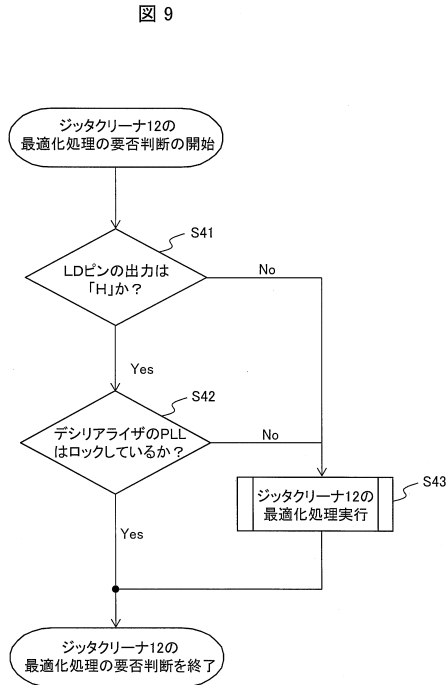
【図7】



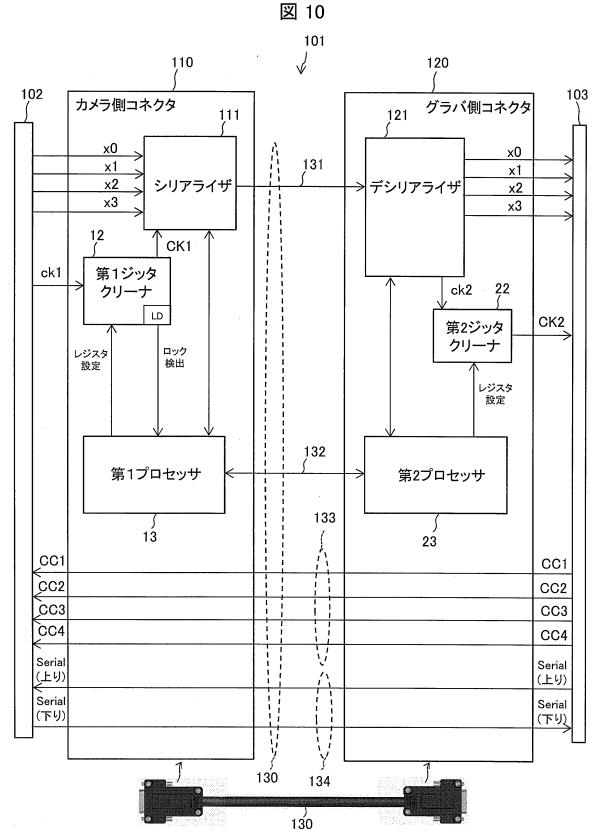
【図8】



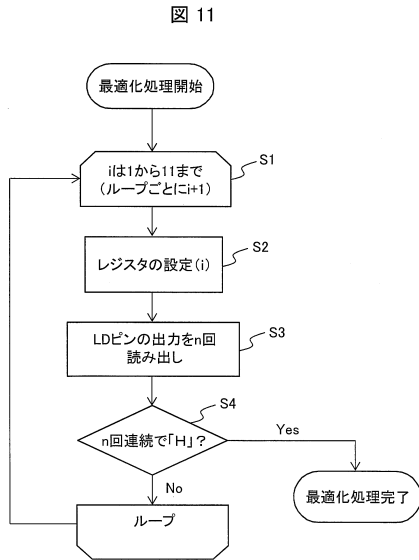
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(72)発明者 新井 義則

千葉県佐倉市六崎1440番地 株式会社フジクラ佐倉事業所内

審査官 鬼塚 由佳

(56)参考文献 特開平03-190336(JP,A)
特開2000-138660(JP,A)
特開平08-125529(JP,A)
特開平09-101972(JP,A)
特開2010-286966(JP,A)
特開2014-082681(JP,A)
特開2002-314509(JP,A)
特開2000-115150(JP,A)
米国特許出願公開第2013/0043917(US,A1)
米国特許第7062004(US,B1)

(58)調査した分野(Int.Cl., DB名)

H03L 7/10
H03L 7/08
H03L 7/095
H04L 7/033
H04N 5/225