



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I886142 B

(45)公告日：中華民國 114 (2025) 年 06 月 11 日

(21)申請案號：109128287

(22)申請日：中華民國 109 (2020) 年 08 月 19 日

(51)Int. Cl. : H05K3/42 (2006.01)

H05K3/46 (2006.01)

(30)優先權：2019/08/19 歐洲專利局

19192196.4

(71)申請人：德商德國艾托特克公司(德國) ATOTECH DEUTSCHLAND GMBH (DE)
德國

(72)發明人：雷恩斯 博特 REENTS, BERT (DE)；雅司卡 阿克夫 OZKOK, AKIF (TR)；金成洙 KIM, SOUNGSOO (DE)；布格曼 霍司特 BRUGGMANN, HORST (DE)；伯瑟德 賀威格 喬塞夫 BERTHOLD, HERWIG JOSEF (DE)；克羅伯 馬青 KLOBUS, MARCIN (PL)；史齊文 湯瑪士 SCHIWON, THOMAS (DE)；馬克米馬可 MIRKOVIC, MARKO (DE)

(74)代理人：陳長文

(56)參考文獻：

TW 201303088A

CN 1630459A

US 2001/0023830A1

US 2007/0163887A1

US 2015/0289387A1

審查人員：林益平

申請專利範圍項數：16 項 圖式數：2 共 29 頁

(54)名稱

製備含以銅填充之微通孔的高密度互連印刷電路板的方法及印刷電路板

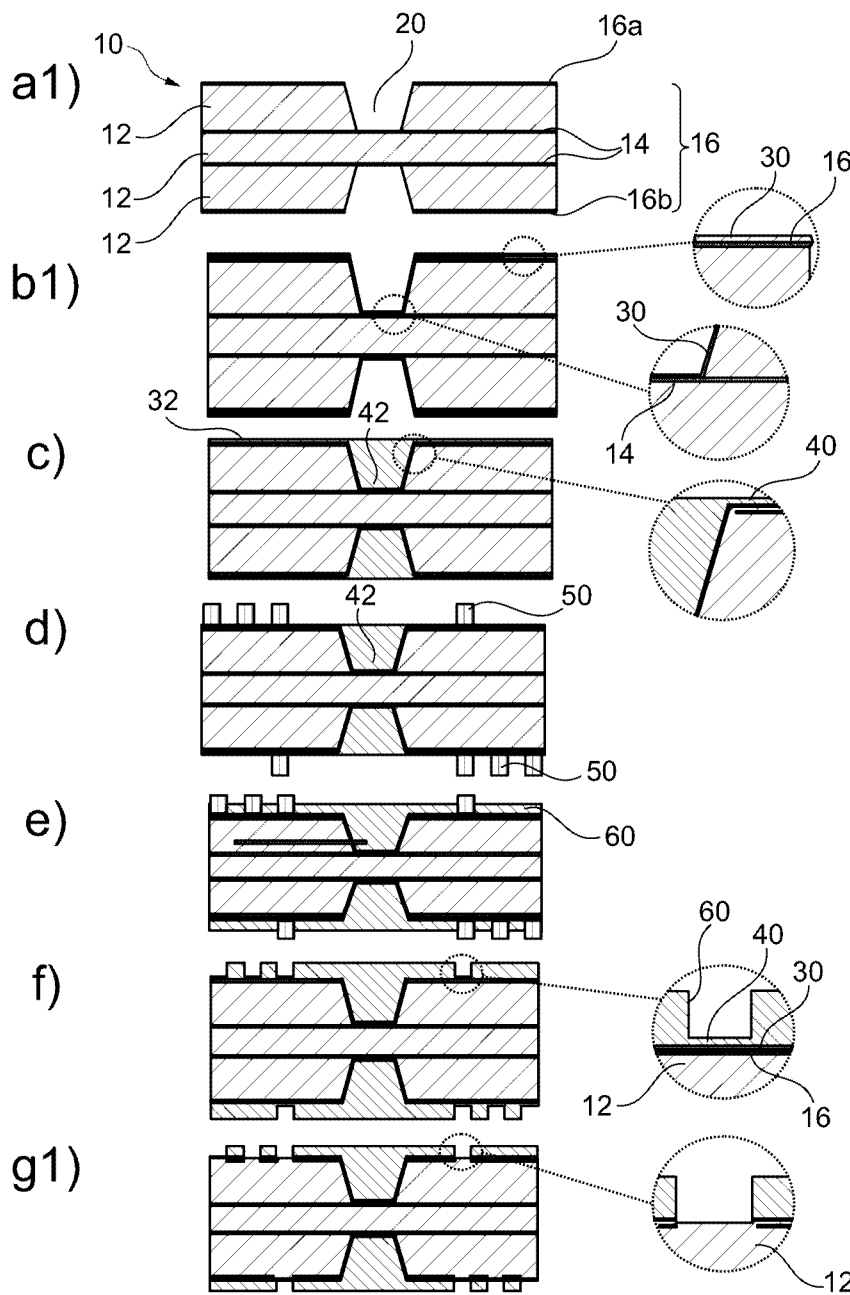
(57)摘要

本發明係關於一種製備含以銅填充之微通孔的高密度互連印刷電路板(HDI PCB)之方法。該方法包括以下步驟：a1)提供多層基板，其包括：(i)導電間層之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層之間，(ii)覆蓋層，其覆蓋該多層基板之該周邊表面，及(iii)微通孔，其自該多層基板之該周邊表面延伸穿過該覆蓋層且終止於該導電間層上；b1)將導電層沈積於該覆蓋層上及該微通孔之內表面上；或 a2)提供多層基板，其包括：(i)導電間層之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層之間，(ii)微通孔，其自該多層基板之該周邊表面延伸且終止於該導電間層上；b2)將導電層沈積於該多層基板之該周邊表面上及該微通孔之內表面上；及 c)將銅填充層電沈積於該微通孔中及將第一銅層電沈積於該導電層上，其中該第一銅層之厚度係 0.1 至 3 μ m，且其中該銅填充層及該第一銅層一起形成平坦表面。

The present invention refers to a method of preparing a high density interconnect printed circuit board (HDI PCB) including microvias filled with copper. The method comprises the steps of: a1) providing a multi-layer substrate comprising (i) a stack assembly of an electrically conductive interlayer embedded between two insulating layers having a peripheral surface, (ii) a cover layer covering the peripheral surface of the multi-layer substrate, and (iii) a microvia extending from the peripheral surface of the multi-layer substrate through the cover layer and ending on the conductive interlayer; b1) depositing a conductive layer on the cover layer and on an inner surface of the microvia; or a2) providing a multi-layer substrate comprising

(i) a stack assembly of an electrically conductive interlayer embedded between two insulating layers having a peripheral surface, (ii) a microvia extending from the peripheral surface of the multi-layer substrate and ending on the conductive interlayer; b2) depositing a conductive layer on the peripheral surface of the multi-layer substrate and on an inner surface of the microvia; and c) electrodepositing a copper filling in the microvia and a first copper layer on the conductive layer wherein a thickness of the first copper layer is from 0.1 to 3 μm and wherein the copper filling and the first copper layer form together a planar surface.

指定代表圖：



符號簡單說明：

- 10: 多層基板
- 12: 絕緣層
- 14: 導電間層
- 16: 覆蓋層
- 16a: 覆蓋層
- 16b: 覆蓋層
- 20: 微通孔
- 30: 導電層
- 32: 平坦表面
- 40: 第一銅層
- 42: 銅填充層
- 50: 圖案化遮蔽薄膜
- 60: 第二銅層

【圖1】



I886142

【發明摘要】**【中文發明名稱】**

製備含以銅填充之微通孔的高密度互連印刷電路板的方法及印刷電路板

【英文發明名稱】

METHOD OF PREPARING A HIGH DENSITY INTERCONNECT PRINTED CIRCUIT BOARD INCLUDING MICROVIAS FILLED WITH COPPER AND PRINTED CIRCUIT BOARD

【中文】

本發明係關於一種製備含以銅填充之微通孔的高密度互連印刷電路板(HDI PCB)之方法。該方法包括以下步驟：

a1)提供多層基板，其包括：

(i)導電間層之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層之間，

(ii)覆蓋層，其覆蓋該多層基板之該周邊表面，及

(iii)微通孔，其自該多層基板之該周邊表面延伸穿過該覆蓋層且終止於該導電間層上；

b1)將導電層沈積於該覆蓋層上及該微通孔之內表面上；或

a2)提供多層基板，其包括：

(i)導電間層之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層之間，

(ii)微通孔，其自該多層基板之該周邊表面延伸且終止於該導電間層上；

b2)將導電層沈積於該多層基板之該周邊表面上及該微通孔之內表面

上；

及

c)將銅填充層電沈積於該微通孔中及將第一銅層電沈積於該導電層上，其中該第一銅層之厚度係0.1至3 μm ，且其中該銅填充層及該第一銅層一起形成平坦表面。

【英文】

The present invention refers to a method of preparing a high density interconnect printed circuit board (HDI PCB) including microvias filled with copper. The method comprises the steps of:

a1) providing a multi-layer substrate comprising

(i) a stack assembly of an electrically conductive interlayer embedded between two insulating layers having a peripheral surface,

(ii) a cover layer covering the peripheral surface of the multi-layer substrate, and

(iii) a microvia extending from the peripheral surface of the multi-layer substrate through the cover layer and ending on the conductive interlayer;

b1) depositing a conductive layer on the cover layer and on an inner surface of the microvia; or

a2) providing a multi-layer substrate comprising

(i) a stack assembly of an electrically conductive interlayer embedded between two insulating layers having a peripheral surface,

(ii) a microvia extending from the peripheral surface of the multi-

layer substrate and ending on the conductive interlayer;

b2) depositing a conductive layer on the peripheral surface of the multi-layer substrate and on an inner surface of the microvia;

and

c) electrodepositing a copper filling in the microvia and a first copper layer on the conductive layer wherein a thickness of the first copper layer is from 0.1 to 3 μm and wherein the copper filling and the first copper layer form together a planar surface.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

10: 多層基板

12: 絕緣層

14: 導電間層

16: 覆蓋層

16a: 覆蓋層

16b: 覆蓋層

20: 微通孔

30: 導電層

32: 平坦表面

40: 第一銅層

42: 銅填充層

50: 圖案化遮蔽薄膜

60: 第二銅層

【發明說明書】

【中文發明名稱】

製備含以銅填充之微通孔的高密度互連印刷電路板的方法及印刷電路板

【英文發明名稱】

METHOD OF PREPARING A HIGH DENSITY INTERCONNECT PRINTED CIRCUIT BOARD INCLUDING MICROVIAS FILLED WITH COPPER AND PRINTED CIRCUIT BOARD

【技術領域】

【0001】 本發明係關於高密度互連印刷電路板(HDI PCB)之製造序列及一種藉由該製造序列獲得之高密度互連印刷電路板。

【先前技術】

【0002】 目前，高密度互連印刷電路板(HDI PCB)藉由諸如消減程序、半加成程序(SAP)、經修改半加成程序(mSAP)或先進經修改半加成程序(amSAP)之方法製造。特定言之，mSAP及amSAP為製造下一代HDI PCB提供有希望之變化，容許超精細微通孔結構、 $\leq 30\mu\text{m}$ 之線/空間寬(L/S)且因此提供更高複雜度之互連。

【0003】 習知mSAP序列開始於銅包覆基板，其中銅覆蓋層可為3至9 μm 厚且基板包含單面或雙面盲微通孔(BMV)。程序之第一步驟係銅之無電式沈積，將薄金屬晶種層(0.35至0.6 μm)分佈於銅包覆基板之周邊表面及微通孔之內表面上以便為後續電沈積步驟提供導電基底。約3 μm 閃銅之後續電沈積構成第一銅層且導致部分填充微通孔。在下一步驟中層壓圖案化乾薄膜(遮罩)界定線圖案之負片(導電跡線)；即，圖案化乾薄膜界定最終PCB之導電跡線之間隔區域。在以下步驟中，使用特定微通孔

填充電解質在第二電沈積步驟中處理基板。然而，乾薄膜之後續移除顯示，在之前步驟中使用此等特定電解質將在微通孔襯墊(微通孔之外端)與圖案化銅表面之間產生不利的銅厚度變化，此繼而導致後續蝕刻步驟中之難度。最後，跡線間分離將藉由完全蝕刻第一銅層及第二銅層以及之前藉由乾薄膜界定之區域中之晶種及覆蓋層而實現。

【0004】 US 2007/0163887 A1描述一種製造電路載體之方法，其包括：在提供印刷電路板之後，在電路板之至少一個側上用電介質塗佈電路；使用雷射消融結構化電介質以在其中用於產生渠溝及通孔。接著，將底漆層沈積於電介質上，沈積於電介質之整個表面上或僅沈積於所產生渠溝及通孔中。將金屬層沈積於底漆層上，其中渠溝及通孔用金屬完全填充以用於在其等中形成導體結構。最後，在底漆層沈積於電介質之整個表面上時，移除過量金屬及底漆層，直至電介質曝露，其中導體結構保持完整。

【0005】 由於歸因於不斷減小跡線寬度之固定需求而使L/S分離減小，故移除過量銅變為愈加複雜之問題。特定言之，形成具有不均勻銅層表面之厚銅層係有問題的。由於始終存在「過度蝕刻」以便適應鍍銅厚度變化且確保清楚的跡線間分離(其中跡線 $<30\ \mu\text{m}$)之趨勢，故存在不可接受的寬度減小及底切之嚴重風險。因此，銅層之層厚度之減小以及厚度變化之降低係本發明之預期目標，以便降低蝕刻程序期間之上文提及之風險。

【發明內容】

【0006】 本發明係關於一種製造具有以電鍍銅填充之微通孔的高密度互連印刷電路板之程序。

【0007】 本發明之實施例尋求在至少某種程度上解決先前技術中現

有之至少一個問題。

【0008】 根據本發明之第一態樣，提供一種如技術方案1中定義之製備包含以銅填充之微通孔的高密度互連印刷電路板(HDI PCB)之方法。

該方法包括以下步驟：

a1)提供多層基板，其包括：

(i)導電間層之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層之間，

(ii)覆蓋層，其覆蓋該多層基板之該等絕緣層之該周邊表面，及

(iii)微通孔，其自該多層基板之該周邊表面延伸穿過該覆蓋層且終止於該導電間層上；

b1)將導電層沈積於該覆蓋層上及該微通孔之內表面上；或

a2)提供多層基板，其包括：

(i)導電間層之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層之間，

(ii)微通孔，其自該多層基板之該等絕緣層之該周邊表面延伸且終止於該導電間層上；

b2)將導電層沈積於該多層基板之該等絕緣層之該周邊表面上及該微通孔之內表面上；

及

c)將銅填充層電沈積於該微通孔中及將第一銅層電沈積於該導電層上，其中該第一銅層之厚度自0.1至3 μm ，且其中該銅填充層及該第一銅層一起形成平坦表面。

【0009】 憑藉本發明，達成該所形成銅層之該層厚度之減小以及厚

度變化減少，其中在後續蝕刻程序期間的上文提及之風險降低。此可實現，因為在該等絕緣層內僅形成微通孔，而不形成渠溝。或換言之，根據技術方案1、步驟a1) iii)，僅微通孔自該多層基板之該周邊表面延伸穿過該導電覆蓋層且終止於該導電間層上，其中無待填充之其他結構(如渠溝)自該多層基板之該周邊表面延伸穿過該導電覆蓋層及絕緣層。此亦適用於技術方案1、步驟a2) ii)，僅微通孔自該多層基板之該等絕緣層之該周邊表面延伸且終止於該導電間層上，其中無待填充之其他結構(如渠溝)自該多層基板之該等絕緣層之該周邊表面延伸。

【0010】 填充此等微通孔且在整個基板上方形成均勻銅層。隨後，可圖案化該銅層以便在該等絕緣層上形成導電線。

【0011】 根據本發明之另一態樣，提供一種包含以銅填充之微通孔之高密度互連印刷電路板(HDI PCB)，其中藉由上文描述之方法獲得該HDI PCB。

【0012】 可自附屬技術方案或以下描述學習本發明之進一步態樣。

【圖式簡單說明】

【0013】 一般技術者將藉由參考附圖詳細描述例示性實施例而瞭解特徵，在附圖中：

【0014】 圖1繪示包含根據本發明之第一實施例之方法之各步驟a1)至g1)之橫截面視圖之示意性序列。

【0015】 圖2繪示包含根據本發明之第二實施例之方法之各步驟a2)至g2)之橫截面視圖之示意性序列。

【實施方式】

【0016】 現將詳細參考實施例，附圖中繪示該等實施例之實例。例

示性實施例之效應及特徵以及其等之實施方法將參考附圖進行描述。在附圖中，相同元件符號表示相同元件，且省略冗餘描述。如本文中使用的術語「及/或」包含一或多個相關聯列出項目之任何及所有組合。此外，當描述本發明之實施例時使用「可」係指「本發明之一或多項實施例」。

【0017】 在本發明之實施例之以下描述中，單數形式之項目可包含複數個形式，除非內容脈絡中另有清楚指示。

【0018】 在圖式中，元件之大小可出於清晰之目的而被放大。例如，在圖式中，各元件之大小或厚度可出於繪示性目的任意展示，且因此，本發明之實施例不應視為限制於此。

【0019】 本發明概念及實現其之方法之特徵可參考實施例之以下實施方式及附圖更輕易理解。在下文中，實施例將參考附圖更詳細描述，其中在全文中相同元件符號係指相同元件。然而，本發明可以各種不同形式體現，且不應被解釋為僅限於本文中繪示之實施例。實情係，此等實施例經提供為實例使得本揭示內容將係透徹及完整的，且將本發明之態樣及特徵充分傳達給熟習此項技術者。因此，可不描述對使一般技術者完全理解本發明之態樣及特徵所必要之程序、元件及技術。

【0020】 如本文使用，術語「實質上」、「大約」及類似術語用作近似術語且非程度術語，且意在解釋一般技術者將認識到的量測值或計算值之固有偏差。此外，若術語「實質上」與可使用數值表達之特徵組合，則術語「實質上」表示以值為中心之值 $\pm 5\%$ 之範圍。此外，當描述本發明之實施例時使用「可」係指「本發明之一或多項實施例」。在本文中，根據z軸定義術語「上」及「下」。例如，蓋定位於z軸之上部，而接地屏極定位於z軸之下部。

【0021】 一層或多層基板之術語「周邊表面」係指一層或多層基板之最外表面，其可在以下程序步驟期間藉由額外層覆蓋。若一層或多層基板之周邊表面藉由額外層覆蓋，則此額外層之最外表面變為下一周邊表面。

【0022】 術語「導電間層」係指多層基板之內層，其中此間層之兩個表面藉由兩個絕緣層(具有其等之「內」表面)覆蓋，該等絕緣層具有周邊表面(與「內」表面相對)。若存在兩個間層，則各間層之兩個表面藉由絕緣層覆蓋(兩個間層嵌入三個絕緣層之間)，其中最外絕緣層具有周邊表面。在此情況中，最內絕緣層(藉由兩個導電間層覆蓋)可具有微通孔或不具有微通孔。若最內絕緣層可具有微通孔，則微通孔自多個基板之周邊表面延伸穿過導電覆蓋層，穿過(最外)絕緣層，穿過一個導電間層¹⁴、穿過下一絕緣層且終止於另一導電間上。

【0023】 如本文使用，術語「第一銅層之厚度」係指步驟c)中形成之銅層之厚度。圖1及圖2中圖示展示第一銅層之厚度之值一般遠小於填充滿之微通孔之厚度。第一銅層之厚度之值係指定位於不包含微通孔之絕緣層之周邊表面上方之銅層之厚度。步驟c)之銅填充導致第一銅層之非常薄之厚度及高品質之填充滿之微通孔而無成為空隙之電鍍誤差，其中第一銅層及填充滿之微通孔之成型表面係非常平坦的。換言之，銅填充層之周邊表面與銅層之間的高度無明顯差。

【0024】 介於銅填充層與第一銅層之間的於步驟c)中之所形成平坦表面之高度差小於30%或小於10%或自10%至30%。換言之，銅填充層之周邊表面與第一銅層之間的高度差特定言之小於30%，較佳地小於10%。在一項實施例中，差係自10%至30%。根據本文描述之本發明之實施例之

電子裝置或電裝置及/或任何其他相關裝置或組件可利用任何合適硬體、韌體(例如，特定應用積體電路)、軟體或軟體、韌體及硬體之組合實施。例如，可在一個積體電路(IC)晶片上或在單獨IC晶片上形成此等裝置之各種組件。此外，此等裝置之各種組件可在撓性印刷電路板薄膜、磁帶載體封裝(TCP)、印刷電路板(PCB)上實施，或在一個基板上形成。此外，此等裝置之各種組件可為在一或多個運算裝置中之一或多個處理器上運行、執行電腦程式指令且與其他系統組件互動以用於執行本文描述之各種功能性之處理程序或執行緒。電腦程式指令儲存於記憶體中，其可使用標準記憶體裝置(諸如隨機存取記憶體(RAM))在運算裝置中實施。電腦程式指令亦可儲存於其他非暫時性電腦可讀媒體(諸如CD-ROM、快閃記憶體隨身碟或類似者)中。同樣地，一般技術者應認識到，在不脫離本發明之例示性實施例之範疇的情況下，各種運算裝置之功能性可組合或整合為單一運算裝置，或特定運算裝置之功能性可分佈於一或多個其他運算裝置。

【0025】 一般言之，HDI PCB提供最精細之跡線結構、最小之孔以及盲孔及埋孔(微通孔)。因此，HDI技術容許使用填孔電鍍(via-in-pad)及多個微通孔層(堆疊及交錯通孔)達成高度緊湊、可靠PCB設計。藉由使用SBU (循序增建)或SSBU (半循序增建)技術進一步按壓層，可連接且細分導電間層上之信號。此為具有高引腳密度之組件保留外層上之空間。IPC標準藉由 $\leq 0.15\text{mm}$ 之微通孔及 $\leq 0.1\text{mm}$ 之跡線寬度/距離(例如， $10/10\ \mu\text{m}$ 、 $5/5\ \mu\text{m}$ 小至 $2/2\ \mu\text{m}$ 之線空間比)定義HDI電路板。

【0026】 HDI層可自雙面核心板或多層PCB增建。HDI層可增建在PCB之兩個側上。SBU / SSBU程序由若干步驟構成：層壓、通孔形成、通孔金屬化及通孔填充。各步驟存在多個材料及/或技術選擇。特定言

之，可用不同材料及程序填充微通孔。然而，堆疊微通孔通常用電鍍銅填充以在多個HDI層之間形成電互連且為微通孔之外層級及安裝於最外銅襯底上之組件提供結構支撐。本發明係關於一種用銅填充微通孔之製造序列。

【0027】 盲微通孔將恰好一個外層與一或多個導電間層連接。盲微通孔可終止於間層上。盲微通孔之深寬比將為 ≤ 2 ，較佳地為1至2，更佳地 ≤ 1 (洞深度與洞直徑之比)。微通孔之較佳深度係自30至3000 μm 且較佳直徑係自30至3000 μm 。埋孔為自外層不可見之至少兩個間層之間的微通孔。此技術使得能夠在更小PCB表面區域(封裝密度)上適應更多功能性。

【0028】 圖1繪示包含根據本發明之第一實施例之方法之橫截面視圖之示意性序列。

【0029】 根據第一實施例之製備含以銅填充之微通孔的高密度互連印刷電路板(HDI PCB)的本發明方法包括以下步驟：

a1)提供多層基板10，其包括：

(i)導電間層14之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層12之間，

(ii)覆蓋層16，其覆蓋多層基板10之絕緣層12之周邊表面，及

(iii)微通孔20，其自多層基板10之周邊表面延伸穿過覆蓋層16、16a、16b且終止於導電間層14上；

b1)將導電層(30)沈積於覆蓋層16上及微通孔20之內表面上；及

c)將銅填充層42電沈積於微通孔20中及將第一銅層40電沈積於導電層30上，其中第一銅層之厚度係自0.1至3 μm ，且其中銅填充層42及第一

銅層40一起形成平坦表面32。

【0030】 圖2繪示包含根據本發明之第二實施例之方法之橫截面視圖之示意性序列。根據第二實施例之製備含以銅填充之微通孔的高密度互連印刷電路板(HDI PCB)的本發明方法包括以下步驟：

a2)提供多層基板10，其包括：

(i)導電間層14之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層12之間，

(ii)微通孔20，其自多層基板10之絕緣層12之周邊表面延伸且終止於導電間層14上；

b2)將導電層30沈積於多層基板10之絕緣層12之周邊表面上及微通孔20之內表面上；及

c)將銅填充層42電沈積於微通孔20中及將第一銅層40電沈積於導電層30上，其中第一銅層之厚度係自0.1至3 μm ，且其中銅填充層42及第一銅層40一起形成平坦表面32。

【0031】 因此，第一實施例與第二實施例之不同之處在於用於處理之多層基板10之類型。根據第一實施例，導電層30沈積於覆蓋層16上，而根據第二實施例，導電層30直接沈積於多層基板10之周邊表面上。

【0032】 在步驟a1)及a2)中，提供多層基板10，其繼而包括至少兩個(電)絕緣層12、(直接)嵌入(電)絕緣層12之間的一或多個導電間層14。間層14因此形成嵌入多層基板10中之電路徑。HDI PCB可包含形成單獨電路徑之若干單獨間層。根據第一實施例之多層基板10進一步包括導電覆蓋層16，其覆蓋多層基板10之頂部16a及底部16b之電絕緣層之周邊表面。導電覆蓋層16可直接安置於絕緣層12上(在其周邊表面上)。至少一個

微通孔20自多層基板10之周邊表面延伸(在第一實施例之情況中)穿過該導電覆蓋層16且終止於導電間層14上。HDI PCB可包含若干微通孔。

【0033】 根據第一實施例之導電覆蓋層16由導電材料製成，例如，金屬或金屬合金、導電金屬氧化物(諸如氧化鈦)、碳基材料(諸如石墨、石墨炔(graphyne及graphdiyne))、導電聚合物(諸如Ecopact CP)或導電有機材料。較佳地，導電覆蓋層16由銅製成。含金屬層可藉由(例如)化學或自動催化金屬電鍍、物理氣相沈積(PVD)或化學氣相沈積(CVD)沈積。一般言之，多層基板10可為單面或雙面高密度互連印刷電路板之起始材料。因此，一或多個微通孔20可鑽入多層基板10中。因此，在多層基板10之一個或兩個側處之一或多個微通孔可各自多層基板10之周邊表面延伸(根據第一實施例穿過覆蓋層16)且終止於導電間層14。微通孔20可(例如)藉由雷射鑽孔鑽入多層基板10之一個或兩個側中。較佳地，微通孔20可藉由使用超短脈衝雷射(USP雷射)或CO₂雷射進行雷射鑽孔而鑽入。在多層基板10之絕緣層12內不形成其他結構。

【0034】 一般言之，微通孔20可藉由微通孔底部及內壁界定，其中微通孔底部構成導電間層14，且微通孔之微通孔底部及內壁構成微通孔之內表面。

【0035】 一或多個微通孔20可鑽入多層基板10之一個或兩個側中，藉此穿透覆蓋層16及至少一個絕緣層12，其中微通孔20包含微通孔底部及內壁，微通孔底部構成導電間層14，且微通孔20之微通孔底部及內壁構成微通孔20之內表面。

【0036】 根據第一實施例之合適導電覆蓋層16可為層壓銅箔。此外，導電覆蓋層16可具有自0.01至5 μm (較佳地，0.02至0.5μm)之範圍之

層厚度。

【0037】 步驟b1)或b2)中之導電層30可藉由導電覆蓋層16上之無電電鍍(無電沈積)(分別在多層基板10之周邊表面上及藉由微通孔20之底部及內壁界定之微通孔20之內表面上)。將導電層30施覆至覆蓋層16 (第一實施例)或多層基板10之周邊表面(第二實施例)以及微通孔20之內表面，以便為第一銅層40以及微通孔20中之銅填充層42之電沈積提供合適導電表面。導電層30可藉由無電電鍍程序、無電沈積程序、物理沈積程序、化學氣相沈積程序、電漿增強化學氣相沈積程序或導電非金屬層之沈積程序之一或多者形成。

【0038】 導電層30由導電材料製成，例如，金屬或金屬合金、導電金屬氧化物(諸如氧化鈦)、碳基材料(諸如石墨、石墨炔(graphyne及graphdiyne))、導電聚合物(諸如Ecopact CP)或導電有機材料。例如，導電層30可由銅或鉑製成。導電層30之金屬可替代地包括或進一步包括其他導電金屬，諸如金、銀、鈮或鋁。含金屬層可藉由(例如)化學或自動催化金屬電鍍、物理氣相沈積(PVD)或化學氣相沈積(CVD)沈積。

【0039】 電沈積銅以在微通孔20中形成銅填充層42且在導電層30上形成第一銅層40之步驟c)可包含將多層基板10沉浸於電解銅鍍系統中之電解浴液中，其中導電層30作為陰極連接。電鍍系統進一步包括不溶性尺寸穩定陽極及銅金屬源。電解浴液包括酸、銅離子源、 Fe^{2+} 離子(二價鐵離子)源及/或 Fe^{3+} 離子(三價鐵離子)，及用於控制經沈積銅之物理機械性質之至少一種添加劑。

【0040】 第一銅層之厚度自0.1至3 μm 且銅填充層42及第一銅層40一起形成平坦表面32。換言之，銅填充層42之周邊表面與銅層40之間的

高度無明顯差。銅填充層42之周邊表面與銅層40之間的高度差特定言之小於1 μm ，更佳地小於0.1 μm ，最佳地小於0.01 μm 。

【0041】在沉浸步驟c)之後，在不溶性尺寸穩定陽極與導電層30之間施加電壓，使得電流在其等之間流動達足以電沈積銅以形成微通孔20中之銅填充層42及第一銅層40之時間，其中在電解浴液中建立 $\text{Fe}^{2+}/\text{Fe}^{3+}$ 離子氧化還原系統以提供藉由自銅金屬源溶解銅離子電沈積之額外銅離子。

【0042】換言之，在步驟c)中，微通孔20中之銅填充層42及第一銅層40藉由導電層30上之(第一)電沈積程序(電鍍)沈積。步驟c)中描述之電沈積可藉由使步驟b1)及b2)之經處理之多層基板10及一或多個不溶性尺寸穩定陽極與電解浴液接觸且在經處理多層基板與不溶性尺寸穩定陽極之間施加電壓而執行。因此，在此實施例中，執行在不溶性尺寸穩定陽極與導電層之間施加電壓使得電流在其等之間流動之步驟達足以電沈積銅以完全填充微通孔20之時間。

【0043】銅離子之源可為銅(II)鹽，較佳地選自由硫酸銅(II)、五水硫酸銅(II)、七水硫酸銅(II)、甲烷磺酸銅(II)、焦磷酸銅(II)、氟硼酸銅(II)及胺基磺酸銅(II)構成之群組。

【0044】如上文提及，浴液中含有 Fe(II) 及/或 Fe(III) 鹽。合適鐵鹽可為七水硫酸鐵(II)及一水硫酸鐵(II)兩者，在較短操作時間之後，自其等之任一者或兩者形成有效 $\text{Fe}^{2+}/\text{Fe}^{3+}$ ($\text{Fe(II)}/\text{Fe(III)}$)氧化還原系統。

【0045】在另一實施例中，二價鐵離子之源係 Fe(II) 鹽，較佳地選自由七水硫酸鐵(II)、醋酸鐵(II)、丙酸鐵(II)、苯甲酸鐵(II)及六氟矽酸鐵(II)構成之群組。

【0046】根據另一實施例，鐵離子之源係 Fe(III) 鹽，較佳地選自由

一水硫酸鐵(III)、醋酸鐵(III)、丙酸鐵(III)、苯甲酸鐵(III)及六氟矽酸鐵(III)構成之群組。

【0047】 此等鹽主要適用於水性、酸性銅浴液。亦可使用其他可溶水鐵鹽，例如，高氯酸鐵。不含有(硬)複雜前述物之鹽係有利的。此等複雜前述物可在生物上無法降解或僅可略難降解，因此此等鹽可在處置未沖洗水(例如鐵鉸鑿)時產生問題。不應使用具有陰離子之鐵化合物，該等陰離子在銅沈積溶液(諸如氯化物或硝酸鹽)的情況中導致非所欲之二次反應。因此，鐵離子之羧酸鹽(諸如醋酸鹽、丙酸鹽及苯甲酸鹽)以及六氟矽酸亦係有利的。例如，在WO 2010/094998 A1、WO 2007/112971 A2、US專利案第5,976,341號及第6,099,711號中揭示採用 Fe^{2+}/Fe^{3+} 離子氧化還原系統之合適系統，對於此系統上之額外細節可參考該等案。與使用 Fe^{2+}/Fe^{3+} 離子氧化還原系統相關之前述專利案之揭示內容以引用之方式併入本文中。

【0048】 合適添加化合物可(例如)為聚合物含氧化合物、有機硫化物、硫脲化合物、聚合物吩啞化合物及聚合物氮化合物，以及任何兩種或兩種以上此等添加化合物之任一者之混合物或組合。

【0049】 合適、例示性、聚合物含氧化合物可包括以下之一或多者：羧甲基纖維素、壬基酚聚乙二醇醚、辛醇雙-(聚烷基二醇醚)、辛醇聚烷基二醇醚、油酸聚乙二醇酯、聚丙二醇共聚物聚乙二醇、聚乙二醇二甲醚、聚氧乙烯二醇二醇酯、聚丙二醇二醇、聚乙烯醇、硬脂酸聚乙二醇酯、硬脂醇聚乙二醇醚及 β -萘酚聚乙二醇醚。

【0050】 合適、例示性硫脲型化合物可包括以下之一或多者：硫脲、N-乙醯硫脲、N-三氟乙醯硫脲、N-乙基硫脲、N-氰基乙醯硫脲、N-

烯丙基硫脲、*o*-甲苯基硫脲、*N,N'*-丁烯硫脲，噻唑烷硫醇、4-噻唑啉硫醇、咪唑啉硫醇(*N,N'*-乙炔硫脲)，4-甲基-2-嘧啶硫醇、2-硫脲嘧啶。

【0051】 合適、例示性吩唑化合物可包括以下之一或多者：聚(6-甲基-7-二甲氨基-5-苯基吩唑啉硫酸鹽)、聚(2-甲基-7-二乙氨基-5-苯基吩唑氯化銨)、聚(2-甲基-7-二甲氨基-5-苯基吩唑鹽硫酸鹽)、聚(5-甲基-7-二甲氨基-5-苯基吩唑啉硫酸鹽)、聚(2-甲基-7-二甲氨基吩唑啉硫酸鹽)、聚(7-甲基氨基-5-苯基吩唑啉醋酸酯)、聚(7-乙基氨基-2,5-二苯基吩唑氯化銨)、聚(2,8-二甲氨基-7-二乙基氨基-5-對甲苯基-吩唑啉氯化物)、聚(2,5,8-三苯基-7-二甲氨基苯氮磺酸鹽)、聚(2,8-二甲基-7-氨基-5-苯基吩唑啉硫酸鹽)及聚(7-二甲氨基-5-苯基吩唑啉氯化物)。

【0052】 合適、例示性聚合物含氮化合物可包括以下之一或多者：聚乙炔亞胺、聚乙烯、聚丙烯酸醯胺、聚丙烯、聚丁烯、*N*-甲基聚乙烯、*N*-乙醯聚乙烯及*N*-丁基聚乙烯。

【0053】 原則上，在多層基板上之電沈積程序期間將消耗銅離子。然而，為了在電解浴液中恢復銅離子，其等無法直接藉由不溶性尺寸穩定陽極供應。替代地，其等將藉由化學溶解銅金屬源(即，由銅或含銅成型體製成之犧牲陽極)而提供。可在副反應器中實現及/或控制溶解銅金屬源，且可在主反應器中實現及/或控制電沈積，其中連接兩個反應器。副反應器可與主反應器連接以便以適當流速在副反應器與主反應器之間提供電解浴液循環。

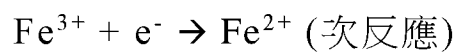
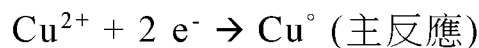
【0054】 在此氧化還原系統中，銅離子在氧化還原反應中自銅金屬源(犧牲陽極或含銅成型體)形成，其中溶解Fe(III)鹽作為氧化劑。換言之，Fe(III)離子還原為Fe(II)離子，而源銅金屬氧化以形成Cu(II)離子。

藉由此氧化還原反應，電沈積程序所需之銅離子之總濃度在電解浴液中保持相對恆定。此外，施加實際電壓之不溶性尺寸穩定陽極保持相同均勻大小。如將認識到，發生以下反應：

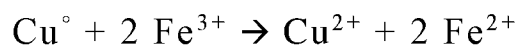
【0055】 在不溶性尺寸穩定陽極(電沈積程序)：



【0056】 在陰極，即，在多層基板(電沈積程序)：



【0057】 在銅金屬之源(Cu^{2+} 之無電恢復)：



【0058】 在另一實施例中，電壓以反向脈衝形式施加，其具有包含正向電流脈衝及反向電流脈衝之雙極脈衝。

【0059】 當施加電壓至基板時，局部電流密度在具有通孔之區域(所謂的高洞密度區域、HHD區域)與不具有通孔之區域之間發散，且其取決於特定區域中之通孔之洞密度。HHD區域通常具有相較於不具有通孔之區域更低之局部電流密度。此外，通孔之洞密度愈高，局部電流密度愈低。在該內容脈絡中，基板之特定區域之HHD表面因數定義為包含所有通孔之內表面之總表面(亦稱為總網格區域)與對應區域之周邊表面(亦稱為網格)之間的比。HDD表面因數愈高，通孔愈多，分別地，洞節距(通孔中點之間的距離)愈小，通孔直徑愈小且電流密度愈低。

【0060】 在上文描述之電沈積程序中，局部電流效率(即，電子在促進電化學反應(此處為銅之沈積)之系統中傳遞之效率)與局部電流密度相關。因此，HHD表面因數愈高，局部電流密度愈低，局部電流效率愈

低，即，自銅沈積之層厚度愈小。

【0061】 在上文描述之氧化還原系統中，局部電流效率進一步取決於電解浴液中之 Fe^{3+} 濃度，即， Fe^{3+} 濃度愈高，所沈積銅層之厚度愈小。

【0062】 此外，在上文描述之氧化還原系統中，局部電流效率取決於溫度，即，溫度愈高，所沈積銅層之厚度愈小。

【0063】 此外，在上文描述之氧化還原系統中，局部電流效率取決於反向電流脈衝之持續時間，即，反向電流脈衝之持續時間愈長，所沈積銅層之厚度愈小。

【0064】 在另一實施例中，電壓以反向脈衝形式施加，其具有包含正向電流脈衝及反向電流脈衝之雙極脈衝。

【0065】 在另一實施例中，藉由調整銅離子源之濃度、二價鐵離子源之濃度、三價鐵離子源之濃度、反向電流脈衝之持續時間及電解浴液之溫度之至少一者控制局部電流效率。較佳地，藉由調整三價鐵離子源之濃度、反向電流脈衝之持續時間及電解浴液之溫度之至少一者控制局部電流效率。

【0066】 特定言之，若二價鐵離子之濃度及/或電解浴液之溫度增加，則電流效率降低。此外，若反向脈衝之持續時間縮短，則電流效率亦降低。另一方面，電流效率隨著銅(II)離子濃度增加而增加。

【0067】 在另一實施例中，電解浴液包括在自20至150 g/l之範圍中之濃度之銅離子源，及/或在自1至40 g/l之範圍中之濃度之二價鐵離子源，及/或在自0.1至40 g/l之範圍中之濃度之三價鐵離子源。

【0068】 反向電流脈衝之持續時間可在0至200微秒之範圍中進行調整。

【0069】此外，正向電流脈衝之持續時間可在0至200微秒之範圍中進行調整。

【0070】在本發明之另一實施例中，步驟c)之後接著：

步驟d)，在第一銅層40上形成圖案化遮蔽薄膜50；

步驟e)，將第二銅層60電沈積於未藉由圖案化遮蔽薄膜50覆蓋的區域中；及

步驟f)，移除圖案化遮蔽薄膜50。

【0071】換言之，步驟d)可包括安置且固化或層壓圖案化遮蔽薄膜50於第一銅層40之部分上。步驟d)之目標係避免將第二銅層60電沈積於藉由圖案化遮蔽薄膜50覆蓋的區域中。圖案化遮蔽薄膜50可為(例如)光阻劑。

【0072】步驟e)包括藉由使步驟d)之經處理之多層基板10及一或多個不溶性尺寸穩定陽極與電解浴液接觸且在經處理多層基板10與陽極之間施加電壓而執行第二銅層60之(第二)電沈積(電鍍)。執行電沈積達足以均勻分佈電沈積銅之時間。

【0073】步驟f)可包括技術中已知用於(例如)藉由施加有機溶劑且溶解圖案化遮蔽薄膜50而移除圖案化遮蔽薄膜50之任何合適方法。

【0074】步驟f)可後續接著(有區分)蝕刻經處理多層基板10之周邊表面達足以完全移除在步驟d)(第一實施例)中藉由遮蔽薄膜50覆蓋的區域中之覆蓋層16、16a、16b、導電層30及第一銅層40之蝕刻時間之步驟g1)。在第二實施例之情況中，步驟f)可後續接著(有區分)蝕刻經處理多層基板10之周邊表面達足以完全移除在步驟d)中藉由遮蔽薄膜50覆蓋的區域中之第一銅層40及導電層30之蝕刻時間之步驟g2)。

【0075】換言之，方法可分別包括在步驟f)之後之蝕刻步驟g1)及g2)，其中步驟f)之經處理多層基板在接觸時間內接觸蝕刻溶液，該接觸時間適用於完全移除可自由接取之第一銅層40、下伏導電層30及下伏覆蓋層16。因此，圖1係包含根據本發明之第一實施例之方法之各步驟a1)至g1)之橫截面視圖之示意性序列。所繪示之例示性方法序列包括：提供多層基板10，其包含微通孔20及在多層基板10之兩個側上之覆蓋層16a、16b之銅包覆層。微通孔20之各者終止於導電間層14；

步驟b1)(例如)藉由無電電鍍將導電層30沈積於銅包覆基板10之覆蓋層16a、16b上及微通孔20之內表面上；

步驟c)將銅填充層42電沈積於微通孔20上且將第一銅層40電沈積於導電層30上；

步驟d)在第一銅層40上形成圖案化遮蔽薄膜50；

步驟e)將第二銅層60電沈積於未藉由遮蔽薄膜50覆蓋的區域中；

步驟f)移除遮蔽薄膜50；及

步驟g1)蝕刻經處理多層基板10之周邊表面達足夠之蝕刻時間，使得完全移除覆蓋層16之可自由接取之區域。

【0076】圖2展示包含根據本發明之第二實施例之方法之各步驟a2)至g2)之橫截面視圖之示意性序列。所繪示之例示性方法序列包括：

步驟a2)提供多層基板10，其包含在多層基板10之兩個側上之微通孔20。微通孔20之各者終止於導電間層14；

步驟b2)(例如)藉由無電電鍍將導電層30沈積於多層基板10之周邊表面上及微通孔20之內表面上；

步驟c)將銅填充層42電沈積於微通孔20上且將第一銅層40電沈積於

導電層30上；

步驟d)在第一銅層40上形成圖案化遮蔽薄膜50；

步驟e)將第二銅層60電沈積於未藉由遮蔽薄膜50覆蓋的區域中；

步驟f)移除遮蔽薄膜50；及

步驟g1)蝕刻經處理多層基板10之周邊表面達足夠之蝕刻時間，使得完全移除藉由遮蔽薄膜50覆蓋的區域中之第一銅層40及導電層30。

【0077】 根據本發明之方法具有最小化微通孔之外端表面與圖案化銅表面之間的銅厚度變化之優勢。此外，圖案化銅表之總體較小層厚度減少跡線間分離之蝕刻時間且因此最小化有害寬度變窄或底切蝕刻之風險。

【符號說明】

【0078】

10: 多層基板

12: 絕緣層

14: 導電間層

16: 覆蓋層

16a: 覆蓋層

16b: 覆蓋層

20: 微通孔

30: 導電層

32: 平坦表面

40: 第一銅層

42: 銅填充層

50: 圖案化遮蔽薄膜

60: 第二銅層

【發明申請專利範圍】

【請求項1】

一種製備含以銅填充之微通孔的高密度互連印刷電路板(HDI PCB)的方法，該方法包括以下步驟：

a1)提供多層基板(10)，其包括：

(i)導電間層(14)之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層(12)之間，

(ii)導電覆蓋層(16、16a、16b)，其覆蓋該多層基板(10)之該等絕緣層(12)之該周邊表面，及

(iii)微通孔(20)，其自該多層基板(10)之該周邊表面延伸穿過該導電覆蓋層(16、16a、16b)且終止於該導電間層(14)上；

b1)將導電層(30)沈積於該覆蓋層(16a、16b)上及該微通孔(20)之內表面上；或

a2)提供多層基板(10)，其包括：

(i)導電間層(14)之堆疊總成，其嵌入於具有周邊表面之兩個絕緣層(12)之間，

(ii)微通孔(20)，其自該多層基板(10)之該等絕緣層(12)之該周邊表面延伸且終止於該導電間層(14)上；

b2)將導電層(30)沈積於該多層基板(10)之該等絕緣層(12)之該周邊表面上及該微通孔(20)之內表面上；

及

c)將銅填充層(42)電沈積於該微通孔(20)中及將第一銅層(40)電沈積於該導電層(30)上，其中該第一銅層(40)之厚度係自0.1至3 μm ，且其中

該銅填充層(42)及該第一銅層(40)一起形成平坦表面(32)，其中介於該銅填充層(42)與該第一銅層(40)之間的於步驟c)中之該所形成平坦表面之高度差係小於30%。

【請求項2】

如請求項1之方法，其進一步包括在步驟c)之後：

d)在該第一銅層(40)上形成圖案化遮蔽薄膜(50)；

e)將第二銅層(60)電沈積於未藉由該圖案化遮蔽薄膜(50)覆蓋的區域中；及

f)移除該圖案化遮蔽薄膜(50)。

【請求項3】

如請求項2之方法，其進一步包括在步驟f)之後：

g1)蝕刻a1)及b1)下提供之該經處理多層基板(10)之該周邊表面達足以完全移除藉由步驟d)中之該遮蔽薄膜(50)覆蓋的該等區域中之該第一銅層(40)、該導電層(30)及該導電覆蓋層(16、16a、16b)之蝕刻時間；或

g2)蝕刻a2)及b2)下提供之該經處理多層基板(10)之該周邊表面達足以完全移除藉由步驟d)中之該遮蔽薄膜(50)覆蓋的該等區域中之該第一銅層(40)及該導電層(30)之蝕刻時間。

【請求項4】

如請求項1至3中任一項之方法，其中步驟b1)之該導電層(30)係包括銅或鉑之導電層(30)。

【請求項5】

如請求項1至3中任一項之方法，其中步驟b2)之該導電非金屬層(30)係有機導電層(30)、碳基材料層或導電金屬氧化物層(30)。

【請求項6】

如請求項1至3中任一項之方法，其中電沈積銅以在該微通孔(20)中形成該銅填充層(42)且在該導電層(30)上形成該第一銅層(40)之步驟c)包含將該多層基板(10)沉浸於電解銅鍍系統中之電解浴液中，其中該導電層(30)作為陰極連接，該電鍍系統進一步包括不溶性尺寸穩定陽極及銅金屬源，其中該電解浴液包括酸、銅離子源、 Fe^{2+} 及/或 Fe^{3+} 離子源、及用於控制經沈積銅之物理機械性質之至少一種添加劑；及

在該不溶性尺寸穩定陽極與該導電層(30)之間施加電壓，使得電流在其等之間流動達足以電沈積銅以形成該微通孔(20)中之該銅填充層(42)及該第一銅層(40)之時間，其中在該電解浴液中建立 $\text{Fe}^{2+}/\text{Fe}^{3+}$ 氧化還原系統以提供藉由自該銅金屬源溶解銅離子來電沈積之額外銅離子。

【請求項7】

如請求項6之方法，其中該銅離子源為銅(II)鹽。

【請求項8】

如請求項6之方法，其中該二價鐵離子源係 $\text{Fe}(\text{II})$ 鹽。

【請求項9】

如請求項6之方法，其中該三價鐵離子(*ferric ions*)之源包括 $\text{Fe}(\text{III})$ 鹽。

【請求項10】

如請求項6之方法，其中該電壓係以反向脈衝形式施加，其具有包含正向電流脈衝及反向電流脈衝之雙極脈衝。

【請求項11】

如請求項10之方法，其包含藉由調整以下之至少一者來控制局部電

流效率：

該銅離子源之濃度，

該二價鐵離子源之濃度，

該三價鐵離子源之濃度，

該反向電流脈衝之持續時間，及

該電解浴液之溫度。

【請求項12】

如請求項11之方法，其中該電解浴液包括：

在自20至150 g/l 之範圍中之濃度之該銅離子源，及/或

在自1至40 g/l 之範圍中之濃度之該二價鐵離子源，及/或

在自0.1至40 g/l 之範圍中之濃度之該三價鐵離子源。

【請求項13】

如請求項11之方法，其中該反向電流脈衝之該持續時間係在自0至200 ms (毫秒)之範圍中進行調整。

【請求項14】

如請求項1至3中任一項之方法，其中在a1) (iii)中，待填充之任何其他結構皆不自該多層基板(10)之該周邊表面延伸穿過該導電覆蓋層(16、16a、16b)及絕緣層(12)，或在a2) (ii)中，待填充之任何其他結構皆不自該多層基板(10)之該等絕緣層(12)之該周邊表面延伸。

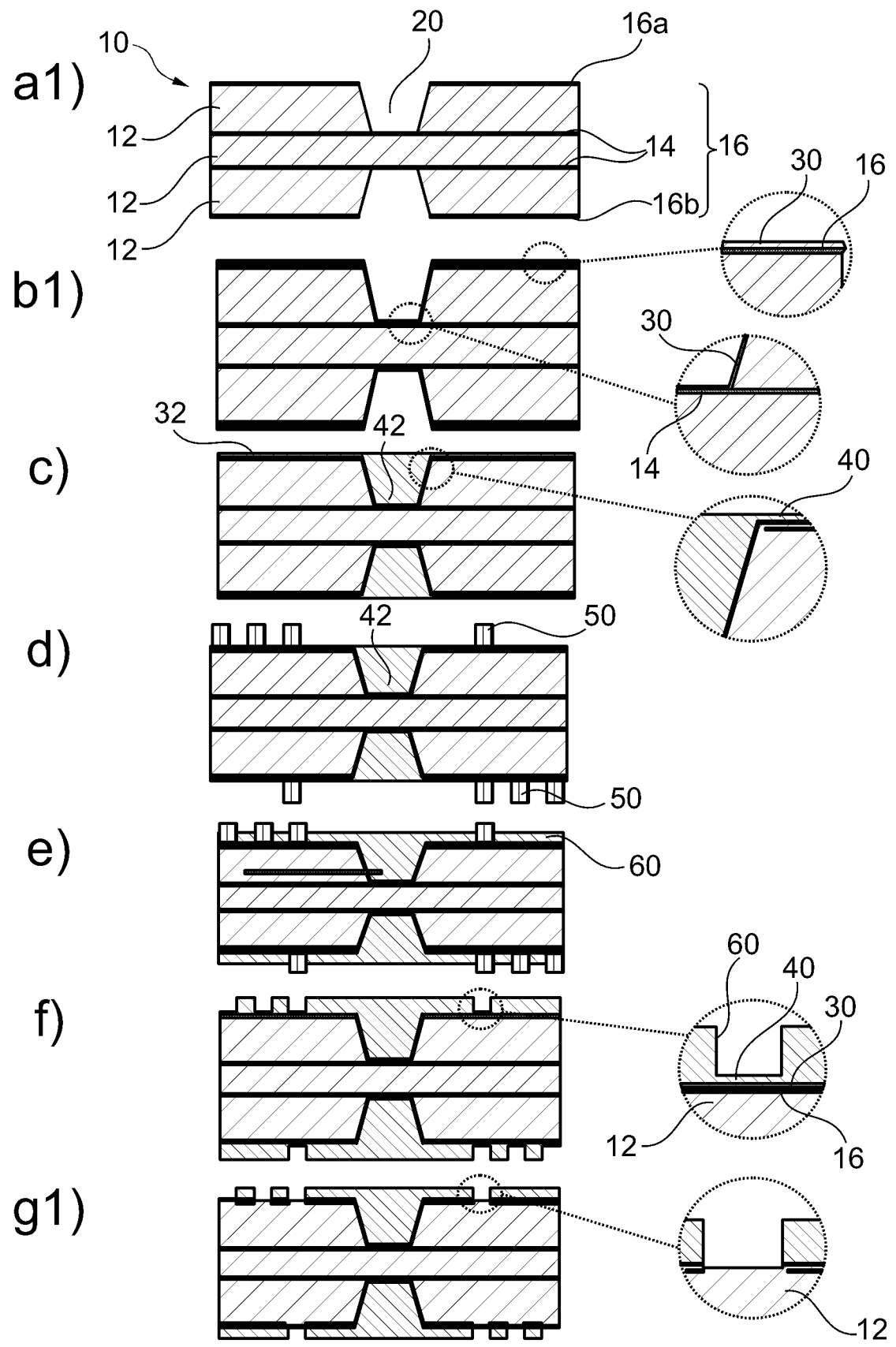
【請求項15】

如請求項1至3中任一項之方法，其中介於該銅填充層(42)與該第一銅層(40)之間的於步驟c)中之該所形成平坦表面之高度差係小於10%。

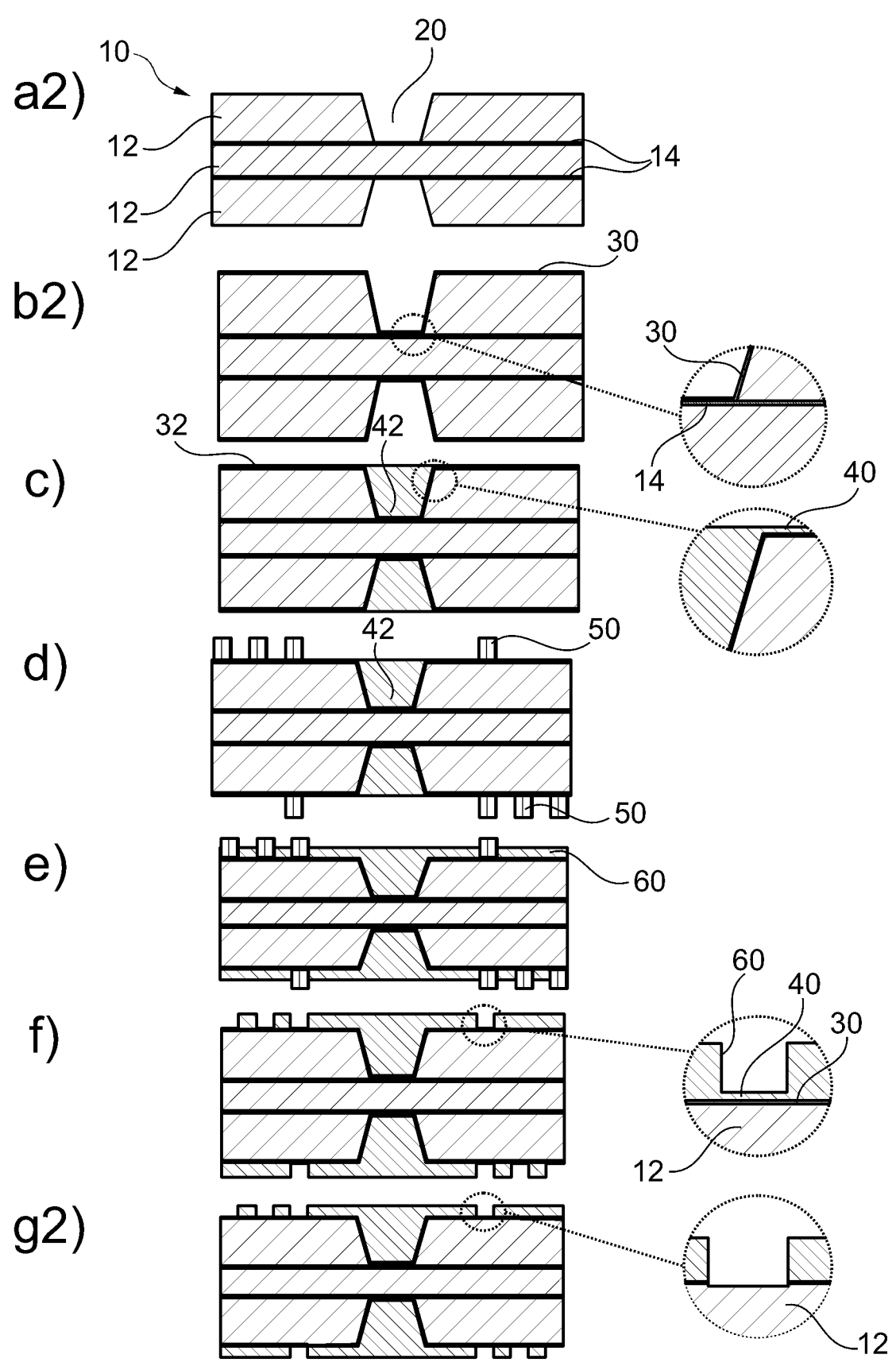
【請求項16】

一種包含以銅填充之微通孔(20)之高密度互連印刷電路板(HDI PCB)，該HDI PCB係藉由請求項1至15中任一項之方法獲得。

【發明圖式】



【圖1】



【圖2】