

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5361242号
(P5361242)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月13日(2013.9.13)

(51) Int.Cl.

F I

H02J 1/00 (2006.01)

H02J 1/00 309R

G05F 1/10 (2006.01)

G05F 1/10 304M

H02H 9/02 (2006.01)

H02H 9/02 E

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2008-114419 (P2008-114419)	(73) 特許権者	000001007
(22) 出願日	平成20年4月24日(2008.4.24)		キヤノン株式会社
(65) 公開番号	特開2009-268244 (P2009-268244A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成21年11月12日(2009.11.12)	(74) 代理人	100076428
審査請求日	平成23年4月20日(2011.4.20)		弁理士 大塚 康德
前置審査		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 突入電流低減回路

(57) 【特許請求の範囲】

【請求項1】

電源から負荷に対して電圧を供給する電源ラインに直列に接続され、前記電源から電圧が供給されることによりオン状態に移行することにより前記電源からの電圧を前記負荷に供給するスイッチング素子と、

前記電源ラインにおける、前記スイッチング素子への電圧供給側の第一端子と第二端子の間に並列に接続されており、第一コンデンサと、前記第一コンデンサに並列に接続された第一の抵抗素子と、前記第一の抵抗素子と直列に接続され、前記第二端子と接続された第二の抵抗素子と、を備えた時定数回路と、

前記時定数回路に接続されており、前記第一コンデンサよりも容量の大きい第二コンデンサを備え、前記時定数回路よりも放電時定数が大きい基準電圧回路と、を有し、

前記スイッチング素子に電圧が供給されていない状態から前記スイッチング素子に電圧を供給した場合、前記時定数回路の前記第一コンデンサの電圧が上昇し、前記スイッチング素子の前記第一端子と、前記スイッチング素子の負荷側に接続された第三端子の間の電位差が閾値に達すると前記スイッチング素子がオンし、

前記スイッチング素子がオンした状態から、前記スイッチング素子への電圧の供給を停止した場合、前記時定数回路の前記第一の抵抗素子を介して前記第一コンデンサの電荷を放電するとともに、前記基準電圧回路の前記第二コンデンサから前記第一コンデンサを介して放電し、前記第二コンデンサから前記第一コンデンサに向けて電荷を供給する経路を形成して、前記スイッチング素子の前記第二端子の電位を維持しつつ、前記負荷の電力消

10

20

費により前記スイッチング素子の前記第三端子の電位を低下させることにより、前記第二端子と前記第三端子の間の電位差を閾値以下にすることを特徴とする突入電流低減回路。

【請求項 2】

前記基準電圧回路から前記時定数回路に向けて順方向となるように、前記基準電圧回路と前記時定数回路との間に接続されたダイオードを有することを特徴とする請求項 1 に記載の突入電流低減回路。

【請求項 3】

前記ダイオードと前記時定数回路の間に接続され、前記スイッチング素子を保護する保護ダイオードをさらに備えたことを特徴とする請求項 2 に記載の突入電流低減回路。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、負荷への電源接続時における突入電流を低減する突入電流低減回路に関する。

【背景技術】

【0002】

電源と負荷との間にスイッチを設け、電源接続及び電源切断を行う回路が広く普及している。このような回路においては、スイッチを閉じた瞬間に、負荷に設けられた入力コンデンサを充電する大量の突入電流が流れてしまう。この突入電流は、電源の保護ヒューズを溶断したり、電源の出力コンデンサを劣化させたりする。また、その際の電流変化によりノイズが発生し、発生したノイズによって装置が誤動作する恐れもある。このため、この電源接続時の突入電流を防ぐ必要がある。

20

【0003】

図 7 は、関連技術における突入電流防止回路を示した図である。突入電流防止回路を備えた電源装置 100 は、入力コンデンサ C19 を備えた負荷 110 への電源ラインに直列に接続されている。電源 PS11 は、電源スイッチ SW12 によって、電源接続と電源切断とを切り替えられる。電源スイッチ SW12 の後段には、時定数回路 120 と FET24 とが接続されている。FET24 は、負荷 110 の電源ラインに直列に接続されたスイッチング素子である。時定数回路 120 は、並列に接続されたコンデンサ C23 及び抵抗 R22、これらに直列接続された抵抗 R21 とにより構成されている。

30

【0004】

電源スイッチ SW12 がオフの時は、時定数回路 120 のコンデンサ C23 の端子間電圧 V23 は零であり、FET24 はオフとなっている。電源スイッチ SW12 がオンになると、時定数回路 120 のコンデンサ C23 は、抵抗 R21 を介して充電される。端子間電圧 V23 は次第に上昇するため、FET24 のゲート電圧 V_G も上昇する。ゲート電圧 V_G の上昇に応じて、FET24 のドレイン・ソース間の抵抗値がオフ抵抗値 () からオン抵抗値まで変化する。これにより FET24 を流れる電流が漸増し、負荷 110 の入力コンデンサ C19 に対する突入電流を抑制することができる。

【0005】

なお、時定数回路のコンデンサの電荷をスイッチング素子にて放電させる発明も提案されている (特許文献 1、2)。特許文献 1 によれば、電源切断時に、突入電流防止用のコンデンサの電荷を、スイッチング素子をオンすることによって短時間で放電させることが提案されている。特許文献 2 によれば、突入電流防止用のコンデンサの電荷を放電させる回路を、電界効果トランジスタとそれに直列接続された抵抗とで構成することが提案されている。

40

【特許文献 1】特開平 9 - 6440 号公報

【特許文献 2】特開平 8 - 205403 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

50

関連技術や、特許文献 1、2 に記載の技術によれば、電源接続時の突入電流を防止することができるだろう。しかし、上述の突入電流防止回路では、次のような課題がまだ残っている。

【0007】

電源スイッチ SW 12 をオフとすると、時定数回路 120 のコンデンサ C 23 の電荷は抵抗 R 22 を介して放電され、その端子間電圧 V 23 は低下する。しかし、端子間電圧 V 23 が FET 24 のスレッシュホールド電圧 V_{th} を下回るまで FET 24 はオフとならない。すなわち、電源が切断されてから一定時間が経過し、端子間電圧 V 23 が十分低くなるまで、FET 24 はオフとならない。

【0008】

電源の瞬断（瞬間的に電源が切断され、直ちに電源が接続される状態）が発生すると、FET 24 がオフする前に再び電源がオンとなってしまう。このため、負荷 110 の入力コンデンサ C 19 に対し大きな突入電流が流れてしまう。よって突入電流防止回路を設けているにもかかわらず、突入電流を十分に防止することができない場合がある。

【0009】

また、スイッチング素子による放電を行う特許文献 1、2 に記載の発明では、電源切断の検出が困難であったり、コスト高になったりするなど、課題が多い。

【0010】

そこで、本発明は、このような課題及び他の課題のうち、少なくとも 1 つを解決することを目的とする。例えば、高価な能動素子を使用せず、かつ、電源の瞬断による突入電流も低減可能な突入電流低減回路を実現することを目的とする。なお、他の課題については明細書の全体を通して理解できよう。

【課題を解決するための手段】

【0011】

本発明は、

電源から負荷に対して電圧を供給する電源ラインに直列に接続され、前記電源から電圧が供給されることによりオン状態に移行することにより前記電源からの電圧を前記負荷に供給するスイッチング素子と、

前記電源ラインにおける、前記スイッチング素子への電圧供給側の第一端子と第二端子の間に並列に接続されており、第一コンデンサと、前記第一コンデンサに並列に接続された第一の抵抗素子と、前記第一の抵抗素子と直列に接続され、前記第二端子と接続された第二の抵抗素子と、を備えた時定数回路と、

前記時定数回路に接続されており、前記第一コンデンサよりも容量の大きい第二コンデンサを備え、前記時定数回路よりも放電時定数が大きい基準電圧回路と、を有し、

前記スイッチング素子に電圧が供給されていない状態から前記スイッチング素子に電圧を供給した場合、前記時定数回路の前記第一コンデンサの電圧が上昇し、前記スイッチング素子の前記第一端子と、前記スイッチング素子の負荷側に接続された第三端子の間の電位差が閾値に達すると前記スイッチング素子がオンし、

前記スイッチング素子がオンした状態から、前記スイッチング素子への電圧の供給を停止した場合、前記時定数回路の前記第一の抵抗素子を介して前記第一コンデンサの電荷を放電するとともに、前記基準電圧回路の前記第二コンデンサから前記第一コンデンサを介して放電し、前記第二コンデンサから前記第一コンデンサに向けて電荷を供給する経路を形成して、前記スイッチング素子の前記第二端子の電位を維持しつつ、前記負荷の電力消費により前記スイッチング素子の前記第三端子の電位を低下させることにより、前記第二端子と前記第三端子の間の電位差を閾値以下にすることを特徴とする突入電流低減回路を提供する。

【発明の効果】

【0012】

本発明によれば、高価な能動素子を使用せず、かつ、電源の瞬断による突入電流も低減可能な突入電流低減回路を実現することができる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0013】

以下に本発明の一実施形態を示す。以下で説明される個別の実施形態は、本発明の上位概念、中位概念および下位概念など種々の概念を理解するために役立つであろう。また、本発明の技術的範囲は、特許請求の範囲によって確定されるのであって、以下の個別の実施形態によって限定されるわけではない。

【0014】

[実施例1]

図1は、本発明の実施例1を示した回路図である。なお、図7に関してすでに説明した箇所には同一の参照符号を付与することで、説明を簡潔にする。図7と比較すると、実施例1では、基準電圧回路130と、2つのダイオードD16、D17が追加されている。

10

【0015】

基準電圧回路130は、抵抗R13、抵抗R15及びコンデンサC14を備えている。抵抗R13は、抵抗R15と直列に接続されており、電源PS11の電源電圧を分圧する。コンデンサC14は、抵抗R15と並列に接続されており、抵抗R15の両端の電圧を保持する。

【0016】

ダイオードD16は、基準電圧回路130から時定数回路120に向けて順方向となるように、基準電圧回路130と時定数回路120との間に挿入されている。すなわち、ダイオードD16は、基準電圧回路130と時定数回路120とを接続している。ダイオードD17は、FET24を保護するための保護ダイオードである。FET24は、電源から負荷に対して電力を供給するための電源ラインに直列に接続されたスイッチング素子の一例である。また、FET24は、時定数回路120のコンデンサC23の充電電圧により制御される。

20

【0017】

次に、実施例1に係る回路の動作を説明する。電源スイッチSW12がオフの時は、時定数回路120が備えるコンデンサC23の端子間電圧V23は零であり、FET24はオフとなっている。そして、電源スイッチSW12をオンに切り替えると、時定数回路120のコンデンサC23は、抵抗R21を介して充電される。よって、端子間電圧V23は次第に上昇し、FET24のゲート電位V_Gが下降する。

30

【0018】

図2は、ゲート電位とソース電位との関係を示した図である。ゲート電位V_Gが下降し、ゲート電位V_Gとソース電位V_Sとの電位差であるゲート・ソース間電位V_{Gs}(=V23)が次第に大きくなって行く。

【0019】

図3は、ゲート・ソース間電位とドレイン・ソース間抵抗との関係を示した図である。ゲート・ソース間電位V_{Gs}が、スレッシュホールド電圧V_{th}以上になると、FET24のドレイン・ソース間抵抗R_{DS}がオフ抵抗値(無限大)からオン抵抗値へ変化する。これにより、FET24を流れる電流が漸増し、突入電流が抑制されることになる。また同時に、基準電圧回路130のコンデンサC14も抵抗R13を介して充電される。コンデンサC14の端子間電圧は、抵抗R13および抵抗R15の分圧比によって設定される基準電圧V_{ref}となる。

40

【0020】

電源スイッチSW12がオンからオフになると、時定数回路120のコンデンサC23に蓄積された電荷は、抵抗R22を介して放電される。その結果、コンデンサC23の端子間電圧V23は低下する。

【0021】

図4は、電源スイッチがオフに切り替わったときのゲート電位とソース電位との関係を示した図である。電源スイッチSW12がオンからオフになると、負荷110での電力消費により、FET24のソース電位V_Sも低下する。そのときのFET24のゲート電位

50

V_G は、以下の式で表される。

【0022】

$$V_G = V_S - V_{23}$$

FET24のゲート電位 V_G が V_{ref} 以下となると、コンデンサC14の電荷がダイオードD16を介してコンデンサC23へ供給される。これにより、コンデンサC23の端子間電圧 V_{23} が急速に低下する(図4)。コンデンサC23の端子間電圧 V_{23} は、FET24のゲート・ソース間電位 V_{GS} と等しい。よって、端子間電圧 V_{23} がFET24のスレッシュホールド電圧 V_{th} 以下となると、FET24がオフとなる。実施例1では、関連技術と比べ、電源スイッチSW12がオフとなってからFET24がオフとなるまでの時間が、非常に短くなる。

10

【0023】

基準電圧回路130のコンデンサC14は、抵抗R15を介して放電されるものの、その時定数は十分大きく設定されている。なぜなら、この時定数が小さすぎると、ゲート・ソース間電位 V_{GS} がFET24のスレッシュホールド電圧 V_{th} 以下に到達するのに要する時間が、相対的に長くなってしまうためである。

【0024】

基準電圧回路130の放電時定数は、時定数回路120のコンデンサC23と抵抗R22との放電時定数よりも相対的に大きく設定する必要がある。通常、FET24のソース電位 V_S の低下と比べ、 V_{ref} の低下は無視できるほど小さい。よって、図4に示したA点以後では、ゲート電位 V_G とソース電位 V_S が逆転する。

20

【0025】

一般にFETは、そのゲート・ソース間に過大な逆電圧が印加されると、破壊してしまう。本実施例では、FET24のゲート・ソース間に保護ダイオードD17を接続することでFET24を保護している。なお、FET24のゲート電位 V_G とソース電位 V_S との差を、ダイオードD17の V_f 以下に設定する必要がある。

【0026】

本実施例によれば、負荷への電力供給の際に発生する突入電流を低減する突入電流低減回路に、時定数回路120とは別に基準電圧回路130が追加されている。これにより、負荷への電力供給の切断時に、時定数回路120に備えられたコンデンサC23の電荷を放電することができる。電源の瞬断による突入電流も低減される。また、実施例1によれば、基準電圧回路130を受動素子のみで構成している。よって、高価な能動素子を使用せずに突入電流低減回路が実現されている。

30

【0027】

また、基準電圧回路130から時定数回路120に向けて順方向となるようなダイオードD16を設けることで、コンデンサC14の電荷がダイオードD16を介してコンデンサC23へ供給される。これにより、コンデンサC23の端子間電圧 V_{23} が急速に低下する。よって、実施例1では、関連技術と比べ、電源スイッチSW12がオフとなってからFET24がオフとなるまでの時間が、非常に短くなる。

【0028】

実施例1では、基準電圧回路130をコンデンサと抵抗によって構成しているため、回路コストを安価にすることができる。

40

【0029】

また、基準電圧回路130に備えられたコンデンサC14の容量が時定数回路120に備えられたコンデンサC23の容量よりも大きく設定されている。そのため、ゲート・ソース間電位 V_{GS} がFET24のスレッシュホールド電圧 V_{th} 以下に到達するのに要する時間を、相対的に短くすることができる。

【0030】

さらに、実施例1では、FET24を保護するためのダイオードD17を追加することで、ゲート・ソース間に過大な逆電圧が印加されないようになり、破壊を免れるようになる。これは、ダイオードD17が、負荷への電力供給の切断時に、コンデンサC23の放

50

電時定数とコンデンサC14の放電時定数とをほぼ零とするからである。

【0031】

[実施例2]

実施例1の基準電圧 V_{ref} は、抵抗R13と抵抗R15との抵抗分圧により生成され、コンデンサC14により保持されている。コンデンサC14の容量は非常に大きく設定する必要があった。これは、コンデンサC14の容量をコンデンサC23の容量よりも十分大きく設定しなければならない上、必要とされる時定数を満足させる必要があるためである。したがって、コンデンサC14としては、例えば、外形の大きな電解コンデンサなどを選定する必要がある。サイズの大きな電解コンデンサを使用すれば、実装面積の確保が困難な小型機器では、実施例1の発明を適用するのが困難となるだろう。

10

【0032】

そこで、実施例2では、実装面積の確保が困難な小型機器においても、高価な能動素子を使用せず、かつ、電源の瞬断による突入電流も低減可能な突入電流低減回路を実現する。

【0033】

図5は、実施例2を示した回路図である。すでに説明した箇所には同一の参照符号を付与することで、説明を簡潔にする。実施例2では、基準電圧回路130を、抵抗R13と定電圧ダイオードD18とで構成している。すなわち、実施例2では、実施例1の抵抗R15及びコンデンサC14が定電圧ダイオードD18に置き換えられている。なお、実施例2では、保護ダイオードD17が削除されている。

20

【0034】

次に実施例2の回路の動作を説明する。電源スイッチSW12がオフからオンに変化した際の動作は、実施例1と同様であるため、説明を割愛する。電源スイッチSW12がオフとなり、FET24のソース電位 V_S が低下すると、時定数回路120のコンデンサC23の電荷は、抵抗R13を介して放電される。放電が進み、FET24のゲート・ソース間電位 V_{GS} がスレッシュホールド電圧 V_{th} 以下になると、FET24がオフとなる。

【0035】

本実施例では、基準電圧回路130にコンデンサを用いていない。そのため、ゲート電位 V_G とソース電位 V_S が逆転することはない。よって、保護ダイオードD17を省略できる利点がある。

30

【0036】

本実施例によれば、基準電圧回路130を抵抗及び定電圧ダイオードで構成しているため、実装面積の確保が困難な小型機器においても、高価な能動素子を使用せず、かつ、電力供給の瞬断による突入電流も低減可能な突入電流低減回路を実現できる。

【0037】

また、実施例2では、保護ダイオードD17を省略できるため、回路コストの面で実施例1よりも有利である。

【0038】

[実施例3]

実施例1では、抵抗R13及び抵抗R15による分圧によって、基準電圧 V_{ref} を生成していた。電源PS11から入力される電源電圧が変動すると、基準電圧 V_{ref} も変動してしまい、突入電流低減回路の動作も変わってしまうおそれがある。また、実施例2のように、基準電圧回路130に定電圧ダイオードD18を採用すれば、基準電圧 V_{ref} を細かく設定することは困難であろう。

40

【0039】

そこで、実施例3では、入力電圧によらず基準電圧を自由に設定可能としつつ、突入電流低減回路の動作を安定させることを目的とする。

【0040】

図6は、実施例3を示した回路図である。すでに説明した箇所には同一の参照符号を付与することで、説明を簡潔にする。実施例3では、基準電圧回路130として定電圧源2

50

5を採用している以外は、実施例1と共通である。すなわち、実施例3では、実施例1の抵抗R15及びコンデンサC14が定電圧源25に置き換えられている。

【0041】

定電圧源25は、入力電圧に依存することなく、一定の基準電圧 V_{ref} を生成できる。よって、実施例3では、電源PS11からの入力電圧によらず基準電圧 V_{ref} を自由に設定することが可能となり、かつ、回路動作をより安定させることが可能となる。もちろん、実施例3においても、高価な能動素子を使用せず、かつ、電源の瞬断による突入電流も低減可能な突入電流低減回路を実現することができる。

【図面の簡単な説明】

【0042】

10

【図1】本発明の実施例1を示した回路図である。

【図2】ゲート電位とソース電位との関係を示した図である。

【図3】ゲート・ソース間電位とドレイン・ソース間抵抗との関係を示した図である。

【図4】電源スイッチがオフに切り替わったときのゲート電位とソース電位との関係を示した図である。

【図5】実施例2を示した回路図である。

【図6】実施例3を示した回路図である。

【図7】関連技術における突入電流防止回路を示した図である。

【符号の説明】

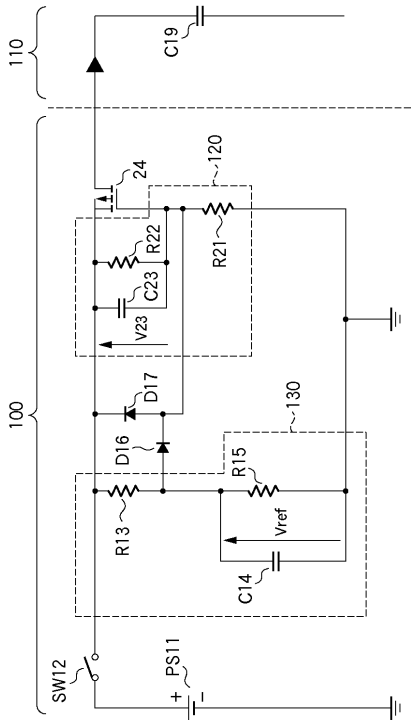
【0043】

20

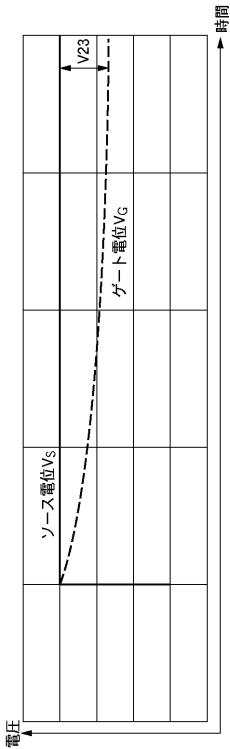
100 電源装置
 110 負荷
 120 時定数回路
 130 基準電圧回路
 PS11 電源
 SW12 電源スイッチ
 R13, R15 基準電圧回路の抵抗
 C14 基準電圧回路のコンデンサ
 D16 基準電圧回路と時定数回路120の接続ダイオード
 D17 スイッチング素子保護ダイオード
 D18 基準電圧回路の定電圧ダイオード
 C19 負荷内部の入力コンデンサ
 R21, R22 時定数回路120の抵抗
 C23 時定数回路120のコンデンサ
 24 FET(スイッチング素子)
 25 定電圧源

30

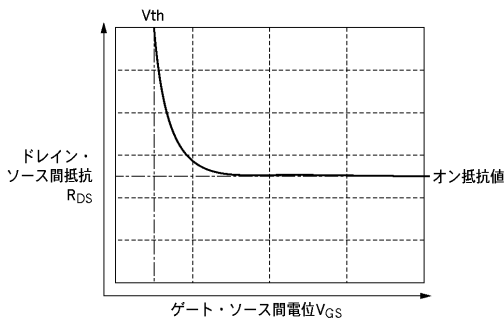
【図 1】



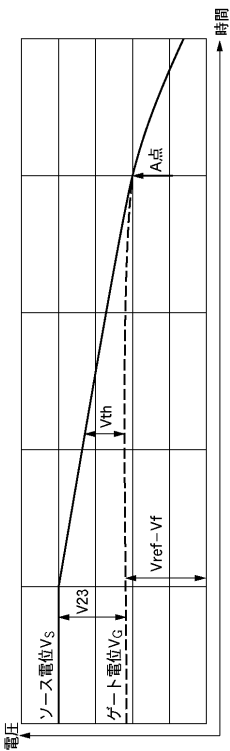
【図 2】



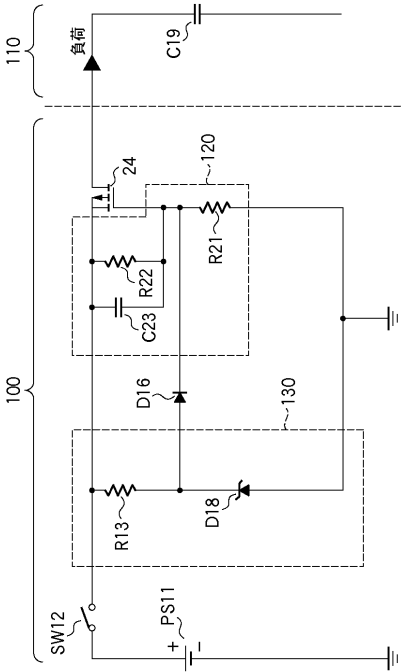
【図 3】



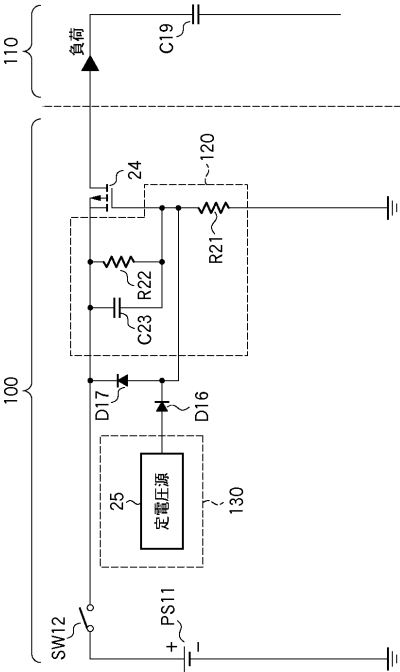
【図 4】



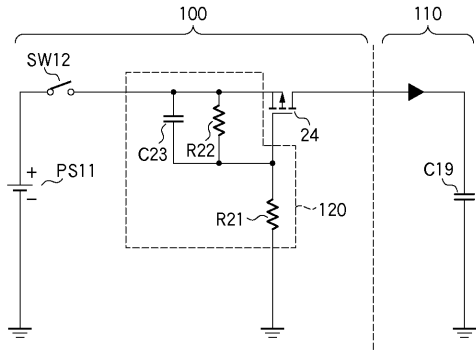
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 青木 大
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 田中 寛人

(56)参考文献 特開平01-248958(JP,A)
特開昭63-064524(JP,A)
特開平09-006440(JP,A)
特開2004-48888(JP,A)
特開2000-29547(JP,A)

(58)調査した分野(Int.Cl., DB名)
G05F1/00-1/10
H02H9/00-9/08
H02J1/00-1/16