

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年1月18日(18.01.2024)



(10) 国際公開番号
WO 2024/014402 A1

(51) 国際特許分類:

H01L 21/768 (2006.01) H01L 27/06 (2006.01)
H01L 21/28 (2006.01) H01L 27/088 (2006.01)
H01L 21/322 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 21/822 (2006.01) H01L 29/78 (2006.01)
H01L 21/8234 (2006.01) H01L 29/861 (2006.01)
H01L 27/04 (2006.01) H01L 29/868 (2006.01)

特願 2022-111117 2022年7月11日(11.07.2022) JP

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

(72) 発明者: 窪内 源宜 (KUBOUCHI Motoyoshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
下沢 慎 (SHIMOSAWA Makoto); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
吉村 尚 (YOSHIMURA Takashi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2023/025208

(22) 国際出願日: 2023年7月6日(06.07.2023)

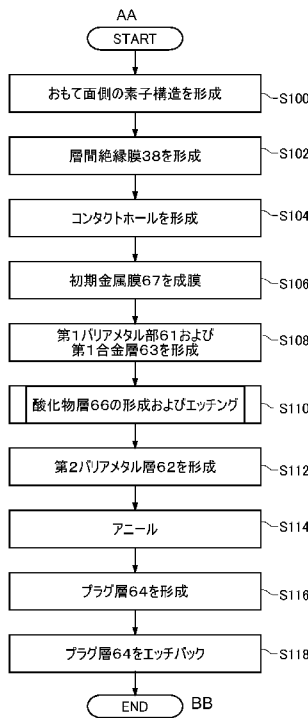
(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



S100Form element structure on obverse surface side
S102Form interlayer insulating film 38
S104Form contact hole
S106Form initial metal film 67
S108Form first barrier metal part 61 and first alloy layer 63
S110Form and etch oxide layer 66
S112Form second barrier metal layer 62
S114Anneal
S116Form plug layer 64
S118Etch back plug layer 64
AA START
BB END

(57) Abstract: Provided is a method for manufacturing a semiconductor device, the method comprising: a step for forming an interlayer insulating film having a contact hole above a semiconductor substrate; a step for forming an initial metal film containing a predetermined first metal on the upper surface of the semiconductor substrate and on the side wall of the interlayer insulating film; a step for forming a first alloy layer containing the first metal on the upper surface of the semiconductor substrate; a step for forming a first barrier metal part containing the first metal on the side wall of the

(74) 代理人: 弁理士法人 R Y U K A 国際特許事務所(RYUKA & PARTNERS); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルトワー 2 2 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

interlayer insulating film; a step for etching at least one of the initial metal film and the first barrier metal part; a step for forming an oxide layer on the upper surface of the first alloy layer; a step for etching the oxide layer; a step for forming a second barrier metal part, which is conductive, above the first alloy layer; and a step for forming a plug layer above the second barrier metal part.

(57) 要約: 半導体基板の上方にコンタクトホールを有する層間絶縁膜を形成する段階と、予め定められた第 1 金属を含む初期金属膜を前記半導体基板の上面および前記層間絶縁膜の側壁に形成する段階と、前記半導体基板の上面において、前記第 1 金属を含む第 1 合金層を形成する段階と、前記層間絶縁膜の側壁において、前記第 1 金属を含む第 1 バリアメタル部を形成する段階と、前記初期金属膜または前記第 1 バリアメタル部の少なくとも 1 つをエッチングする段階と、前記第 1 合金層の上面に酸化物層を形成する段階と、前記酸化物層をエッチングする段階と、前記第 1 合金層の上方に導電性の第 2 バリアメタル部を形成する段階と、前記第 2 バリアメタル部の上方にプラグ層を形成する段階と、を備える半導体装置の製造方法を提供する。

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] 特許文献1には、「コンタクトホール」に「シリサイド層」を設けた半導体装置が記載されている。

[先行技術文献]

[特許文献]

特許文献1 特開2003-318396号公報

特許文献2 特開2007-335554号公報

特許文献3 特開2002-334850号公報

解決しようとする課題

[0003] 水素吸蔵合金を除去して閾値変動を抑制しつつ、コンタクト抵抗を低減することが好ましい。

一般的開示

[0004] 本発明の第1の態様においては、半導体基板の上方にコンタクトホールを有する層間絶縁膜を形成する段階と、前記コンタクトホールにおいて、予め定められた第1金属を含む初期金属膜を前記半導体基板の上面および前記層間絶縁膜の側壁に形成する段階と、前記半導体基板の上面において、前記第1金属を含む第1合金層を形成する段階と、前記層間絶縁膜の側壁において、前記第1金属を含む第1バリアメタル部を形成する段階と、前記コンタクトホールにおいて、前記初期金属膜または前記第1バリアメタル部の少なくとも1つをエッチングする段階と、前記コンタクトホールにおいて、前記第1合金層の上面に酸化物層を形成する段階と、前記コンタクトホールにおいて、前記酸化物層をエッチングする段階と、前記コンタクトホールにおいて、前記第1合金層の上方に導電性の第2バリアメタル部を形成する段階と、

前記コンタクトホールにおいて、前記第2バリアメタル部の上方にプラグ層を形成する段階と、を備える半導体装置の製造方法を提供する。

[0005] 上記いずれかの前記半導体装置の製造方法において、前記第1合金層を形成する段階は、前記半導体基板の上面に設けられた前記初期金属膜をアニールする段階を含んでよい。

[0006] 上記いずれかの前記半導体装置の製造方法において、前記第1バリアメタル部を形成する段階は、前記層間絶縁膜の側壁に設けられた前記初期金属膜をアニールする段階を含んでよい。

[0007] 前記酸化物層を形成する段階は、前記半導体基板を酸素雰囲気中でアニールする段階を含んでよい。

[0008] 上記いずれかの前記半導体装置の製造方法において、前記第1合金層を形成する段階の後であって、前記第2バリアメタル部を形成する段階の前に、前記コンタクトホールにおいて、残存した前記初期金属膜をエッチングする段階を備えてよい。

[0009] 上記いずれかの前記半導体装置の製造方法において、前記初期金属膜および前記酸化物層は、同一のエッチング工程でエッチングされてよい。

[0010] 上記いずれかの前記半導体装置の製造方法において、前記酸化物層をエッチングする段階は、前記酸化物層をウェットエッチングする段階を含んでよい。

[0011] 上記いずれかの前記半導体装置の製造方法において、前記ウェットエッチングの薬液は、過酸化水素またはバッファードフッ酸であってよい。

[0012] 上記いずれかの前記半導体装置の製造方法において、前記酸化物層をエッチングする段階は、前記酸化物層をドライエッチングする段階を含んでよい。

[0013] 上記いずれかの前記半導体装置の製造方法において、前記酸化物層をエッチングする段階において、前記第1合金層の上面が露出するまで前記酸化物層をエッチングしてよい。

[0014] 上記いずれかの前記半導体装置の製造方法において、前記酸化物層をエッ

チングする段階において、前記酸化物層を薄膜化して、前記第 1 合金層の上面に前記酸化物層が残存するようにエッチングしてよい。

[0015] 上記いずれかの前記半導体装置の製造方法において、前記酸化物層は、前記半導体基板の上方に設けられたマスクを用いて選択的に設けられてよい。

[0016] 上記いずれかの前記半導体装置の製造方法において、前記半導体基板のおもて面に、前記半導体基板に設けられたドリフト領域よりもドーピング濃度の高い第 1 導電型の第 1 導電型領域を形成する段階を備えてよい。上記いずれかの前記半導体装置の製造方法において、前記半導体基板のおもて面に第 2 導電型の第 2 導電型領域を形成する段階を備えてよい。前記酸化物層の膜厚は、前記第 2 導電型領域の上方よりも前記第 1 導電型領域の上方において厚くてよい。

[0017] 上記いずれかの前記半導体装置の製造方法において、前記酸化物層は、前記第 2 導電型領域の上方には設けられなくてよい。

[0018] 上記いずれかの前記半導体装置の製造方法において、前記第 1 導電型領域は、前記半導体基板に設けられたトランジスタ部において、前記ドリフト領域の上方に設けられた第 1 導電型のエミッタ領域であってよい。上記いずれかの前記半導体装置の製造方法において、前記第 2 導電型領域は、前記半導体基板に設けられたトランジスタ部において、前記ドリフト領域の上方に設けられた第 2 導電型のベース領域よりもドーピング濃度の高い第 2 導電型のコンタクト領域であってよい。

[0019] 上記いずれかの前記半導体装置の製造方法において、前記半導体基板の上方に、または、前記半導体基板中に多結晶層を形成する段階を備えてよい。上記いずれかの前記半導体装置の製造方法において、前記多結晶層の上方のコンタクトホールにおいて、前記多結晶層の上面に酸化物層を形成する段階を備えてよい。前記多結晶層の上面の前記酸化物層をエッチングする段階を備えてよい。

[0020] 上記いずれかの前記半導体装置の製造方法において、前記多結晶層は、ゲートパッドと電氣的に接続されたゲート配線であってよい。

- [0021] 上記いずれかの前記半導体装置の製造方法において、前記コンタクトホールを有し、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸したトレンチコンタクト部を形成する段階を備えてよい。
- [0022] 上記いずれかの前記半導体装置の製造方法において、前記半導体基板の深さ方向において、前記半導体基板の中心よりもおもて面側に、おもて面側ライフタイム制御領域を形成する段階を備えてよい。
- [0023] 上記いずれかの前記半導体装置の製造方法において、前記おもて面側ライフタイム制御領域は、前記半導体基板への粒子線の照射により形成されてよい。
- [0024] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

- [0025] [図1A]半導体装置100の上面図の一例を示す。
- [図1B]図1Aにおけるa-a'断面の一例を示す。
- [図2A]半導体装置100の変形例の上面図を示す。
- [図2B]半導体装置100の変形例の上面図を示す。
- [図2C]半導体装置100の変形例のb-b'断面を示す。
- [図3A]半導体装置100の断面の拡大図である。
- [図3B]半導体装置100の断面の拡大図である。
- [図4A]変形例である半導体装置100の断面の拡大図である。
- [図4B]変形例である半導体装置100の断面の拡大図である。
- [図5A]変形例である半導体装置100の断面の拡大図である。
- [図5B]変形例である半導体装置100の断面の拡大図である。
- [図6A]変形例である半導体装置100の断面の拡大図である。
- [図6B]変形例である半導体装置100の断面の拡大図である。
- [図7A]変形例である半導体装置100の断面の拡大図である。
- [図7B]変形例である半導体装置100の断面の拡大図である。
- [図8A]変形例である半導体装置100の断面の拡大図である。

[図8B]変形例である半導体装置 100 の断面の拡大図である。

[図9A]図 1 A または図 2 B における c - c' 断面の一例を示す。

[図9B]図 1 A または図 2 B における d - d' 断面の一例を示す。

[図10A]温度センス部 180 を備える半導体装置 100 の上面図の一例を示す。

[図10B]温度センス部 180 における断面の拡大図の一例である。

[図11]半導体装置 100 の製造工程の一例を示すフローチャートである。

[図12A]酸化物層 66 の形成工程の一例を示す。

[図12B]酸化物層 66 の形成工程の一例を示す。

[図12C]酸化物層 66 の形成工程の一例を示す。

[図12D]酸化物層 66 の形成工程の一例を示す。

[図13]半導体装置 100 の製造方法の一例を示す。

[図14]比較例に係る半導体装置の製造工程を示すフローチャートである。

発明を実施するための形態

[0026] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0027] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0028] 本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z軸は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互いに逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸

およびZ軸に平行な方向を意味する。

[0029] 本明細書では、半導体基板の上面および下面に平行な直交軸をX軸およびY軸とする。また、半導体基板の上面および下面と垂直な軸をZ軸とする。本明細書では、Z軸の方向を深さ方向と称する場合がある。また、本明細書では、X軸およびY軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

[0030] 本明細書においてP+型またはN+型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P-型またはN-型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。

[0031] 図1Aは、半導体装置100の上面図の一例を示す。本例の半導体装置100は、トランジスタ部70を備える半導体チップである。半導体装置100は、半導体基板10にMOSゲート構造を有する半導体素子であれば、トランジスタに限定されない。

[0032] トランジスタ部70は、半導体基板10の裏面側に設けられたコレクタ領域22を半導体基板10の上面に投影した領域である。コレクタ領域22については後述する。トランジスタ部70は、IGBT等のトランジスタを含む。本例では、トランジスタ部70はIGBTである。なお、トランジスタ部70は、MOSFET等の他のトランジスタであってもよい。

[0033] 本図においては、半導体装置100の活性部周辺の領域を示しており、他の領域を省略している。例えば、本例の半導体装置100のY軸方向の負側の領域には、エッジ終端構造部が設けられてよい。エッジ終端構造部は、半導体基板10の上面側の電界集中を緩和する。エッジ終端構造部は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。なお、本例では、便宜上、Y軸方向の負側のエッジについて説明するものの、半導体装置100の他のエッジについても同様である。

[0034] 半導体基板10は、半導体材料で形成された基板である。半導体基板10は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム基板であってよく、ダイヤモンド基板であってよく、その他の基板であ

ってもよい。本例の半導体基板 10 は、シリコン基板である。なお、本明細書で単に上面視と称した場合、半導体基板 10 の上面側から見ることを意味している。半導体基板 10 は、後述の通り、おもて面 21 および裏面 23 を有する。

[0035] 本例の半導体装置 100 は、半導体基板 10 のおもて面 21 において、ゲートトレンチ部 40 と、ダミートレンチ部 30 と、エミッタ領域 12 と、ベース領域 14 と、コンタクト領域 15 と、ウェル領域 17 とを備える。また、本例の半導体装置 100 は、半導体基板 10 のおもて面 21 の上方に設けられたエミッタ電極 52 およびゲート金属層 50 を備える。エミッタ電極 52 およびゲート金属層 50 は、後述するおもて面側金属層 53 の一例である。ゲートトレンチ部 40 は、半導体装置 100 が備える MOS ゲート構造の一例である。なお、本例の半導体装置 100 は、MOS ゲート構造を備えるトランジスタであるが、MOS ゲート構造を備えるダイオードであってもよい。

[0036] エミッタ電極 52 は、ゲートトレンチ部 40、ダミートレンチ部 30、エミッタ領域 12、ベース領域 14、コンタクト領域 15 およびウェル領域 17 の上方に設けられている。また、ゲート金属層 50 は、接続部 25 およびウェル領域 17 の上方に設けられている。

[0037] エミッタ電極 52 およびゲート金属層 50 は、金属を含む材料で形成される。エミッタ電極 52 の少なくとも一部の領域は、アルミニウム (Al) 等の金属、または、アルミニウム - シリコン合金 (AlSi)、アルミニウム - シリコン - 銅合金 (AlSiCu) 等の金属合金で形成されてよい。ゲート金属層 50 の少なくとも一部の領域は、アルミニウム (Al) 等の金属、または、アルミニウム - シリコン合金 (AlSi)、アルミニウム - シリコン - 銅合金 (AlSiCu) 等の金属合金で形成されてよい。エミッタ電極 52 およびゲート金属層 50 は、アルミニウム等で形成された領域の下層にチタンまたはチタン化合物等で形成されたバリアメタル層を有してよい。バリアメタル層については後述する。エミッタ電極 52 およびゲート金属層 5

0は、互いに分離して設けられる。

- [0038] エミッタ電極52およびゲート金属層50は、層間絶縁膜38を挟んで、半導体基板10の上方に設けられる。層間絶縁膜38は、図1Aでは省略されている。層間絶縁膜38には、コンタクトホール54、コンタクトホール55およびコンタクトホール56が貫通して設けられている。
- [0039] コンタクトホール55は、ゲート金属層50とトランジスタ部70内のゲート導電部とを接続部25を介して電氣的に接続する。コンタクトホール55の内部には、タングステン等で形成されたプラグ層が形成されてもよい。プラグ層については後述する。
- [0040] コンタクトホール56は、エミッタ電極52とダミートレンチ部30内のダミー導電部とを接続する。コンタクトホール56の内部には、タングステン等で形成されたプラグ層が形成されてもよい。
- [0041] 接続部25は、エミッタ電極52またはゲート金属層50等のおもて面側金属層53と接続される。一例において、接続部25は、ゲート金属層50とゲート導電部との間に設けられる。本例の接続部25は、X軸方向に延伸して設けられ、ゲート導電部と電氣的に接続されてよい。接続部25は、エミッタ電極52とダミー導電部との間にも設けられてよい。本例では、エミッタ電極52とダミー導電部との間に接続部25が設けられていない。接続部25は、不純物がドーパされたポリシリコン等の、導電性を有する材料である。本例の接続部25は、N型の不純物がドーパされたポリシリコン（N⁺）である。接続部25は、酸化膜等の絶縁膜等を介して、半導体基板10のおもて面21の上方に設けられる。
- [0042] ゲートトレンチ部40は、半導体基板10のおもて面21側において、予め定められた延伸方向に延伸した複数のトレンチ部の一例である。ゲートトレンチ部40は、予め定められた配列方向（本例ではX軸方向）に沿って予め定められた間隔で配列される。本例のゲートトレンチ部40は、半導体基板10のおもて面21に平行であって配列方向と垂直な延伸方向（本例ではY軸方向）に沿って延伸する2つの延伸部分41と、2つの延伸部分41を

接続する接続部分 43 を有してよい。

[0043] 接続部分 43 は、少なくとも一部が曲線状に形成されることが好ましい。ゲートトレンチ部 40 の 2 つの延伸部分 41 の端部を接続することで、延伸部分 41 の端部における電界集中を緩和できる。ゲートトレンチ部 40 の接続部分 43 において、接続部 25 を介して、ゲート金属層 50 がゲート導電部と電氣的に接続されてよい。

[0044] ダミートレンチ部 30 は、半導体基板 10 のおもて面 21 側において、予め定められた延伸方向に延伸した複数のトレンチ部の一例である。ダミートレンチ部 30 は、エミッタ電極 52 と電氣的に接続されたトレンチ部である。ダミートレンチ部 30 は、ゲートトレンチ部 40 と同様に、予め定められた配列方向（本例では X 軸方向）に沿って予め定められた間隔で配列される。本例のダミートレンチ部 30 は、半導体基板 10 のおもて面 21 において I 字形状を有するが、ゲートトレンチ部 40 と同様に、半導体基板 10 のおもて面 21 において U 字形状を有してよい。即ち、ダミートレンチ部 30 は、延伸方向に沿って延伸する 2 つの延伸部分と、2 つの延伸部分を接続する接続部分を有してよい。

[0045] 本例のトランジスタ部 70 は、2 つのゲートトレンチ部 40 と 2 つのダミートレンチ部 30 を繰り返し配列させた構造を有する。即ち、本例のトランジスタ部 70 は、1 : 1 の比率でゲートトレンチ部 40 とダミートレンチ部 30 を有している。例えば、トランジスタ部 70 は、2 本の延伸部分 41 の間に 1 本のダミートレンチ部 30 を有する。

[0046] 但し、ゲートトレンチ部 40 とダミートレンチ部 30 の比率は本例に限定されない。ゲートトレンチ部 40 の比率がダミートレンチ部 30 の比率よりも大きくてよく、ダミートレンチ部 30 の比率がゲートトレンチ部 40 の比率よりも大きくてよい。ゲートトレンチ部 40 とダミートレンチ部 30 の比率は、2 : 3 であってもよく、2 : 4 であってもよい。また、トランジスタ部 70 は、全てのトレンチ部をゲートトレンチ部 40 として、ダミートレンチ部 30 を有さなくてもよい。

- [0047] ウェル領域 17 は、後述するドリフト領域 18 よりも半導体基板 10 のおもて面 21 側に設けられた第 2 導電型の領域である。ウェル領域 17 は、活性部 120 の周辺側に設けられるウェル領域の一例である。ウェル領域 17 は、一例として P+ 型である。ウェル領域 17 は、ゲート金属層 50 が設けられる側の活性領域の端部から、予め定められた範囲で形成される。ウェル領域 17 の拡散深さは、ゲートトレンチ部 40 およびダミートレンチ部 30 の深さよりも深くてよい。ゲートトレンチ部 40 およびダミートレンチ部 30 の、ゲート金属層 50 側の一部の領域は、ウェル領域 17 に形成される。ゲートトレンチ部 40 およびダミートレンチ部 30 の延伸方向の端の底は、ウェル領域 17 に覆われてよい。
- [0048] コンタクトホール 54 は、トランジスタ部 70 において、エミッタ領域 12 およびコンタクト領域 15 の各領域の上方に形成される。コンタクトホール 54 は、Y 軸方向両端に設けられたウェル領域 17 の上方には設けられていない。このように、層間絶縁膜には、1 又は複数のコンタクトホール 54 が形成されている。1 又は複数のコンタクトホール 54 は、延伸方向に延伸して設けられてよい。
- [0049] メサ部 71 は、半導体基板 10 のおもて面 21 と平行な面内において、トレンチ部に隣接して設けられたメサ部である。メサ部とは、隣り合う 2 つのトレンチ部に挟まれた半導体基板 10 の部分であって、半導体基板 10 のおもて面 21 から、各トレンチ部の最も深い底部の深さまでの部分であってよい。各トレンチ部の延伸部分を 1 つのトレンチ部としてよい。即ち、2 つの延伸部分に挟まれる領域をメサ部としてよい。
- [0050] メサ部 71 は、トランジスタ部 70 において、ダミートレンチ部 30 またはゲートトレンチ部 40 の少なくとも 1 つに隣接して設けられる。メサ部 71 は、半導体基板 10 のおもて面 21 において、ウェル領域 17 と、エミッタ領域 12 と、ベース領域 14 と、コンタクト領域 15 とを有する。メサ部 71 では、エミッタ領域 12 およびコンタクト領域 15 が延伸方向において交互に設けられている。

[0051] ベース領域 14 は、半導体基板 10 のおもて面 21 側に設けられた第 2 導電型の領域である。ベース領域 14 は、一例として P 型である。ベース領域 14 は、半導体基板 10 のおもて面 21 において、メサ部 71 の Y 軸方向における両端部に設けられてよい。なお、図 1 A は、当該ベース領域 14 の Y 軸方向の一方の端部のみを示している。

[0052] エミッタ領域 12 は、ドリフト領域 18 よりもドーピング濃度の高い第 1 導電型の領域である。本例のエミッタ領域 12 は、一例として N+ 型である。エミッタ領域 12 のドーパントの一例はヒ素 (As) である。エミッタ領域 12 は、メサ部 71 のおもて面 21 において、ゲートトレンチ部 40 と接して設けられる。エミッタ領域 12 は、メサ部 71 を挟んだ 2 本のトレンチ部の一方から他方まで、X 軸方向に延伸して設けられてよい。エミッタ領域 12 は、コンタクトホール 54 の下方にも設けられている。

[0053] また、エミッタ領域 12 は、ダミートレンチ部 30 と接してもよいし、接しなくてもよい。本例のエミッタ領域 12 は、ダミートレンチ部 30 と接している。

[0054] コンタクト領域 15 は、ベース領域 14 の上方に設けられ、ベース領域 14 よりもドーピング濃度の高い第 2 導電型の領域である。本例のコンタクト領域 15 は、一例として P+ 型である。本例のコンタクト領域 15 は、メサ部 71 のおもて面 21 に設けられている。コンタクト領域 15 は、メサ部 71 を挟んだ 2 本のトレンチ部の一方から他方まで、X 軸方向に設けられてよい。コンタクト領域 15 は、ゲートトレンチ部 40 またはダミートレンチ部 30 と接してもよいし、接しなくてもよい。本例のコンタクト領域 15 は、ダミートレンチ部 30 およびゲートトレンチ部 40 と接する。コンタクト領域 15 は、コンタクトホール 54 の下方にも設けられている。

[0055] 図 1 B は、図 1 A における a-a' 断面の一例を示す。a-a' 断面は、トランジスタ部 70 において、エミッタ領域 12 を通過する XZ 面である。本例の半導体装置 100 は、a-a' 断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。コレクタ電極

24は、半導体基板10の裏面23と接して設けられた裏面側金属層の一例である。エミッタ電極52は、半導体基板10および層間絶縁膜38の上方に形成される。

[0056] ドリフト領域18は、半導体基板10に設けられた第1導電型の領域である。本例のドリフト領域18は、一例としてN型である。ドリフト領域18は、半導体基板10において他のドーピング領域が形成されずに残存した領域であってよい。即ち、ドリフト領域18のドーピング濃度は半導体基板10のドーピング濃度であってよい。

[0057] バッファ領域20は、ドリフト領域18よりも半導体基板10の裏面23側に設けられた第1導電型の領域である。本例のバッファ領域20は、一例としてN型である。バッファ領域20のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。バッファ領域20は、ベース領域14の下面側から広がる空乏層が、第2導電型のコレクタ領域22に到達することを防ぐフィールドストップ層として機能してよい。なお、バッファ領域20は、省略されてよい。

[0058] コレクタ領域22は、トランジスタ部70において、バッファ領域20の下方に設けられる。コレクタ領域22は、第2導電型を有する。本例のコレクタ領域22は、一例としてP+型である。

[0059] コレクタ電極24は、半導体基板10の裏面23に形成される。コレクタ電極24は、金属等の導電材料で形成される。コレクタ電極24の材料は、エミッタ電極52の材料と同一であってもよく、異なってもよい。

[0060] ベース領域14は、ドリフト領域18の上方に設けられる第2導電型の領域である。ベース領域14は、ゲートトレンチ部40に接して設けられる。ベース領域14は、ダミートレンチ部30に接して設けられてよい。

[0061] エミッタ領域12は、ベース領域14の上方に設けられる。エミッタ領域12は、ベース領域14とおもて面21との間に設けられる。エミッタ領域12は、ゲートトレンチ部40と接して設けられる。エミッタ領域12は、ダミートレンチ部30と接してもよいし、接しなくてもよい。

- [0062] 蓄積領域16は、ドリフト領域18よりも半導体基板10のおもて面21側に設けられる第1導電型の領域である。本例の蓄積領域16は、一例としてN+型である。但し、蓄積領域16が設けられなくてもよい。
- [0063] 蓄積領域16は、ゲートトレンチ部40に接して設けられる。蓄積領域16は、ダミートレンチ部30に接してもよいし、接しなくてもよい。蓄積領域16のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。蓄積領域16のイオン注入のドーズ量は、 $1.0 \times 10^{12} \text{ cm}^{-2}$ 以上、 $1.0 \times 10^{13} \text{ cm}^{-2}$ 以下であってよい。また、蓄積領域16のイオン注入ドーズ量は、 $3.0 \times 10^{12} \text{ cm}^{-2}$ 以上、 $6.0 \times 10^{12} \text{ cm}^{-2}$ 以下であってよい。蓄積領域16を設けることで、キャリア注入促進効果（IE効果）を高めて、トランジスタ部70のオン電圧を低減できる。
- [0064] 1つ以上のゲートトレンチ部40および1つ以上のダミートレンチ部30は、おもて面21に設けられる。各トレンチ部は、おもて面21からドリフト領域18まで設けられる。エミッタ領域12、ベース領域14、コンタクト領域15および蓄積領域16の少なくともいずれかが設けられる領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域18に到達する。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通したものに含まれる。
- [0065] ゲートトレンチ部40は、おもて面21に形成されたゲートトレンチ、ゲート絶縁膜42およびゲート導電部44を有する。ゲート絶縁膜42は、ゲートトレンチの内壁を覆って形成される。ゲート絶縁膜42は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部44は、ゲートトレンチの内部においてゲート絶縁膜42よりも内側に形成される。ゲート絶縁膜42は、ゲート導電部44と半導体基板10とを絶縁する。ゲート導電部44は、ポリシリコン等の導電材料で形成される。ゲートトレンチ部40は、おもて面21において層間絶縁膜38により覆われる。

- [0066] ゲート導電部44は、半導体基板10の深さ方向において、ゲート絶縁膜42を挟んでメサ部71側で隣接するベース領域14と対向する領域を含む。ゲート導電部44に所定の電圧が印加されると、ベース領域14のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャンネルが形成される。
- [0067] ダミートレンチ部30は、ゲートトレンチ部40と同一の構造を有してよい。ダミートレンチ部30は、おもて面21側に形成されたダミートレンチ、ダミー絶縁膜32およびダミー導電部34を有する。ダミー絶縁膜32は、ダミートレンチの内壁を覆って形成される。ダミー導電部34は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜32よりも内側に形成される。ダミー絶縁膜32は、ダミー導電部34と半導体基板10とを絶縁する。ダミートレンチ部30は、おもて面21において層間絶縁膜38により覆われてよい。
- [0068] 層間絶縁膜38は、半導体基板10の上方に設けられる。本例の層間絶縁膜38は、おもて面21と接して設けられる。層間絶縁膜38の上方には、エミッタ電極52が設けられている。層間絶縁膜38には、エミッタ電極52と半導体基板10とを電氣的に接続するための1又は複数のコンタクトホール54が設けられている。コンタクトホール55およびコンタクトホール56も同様に、層間絶縁膜38を貫通して設けられてよい。層間絶縁膜38の膜厚は、例えば1.0 μ mであるが、これに限定されない。
- [0069] 層間絶縁膜38は、シリコン酸化膜であってよい。層間絶縁膜38は、BPSG (Boro-phospho Silicate Glass) 膜であってよいし、BSG (borosilicate glass) 膜であってよいし、PSG (Phosphosilicate glass) 膜であってよい。層間絶縁膜38は、高温シリコン酸化 (HTO: High Temperature Oxide) 膜を含んでもよい。
- [0070] 裏面側ライフタイム制御領域151は、トランジスタ部70に設けられてよい。但し、裏面側ライフタイム制御領域151は、省略されてよい。裏面

側ライフタイム制御領域 151 は、半導体基板 10 の内部に不純物を注入すること等により意図的にライフタイムキラーが形成された領域である。一例において、裏面側ライフタイム制御領域 151 は、半導体基板 10 にヘリウムを注入することで形成される。裏面側ライフタイム制御領域 151 は、プロトンの注入によって形成されてもよい。裏面側ライフタイム制御領域 151 を設けることにより、ターンオフ時間を低減し、テイル電流を抑制することにより、スイッチング時の損失を低減することができる。

[0071] ライフタイムキラーは、キャリアの再結合中心である。ライフタイムキラーは、格子欠陥であってよい。例えば、ライフタイムキラーは、空孔、複空孔、これらと半導体基板 10 を構成する元素との複合欠陥、または転位であってよい。また、ライフタイムキラーは、ヘリウム、ネオンなどの希ガス元素、または、白金などの金属元素などでもよい。格子欠陥の形成には電子線、プロトンが用いられてよい。

[0072] ライフタイムキラー濃度とは、キャリアの再結合中心濃度である。ライフタイムキラー濃度は、格子欠陥の濃度であってよい。例えばライフタイムキラー濃度とは、空孔、複空孔などの空孔濃度であってよく、これらの空孔と半導体基板 10 を構成する元素との複合欠陥濃度であってよく、または転位濃度であってよい。また、ライフタイムキラー濃度とは、ヘリウム、ネオンなどの希ガス元素の化学濃度としてもよく、または、白金などの金属元素の化学濃度としてもよい。

[0073] 裏面側ライフタイム制御領域 151 は、半導体基板 10 の深さ方向において、半導体基板 10 の中心よりも裏面 23 側に設けられる。本例の裏面側ライフタイム制御領域 151 は、バッファ領域 20 に設けられる。本例の裏面側ライフタイム制御領域 151 は、XY 平面において半導体基板 10 の全面に設けられており、マスクを使用せずに形成できる。裏面側ライフタイム制御領域 151 は、XY 平面において半導体基板 10 の一部に設けられてもよい。裏面側ライフタイム制御領域 151 を形成するための不純物のドーズ量は、 $0.5 \text{ E} + 10 \text{ cm}^{-2}$ 以上、 $1.0 \text{ E} + 14 \text{ cm}^{-2}$ 以下であっても

、 $5.0\text{E}+10\text{cm}^{-2}$ 以上、 $1.0\text{E}+13\text{cm}^{-2}$ 以下であってもよい。

[0074] 裏面側ライフタイム制御領域151は、裏面23側からの注入により形成されてよい。これにより、半導体装置100のおもて面21側への影響を回避しやすくなる。例えば、裏面側ライフタイム制御領域151は、裏面23側からヘリウムまたはプロトンを照射することにより形成される。ここで、裏面側ライフタイム制御領域151がおもて面21側からの注入により形成されているか、裏面23側からの注入により形成されているかは、SR法またはリーク電流の測定によって、おもて面21側の状態を取得することで判断できる。

[0075] 図2Aは、半導体装置100の変形例の上面図を示す。本例においては、半導体装置100の一部の部材だけを示しており、一部の部材は省略している。

[0076] 半導体基板10は、上面視において端辺102を有する。本例の半導体基板10は、上面視において互いに向かい合う2組の端辺102を有する。本例においては、X軸およびY軸は、いずれかの端辺102と平行である。

[0077] 半導体基板10には活性部120が設けられている。活性部120は、半導体装置100が動作した場合に半導体基板10のおもて面21と裏面23との間で、深さ方向に主電流が流れる領域である。活性部120の上方には、エミッタ電極52が設けられているが本図では省略している。

[0078] 活性部120には、IGBT等のトランジスタ素子を含むトランジスタ部70と、還流ダイオード(FWD)等のダイオード素子を含むダイオード部80の少なくとも一方が設けられている。図2Aの例では、トランジスタ部70およびダイオード部80は、半導体基板10のおもて面21における所定の配列方向(本例ではX軸方向)に沿って、交互に配置されている。他の例では、活性部120には、トランジスタ部70およびダイオード部80の一方だけが設けられていてもよい。

[0079] 本例においては、トランジスタ部70が配置される領域には記号「I」を

付し、ダイオード部 80 が配置される領域には記号「F」を付している。トランジスタ部 70 およびダイオード部 80 は、それぞれ延伸方向に長手を有してよい。つまり、トランジスタ部 70 の Y 軸方向における長さは、X 軸方向における幅よりも大きい。同様に、ダイオード部 80 の Y 軸方向における長さは、X 軸方向における幅よりも大きい。トランジスタ部 70 およびダイオード部 80 の延伸方向と、後述する各トレンチ部の長手方向とは同一であってよい。

[0080] ダイオード部 80 は、半導体基板 10 の裏面 23 側に設けられたカソード領域 82 を半導体基板 10 の上面に投影した領域である。カソード領域 82 については後述する。半導体基板 10 の裏面 23 において、カソード領域 82 以外の領域には、P+型のコレクタ領域 22 が設けられてよい。本明細書では、ダイオード部 80 を、後述するゲート配線まで Y 軸方向に延長した延長領域 85 も、ダイオード部 80 に含める場合がある。延長領域 85 の裏面 23 には、コレクタ領域 22 が設けられてよい。

[0081] 半導体装置 100 は、半導体基板 10 の上方に 1 つ以上のパッドを有してよい。本例の半導体装置 100 は、ゲートパッド 112 を有している。半導体装置 100 は、アノードパッドおよびカソードパッド等のパッドを有してもよい。各パッドは、端辺 102 の近傍に配置されている。端辺 102 の近傍とは、上面視における端辺 102 と、エミッタ電極 52 との間の領域を指す。半導体装置 100 の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

[0082] ゲートパッド 112 には、ゲート電位が印加される。ゲートパッド 112 は、活性部 120 のゲートトレンチ部 40 のゲート導電部 44 に電氣的に接続される。半導体装置 100 は、ゲートパッド 112 とゲートトレンチ部 40 とを接続するゲート配線を備える。図 2A においては、ゲート配線に斜線のハッチングを付している。

[0083] 本例のゲート配線は、外周ゲート配線 130 と、活性部間ゲート配線 131 とを有している。ゲート配線はゲート金属層 50 や接続部 25 のどちらか

一方、あるいは、両方を適宜組み合わせられて構成されてよい。外周ゲート配線 130 と、活性部間ゲート配線 131 は同じ構成であってよく、異なる構成であってもよい。外周ゲート配線 130 は、上面視において活性部 120 と半導体基板 10 の端辺 102 との間に配置されている。本例の外周ゲート配線 130 は、上面視において活性部 120 を囲んでいる。上面視において外周ゲート配線 130 に囲まれた領域を活性部 120 としてもよい。また、外周ゲート配線 130 は、ゲートパッド 112 と接続されている。外周ゲート配線 130 は、半導体基板 10 の上方に配置されている。外周ゲート配線 130 は、ゲート金属層 50 および接続部 25 より構成されてよい。

[0084] 活性部間ゲート配線 131 は、複数の活性部 120 の間に設けられている。図 2A においては、Y 軸方向に 2 つの活性部 120 が並んで配置されている。半導体基板 10 の内部の複数の活性部 120 の間に活性部間ゲート配線 131 を設けることで、半導体基板 10 の各領域について、ゲートパッド 112 からの配線長のバラツキを低減できる。

[0085] 活性部間ゲート配線 131 は、活性部 120 のゲートトレンチ部と接続される。活性部間ゲート配線 131 は、半導体基板 10 の上方に配置されている。本例の活性部間ゲート配線 131 は、ゲート金属層 50 および接続部 25 により構成されている。ゲート金属層 50 は、アルミニウム等を含む金属層であってよい。

[0086] 活性部間ゲート配線 131 は、外周ゲート配線 130 と接続されてよい。本例の活性部間ゲート配線 131 は、Y 軸方向の略中央で一方の外周ゲート配線 130 から他方の外周ゲート配線 130 まで、活性部 120 を横切るように、X 軸方向に延伸して設けられている。活性部間ゲート配線 131 により活性部 120 が分割されている場合、それぞれの分割領域において、トランジスタ部 70 およびダイオード部 80 が X 軸方向に交互に配置されてよい。

[0087] エッジ終端構造部 140 は、半導体基板 10 のおもて面 21 に設けられる。エッジ終端構造部 140 は、上面視において、活性部 120 と端辺 102

との間に設けられる。本例のエッジ終端構造部 140 は、外周ゲート配線 130 と端辺 102 との間に配置されている。エッジ終端構造部 140 は、半導体基板 10 のおもて面 21 側の電界集中を緩和する。エッジ終端構造部 140 は、活性部 120 を囲んで環状に設けられたガードリング、フィールドプレートおよびリサフのうちの少なくとも一つを備えてよい。

[0088] 図 2 B は、半導体装置 100 の変形例の上面図を示す。本例の半導体装置 100 は、トランジスタ部 70 およびダイオード部 80 を備える。本図は、図 2 A における領域 A の上面の拡大図である。

[0089] 本例の半導体装置 100 は、半導体基板 10 のおもて面 21 側の内部に設けられたゲートトレンチ部 40、ダミートレンチ部 30、エミッタ領域 12、ベース領域 14、コンタクト領域 15 およびウェル領域 17 を備える。ゲートトレンチ部 40 およびダミートレンチ部 30 は、それぞれがトレンチ部の一例である。

[0090] 本例のダミートレンチ部 30 は、ゲートトレンチ部 40 と同様に、半導体基板 10 のおもて面 21 において U 字形状を有してよい。即ち、ダミートレンチ部 30 は、延伸方向に沿って延伸する 2 つの延伸部分 31 と、2 つの延伸部分 31 を接続する接続部分 33 を有してよい。

[0091] 本例の半導体装置 100 は、半導体基板 10 のおもて面 21 の上方に設けられたエミッタ電極 52 およびゲート金属層 50 を備える。エミッタ電極 52 およびゲート金属層 50 は互いに分離して設けられる。本例のトランジスタ部 70 は、トランジスタ部 70 とダイオード部 80 との境界に位置する境界部 90 を含む。但し、半導体装置 100 は、境界部 90 を備えなくてよい。

[0092] 境界部 90 は、トランジスタ部 70 に設けられ、ダイオード部 80 と隣接する領域である。境界部 90 は、半導体基板 10 のおもて面 21 においてコンタクト領域 15 を有する。本例の境界部 90 は、エミッタ領域 12 を有さない。一例において、境界部 90 のトレンチ部は、ダミートレンチ部 30 である。本例の境界部 90 は、X 軸方向における両端がダミートレンチ部 30

となるように配置されている。

[0093] コンタクトホール54は、ダイオード部80において、ベース領域14の上方に設けられる。コンタクトホール54は、境界部90において、コンタクト領域15の上方に設けられる。いずれのコンタクトホール54も、Y軸方向両端に設けられたウェル領域17の上方には設けられていない。

[0094] メサ部91は、境界部90に設けられている。メサ部91は、半導体基板10のおもて面21において、コンタクト領域15を有する。本例のメサ部91は、Y軸方向の負側において、ベース領域14およびウェル領域17を有する。

[0095] メサ部81は、ダイオード部80において、隣り合うダミートレンチ部30に挟まれた領域に設けられる。メサ部81は、半導体基板10のおもて面21において、ベース領域14を有する。本例のメサ部81は、Y軸方向の負側においてウェル領域17を有する。

[0096] エミッタ領域12は、メサ部71に設けられているが、メサ部81およびメサ部91には設けられなくてよい。コンタクト領域15は、メサ部71およびメサ部91に設けられているが、メサ部81には設けられなくてよい。

[0097] 図2Cは、半導体装置100の変形例のb-b'断面を示す。本図は、図2Bのb-b'断面に相当する。本例の半導体装置100は、裏面側ライフタイム制御領域151およびおもて面側ライフタイム制御領域152を備える。但し、半導体装置100は、裏面側ライフタイム制御領域151またはおもて面側ライフタイム制御領域152の一方を備えなくてもよい。本例の半導体装置100は、バッファ領域20の裏面23側にコレクタ領域22およびカソード領域82を備える。

[0098] コンタクト領域15は、メサ部91において、ベース領域14の上方に設けられる。コンタクト領域15は、メサ部91において、ダミートレンチ部30に接して設けられる。他の断面において、コンタクト領域15は、メサ部71のおもて面21に設けられてよい。

[0099] 蓄積領域16は、トランジスタ部70およびダイオード部80に設けられ

る。本例の蓄積領域 16 は、トランジスタ部 70 およびダイオード部 80 の全面に設けられる。但し、蓄積領域 16 は、ダイオード部 80 に設けられなくてもよい。

[0100] カソード領域 82 は、ダイオード部 80 において、バッファ領域 20 の下方に設けられる。コレクタ領域 22 とカソード領域 82 との境界は、トランジスタ部 70 とダイオード部 80 との境界である。即ち、本例の境界部 90 の下方には、コレクタ領域 22 が設けられている。

[0101] 裏面側ライフタイム制御領域 151 は、トランジスタ部 70 およびダイオード部 80 の両方に設けられる。これにより、本例の半導体装置 100 は、ダイオード部 80 におけるリカバリーを速めて、スイッチング損失をさらに改善できる。裏面側ライフタイム制御領域 151 は、他の実施例の裏面側ライフタイム制御領域 151 と同様の方法により形成されてよい。

[0102] おもて面側ライフタイム制御領域 152 は、半導体基板 10 の深さ方向において、半導体基板 10 の中心よりもおもて面 21 側に設けられる。本例のおもて面側ライフタイム制御領域 152 は、ドリフト領域 18 に設けられる。おもて面側ライフタイム制御領域 152 は、トランジスタ部 70 およびダイオード部 80 の両方に設けられる。おもて面側ライフタイム制御領域 152 は、ダイオード部 80 と境界部 90 に設けられ、トランジスタ部 70 の一部には設けられなくてもよい。おもて面側ライフタイム制御領域 152 は、トランジスタ部 70 およびダイオード部 80 からのホールの注入を抑制して、逆回復損失を低減できる。

[0103] おもて面側ライフタイム制御領域 152 は、裏面側ライフタイム制御領域 151 の形成方法のうち、任意の方法で形成されてよい。裏面側ライフタイム制御領域 151 およびおもて面側ライフタイム制御領域 152 を形成するための元素およびドーズ量などは、同一であっても異なってもよい。

[0104] おもて面側ライフタイム制御領域 152 は、ダイオード部 80 からトランジスタ部 70 に延伸して設けられる。おもて面側ライフタイム制御領域 152 は、半導体基板 10 のおもて面 21 からの照射により形成されてよい。お

もて面側ライフタイム制御領域 152 は、半導体基板 10 の裏面 23 側からの照射により形成されてもよい。本例のおもて面側ライフタイム制御領域 152 は、ゲートトレンチ部 40 の下方に設けられる。おもて面側ライフタイム制御領域 152 を形成するための粒子線等が半導体装置 100 の MOS ゲート構造を通過することで、ゲート酸化膜と半導体基板との界面において欠陥が生じる場合がある。

[0105] 半導体装置 100 は、電力の制御等を行うためのパワー半導体装置であってよい。本例の半導体装置 100 は、半導体基板 10 の裏面 23 側に裏面側金属層を備える縦型半導体構造を有してよい。但し、半導体装置 100 は、裏面 23 側に金属層を備えない横型半導体構造を有してもよい。

[0106] なお、本例では、半導体装置 100 として、トレンチゲート構造の R C I G B T を例示して説明している。但し、半導体装置 100 は、プレーナゲート構造の半導体装置であってもよいし、ダイオード等の他の半導体装置であってもよい。半導体装置 100 は、N チャネルの MOS F E T を備えてもよいし、P チャネルの MOS F E T を備えてもよい。

[0107] 図 3 A は、半導体装置 100 の断面の拡大図である。本例では、コンタクトホール 54 の近傍における断面の拡大図を示す。本例の断面は、半導体基板 10 のおもて面 21 においてエミッタ領域 12 を通過する X Z 断面である。エミッタ領域 12 は、第 1 導電型領域 161 の一例である。半導体装置 100 は、バリアメタル層 60 と、第 1 合金層 63 と、プラグ層 64 とを備える。本例の半導体装置 100 は、後述する酸化物層 66 を備えない。

[0108] なお、本明細書においては、コンタクトホール 54 を用いて、コンタクトホールの近傍の構造を説明する場合があるが、コンタクトホール 55 およびコンタクトホール 56 等の他のコンタクトホールについても同様の構造が適用されてもよい。即ち、バリアメタル層 60、第 1 合金層 63 およびプラグ層 64 は、コンタクトホール 55 およびコンタクトホール 56 等の他のコンタクトホールに設けられてもよい。後述するコンタクトホール 58 についても同様に、バリアメタル層 60、第 1 合金層 63 およびプラグ層 64 が設け

られてよい。後述の通り、コンタクトホール54に酸化物層66を残す場合においては、酸化物層66がコンタクトホール55およびコンタクトホール56等の他のコンタクトホールに設けられてもよい。

[0109] バリアメタル層60は、コンタクトホール54において、第1合金層63の上方に設けられる。バリアメタル層60は、コンタクトホール54の底面および層間絶縁膜38の側壁に設けられる。バリアメタル層60は、層間絶縁膜38の上面に接して設けられてもよい。本例のバリアメタル層60は、コンタクトホール54において、第1合金層63の上面および層間絶縁膜38の側壁に設けられる。バリアメタル層60は、予め定められた導電性の第1金属を含む。第1金属は、チタン(Ti)、コバルト(Co)、ニッケル(Ni)、タンタル(Ta)、マグネシウム(Mg)、バナジウム(V)、ランタン(La)、パラジウム(Pd)またはジルコニウム(Zr)の少なくとも1つであってよい。第1金属は、水素吸蔵効果のある金属であってよい。本例のバリアメタル層60は、第1バリアメタル部61および第2バリアメタル部62を有する。但し、第1バリアメタル部61は、半導体装置100のいずれかの製造工程において除去されてもよい。

[0110] 第1バリアメタル部61は、コンタクトホール54において、層間絶縁膜38の側壁に設けられる。第1バリアメタル部61は、予め定められた導電性の第1金属を含む。例えば、第1バリアメタル部61はTiNである。第1バリアメタル部61は、水素吸蔵合金であってよい。第1バリアメタル部61は、第1金属を含む初期金属膜67（不図示）をアニールすることにより形成される。本例の第1バリアメタル部61は、初期金属膜67として層間絶縁膜38の側壁に成膜されたTiを、窒素雰囲気中でアニールすることによって形成されたTiNである。

[0111] 第2バリアメタル部62は、コンタクトホール54において、第1バリアメタル部61に積層される。第2バリアメタル部62は、導電性の材料を含む。例えば、第2バリアメタル部62は、TiNである。第2バリアメタル部62は、半導体基板10の上面に設けられた第1合金層63と積層して設

けられる。第2バリアメタル部62は、導電性の材料のスパッタにより形成されてよい。本例の第2バリアメタル部62は、スパッタにより形成されたTiNである。第2バリアメタル部62は、第1バリアメタル部61および第1合金層63と接して設けられてよい。

[0112] 第1合金層63は、コンタクトホール54の下方において、半導体基板10の上面に設けられる。本例の第1合金層63は、半導体基板10の上面に設けられる。第1合金層は、第1金属を含む初期金属膜67をアニールすることにより形成される。第1合金層63は第1金属とコンタクトホール54の底面にある層の構成元素からなる合金であってよい。一例として、半導体基板10がシリコン基板である場合、第1合金層63はシリサイド層であってよい。別の例として、半導体基板10が炭化シリコン基板、窒化ガリウム基板またはダイヤモンド基板等である場合、第1合金層63はこれらの基板材料と第1金属を含む合金層であってよい。本例の第1合金層63は、初期金属膜67としてコンタクトホール54の底面に成膜されたTiをアニールすることによって形成されたチタンシリサイド層である。第1導電型領域161をはじめとするN型領域は、第1合金層63と接する箇所でN型不純物が高濃度となるように形成され、接触抵抗が低減されてよい。

[0113] 第1バリアメタル部61および第1合金層63は、同一のアニール工程によって形成されてよい。例えば、層間絶縁膜38の側壁においてTiNの第1バリアメタル部61が形成され、半導体基板10の上面においてチタンシリサイドの第1合金層63が形成される。なお、形成された全ての初期金属膜67が第1バリアメタル部61または第1合金層63の形成に使用され、初期金属膜67が残存しなくてよい。第1合金層63の上に初期金属膜67が残存してもよく、第1バリアメタル部61が第1合金層63または初期金属膜67の上に形成されてもよい。

[0114] プラグ層64は、コンタクトホール54において、バリアメタル層60の上方に設けられる。プラグ層64は、コンタクトホール54において、第2バリアメタル部62と接して設けられてよい。プラグ層64は、コンタクト

ホール54の内部に充填される導電性の材料である。プラグ層64は、おもて面側金属層53と異なる材料であってよい。例えば、プラグ層64の材料は、タングステンである。なお、プラグ層64は、コンタクトホール54の外においても層間絶縁膜38の上方において第2バリアメタル部62と接して設けられてもよい。プラグ層64が省略されて、おもて面側金属層53がコンタクトホール54の内部に充填されてもよい。

[0115] 層間絶縁膜38は、コンタクトホール54を有し、半導体基板10の上方に設けられる。層間絶縁膜38は、おもて面21の上方に設けられた1層の絶縁膜を有するが、積層された複数の絶縁膜を有してもよい。層間絶縁膜38は、BPSG等のシリコン酸化膜であってよい。

[0116] 第1バリアメタル部61は、第2バリアメタル部62よりも緻密である。第1バリアメタル部61および第2バリアメタル部62は、異なる成膜方法で形成されてよい。第1バリアメタル部61は、層間絶縁膜38の側壁に成膜されたTiのアニールによって形成されたTiN膜であってよい。第2バリアメタル部62は、TiNのスパッタによって形成されたTiN膜であってよい。これにより、第1バリアメタル部61は、第2バリアメタル部62よりも緻密なTiN膜となってよい。第1バリアメタル部61および第2バリアメタル部62は、同一の材料を含んでよい。

[0117] 第1バリアメタル部61が緻密に形成されることにより、プラグ層64の形成時のダメージから層間絶縁膜38を保護することができる。一方、スパッタで形成された第2バリアメタル部62は、初期金属膜67を形成する必要がないので、Ti等が残存することによる水素吸蔵効果の影響を回避することができる。但し、第2バリアメタル部62は、第1バリアメタル部61のように緻密な膜ではないので、プラグ層64の形成時にプラグ層64が第2バリアメタル部62に侵入する場合がある。

[0118] 第1バリアメタル部61の膜厚は、第2バリアメタル部62の膜厚よりも薄くてよい。第1バリアメタル部61の膜厚は、第1合金層63の膜厚よりも薄くてよい。第1バリアメタル部61は、緻密な膜が形成された後のエッ

チングによって薄膜化されてよい。緻密な膜が形成された後のエッチングは、薬液によって行ってよい。エッチングを行う薬液は、例えば、フッ化水素酸（フッ酸）、アンモニア過水、あるいは、硫酸などであってよい。アンモニア過水とは、アンモニア（ NH_4OH ）、過酸化水素（ H_2O_2 ）および水（ H_2O ）の混合液である。緻密な膜が形成された後のエッチングは、ドライエッチングあるいは逆スパッタリングなどであってよい。第1バリアメタル部61の膜厚は、1 nm以上、10 nm以下であってよい。第1バリアメタル部61の膜厚は、コンタクトホール54において最も厚い位置での膜厚であってよい。第1バリアメタル部61の膜厚は、層間絶縁膜38の側壁全体において、予め定められた範囲に形成されてよい。第2バリアメタル部62の膜厚は、1 nm以上、100 nm以下であってよい。第1合金層63の膜厚は、1 nm以上、200 nm以下であってよい。

[0119] 第1バリアメタル部61は、層間絶縁膜38の側壁を覆ってよい。第1バリアメタル部61の下端は、酸化物層66と接してよい。即ち、コンタクトホール54の底面および層間絶縁膜38の側壁は、第1バリアメタル部61および酸化物層66で覆われていてよい。これにより、プラグ層64の形成時のガスによって、層間絶縁膜38および第1合金層63が侵食されるのを回避することができる。酸化物層66は、第1バリアメタル部61をエッチングにより薄膜化する際に、第1合金層63の上面に形成されてよい。

[0120] コンタクトホール54の開口幅 W_{54} は、層間絶縁膜38の上面におけるコンタクトホール54のトレンチ配列方向における幅である。コンタクトホール54の開口幅 W_{54} は、100 nm以上、1000 nm以下であってよい。

[0121] ここで、ライフタイム制御領域を形成するための電子線および粒子線等がMOSゲート構造を通過すると、MOSゲート構造の酸化膜と半導体層との界面近傍に欠陥が発生する場合がある。そして、MOSゲート構造の近傍に水素吸蔵効果のあるTiなどの金属が存在すると、ゲート部に拡散する水素を吸蔵して、MOSゲート構造のダングリングボンドの水素終端を阻害して

、閾値電圧が変動する場合がある。

[0122] 本例の半導体装置 100 は、第 1 バリアメタル部 61 を薄膜化することにより、水素吸蔵効果のある第 1 金属の残存量を低減することができる。これにより、水素吸蔵効果の影響を抑制して、MOS ゲート構造のダングリングボンドの水素終端を促進することができる。これにより、閾値電圧の変動を抑制することができる。

[0123] 第 1 バリアメタル部 61 を薄膜化する際に、第 1 合金層 63 の上面に酸化物層 66 が形成されることがある。半導体装置 100 は、酸化物層 66 を除去することにより、コンタクトホール 54 における抵抗を減少させることができる。本例の半導体装置 100 は、コンタクトホール 54 における抵抗を減少させつつ、閾値電圧の変動を抑制することができる。また、半導体装置 100 は、閾値電圧の変動を抑制しつつ、ライフタイム制御領域を形成できるので逆回復損失を低減することができる。

[0124] なお、ライフタイム制御領域を形成するための電子線および粒子線は、半導体基板 10 のおもて面 21 側から照射する場合に MOS ゲート構造への影響が大きくなるが、半導体基板 10 の裏面 23 側から照射する場合にも MOS ゲート構造へ影響し得る。よって、半導体装置 100 は、裏面 23 側から照射する場合にも MOS ゲート構造のダメージを回復して、閾値電圧の変動を抑制できる。なお、半導体基板 10 の裏面 23 側から粒子線等を照射する場合、加速電圧が大きくなり装置が大型化するところ、本例の半導体装置 100 では、おもて面 21 から粒子線等を照射する影響を抑制できるので、より小型の装置でライフタイム制御領域を形成することができる。

[0125] 第 1 導電型領域 161 は、半導体基板 10 のおもて面 21 に設けられ、ドリフト領域 18 よりもドーピング濃度の高い第 1 導電型の領域である。第 1 導電型領域 161 は、トランジスタ部 70 の N 型領域であってよい。本例の第 1 導電型領域 161 は、エミッタ領域 12 であるがこれに限定されない。第 1 導電型領域 161 は、MOSFET の N 型領域であってよい。第 1 導電型領域 161 は、トランジスタ部 70 以外に設けられた N 型領域であってよ

い。第1導電型領域161は、温度センスダイオードのN型領域であってよい。第1導電型領域161は、RC-IGBT等のダイオード部のN型領域であってよい。

[0126] 図3Bは、半導体装置100の断面の拡大図である。本例の断面は、おもて面21においてコンタクト領域15を通過する点で図3Aの断面と相違する。コンタクト領域15は、第2導電型領域162の一例である。本例では、図3Aと相違する点について特に説明する。

[0127] 第2導電型領域162は、半導体基板10のおもて面21に設けられた第2導電型の領域である。第2導電型領域162は、トランジスタ部70のP型領域であってよい。本例の第2導電型領域162は、コンタクト領域15であるがこれに限定されない。第2導電型領域162は、MOSFETのP型領域であってよい。第2導電型領域162は、トランジスタ部70以外に設けられたP型領域であってよい。第2導電型領域162は、温度センスダイオードのP型領域であってよい。第2導電型領域162は、RC-IGBT等のダイオード部のP型領域であってよい。

[0128] 第2導電型領域162の上方におけるコンタクトホール54の構造は、第1導電型領域161の上方におけるコンタクトホール54の構造と同一であってよいし、異なってもよい。即ち、バリアメタル層60の膜厚および第1合金層63の膜厚は、第1導電型領域161の上方と第2導電型領域162の上方とで、それぞれ同一であってよい。第2導電型領域162をはじめとするP型領域は、第1合金層63と接する箇所でP型不純物が高濃度となるように形成され、接触抵抗が低減されてよい。

[0129] 図4Aは、変形例である半導体装置100の断面の拡大図である。本例の断面は、半導体基板10のおもて面21においてエミッタ領域12を通過するXZ断面である。本例の半導体装置100は、第1バリアメタル部61を備えず、第2バリアメタル部62と層間絶縁膜38との間に初期金属膜67を備える点で図3Aの実施例と相違する。

[0130] 初期金属膜67は、第1合金層63を形成する工程において残存してよい

。初期金属膜 6 7 は第 2 バリアメタル部 6 2 より緻密であってよい。初期金属膜 6 7 はコンタクトホール 5 4 において層間絶縁膜 3 8 の側壁に設けられる。初期金属膜 6 7 は層間絶縁膜 3 8 の上面に接して設けられてもよい。第 2 バリアメタル部 6 2 はコンタクトホール 5 4 の底面および層間絶縁膜 3 8 の側壁に設けられる。第 2 バリアメタル部 6 2 は層間絶縁膜 3 8 の上方に設けられてもよく、層間絶縁膜 3 8 との間に初期金属膜 6 7 が設けられてもよい。本例の第 2 バリアメタル部 6 2 は、コンタクトホール 5 4 において、第 1 合金層 6 3 の上面および層間絶縁膜 3 8 の側壁に設けられ、初期金属膜 6 7 は層間絶縁膜 3 8 の側壁と第 2 バリアメタル部 6 2 との間に設けられる。

[0131] 第 1 バリアメタル部 6 1 は、形成されなくてよく、形成されてもよい。第 1 バリアメタル部 6 1 が形成される場合、第 1 合金層 6 3 を形成する工程におけるアニール処理によって、第 1 バリアメタル部 6 1 が初期金属膜 6 7 の表面に形成された後で、第 1 バリアメタル部 6 1 がすべて除去されてよい。

[0132] 図 4 B は、変形例である半導体装置 1 0 0 の断面の拡大図である。本例の断面は、半導体基板 1 0 のおもて面 2 1 においてコンタクト領域 1 5 を通過する X Z 面である。本例の半導体装置 1 0 0 は、第 1 バリアメタル部 6 1 を備えず、第 2 バリアメタル部 6 2 と層間絶縁膜 3 8 との間に初期金属膜 6 7 を備える点で図 3 B の実施例と相違する。

[0133] 図 4 A および図 4 B の実施例においても、初期金属膜 6 7 を薄膜化することにより、水素吸蔵効果のある第 1 金属の残存量を低減することができる。これにより、水素吸蔵効果の影響を抑制して、MOS ゲート構造のダングリングボンドの水素終端を促進することができる。これにより、閾値電圧の変動を抑制することができる。

[0134] 図 5 A は、変形例である半導体装置 1 0 0 の断面の拡大図である。本例の断面は、半導体基板 1 0 のおもて面 2 1 においてエミッタ領域 1 2 を通過する X Z 断面である。本例の半導体装置 1 0 0 は、第 1 バリアメタル部 6 1 と層間絶縁膜 3 8 との間に初期金属膜 6 7 を備える点で図 3 A の実施例と相違する。

- [0135] 本例では、第1合金層63を形成する工程におけるアニール処理によって、第1バリアメタル部61が形成されるとともに、初期金属膜67が残存している。第1バリアメタル部61は、エッチングを経た後も一部が残存してよい。初期金属膜67はコンタクトホール54において層間絶縁膜38の側壁に設けられる。初期金属膜67は層間絶縁膜38の上面に接して設けられてもよい。バリアメタル層60はコンタクトホール54の底面および層間絶縁膜38の側壁に設けられる。バリアメタル層60は層間絶縁膜38の上方に設けられてもよく、層間絶縁膜38との間に初期金属膜67が設けられてもよい。本例のバリアメタル層60は、コンタクトホール54において、第1合金層63の上面および層間絶縁膜38の側壁に設けられ、初期金属膜67は層間絶縁膜38の側壁とバリアメタル層60との間に設けられる。
- [0136] 図5Bは、半導体装置100の断面の拡大図である。本例の断面は、半導体基板10のおもて面21においてコンタクト領域15を通過するXZ面である。本例の半導体装置100は、第1バリアメタル部61と層間絶縁膜38との間に初期金属膜67を備える点で図3Bの実施例と相違する。
- [0137] 図5Aおよび図5Bの実施例においても、第1バリアメタル部61がエッチングによって薄くなることで、水素吸蔵効果の影響を抑制して、MOSゲート構造のダングリングボンドの水素終端を促進することができる。これにより、閾値電圧の変動を抑制することができる。
- [0138] 図6Aは、変形例である半導体装置100の断面の拡大図である。本例では、コンタクトホール54の近傍における断面の拡大図を示す。本例の断面は、半導体基板10のおもて面21においてエミッタ領域12を通過するXZ断面である。本例では、酸化物層66を備える点で図3Aの実施例と相違する。本例の半導体装置100は、第1バリアメタル部61を備えない点で図3Aの実施例と相違する。
- [0139] 酸化物層66は、コンタクトホール54において、第1合金層63の上面に設けられる。酸化物層66は、第1合金層63の上面と接してもよいし、バリアメタル層60の下面と接してもよい。酸化物層66は、第1合金層6

3およびバリアメタル層60と接して設けられてよい。即ち、酸化物層66は、第1合金層63とバリアメタル層60との間に積層して設けられてよい。なお、第1合金層63の上に第1バリアメタル部61が形成されている場合、または初期金属膜67が残存している場合に、酸化物層66は第1バリアメタル部61または初期金属膜67の上に形成されてもよい。また、酸化物層66はコンタクトホール54において、層間絶縁膜38の側壁と、第2バリアメタル部62の下とに形成されてもよい。

[0140] 酸化物層66は、第1合金層63、第1バリアメタル部61、または、初期金属膜67を構成する元素を含んでよい。酸化物層66は、半導体基板10を構成する元素またはシリコンの酸化物を含んでよい。例えば、酸化物層66は、シリコン酸化膜である。酸化物層66の組成は、 SiO 、 SiO_2 または Si_2O_3 の少なくとも1つであってよい。酸化物層66は、予め定められた導電性の第1金属を含んでよい。例えば、酸化物層66は、チタンを含んでよく、チタン酸化膜を含んでよい。酸化物層66の組成は、 TiO 、 TiO_2 または Ti_2O_3 の少なくとも1つであってよい。酸化物層66は、金属拡散防止層として機能するような緻密な膜であってよい。例えば、酸化物層66は、プラグ層64の形成時にプラグ層64の拡散を防止して、プラグ層64の形成時のダメージから第1合金層63を保護することができる。

[0141] 酸化物層66の膜厚は、第1合金層63の膜厚よりも薄くてよい。酸化物層66の膜厚は、第2バリアメタル部62の膜厚よりも薄くてよい。酸化物層66の膜厚は、0.5nm以上、4.0nm以下であってよい。例えば、酸化物層66の膜厚は、2.5nmである。酸化物層66の膜厚は、コンタクトホール54において最も厚い位置での膜厚であってよい。

[0142] 膜厚 D_{66a} は、第1導電型領域161の上方における、酸化物層66の半導体基板10の深さ方向における厚みである。膜厚 D_{66a} は、酸化物層66の最も厚い位置での膜厚であってよい。膜厚 D_{66a} は、第1合金層63の膜厚よりも薄くてよい。

[0143] 酸化物層66は、エッチングなどの化学物質暴露によって形成されてよい

。酸化物層 66 は、第 1 合金層 63、第 1 バリアメタル部 61、または、初期金属膜 67 の上面をエッチングすることにより形成されてよい。第 1 合金層 63 の上面のエッチングは、ウエットエッチングであってもよく、ドライエッチングであってもよい。酸化物層 66 は、第 1 合金層 63、第 1 バリアメタル部 61、または、初期金属膜 67 の上面のドライエッチングによって形成されてよい。また、酸化物層 66 は、第 1 合金層 63、第 1 バリアメタル部 61、または、初期金属膜 67 の上面の酸化によって形成されてよい。酸化物層 66 は、半導体基板 10 を酸素雰囲気アニールすることで形成されてよい。酸化物層 66 は、第 1 合金層 63、第 1 バリアメタル部 61、初期金属膜 67、または層間絶縁膜 38 上に堆積されることによって形成されてよい。

[0144] バリアメタル層 60 は、第 2 バリアメタル部 62 を有する。バリアメタル層 60 は、第 1 バリアメタル部 61 を有さなくてよい。第 1 合金層 63 の形成時に形成される第 1 バリアメタル部 61 および／または第 1 バリアメタル部 61 が形成されずに残った初期金属膜 67 は、エッチングによって除去されてよい。本例の第 2 バリアメタル部 62 は、層間絶縁膜 38 の側壁と接して設けられてよい。

[0145] 本例の半導体装置 100 は、金属拡散防止層として酸化物層 66 を備えることにより、プラグ層 64 の成膜時のバリア性を確保することができる。半導体装置 100 においては、コンタクトホールごとに酸化物層 66 を設けるか否かを決定してよく、酸化物層 66 の膜厚を適宜変更してよい。

[0146] 図 6B は、変形例である半導体装置 100 の断面の拡大図である。本例の断面は、おもて面 21 においてコンタクト領域 15 を通過する点で図 6A の断面と相違する。本例では、図 6A と相違する点について特に説明する。

[0147] 膜厚 D_{66b} は、酸化物層 66 の半導体基板 10 の深さ方向における厚みである。特に、膜厚 D_{66b} は、第 2 導電型領域 162 の上方における、酸化物層 66 の半導体基板 10 の深さ方向における厚みである。膜厚 D_{66b} は、第 1 合金層 63 の膜厚よりも薄くてよい。本例の第 2 導電型領域 162

の上方における酸化物層 6 6 の膜厚 D_{66b} は、第 1 導電型領域 1 6 1 の上方における酸化物層 6 6 の膜厚 D_{66a} よりも薄い。

[0148] 酸化物層 6 6 は、第 1 導電型領域 1 6 1 および第 2 導電型領域 1 6 2 の上方に形成された後に、第 2 導電型領域 1 6 2 の上方において選択的にエッチングされてよい。マスクを用いることにより、第 1 導電型領域 1 6 1 の上方と第 2 導電型領域 1 6 2 の上方とで別々に酸化物層 6 6 を形成して、異なる膜厚の酸化物層 6 6 を設けてよい。酸化物層 6 6 の膜厚は、第 2 導電型領域 1 6 2 の上方よりも第 1 導電型領域 1 6 1 の上方において厚くてよい。本例では、第 2 導電型領域 1 6 2 の上方における酸化物層 6 6 の厚さが第 1 導電型領域 1 6 1 の上方における酸化物層 6 6 の厚さより薄い、第 1 導電型領域 1 6 1 の上方における酸化物層 6 6 の厚さが第 2 導電型領域 1 6 2 の上方における酸化物層 6 6 の厚さが薄くてもよい。

[0149] 本例の半導体装置 1 0 0 は、コンタクト領域 1 5 の上方の酸化物層 6 6 をエッチングすることで、正孔の引き抜きを改善してラッチアップを抑制しやすくすることができる。半導体装置 1 0 0 は、半導体基板 1 0 の上方において、酸化物層 6 6 を残すことにより、プラグ層 6 4 の形成時のダメージを低減することができる。

[0150] 図 7 A は、変形例である半導体装置 1 0 0 の断面の拡大図である。本例の断面は、半導体基板 1 0 のおもて面 2 1 においてエミッタ領域 1 2 を通過する X Z 断面である。本例の半導体装置 1 0 0 は、バリアメタル層 6 0 およびプラグ層 6 4 がコンタクトホール 5 4 の外側において、層間絶縁膜 3 8 の上方に設けられている点で、図 3 A の実施例と相違する。

[0151] バリアメタル層 6 0 は、コンタクトホール 5 4 の外側において層間絶縁膜 3 8 の上面に接して設けられてよい。プラグ層 6 4 は、コンタクトホール 5 4 の外側において層間絶縁膜 3 8 の上方に第 2 バリアメタル部 6 2 と接して設けられてよい。ただし、バリアメタル層 6 0 のみがコンタクトホール 5 4 の外側に設けられてプラグ層 6 4 はコンタクトホール 5 4 の内側のみに形成されてもよい。バリアメタル層 6 0 およびプラグ層 6 4 が層間絶縁膜 3 8 上

にも形成されることで、ワイヤボンドや樹脂封止等の実装時における信頼性を向上させることができる。また、バリアメタル層60は、コンタクトホール54の外側、内側ともに、第1バリアメタル部61が形成されていなくてもよく、層間絶縁膜38との間に初期金属膜67が形成されていてもよい。一例として、バリアメタル層60は、第1バリアメタル部61が設けられず、第2バリアメタル部62のみがコンタクトホール54の内側および外側に設けられてよく、プラグ層64は、コンタクトホール54の内側にのみ設けられてよい。

[0152] 図7Bは、変形例である半導体装置100の断面の拡大図である。本例の断面は、半導体基板10のおもて面21においてコンタクト領域15を通過するXZ面である。本例の半導体装置100は、バリアメタル層60およびプラグ層64がコンタクトホール54の外側において、層間絶縁膜38の上方に設けられている点で、図3Bの実施例と相違する。図7Aおよび図7Bの実施例においても、半導体装置100は、第1バリアメタル部61または／および初期金属膜67が、エッチングによって除去される、または、薄くなることで、水素吸蔵効果の影響を抑制して、MOSゲート構造のダングリングボンドの水素終端を促進することができる。これにより、閾値電圧の変動を抑制することができる。

[0153] 図8Aは、変形例である半導体装置100の断面の拡大図である。本例では、コンタクトホール54の近傍における断面の拡大図を示す。本例の断面は、半導体基板10のおもて面21においてエミッタ領域12を通過するXZ断面である。本例の半導体装置100は、トレンチコンタクト部65を備える点で図6Aの実施例と相違する。

[0154] トレンチコンタクト部65は、コンタクトホール54を有し、半導体基板10のおもて面21から半導体基板10の深さ方向に延伸して設けられる。本例のトレンチコンタクト部65の下端は、エミッタ領域12の下端よりも浅い。トレンチコンタクト部65の下端は、エミッタ領域12の下端よりも深くてもよい。本例のトレンチコンタクト部65の下端は、ゲート導電部44

の上端よりも浅い。トレンチコンタクト部 6 5 の下端は、ゲート導電部 4 4 の上端よりも深くてもよい。

[0155] バリアメタル層 6 0 は、トレンチコンタクト部 6 5 において、第 1 バリアメタル部 6 1 および第 2 バリアメタル部 6 2 を有してもよい。但し、第 1 バリアメタル部 6 1 を除去して、第 2 バリアメタル部 6 2 のみが設けられてもよい。第 1 バリアメタル部 6 1 は、層間絶縁膜 3 8 の側壁に接して設けられる。第 1 バリアメタル部 6 1 は、おもて面 2 1 の下方には設けられなくてもよい。第 1 合金層 6 3 は、トレンチコンタクト部 6 5 において、半導体基板 1 0 の側壁および半導体基板 1 0 の上面に接して設けられる。

[0156] 酸化物層 6 6 は、第 1 合金層 6 3 と接している。酸化物層 6 6 は、第 1 合金層 6 3 と積層して設けられる。酸化物層 6 6 は、トレンチコンタクト部 6 5 において、第 1 合金層 6 3 の上面および側面に設けられる。酸化物層 6 6 は、酸化物層 6 6 の形成時において、第 1 合金層 6 3 の露出した面の全面に設けられてよい。

[0157] バリアメタル層 6 0 は、半導体基板 1 0 の側壁に設けられた酸化物層 6 6 と接して設けられる。本例の第 2 バリアメタル部 6 2 は、第 1 バリアメタル部 6 1 および酸化物層 6 6 と接して設けられる。第 2 バリアメタル部 6 2 は、層間絶縁膜 3 8 の側壁に設けられた第 1 バリアメタル部 6 1 と積層して設けられる。プラグ層 6 4 は、コンタクトホール 5 4 において、第 2 バリアメタル部 6 2 の内側に設けられる。

[0158] なお、本例の層間絶縁膜 3 8 は、1 層の絶縁膜を有するが、複数の絶縁膜を積層した積層構造を有してもよい。本例の半導体装置 1 0 0 は、トレンチコンタクト部 6 5 を設けることにより、半導体基板 1 0 との接触面積を増加させ接触抵抗を低減することができる。トレンチコンタクト部 6 5 をトランジスタ部 7 0 に設けることにより、正孔の引き抜きを容易にしてラッチアップを抑制することができる。

[0159] なお、本例の半導体装置 1 0 0 は、第 1 導電型領域 1 6 1 の上方のトレンチコンタクト部 6 5 に酸化物層 6 6 を備えるが、酸化物層 6 6 をエッチング

により除去してもよい。酸化物層 66 は、エッチングにより薄膜化されてもよいし、完全に除去されてもよい。

[0160] 図 8 B は、変形例である半導体装置 100 の断面の拡大図である。本例の断面は、おもて面 21 においてコンタクト領域 15 を通過する点で図 8 A の断面と相違する。本例では、図 8 A と相違する点について特に説明する。

[0161] 酸化物層 66 は、第 1 導電型領域 161 の上方に設けられ、第 2 導電型領域 162 の上方には設けられていない。即ち、酸化物層 66 は、コンタクト領域 15 の上方には設けられなくてよい。酸化物層 66 は、第 1 導電型領域 161 および第 2 導電型領域 162 の上方に形成された後に、第 2 導電型領域 162 の上方において選択的に除去されてよい。酸化物層 66 は、マスクを用いることにより、第 1 導電型領域 161 の上方のみに形成され、第 2 導電型領域 162 の上方には形成されなくてよい。

[0162] 本例の半導体装置 100 は、コンタクト領域 15 の上方の酸化物層 66 を除去することで、正孔の引き抜きを改善してラッチアップを抑制しやすくなることができる。半導体装置 100 は、エミッタ領域 12 の上方において、酸化物層 66 を設けることにより、プラグ層 64 の形成時のダメージを低減することができる。

[0163] 本例では、トレンチコンタクト部 65 を備える半導体装置 100 において、第 2 導電型領域 162 の上方で酸化物層 66 を省略したが、トレンチコンタクト部 65 を備えない半導体装置 100 においても同様に、酸化物層 66 を省略して、或いは、設けてよい。即ち、図 3 A、図 3 B、図 4 A、図 4 B、図 5 A、図 5 B、図 6 A、図 6 B、図 7 A および図 7 B のいずれの実施例においても酸化物層 66 を省略して、或いは、設けてよい。また、本例では、第 2 導電型領域 162 の上方の酸化物層 66 を省略したが、第 1 導電型領域 161 の上方の酸化物層 66 を省略してもよい。また、本例においても、第 1 導電型領域 161 の上方と第 2 導電型領域 162 の上方とで酸化物層 66 の厚さが同一であってもよく、異なってもよい。

[0164] 図 9 A は、図 1 A または図 2 B における c-c' 断面の一例を示す。c-c'

’断面は、活性部間ゲート配線 1 3 1 を通過する Y Z 面である。本例の活性部間ゲート配線 1 3 1 は、ゲート金属層 5 0 および接続部 2 5 を含む。ゲート金属層 5 0 は、おもて面側金属層 5 3 の一例である。接続部 2 5 は、多結晶層 1 6 5 の一例である。多結晶層 1 6 5 は、半導体基板 1 0 の上方、または、内部に設けられた多結晶層であり、半導体であってよく、金属であってよい。本例の多結晶層 1 6 5 は、ポリシリコン層である。別の例として、半導体基板 1 0 が炭化シリコン基板である場合、多結晶層 1 6 5 は炭化シリコンを含む多結晶層であってよく、半導体基板 1 0 が窒化ガリウム基板である場合、多結晶層 1 6 5 は窒化ガリウムを含む多結晶層であってよく、半導体基板 1 0 がダイヤモンド基板である場合、多結晶層 1 6 5 はダイヤモンドを含む多結晶層であってよい。活性部間ゲート配線 1 3 1 の上方には、ポリイミド等の被覆層 6 8 が設けられてよい。

[0165] 多結晶層 1 6 5 は、半導体基板 1 0 の上方に設けられてよい。多結晶層 1 6 5 は、ゲート導電部 4 4 と電氣的に接続されている。なお、多結晶層 1 6 5 が省略されて、おもて面側金属層 5 3 のみが活性部間ゲート配線 1 3 1 として機能してもよい。また、多結晶層 1 6 5 の上方のおもて面側金属層 5 3 が省略されて、多結晶層 1 6 5 のみが活性部間ゲート配線 1 3 1 として機能してもよい。なお、本例では、活性部間ゲート配線 1 3 1 の断面を説明したが、外周ゲート配線 1 3 0 についても同様におもて面側金属層 5 3 および多結晶層 1 6 5 が設けられてよい。

[0166] おもて面側金属層 5 3 は、半導体基板 1 0 の上方に、絶縁膜 2 6 を介して設けられる。おもて面側金属層 5 3 の一部は、半導体基板 1 0 の深さ方向において、多結晶層 1 6 5 と重複して設けられてよい。本例のおもて面側金属層 5 3 は、多結晶層 1 6 5 の上方に設けられたコンタクトホール 5 5 を介して、多結晶層 1 6 5 と電氣的に接続される。おもて面側金属層 5 3 は、エミッタ電極 5 2 と同一の材料で形成されてよく、エミッタ電極 5 2 と異なる材料であってもよい。

[0167] コンタクトホール 5 5 には、バリアメタル層 6 0、第 1 合金層 6 3 および

プラグ層 6 4 が設けられてよい。図 6 A、図 6 B または図 8 A のいずれかの実施例に開示されてように、コンタクトホール 5 5 において、多結晶層 1 6 5 の上面には酸化物層 6 6 が形成されてよい。コンタクトホール 5 5 において、多結晶層 1 6 5 の上面の酸化物層 6 6 がエッチングされてよい。コンタクトホール 5 5 において、酸化物層 6 6 がエッチングにより除去されてもよいし、酸化物層 6 6 がエッチングによって除去されずに残されてもよい。コンタクトホール 5 5 において、コンタクトホール 5 4 等の他のコンタクトホールよりも薄い酸化物層 6 6 が残されてもよい。

[0168] コンタクトホール 5 5 は、図 3 A、図 3 B、図 4 A、図 4 B、図 5 A、図 5 B、図 6 A、図 6 B、図 7 A または図 7 B のいずれかの実施例に開示されたように、バリアメタル層 6 0、第 1 合金層 6 3、プラグ層 6 4、酸化物層 6 6 および初期金属膜 6 7 が設けられてよい。コンタクトホール 5 5 において、酸化物層 6 6 の有無を変更したり、酸化物層 6 6 の膜厚を変更したりすることで、半導体装置 1 0 0 のゲート抵抗を調整することができる。酸化物層 6 6 に代えて、抵抗層を設けることで、半導体装置 1 0 0 のゲート抵抗の大きさを調整してもよい。

[0169] 酸化物層 6 6 の膜厚は、半導体基板 1 0、メサ部 7 1、8 1、9 1 上の第 1 合金層 6 3 の上方よりも多結晶層 1 6 5 の上方において薄くてよい。酸化物層 6 6 は、多結晶層 1 6 5 の上方に設けられたコンタクトホール 5 5 では省略されてよい。酸化物層 6 6 の膜厚は、半導体基板 1 0、メサ部 7 1、8 1、9 1 上の第 1 合金層 6 3 の上方よりも多結晶層 1 6 5 の上方において厚くてよい。酸化物層 6 6 は、多結晶層 1 6 5 の上方に設けられたコンタクトホール 5 5 では設けられ、半導体基板 1 0、メサ部 7 1、8 1、9 1 上の第 1 合金層 6 3 の上方で省略されてもよい。多結晶層 1 6 5 の上方における酸化物層 6 6 の膜厚を変更することにより、半導体装置 1 0 0 のゲート抵抗の大きさを調整することができる。また、半導体装置 1 0 0 のゲート抵抗の大きさに応じて、多結晶層 1 6 5 の上方に酸化物層 6 6 を設けるか否かを調整してもよい。酸化物層 6 6 の膜厚に加えて、コンタクトホール 5 5 の面積を

変更することで、半導体装置 100 のゲート抵抗の大きさを調整してもよい。酸化物層 66 に代えて、抵抗層を設けることで、半導体装置 100 のゲート抵抗の大きさを調整してもよい。

[0170] なお、コンタクトホール 58 は、活性部間ゲート配線 131 に設けられてよい。即ち、コンタクトホール 58 は、活性部間ゲート配線 131 に設けられたおもて面側金属層 53 と多結晶層 165 とを接続するためのコンタクトホールとして機能してよい。活性部間ゲート配線 131 においても、酸化物層 66 の膜厚の大きさ、酸化物層 66 の有無、抵抗層の有無およびコンタクトホール 58 の面積に応じてゲート抵抗の大きさを調整してよい。

[0171] 図 9 B は、図 1 A または図 2 B における d-d' 断面の一例を示す。d-d' 断面は、ダミートレンチ部 30 を通過する XZ 面である。

[0172] 多結晶層 165 は、半導体基板 10 中に設けられてよい。本例のダミー導電部 34 は、半導体基板 10 中に設けられた多結晶層 165 の一例である。ダミー導電部 34 の上方には、コンタクトホール 56 が設けられてよい。コンタクトホール 56 は、エミッタ電極 52 と多結晶層 165 とを接続するためのコンタクトホールとして機能する。エミッタ電極 52 は、おもて面側金属層 53 の一例である。本例において、酸化物層 66 の有無、酸化物層 66 の膜厚の大きさおよびコンタクトホール 56 の面積は適宜調整されてよい。

[0173] コンタクトホール 56 には、バリアメタル層 60、第 1 合金層 63、プラグ層 64 および酸化物層 66 が設けられてよい。コンタクトホール 56 は、図 6 A、図 6 B または図 8 A のいずれかの実施例に開示されたように、バリアメタル層 60、第 1 合金層 63、プラグ層 64 および酸化物層 66 が設けられてよい。コンタクトホール 56 には、図 4 A、図 4 B、図 5 A または図 5 B のいずれかの実施例に開示されたように、初期金属膜 67 が設けられてよい。コンタクトホール 56 には、図 3 A、図 3 B、図 4 A、図 4 B、図 5 A、図 5 B、図 7 A、図 7 B または図 8 B のいずれかの実施例に開示されたように、酸化物層 66 が設けられなくてもよい。図 1 A、図 2 B、図 9 A および図 9 B では、ゲート導電部 44 とおもて面側金属層 53 とは、接続部 2

５およびコンタクトホール５５を介して接続され、ダミー導電部３４とエミッタ電極５２とは、コンタクトホール５６を介して接続されている。ゲート導電部４４とおもて面側金属層５３とは、コンタクトホール５５を介して接続されてよく、ダミー導電部３４とエミッタ電極５２とは、接続部２５およびコンタクトホール５６を介して接続されてもよい。

[0174] 図１０Ａは、温度センス部１８０を備える半導体装置１００の上面図の一例を示す。本例の半導体装置１００は、ゲートパッド１１２、センス電極１１４、アノードパッド１１６およびカソードパッド１１８を備える。

[0175] おもて面側金属層５３は、ゲートパッド１１２と、センス電極１１４と、アノードパッド１１６と、カソードパッド１１８とを含んでよい。おもて面側金属層５３は、リードフレーム等の導電性の部材と電氣的に接続されてよい。おもて面側金属層５３は、ワイヤボンディング等によって、半導体装置１００の外部の電極と電氣的に接続されてよい。なお、おもて面側金属層５３の個数および位置は、本例に限定されない。

[0176] センス電極１１４は、センス電極１１４の下方に設けられた電流センス部１１５と電氣的に接続されている。センス電極１１４は、電流センス部１１５に流れる電流を検出する。電流センス部１１５は、トランジスタ部７０に流れる電流を検出する。電流センス部１１５は、トランジスタ部７０に対応した構造を有しており、トランジスタ部７０の動作を模擬して、トランジスタ部７０に流れる電流に比例した電流が流れる。電流センス部１１５を用いることにより、トランジスタ部７０に流れる電流を監視できる。

[0177] 温度センス部１８０は、半導体基板１０の上部または内部に設けられる。本例では、半導体装置１００の中央部のトランジスタ部７０の間のウェル領域１７上に設けられている。温度センス部１８０は、活性部１２０の温度を検知する。温度センス部１８０は、単結晶または多結晶のシリコンで形成されるダイオードを有してよい。温度センス部１８０は、半導体装置１００の温度を検出して、半導体チップを過熱から保護するために用いられる。温度センス部１８０は、定電流源に接続される。半導体装置１００の温度が変化

すると、温度センス部 180 に流れる電流の順方向電圧が変化する。半導体装置 100 は、温度センス部 180 の順方向電圧の変化に基づいて、温度を検出することができる。温度センス部 180 は、Y 軸方向に長手方向を有し、X 軸方向に短手方向を有するが、これに限られない。

[0178] アノードパッド 116 は、温度センス部 180 のアノード領域と電氣的に接続される。アノードパッド 116 は、アノード配線 117 によって、温度センス部 180 のアノード領域と電氣的に接続されている。

[0179] カソードパッド 118 は、温度センス部 180 のカソード領域と電氣的に接続される。カソードパッド 118 は、カソード配線 119 によって、温度センス部 180 のカソード領域と電氣的に接続されている。

[0180] 図 10B は、温度センス部 180 における断面の拡大図の一例である。本例の温度センス部 180 は、コンタクトホール 58 を有するが、他の実施例における任意のコンタクトホールの構造が適用されてよい。

[0181] 温度センス部 180 は、半導体基板 10 に設けられたダイオードを有する。温度センス部 180 は、ダイオードの電流－電圧特性が温度に応じて変化することを利用して、半導体装置 100 の温度を検出する。温度センス部 180 は、層間絶縁膜 184 を介して半導体基板 10 の上方に配置されている。層間絶縁膜 184 は、HTO 膜であってよい。温度センス部 180 は、ウェル領域 17 の上方に設けられてよい。本例の温度センス部 180 は、カソード領域 181、アノード領域 182、層間絶縁膜 184、カソード電極 186 およびアノード電極 187 を有する。

[0182] カソード領域 181 およびアノード領域 182 は、PN ダイオードを構成する。例えば、カソード領域 181 は、N 型半導体で形成され、PN ダイオードのカソードとして機能する。アノード領域 182 は、P 型半導体で形成され、PN ダイオードのアノードとして機能する。カソード領域 181 およびアノード領域 182 は、層間絶縁膜 184 上に設けられる。カソード領域 181 およびアノード領域 182 の材料は、ポリシリコンであってよい。

[0183] カソード領域 181 およびアノード領域 182 は、多結晶層 165 の一例

である。即ち、コンタクトホール５８において、カソード領域１８１およびアノード領域１８２の上方には、酸化物層６６が設けられてもよいし、設けられなくてもよい。カソード領域１８１またはアノード領域１８２のいずれかの上方にのみ酸化物層６６が設けられてよい。例えば、カソード領域１８１の上方には酸化物層６６が設けられ、アノード領域１８２の上方には、酸化物層６６が設けられなくてよい。反対に、アノード領域１８２の上方には酸化物層６６が設けられ、カソード領域１８１の上方には、酸化物層６６が設けられなくてよい。酸化物層６６を形成するか否かは、温度センス部１８０の安定性が損なわれないように抵抗を考慮して決定されてよい。

[0184] カソード電極１８６は、コンタクトホール５８を介して、カソード領域１８１と電氣的に接続される。カソード電極１８６は、おもて面側金属層５３の一例である。即ち、カソード電極１８６は、エミッタ電極５２と同一の材料で形成されてよい。カソード電極１８６は、カソード配線１１９により、カソードパッド１１８と電氣的に接続されている。

[0185] アノード電極１８７は、コンタクトホール５８を介して、アノード領域１８２と電氣的に接続される。アノード電極１８７は、おもて面側金属層５３の一例である。即ち、アノード電極１８７は、エミッタ電極５２と同一の材料で形成されてよい。アノード電極１８７は、アノード配線１１７により、アノードパッド１１６と電氣的に接続されている。

[0186] 層間絶縁膜３８は、カソード領域１８１およびアノード領域１８２の上面に設けられる。温度センス部１８０の層間絶縁膜３８には、コンタクトホール５８が形成されてよい。

[0187] 温度センス部１８０の下方には、トランジスタ部７０およびダイオード部８０等の素子領域が設けられてもよい。本例の温度センス部１８０の下方には、コレクタ領域２２が設けられている。即ち、本例の温度センス部１８０は、トランジスタ部７０に設けられている。但し、温度センス部１８０は、ダイオード部８０に設けられてもよく、活性部１２０から離れた領域、エッジ終端構造部１４０近傍に設けられてもよい。したがって、温度センス部１

80の下方には、コレクタ領域22のような高濃度領域が形成されなくてもよい。

[0188] 図11は、半導体装置100の製造工程の一例を示すフローチャートである。ステップS100において、半導体装置100のおもて面21側の素子構造を形成する。ステップS100では、おもて面21側の素子構造として、ダミートレンチ部30およびゲートレンチ部40を形成する工程を含んでよい。ステップS100では、おもて面21側の素子構造として、半導体基板10へのイオン注入によって、ベース領域14、エミッタ領域12およびコンタクト領域15などを形成する工程を含んでよい。

[0189] ステップS102において、半導体基板10の上方に層間絶縁膜38を形成する。層間絶縁膜38は、複数の絶縁膜を積層して形成されてよい。ステップS104において、層間絶縁膜38をエッチングすることによりコンタクトホールを形成する。ステップS104では、層間絶縁膜38に、コンタクトホール54、コンタクトホール55、コンタクトホール56およびコンタクトホール58等のコンタクトホールを形成してよい。

[0190] ステップS106において、第1バリアメタル部61および第1合金層63を形成するための初期金属膜67を成膜する。本例では、コンタクトホール54において、予め定められた初期金属膜67を層間絶縁膜38の側壁および半導体基板10の上面に形成する。即ち、初期金属膜67は、層間絶縁膜38および半導体基板10と接するように形成される。初期金属膜67は、第1金属で構成されてよい。初期金属膜67を処理することにより、バリアメタル層60、第1合金層63および酸化物層66を形成してよい。例えば、初期金属膜67は、スパッタで成膜したTi膜である。初期金属膜67の膜厚は、1nm以上、100nm以下であってよい。

[0191] ステップS108において、半導体基板10を窒素雰囲気中でアニールする。これにより、層間絶縁膜38の側壁に第1バリアメタル部61を形成し、半導体基板10の上面に第1合金層63を形成する。このように、層間絶縁膜38と接した初期金属膜67が第1バリアメタル部61となり、半導体

基板 10 と接した初期金属膜 67 が第 1 合金層 63 となる。本例の第 1 バリアメタル部 61 は、層間絶縁膜 38 の側壁の Ti 膜のアニールによって形成された緻密な TiN 膜である。本例の第 1 合金層 63 は、半導体基板 10 の上面の Ti 膜のアニールによって形成されたチタンシリサイド膜である。本例では、第 1 バリアメタル部 61 として TiN 膜を形成する場合について説明するが、第 1 バリアメタル部 61 の材料が TiN でない場合は、異なる材料の初期金属膜 67 を成膜してよい。アニールの温度は、300 度以上、1100 度以下であってよい。第 1 バリアメタル部 61 を形成するためのアニールは、第 2 バリアメタル部 62 を形成する前に実行されてよい。なお、層間絶縁膜 38 と第 1 バリアメタル部 61 の間に、初期金属膜 67 が反応しないで残存してもよい。

[0192] ステップ S110 において、酸化物層 66 を形成およびエッチングする。ステップ S110 において、半導体基板 10 の上面に第 1 合金層 63 を形成した後に、酸化物層 66 を形成する。酸化物層 66 は、第 2 バリアメタル部 62 を形成する前に形成されてよい。酸化物層 66 は、コンタクトホール 54 において、第 1 合金層 63 の上面に形成される。酸化物層 66 は、コンタクトホール 54 において第 1 合金層 63 の露出した全面に形成されてよい。酸化物層 66 を形成する段階は、ウエットエッチングする段階を含んでよく、ドライエッチングする段階を含んでよく、アニールする段階を含んでよく、堆積する段階を含んでよい。具体的な酸化物層 66 の形成方法およびエッチング方法については後述する。

[0193] 酸化物層 66 をエッチングにより形成する場合、酸化物層 66 を形成する工程において、第 1 バリアメタル部 61 および／または初期金属膜 67 がエッチングされてよい。これにより、第 1 バリアメタル部 61 および／または初期金属膜 67 が予め定められた膜厚となるように調整してよい。第 1 バリアメタル部 61 は、1 nm 以上、10 nm 以下の膜厚となるようにエッチングされてよい。第 1 バリアメタル部 61 および／または初期金属膜 67 は、エッチングによって全て除去されてもよい。

- [0194] ステップS 1 1 2において、第1合金層6 3の上方に第2バリアメタル部6 2を形成する。第2バリアメタル部6 2は、コンタクトホール5 4の下方において、第1合金層6 3に積層して形成されてよい。酸化物層6 6が第1合金層6 3上に残る場合は、第2バリアメタル部6 2は酸化物層6 6に積層して形成されてよい。第2バリアメタル部6 2は、コンタクトホール5 4の側壁において、第1バリアメタル部6 1および／または初期金属膜6 7に積層して形成されてよい。第2バリアメタル部6 2は、第1バリアメタル部6 1および／または初期金属膜6 7を全て除去する場合、コンタクトホール5 4の側壁において、層間絶縁膜3 8と接して形成されてよい。本例の第2バリアメタル部6 2は、スパッタで形成したTiN膜である。
- [0195] ステップS 1 1 4において、半導体基板1 0を窒素雰囲気中でアニールする。ステップS 1 1 4のアニールの条件は、ステップS 1 0 8において第1バリアメタル部6 1および第1合金層6 3を形成するためのアニールの条件と同一であってもよいし、異なってもよい。本例のアニールは、第2バリアメタル部6 2を形成した後に実行される。第2バリアメタル部6 2のアニールは、プラグ層6 4を形成する前に実行されてよい。
- [0196] ステップS 1 1 6において、プラグ層6 4を形成する。本例では、CVD (Chemical Vapor Deposition) 法によりコンタクトホール5 4の内部を埋め込むように、タングステンを形成する。第1合金層6 3の上面の酸化物層6 6が完全に除去されず一部が残される場合、第1合金層6 3の上面の酸化物層6 6は、プラグ層6 4の形成時に金属拡散防止層として機能してよい。第1合金層6 3の上面に酸化物層6 6を残すことにより、プラグ層6 4をCVDで形成する場合に、プラグ層6 4が第1合金層6 3に侵入するのを防止することができる。
- [0197] ステップS 1 1 8において、プラグ層6 4をエッチバックする。これにより、コンタクトホール5 4の外部の不要なタングステン膜が除去されてよい。エッチバックはドライエッチングあるいはCMP (Chemical Mechanical Polishing) で行われてよい。タングステン

膜が除去される際に、層間絶縁膜 38 上の初期金属膜 67、第 1 バリアメタル部 61 および第 2 バリアメタル部 62 も除去されてよい。層間絶縁膜 38 上の初期金属膜 67、第 1 バリアメタル部 61 および第 2 バリアメタル部 62 は、プラグ層 64 のエッチバックとは別の工程で除去されてもよい。層間絶縁膜 38 上の初期金属膜 67、第 1 バリアメタル部 61 および第 2 バリアメタル部 62 は除去されなくてもよい。バリアメタル層 60 およびプラグ層 64 のエッチバックは省略されてもよい。

[0198] ステップ S 118 の後、おもて面側金属層 53 が半導体基板 10 の上方に形成されてよい。また、ステップ S 118 の後、コレクタ電極 24 等の裏面 23 側の部材が形成されてよい。ステップ S 118 の後、裏面側ライフタイム制御領域 151 およびおもて面側ライフタイム制御領域 152 が形成されてよい。

[0199] 図 12A は、酸化物層 66 の形成工程の一例を示す。本例では、エッチングによって酸化物層 66 を形成する方法について説明する。ステップ S 1100 ～ステップ S 1104 は、図 11 のステップ S 110 の一例である。

[0200] ステップ S 1100 において、初期金属膜 67 または第 1 バリアメタル部 61 の少なくとも 1 つをエッチングする。第 1 合金層 63 の上面の初期金属膜 67 をエッチングしてよく、層間絶縁膜 38 の側壁に形成された第 1 バリアメタル部 61 をエッチングしてよい。第 1 バリアメタル部 61 の層間絶縁膜 38 と反対側の面上に初期金属膜 67 が残っている場合には、第 1 バリアメタル部 61 上の初期金属膜 67 をエッチングにより除去してよい。残存した初期金属膜 67 のエッチングは、第 1 合金層 63 を形成する段階の後であって、第 2 バリアメタル部 62 を形成する段階の前に実行されてよい。

[0201] 本例では、初期金属膜 67 または第 1 バリアメタル部 61 の少なくとも 1 つをウエットエッチングするが、ドライエッチングであってもよい。初期金属膜 67 または第 1 バリアメタル部 61 の少なくとも 1 つをウエットエッチングする段階は、過酸化水素を用いてウエットエッチングする段階を含んでよい。ウエットエッチングの薬液は、過酸化水素であってよく、バッファー

ドフッ酸であってよく、フッ酸または水酸化アンモニウム等の他の薬液であってよい。

[0202] ステップS 1 1 0 2において、エッチング時に酸化物層6 6を形成してよい。コンタクトホール5 4において、第1合金層6 3の上面に酸化物層6 6を形成してよい。酸化物層6 6は、ウエットエッチングによって、第1合金層6 3の上面を酸化することで形成してよい。

[0203] ステップS 1 1 0 4において、形成された酸化物層6 6をエッチングしてよい。酸化物層6 6をエッチングする段階は、酸化物層6 6をウエットエッチングする段階を含んでよい。ウエットエッチングの薬液は、過酸化水素であってよく、バッファードフッ酸であってよく、フッ酸または水酸化アンモニウム等の他の薬液であってよい。酸化物層6 6をエッチングする段階は、酸化物層6 6をドライエッチングする段階を含んでよい。酸化物層6 6をエッチングする段階は、酸化物層6 6をスパッタリング等で物理的にエッチングする段階を含んでよい。

[0204] 酸化物層6 6をエッチングする段階において、第1合金層6 3の上面が露出するまで酸化物層6 6をエッチングしてよい。また、酸化物層6 6をエッチングする段階において、酸化物層6 6を薄膜化して、第1合金層6 3の上面に酸化物層6 6が残存するようにエッチングしてよい。酸化物層6 6の膜厚を調整することにより、コンタクトホール5 4における抵抗を変更することができる。

[0205] ステップS 1 1 0 0～ステップS 1 1 0 4のそれぞれのエッチング工程は、同一のエッチング工程で実行されてよい。初期金属膜6 7および酸化物層6 6が同一のエッチング工程でエッチングされてよく、第1バリアメタル部6 1および酸化物層6 6が同一のエッチング工程でエッチングされてよい。同一のエッチング工程において、第1合金層6 3の上面では、酸化物層6 6の形成と酸化物層6 6のエッチングが繰り返されてよい。

[0206] 図1 2 Bは、酸化物層6 6の形成工程の一例を示す。本例では、アニールによって酸化物層6 6を形成する方法について説明する。ステップS 1 1 1

0～ステップS 1 1 1 4は、図11のステップS 1 1 0の一例である。本例では、ステップS 1 1 1 2がアニールする段階となっている点で、図12Aの実施例と相違する。本例では、図12Aと相違する点について特に説明する。

[0207] ステップS 1 1 1 2において、半導体基板10を酸素雰囲気中でアニールすることにより、酸化物層66を形成する。これにより、第1合金層63の上面に酸化物層66が形成される。第1合金層63の上面にマスクを選択的に形成することにより、マスクが形成されていない領域に酸化物層66を形成し、マスクが形成されている領域に酸化物層66を形成しなくてもよい。

[0208] 図12Cは、酸化物層66の形成工程の一例を示す。本例では、堆積によって酸化物層66を形成する方法について説明する。ステップS 1 1 2 0～ステップS 1 1 2 4は、図11のステップS 1 1 0の一例である。本例では、ステップS 1 1 2 2が堆積する段階となっている点で、図12Aの実施例と相違する。本例では、図12Aと相違する点について特に説明する。

[0209] ステップS 1 1 2 2において、半導体基板10にCVD法あるいはスパッタ法などで酸化物層66を堆積する。酸化物層66は、例えば、LTO (Low Temperature Oxide) 膜、あるいは、HTO膜であってよい。これにより、第1合金層63の上面に酸化物層66が形成される。第1合金層63の上面にマスクを選択的に形成することにより、マスクが形成されていない領域に酸化物層66を形成し、マスクが形成されている領域に酸化物層66を形成しなくてもよい。

[0210] 図12Dは、酸化物層66の形成工程の一例を示す。本例では、マスクを用いて選択的に酸化物層66を形成する場合について説明する。ステップS 1 1 3 0～ステップS 1 1 3 8は、図11のステップS 1 1 0の一例である。

[0211] ステップS 1 1 3 0において、半導体基板10の上方にマスクを形成する。例えば、エッチングから保護すべき領域にマスクを形成する。第1導電型領域161または第2導電型領域162の一方にマスクを形成して、他方に

マスクを形成しなくてよい。コンタクト領域 15 の上方にマスクを形成し、エミッタ領域 12 の上方にマスクを形成しなくてよい。多結晶層 165 の上方に酸化物層 66 を形成しない場合、多結晶層 165 の上方のコンタクトホール 58 にマスクを形成してよい。

[0212] ステップ S 1132 において、初期金属膜 67 または第 1 バリアメタル部 61 の少なくとも 1 つをエッチングする。ステップ S 1132 は、図 12A、図 12B または図 12C と同一の方法で初期金属膜 67 または第 1 バリアメタル部 61 の少なくとも 1 つをエッチングしてよい。

[0213] ステップ S 1134 において、ステップ S 1132 のエッチング時に酸化物層 66 を形成してよい。本例では、半導体基板 10 の上方にマスクを形成しているので、酸化物層 66 を選択的に形成することができる。第 1 合金層 63 の上面の一部に酸化物層 66 を形成して、他の一部に酸化物層 66 を形成しなくてよい。第 1 導電型領域 161 または第 2 導電型領域 162 の一方に酸化物層 66 を形成して、他方に酸化物層 66 を形成しなくてよい。エミッタ領域 12 の上方に酸化物層 66 を形成して、コンタクト領域 15 の上方に酸化物層 66 を形成しなくてよい。多結晶層 165 の上方のコンタクトホール 58 には酸化物層 66 を形成しなくてよい。

[0214] ステップ S 1136 において、酸化物層 66 をエッチングしてよい。ステップ S 1130 で形成したマスクを用いて、酸化物層 66 が形成された領域を選択的にエッチングしてよい。酸化物層 66 を形成した後にマスクを形成することにより、酸化物層 66 を選択的にエッチングしてもよい。これにより、膜厚の異なる酸化物層 66 を形成することができる。

[0215] ステップ S 1138 において、半導体基板 10 の上方に設けられたマスクを除去する。その後、図 11 のステップ S 112 に進み、第 2 バリアメタル部 62 が形成されてよい。

[0216] このように、酸化物層 66 は、半導体基板 10 の上方に設けられたマスクを用いて選択的に設けられてよい。酸化物層 66 が形成された後に、マスクを用いて選択的に酸化物層 66 をエッチングしてもよい。また、マスクを用

いて、選択的に酸化物層 66 を形成してもよい。即ち、ステップ S 1130 ～ステップ S 1138 を実行した後に、更にステップ S 1130 ～ステップ S 1138 を実行することにより、1 回目で実行した領域と異なる領域に酸化物層 66 を形成して、形成した酸化物層 66 をエッチングしてもよい。

[0217] 図 13 は、半導体装置 100 の製造方法の一例を示す。本例では、図 12 B で示した製造方法のフローチャートに沿って、コンタクトホール 54 の近傍の断面を示している。

[0218] ステップ S 106 において、初期金属膜 67 を層間絶縁膜 38 の側壁および半導体基板 10 の上面に形成する。本例の初期金属膜 67 は、おもて面 21 の上面に形成される。初期金属膜 67 は、層間絶縁膜 38 の上面にも形成されてよい。

[0219] ステップ S 1112 において、酸化物層 66 が第 1 合金層 63 の上面に形成される。ステップ S 106 で形成された初期金属膜 67 は、窒素雰囲気中でのアニールによって第 1 バリアメタル部 61 または第 1 合金層 63 に変化している。ただし、初期金属膜 67 の少なくとも一部は、反応しないで残存してもよい。

[0220] ステップ S 112 において、第 2 バリアメタル部 62 がコンタクトホール 54 の内側に形成される。ステップ S 118 において、プラグ層 64 が第 2 バリアメタル部 62 の内側に形成される。

[0221] 図 14 は、比較例に係る半導体装置の製造工程を示すフローチャートである。ステップ S 500 ～ステップ S 504 は、図 11 のステップ S 100 ～ステップ S 104 とそれぞれ同一であってよい。

[0222] ステップ S 506 において、コンタクトホールの内側に Ti 膜および TiN 膜を形成する。ステップ S 508 において、半導体基板 10 を窒素雰囲気中でアニールすることにより、層間絶縁膜 38 の側壁において、Ti 膜から緻密な TiN 膜を形成する。半導体基板 10 の上面では、チタンシリサイド層が形成される。

[0223] ステップ S 510 において、コンタクトホールの内部にプラグ層 64 を形

成する。ステップS 5 1 2において、プラグ層6 4をエッチバックする。

[0224] このように、比較例の半導体装置では、T i膜およびT i N膜をまとめて形成しており、第1合金層6 3の上面に酸化物層6 6が形成されなくてよい。そのため、酸化物層6 6をエッチングする工程も有さない。また、T i膜の一部が窒化されずに、水素吸蔵効果のあるT iが残存する場合がある。

[0225] これに対して、半導体装置1 0 0は、第1合金層6 3の上面に形成された酸化物層6 6をエッチングすることにより、水素吸蔵効果のある未反応の第1金属を除去して、MOSゲート構造の周辺の欠陥を水素で終端して閾値電圧の変動を抑制しつつ、コンタクトホールにおける抵抗を低減することができる。また、半導体装置1 0 0は、酸化物層6 6を残存させる領域と除去する領域とを分けることにより、コンタクトホールに応じて適切な構造を選択して、半導体装置1 0 0の特性を向上することができる。

[0226] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0227] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0228] 1 0・・・半導体基板、1 2・・・エミッタ領域、1 4・・・ベース領域、1 5・・・コンタクト領域、1 6・・・蓄積領域、1 7・・・ウェル領域、1 8・・・ドリフト領域、2 0・・・バッファ領域、2 1・・・おもて面、

22・・・コレクタ領域、23・・・裏面、24・・・コレクタ電極、25
・・・接続部、26・・・絶縁膜、30・・・ダミートレンチ部、31・・・
・・・延伸部分、32・・・ダミー絶縁膜、33・・・接続部分、34・・・ダ
ミー導電部、38・・・層間絶縁膜、40・・・ゲートトレンチ部、41・・・
・・・延伸部分、42・・・ゲート絶縁膜、43・・・接続部分、44・・・
ゲート導電部、50・・・ゲート金属層、52・・・エミッタ電極、53・・・
・・・おもて面側金属層、54・・・コンタクトホール、55・・・コンタク
トホール、56・・・コンタクトホール、58・・・コンタクトホール、6
0・・・バリアメタル層、61・・・第1バリアメタル部、62・・・第2
バリアメタル部、63・・・第1合金層、64・・・プラグ層、65・・・
トレンチコンタクト部、66・・・酸化物層、67・・・初期金属膜、68
・・・被覆層、70・・・トランジスタ部、71・・・メサ部、80・・・
ダイオード部、81・・・メサ部、82・・・カソード領域、85・・・延
長領域、90・・・境界部、91・・・メサ部、100・・・半導体装置、
102・・・端辺、112・・・ゲートパッド、114・・・センス電極、
115・・・電流センス部、116・・・アノードパッド、117・・・ア
ノード配線、118・・・カソードパッド、119・・・カソード配線、1
20・・・活性部、130・・・外周ゲート配線、131・・・活性部間ゲ
ート配線、140・・・エッジ終端構造部、151・・・裏面側ライフタイ
ム制御領域、152・・・おもて面側ライフタイム制御領域、161・・・
第1導電型領域、162・・・第2導電型領域、165・・・多結晶層、1
80・・・温度センス部、181・・・カソード領域、182・・・アノー
ド領域、184・・・層間絶縁膜、186・・・カソード電極、187・・・
・・・アノード電極

請求の範囲

- [請求項1] 半導体基板の上方にコンタクトホールを有する層間絶縁膜を形成する段階と、
- 前記コンタクトホールにおいて、予め定められた第1金属を含む初期金属膜を前記半導体基板の上面および前記層間絶縁膜の側壁に形成する段階と、
- 前記半導体基板の上面において、前記第1金属を含む第1合金層を形成する段階と、
- 前記層間絶縁膜の側壁において、前記第1金属を含む第1バリアメタル部を形成する段階と、
- 前記コンタクトホールにおいて、前記初期金属膜または前記第1バリアメタル部の少なくとも1つをエッチングする段階と、
- 前記コンタクトホールにおいて、前記第1合金層の上面に酸化物層を形成する段階と、
- 前記コンタクトホールにおいて、前記酸化物層をエッチングする段階と、
- 前記コンタクトホールにおいて、前記第1合金層の上方に導電性の第2バリアメタル部を形成する段階と、
- 前記コンタクトホールにおいて、前記第2バリアメタル部の上方にプラグ層を形成する段階と、
- を備える半導体装置の製造方法。
- [請求項2] 前記第1合金層を形成する段階は、前記半導体基板の上面に設けられた前記初期金属膜をアニールする段階を含む
- 請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第1バリアメタル部を形成する段階は、前記層間絶縁膜の側壁に設けられた前記初期金属膜をアニールする段階を含む
- 請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記酸化物層を形成する段階は、前記半導体基板を酸素雰囲気中で

アニールする段階を含む

請求項 1 に記載の半導体装置の製造方法。

[請求項5] 前記第 1 合金層を形成する段階の後であって、前記第 2 バリアメタル部を形成する段階の前に、前記コンタクトホールにおいて、残存した前記初期金属膜をエッチングする段階を備える

請求項 1 に記載の半導体装置の製造方法。

[請求項6] 前記初期金属膜および前記酸化物層は、同一のエッチング工程でエッチングされる

請求項 5 に記載の半導体装置の製造方法。

[請求項7] 前記酸化物層をエッチングする段階は、前記酸化物層をウエットエッチングする段階を含む

請求項 1 に記載の半導体装置の製造方法。

[請求項8] 前記ウエットエッチングの薬液は、過酸化水素またはバッファードフッ酸である

請求項 7 に記載の半導体装置の製造方法。

[請求項9] 前記酸化物層をエッチングする段階は、前記酸化物層をドライエッチングする段階を含む

請求項 1 に記載の半導体装置の製造方法。

[請求項10] 前記酸化物層をエッチングする段階において、前記第 1 合金層の上面が露出するまで前記酸化物層をエッチングする

請求項 1 に記載の半導体装置の製造方法。

[請求項11] 前記酸化物層をエッチングする段階において、前記酸化物層を薄膜化して、前記第 1 合金層の上面に前記酸化物層が残存するようにエッチングする

請求項 1 に記載の半導体装置の製造方法。

[請求項12] 前記酸化物層は、前記半導体基板の上方に設けられたマスクを用いて選択的に設けられる

請求項 1 に記載の半導体装置の製造方法。

- [請求項13] 前記半導体基板のおもて面に、前記半導体基板に設けられたドリフト領域よりもドーピング濃度の高い第1導電型の第1導電型領域を形成する段階と、
- 前記半導体基板のおもて面に第2導電型の第2導電型領域を形成する段階と、
- を備え、
- 前記酸化物層の膜厚は、前記第2導電型領域の上方よりも前記第1導電型領域の上方において厚い
- 請求項1から12のいずれか一項に記載の半導体装置の製造方法。
- [請求項14] 前記酸化物層は、前記第2導電型領域の上方には設けられない
- 請求項13に記載の半導体装置の製造方法。
- [請求項15] 前記第1導電型領域は、前記半導体基板に設けられたトランジスタ部において、前記ドリフト領域の上方に設けられた第1導電型のエミッタ領域であり、
- 前記第2導電型領域は、前記半導体基板に設けられたトランジスタ部において、前記ドリフト領域の上方に設けられた第2導電型のベース領域よりもドーピング濃度の高い第2導電型のコンタクト領域である
- 請求項13に記載の半導体装置の製造方法。
- [請求項16] 前記半導体基板の上方に、または、前記半導体基板中に多結晶層を形成する段階と、
- 前記多結晶層の上方のコンタクトホールにおいて、前記多結晶層の上面に酸化物層を形成する段階と、
- 前記多結晶層の上面の前記酸化物層をエッチングする段階と、
- を備える
- 請求項1から12のいずれか一項に記載の半導体装置の製造方法。
- [請求項17] 前記多結晶層は、ゲートパッドと電氣的に接続されたゲート配線である

請求項 1 6 に記載の半導体装置の製造方法。

[請求項18] 前記コンタクトホールを有し、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸したトレンチコンタクト部を形成する段階を備える

請求項 1 から 1 2 のいずれか一項に記載の半導体装置の製造方法。

[請求項19] 前記半導体基板の深さ方向において、前記半導体基板の中心よりもおもて面側に、おもて面側ライフタイム制御領域を形成する段階を備える

請求項 1 から 1 2 のいずれか一項に記載の半導体装置の製造方法。

[請求項20] 前記おもて面側ライフタイム制御領域は、前記半導体基板への粒子線の照射により形成される

請求項 1 9 に記載の半導体装置の製造方法。

[請求項21] 半導体基板の上方にコンタクトホールを有する層間絶縁膜を形成する段階と、

前記コンタクトホールにおいて、予め定められた第 1 金属を含む初期金属膜を前記半導体基板の上面および前記層間絶縁膜の側壁に形成する段階と、

前記半導体基板の上面において、前記第 1 金属を含む第 1 合金層を形成する段階と、

前記コンタクトホールにおいて、前記初期金属膜をエッチングする段階と、

前記コンタクトホールにおいて、前記第 1 合金層の上面に酸化物層を形成する段階と、

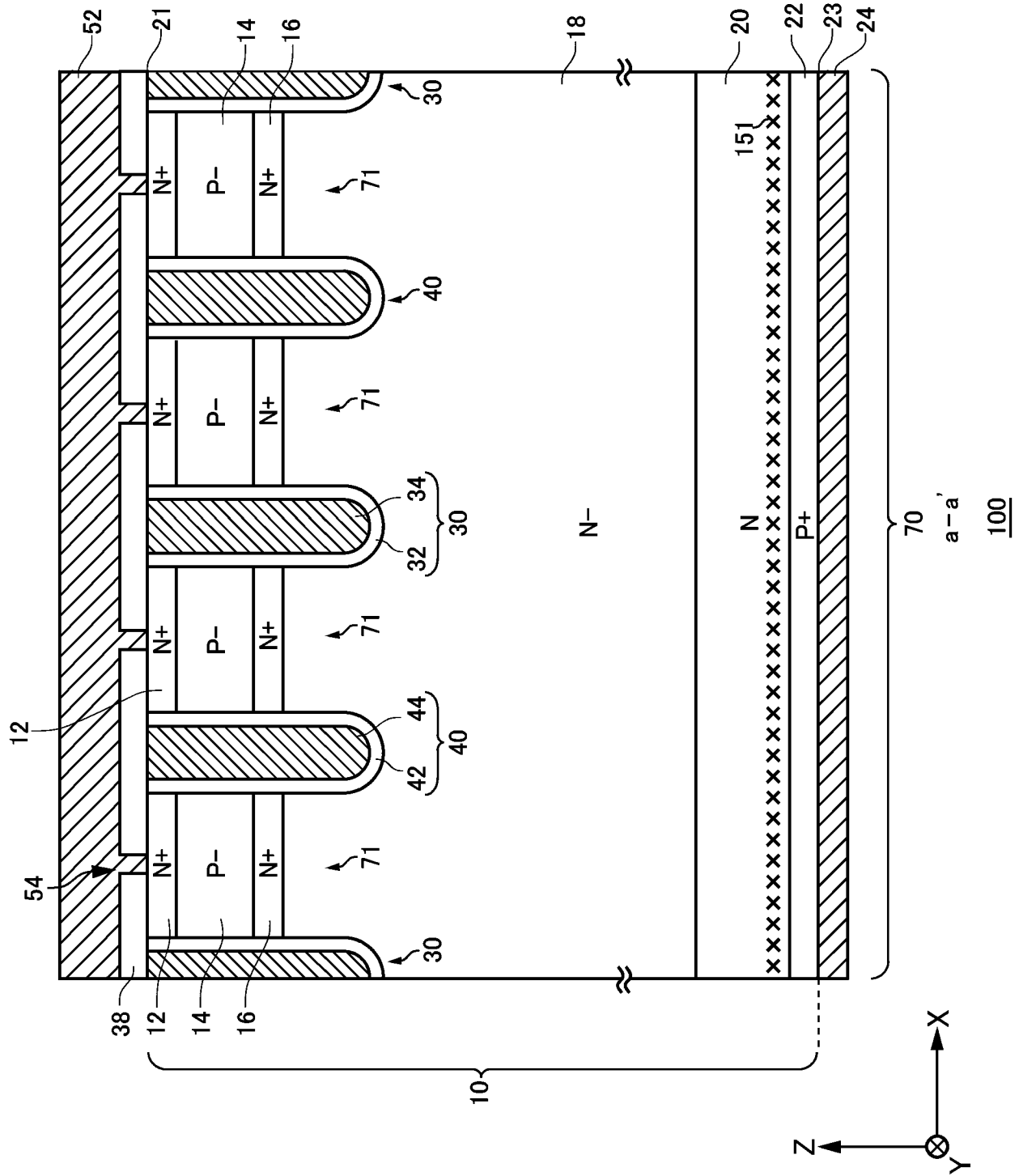
前記コンタクトホールにおいて、前記酸化物層をエッチングする段階と、

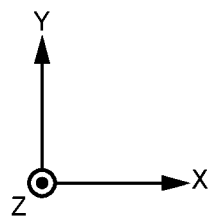
前記コンタクトホールにおいて、前記第 1 合金層の上方に導電性の第 2 バリアメタル部を形成する段階と、

前記コンタクトホールにおいて、前記第 2 バリアメタル部の上方に

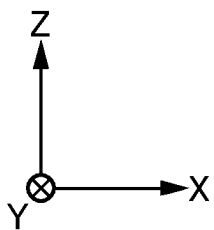
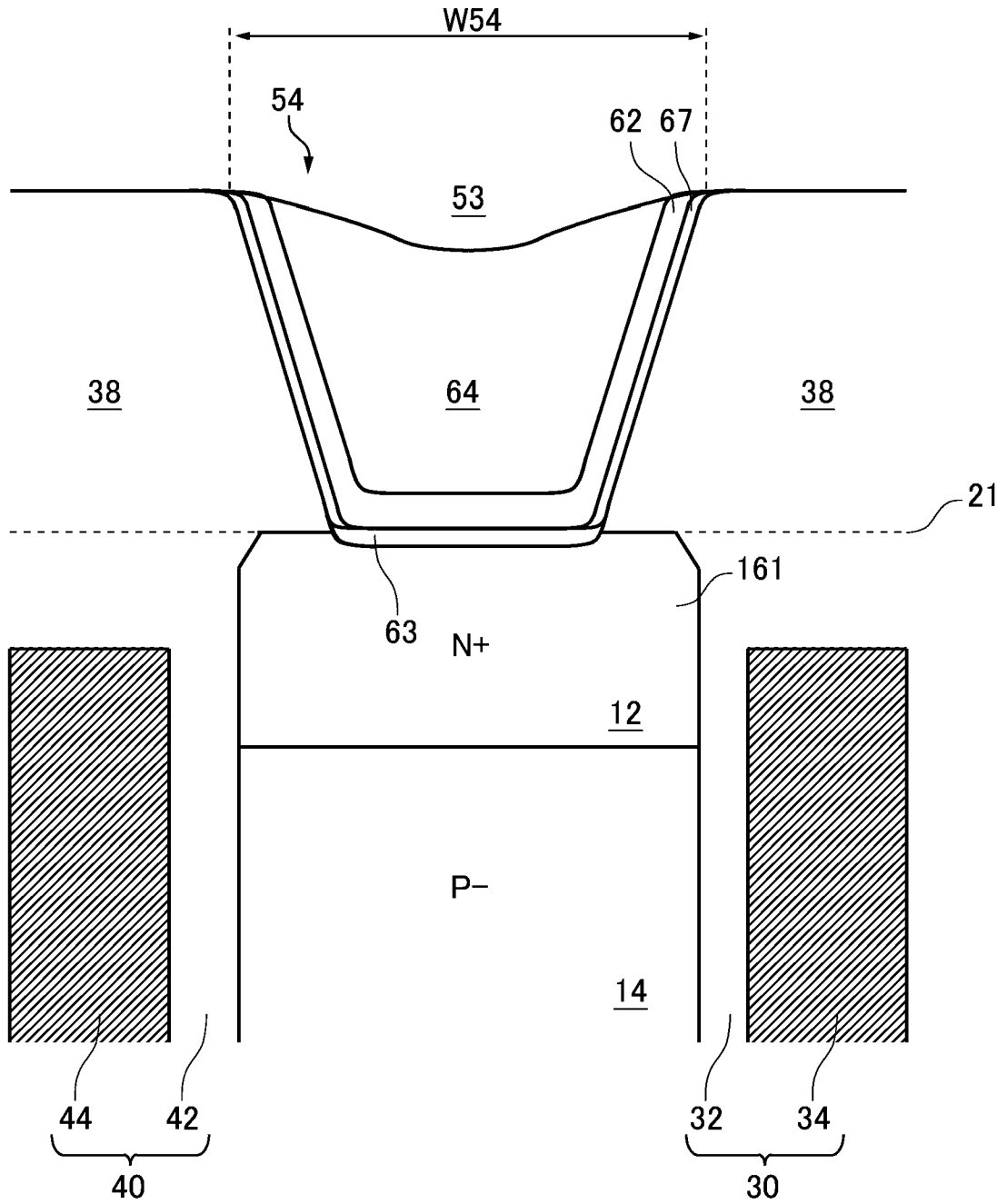
プラグ層を形成する段階と、
を備える半導体装置の製造方法。

[図1B]

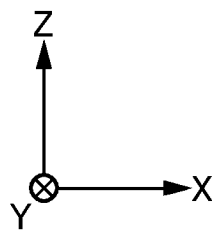
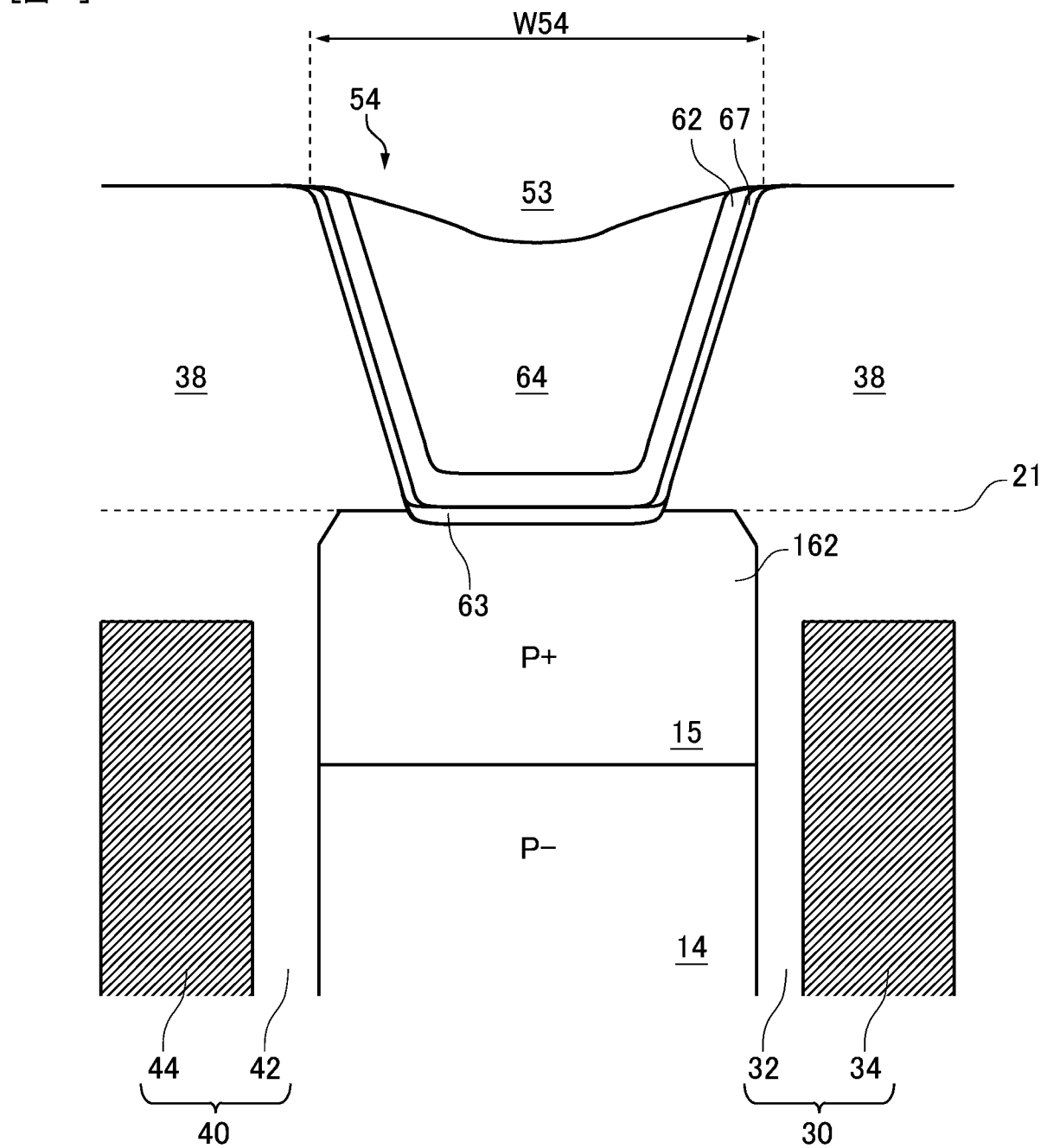




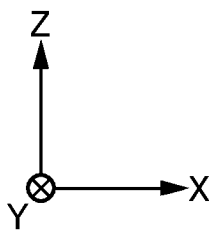
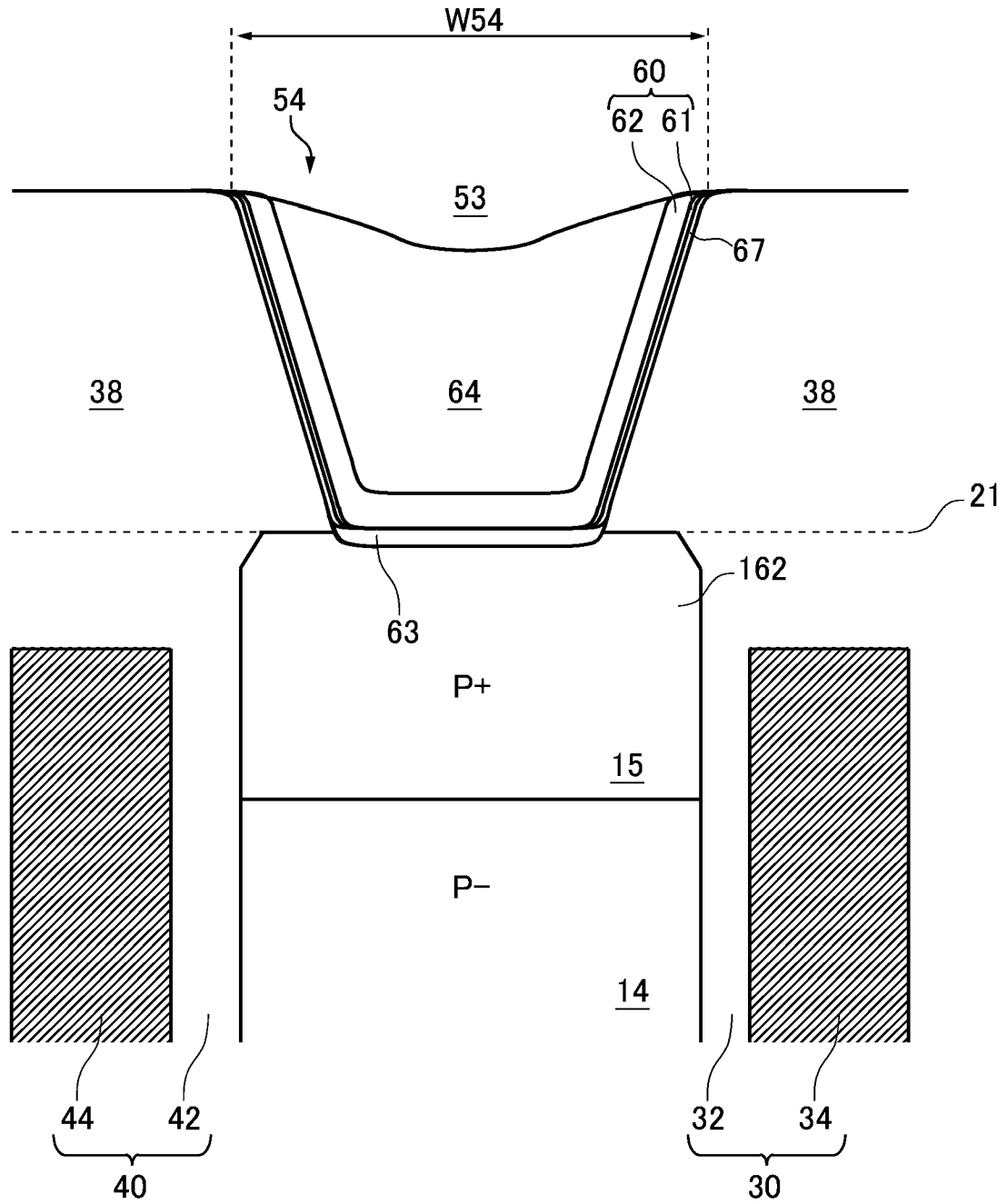
[図4A]



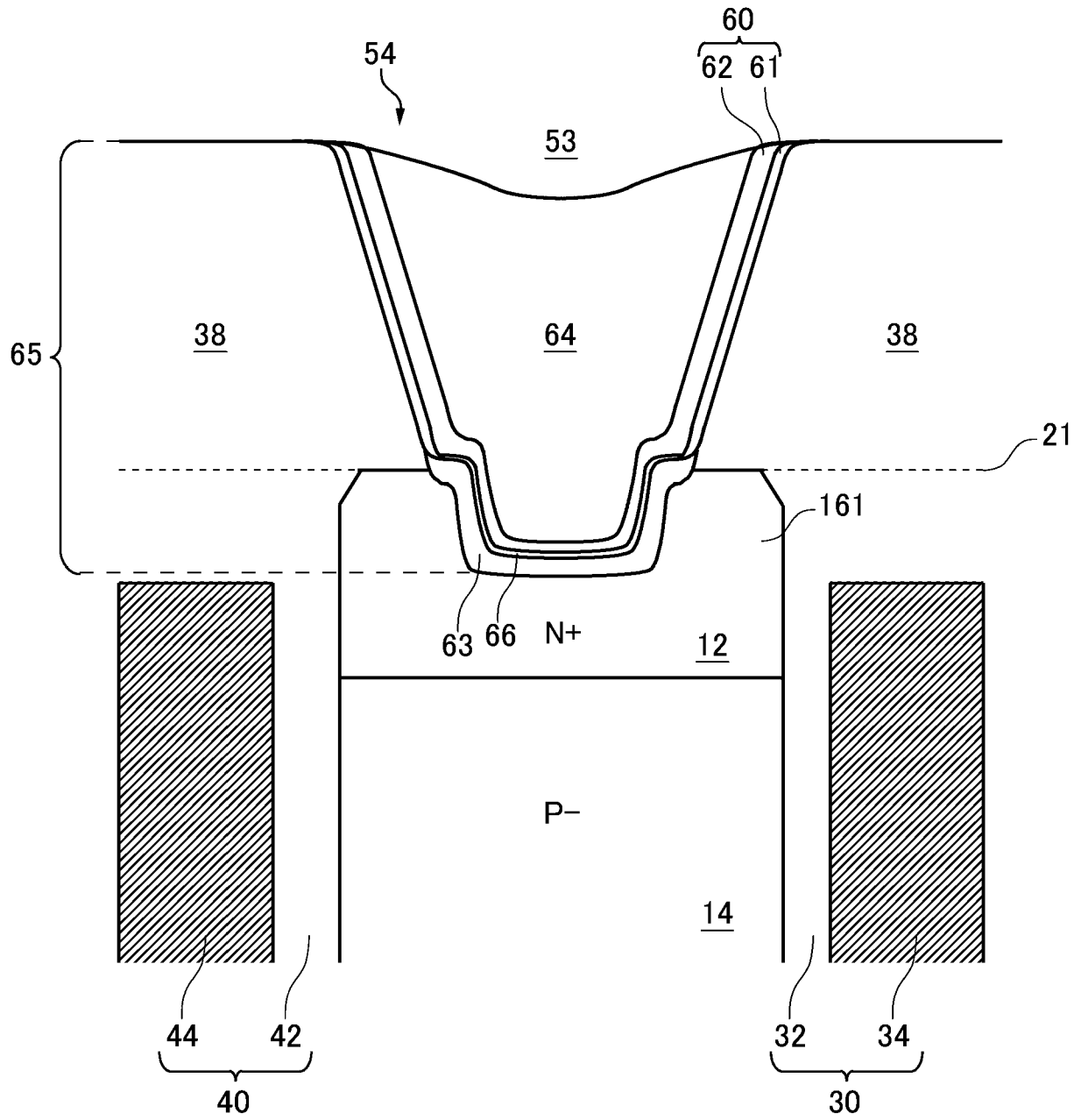
[図4B]



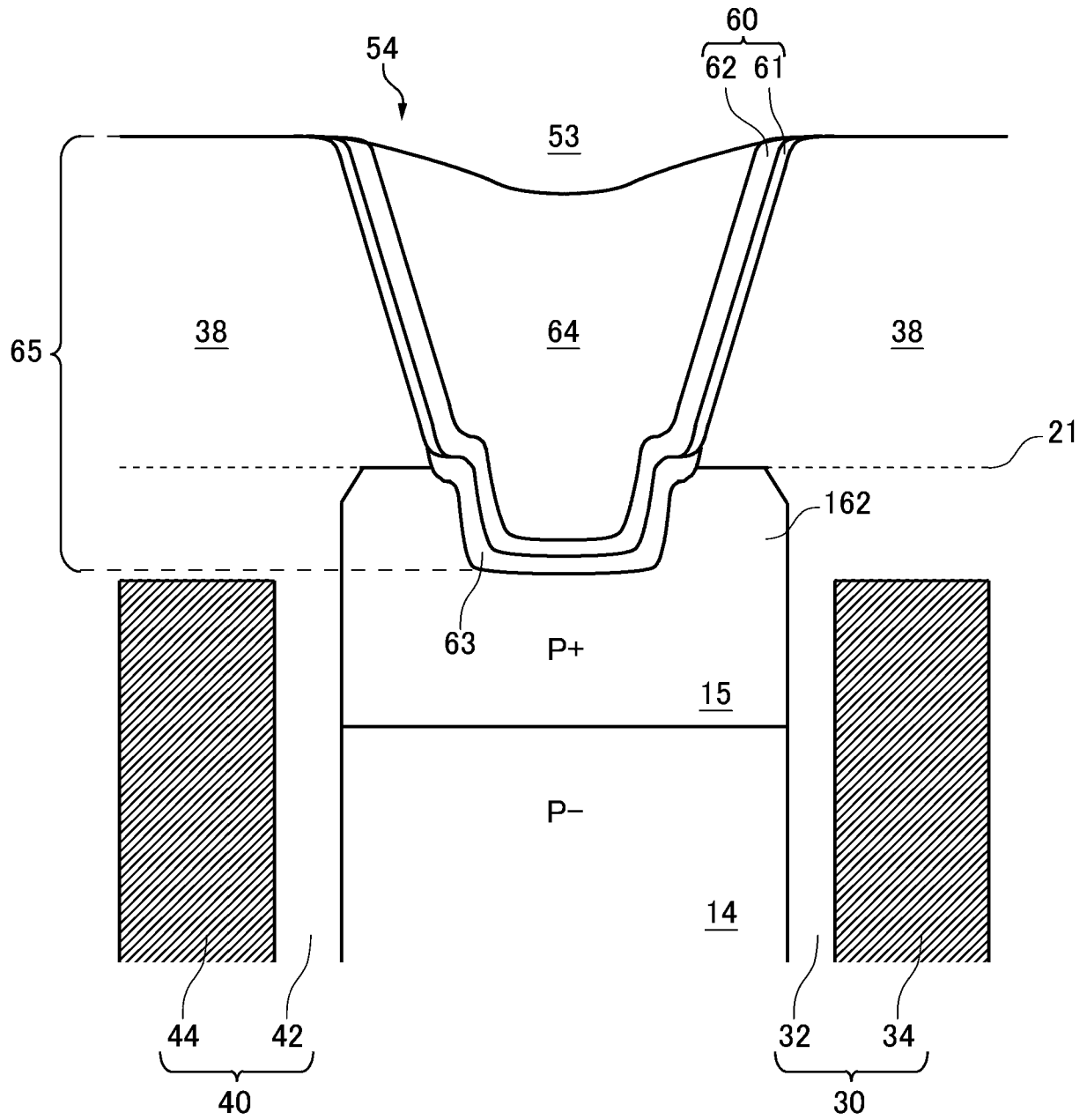
[図5B]



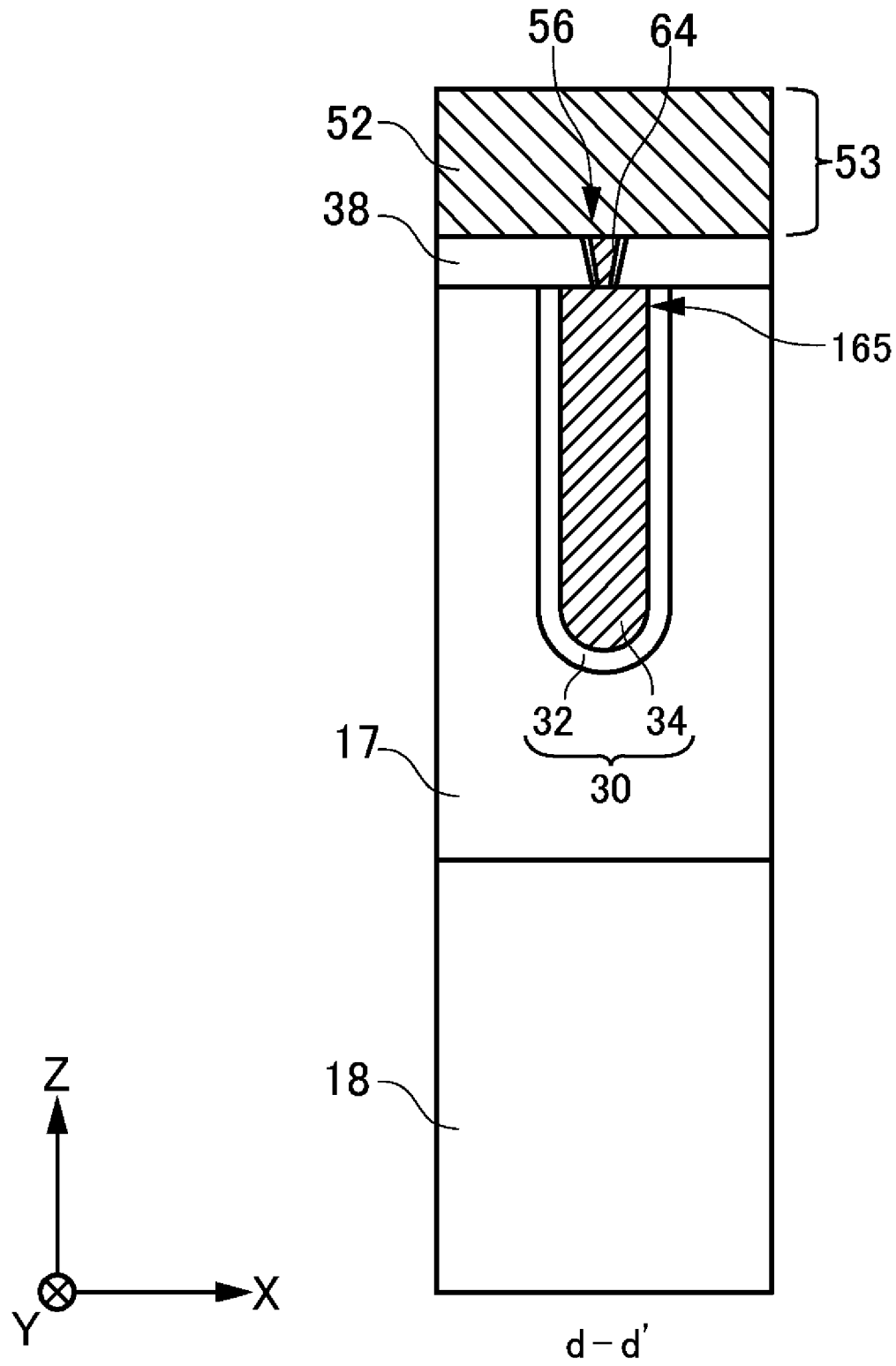
[図8A]



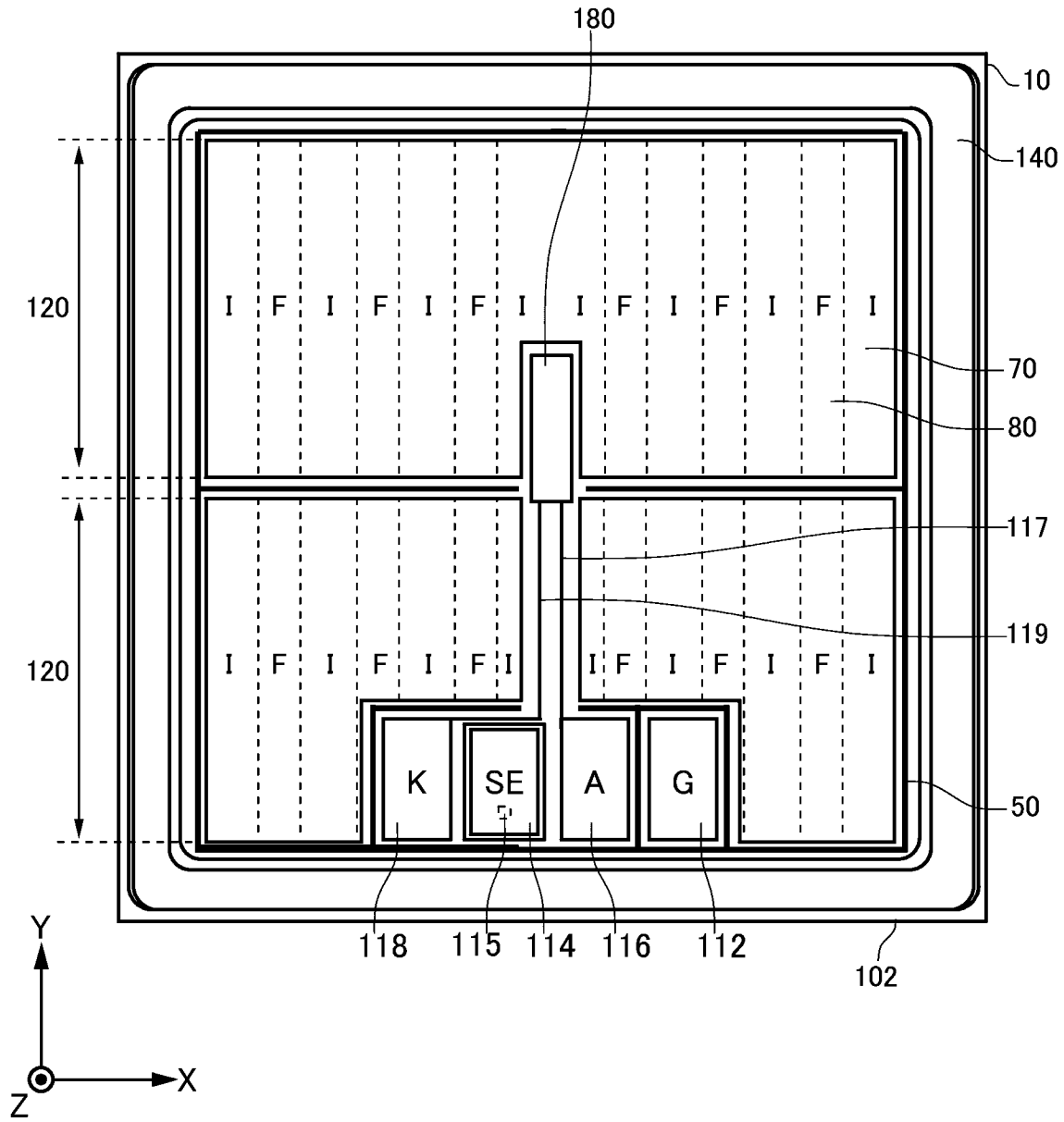
[図8B]

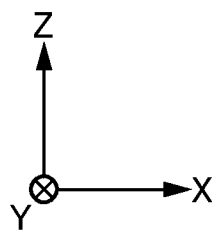


[図9B]

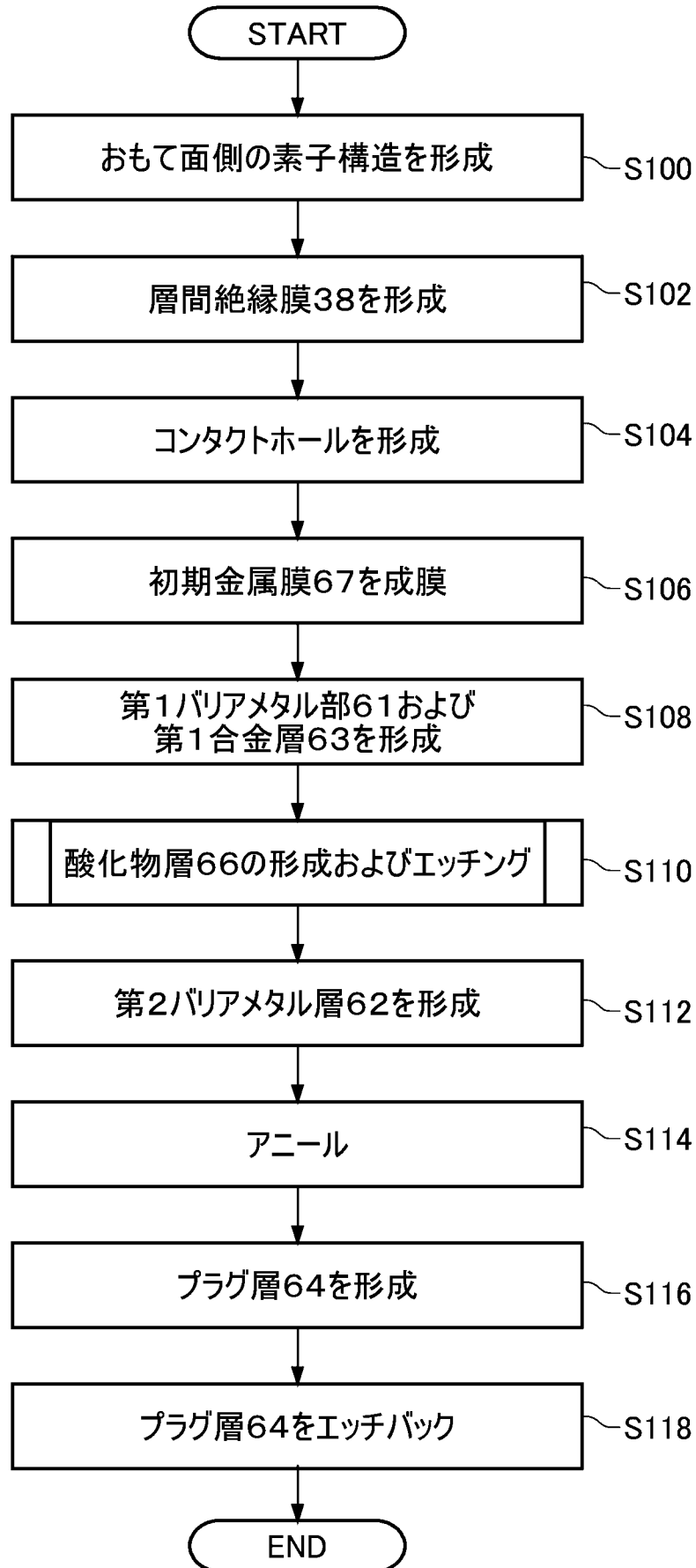


[図10A]

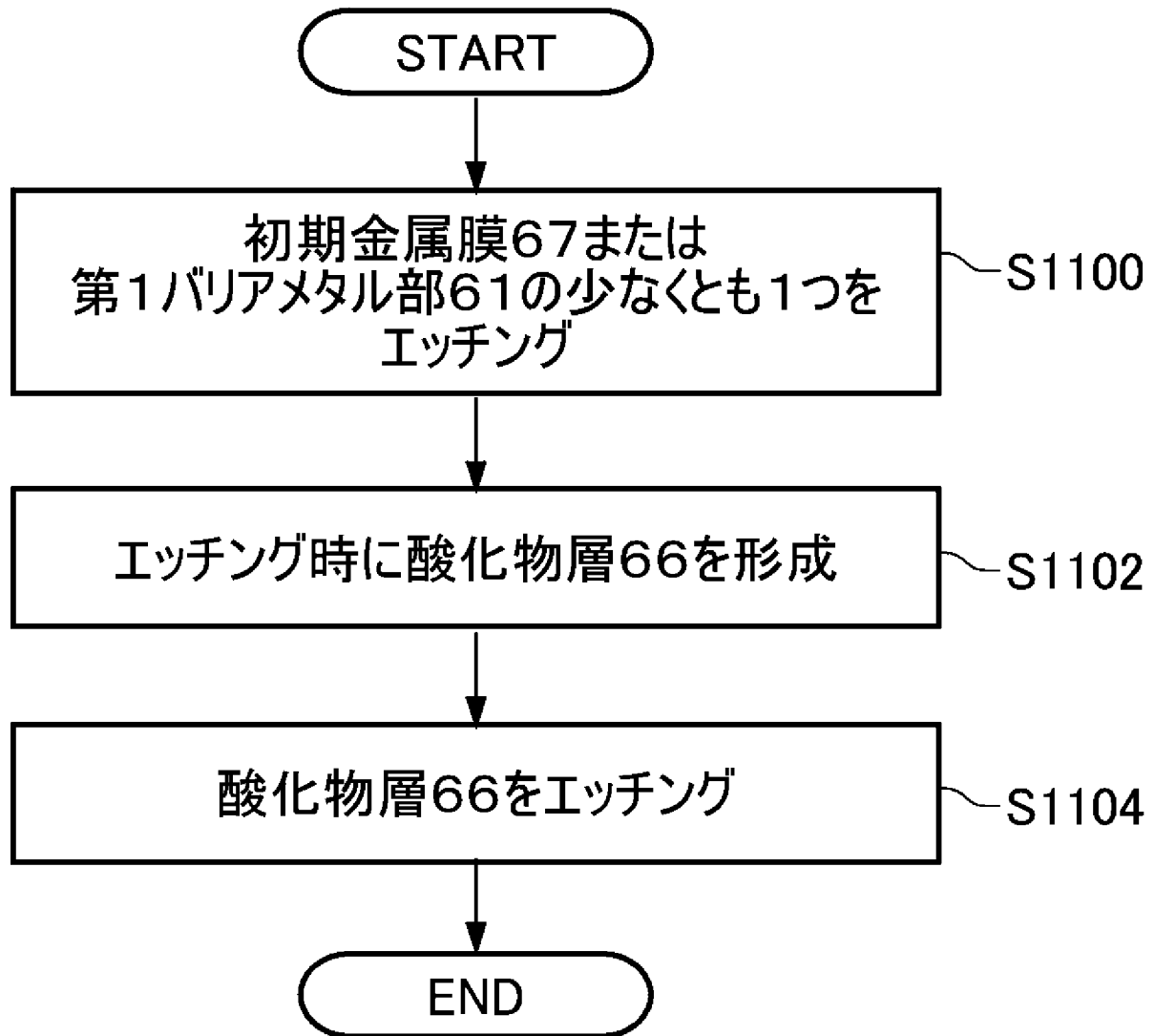
100



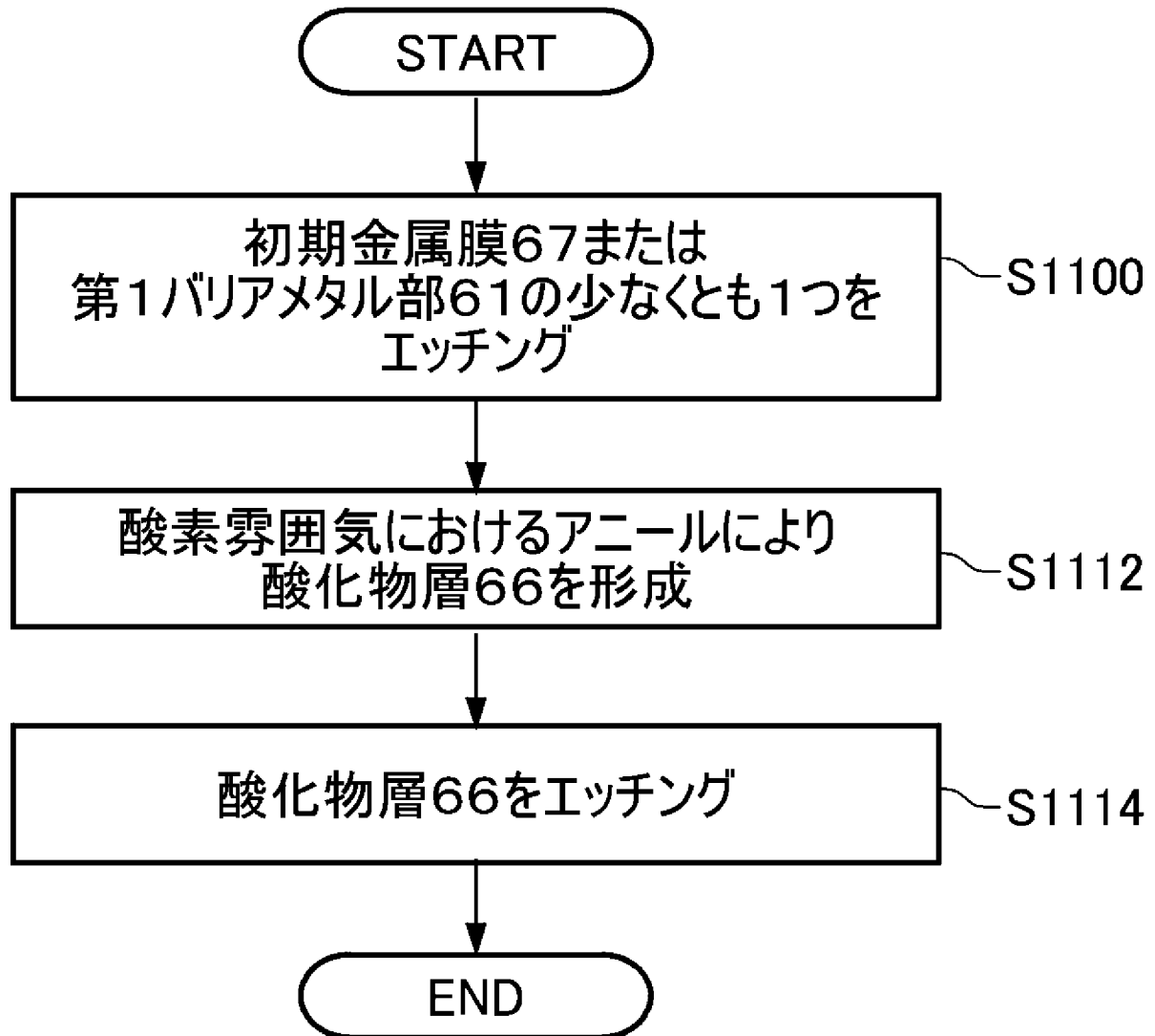
[図11]



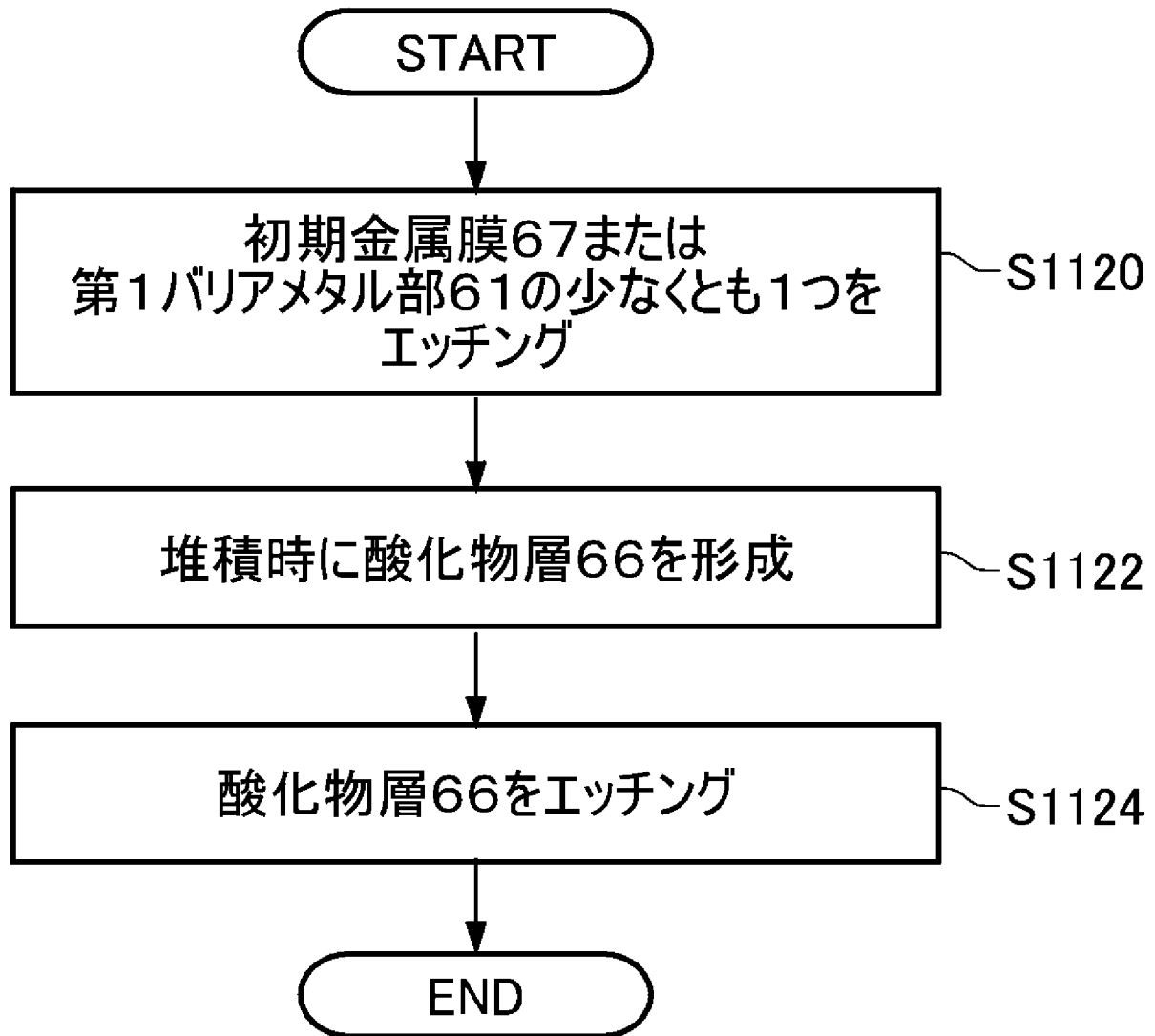
[図12A]



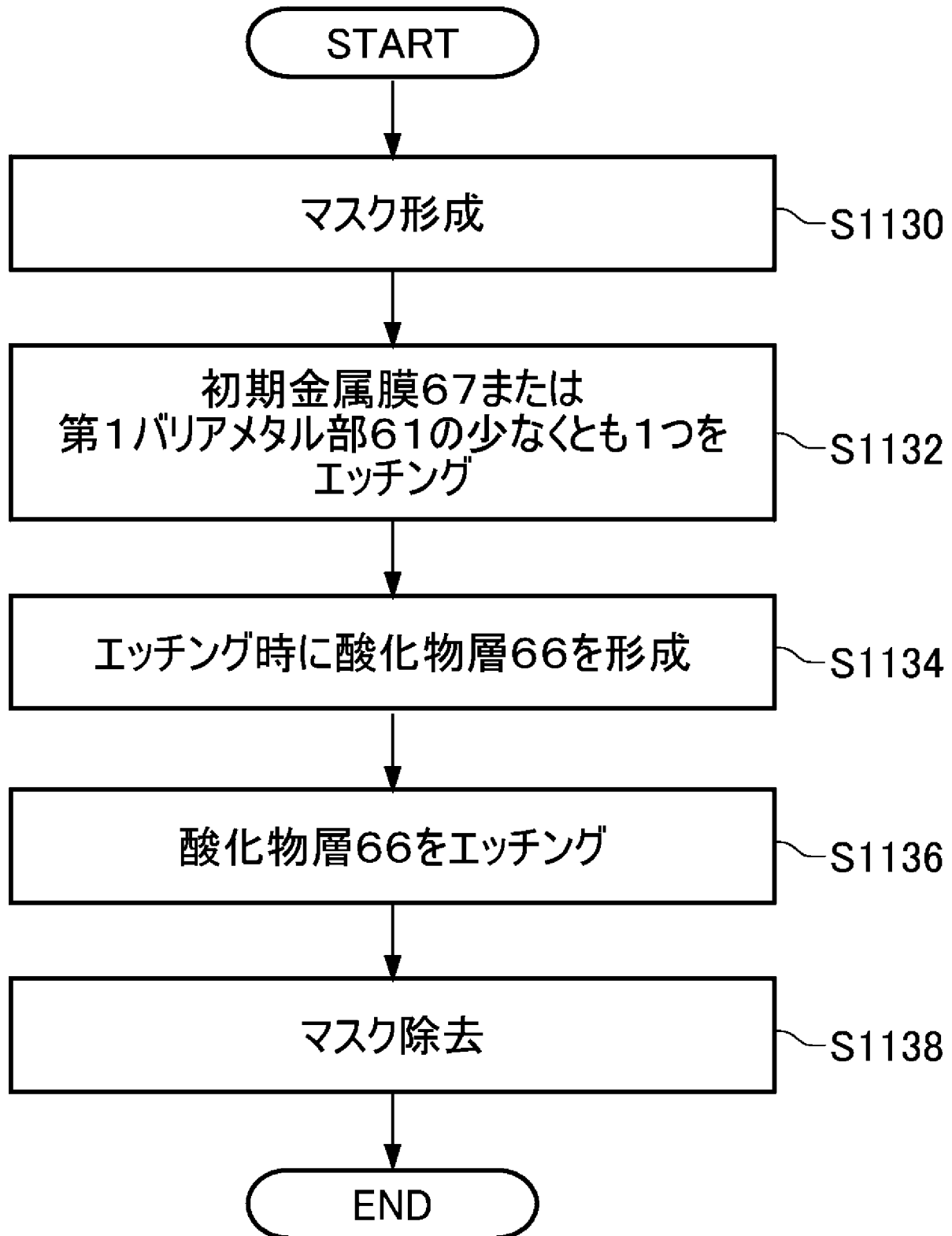
[図12B]



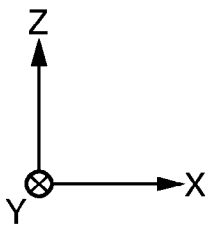
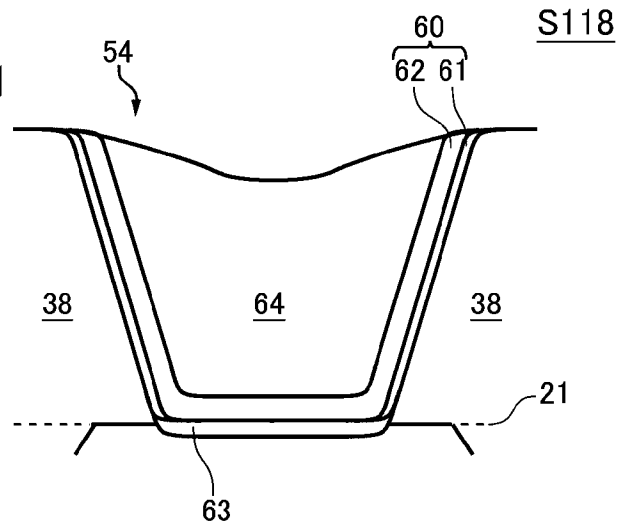
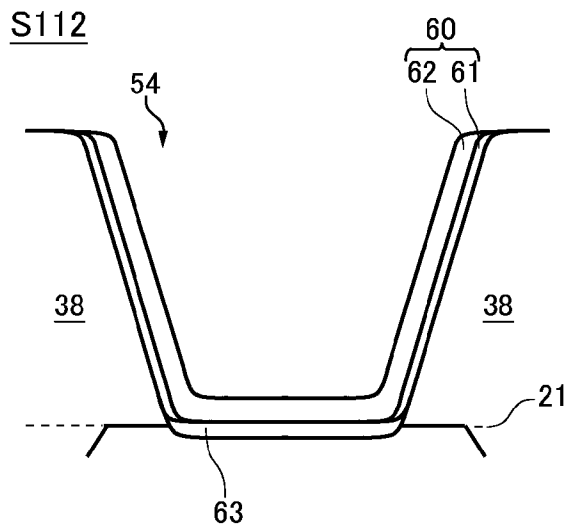
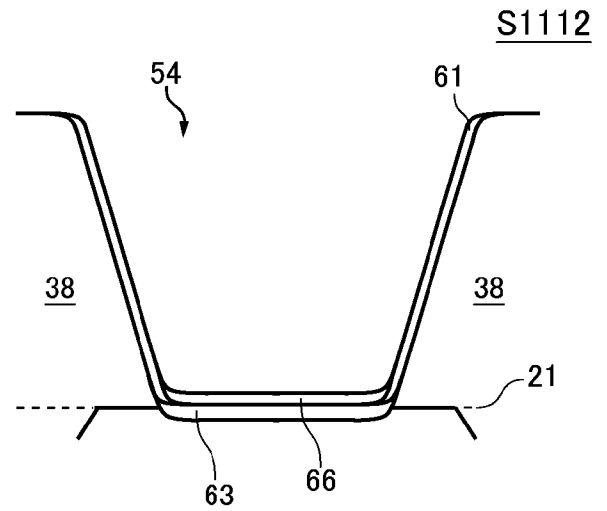
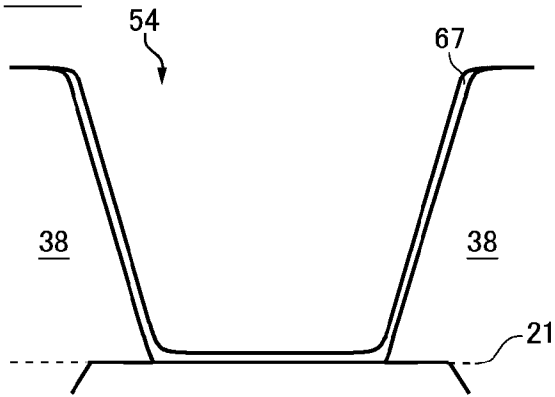
[図12C]



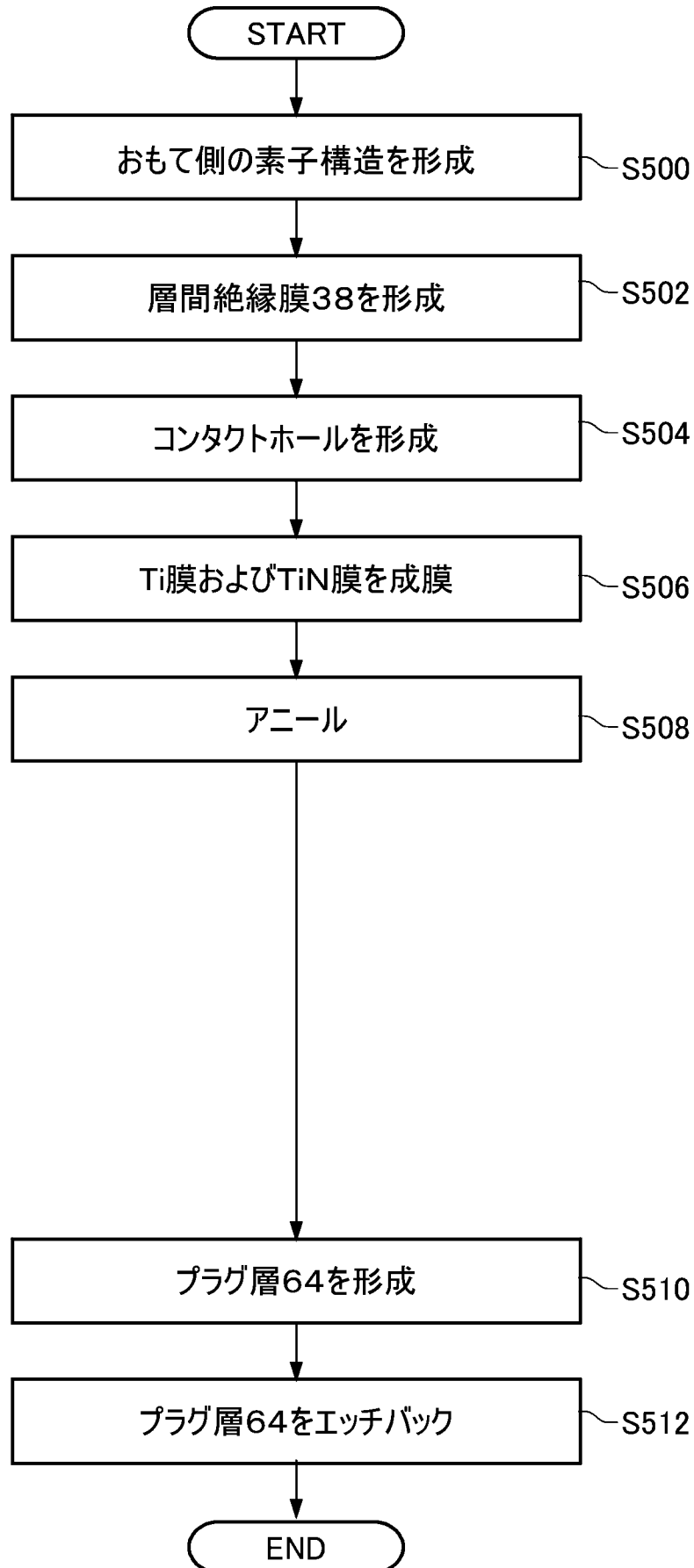
[図12D]



[図13]
S106



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/025208

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/768(2006.01)i; **H01L 21/28**(2006.01)i; **H01L 21/322**(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/04**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 29/739**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/861**(2006.01)i; **H01L 29/868**(2006.01)i

FI: H01L21/90 C; H01L29/78 655G; H01L29/78 658G; H01L29/78 652Q; H01L29/78 658H; H01L29/78 652T; H01L21/28 301S; H01L21/28 301B; H01L29/78 653A; H01L29/78 652J; H01L29/78 657D; H01L29/91 F; H01L29/91 C; H01L29/91 J; H01L29/78 652M; H01L29/78 657F; H01L29/78 657C; H01L21/322 L; H01L21/322 K; H01L27/04 F; H01L27/06 102A; H01L27/088 E; H01L29/78 658F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768; H01L21/28; H01L21/322; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L29/12; H01L29/739; H01L29/78; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-250624 A (FUJITSU LTD.) 27 September 2007 (2007-09-27) entire text, all drawings	1-21
A	JP 6-097111 A (SONY CORP.) 08 April 1994 (1994-04-08) entire text, all drawings	1-21
A	JP 6-061181 A (SONY CORP.) 04 March 1994 (1994-03-04) entire text, all drawings	1-21
A	JP 2020-013828 A (FUJI ELECTRIC CO., LTD.) 23 January 2020 (2020-01-23) entire text, all drawings	1-21
A	JP 2007-214538 A (RENESAS TECHNOLOGY CORP.) 23 August 2007 (2007-08-23) entire text, all drawings	1-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

01 September 2023

Date of mailing of the international search report

12 September 2023

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/025208

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-294861 A (TOKYO ELECTRON LTD.) 26 October 2006 (2006-10-26) entire text, all drawings	1-21

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/025208

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2007-250624	A	27 September 2007	(Family: none)	
JP	6-097111	A	08 April 1994	(Family: none)	
JP	6-061181	A	04 March 1994	(Family: none)	
JP	2020-013828	A	23 January 2020	US 2020/0020579 A1 entire text, all drawings CN 110718519 A	
JP	2007-214538	A	23 August 2007	US 2007/0161218 A1 entire text, all drawings	
JP	2006-294861	A	26 October 2006	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/768(2006.01)i; H01L 21/28(2006.01)i; H01L 21/322(2006.01)i; H01L 21/336(2006.01)i;
H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i;
H01L 27/088(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 29/78(2006.01)i;
H01L 29/861(2006.01)i; H01L 29/868(2006.01)i
FI: H01L21/90 C; H01L29/78 655G; H01L29/78 658G; H01L29/78 652Q; H01L29/78 658H; H01L29/78 652T;
H01L21/28 301S; H01L21/28 301B; H01L29/78 653A; H01L29/78 652J; H01L29/78 657D; H01L29/91
F; H01L29/91 C; H01L29/91 J; H01L29/78 652M; H01L29/78 657F; H01L29/78 657C; H01L21/322 L;
H01L21/322 K; H01L27/04 F; H01L27/06 102A; H01L27/088 E; H01L29/78 658F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L21/768; H01L21/28; H01L21/322; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06;
H01L27/088; H01L29/12; H01L29/739; H01L29/78; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2023年
日本国実用新案登録公報 1996-2023年
日本国登録実用新案公報 1994-2023年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-250624 A（富士通株式会社）27.09.2007（2007-09-27） 全文,全図	1-21
A	JP 6-097111 A（ソニー株式会社）08.04.1994（1994-04-08） 全文,全図	1-21
A	JP 6-061181 A（ソニー株式会社）04.03.1994（1994-03-04） 全文,全図	1-21
A	JP 2020-013828 A（富士電機株式会社）23.01.2020（2020-01-23） 全文,全図	1-21
A	JP 2007-214538 A（株式会社ルネサステクノロジ）23.08.2007（2007-08-23） 全文,全図	1-21

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日

01.09.2023

国際調査報告の発送日

12.09.2023

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

鈴木 智之 50 1163

電話番号 03-3581-1101 内線 3559

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-294861 A (東京エレクトロン株式会社) 26.10.2006 (2006 - 10 - 26) 全文, 全図	1-21

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/025208

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-250624	A	27.09.2007	(ファミリーなし)	
JP	6-097111	A	08.04.1994	(ファミリーなし)	
JP	6-061181	A	04.03.1994	(ファミリーなし)	
JP	2020-013828	A	23.01.2020	US 2020/0020579 A1 全文, 全図	
				CN 110718519 A	
JP	2007-214538	A	23.08.2007	US 2007/0161218 A1 全文, 全図	
JP	2006-294861	A	26.10.2006	(ファミリーなし)	