

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3822632号

(P3822632)

(45) 発行日 平成18年9月20日(2006.9.20)

(24) 登録日 平成18年6月30日(2006.6.30)

(51) Int. Cl.	F I
HO4L 25/49 (2006.01)	HO4L 25/49 H
HO4L 7/033 (2006.01)	HO4L 7/02 B
HO3M 9/00 (2006.01)	HO3M 9/00 B

請求項の数 30 (全 74 頁)

(21) 出願番号	特願2006-515326 (P2006-515326)	(73) 特許権者	399011195
(86) (22) 出願日	平成17年4月12日(2005.4.12)		ザインエレクトロニクス株式会社
(86) 国際出願番号	PCT/JP2005/007101		東京都中央区日本橋本町三丁目3番6号
(87) 国際公開番号	W02005/101773	(74) 代理人	110000408
(87) 国際公開日	平成17年10月27日(2005.10.27)		特許業務法人高橋・林アンドパートナーズ
審査請求日	平成17年8月19日(2005.8.19)	(72) 発明者	小沢 誠一
(31) 優先権主張番号	特願2004-122244 (P2004-122244)		東京都中央区日本橋本町三丁目3番6号
(32) 優先日	平成16年4月16日(2004.4.16)		ザインエレクトロニクス株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	岡村 淳一
(31) 優先権主張番号	特願2004-303086 (P2004-303086)		東京都中央区日本橋本町三丁目3番6号
(32) 優先日	平成16年10月18日(2004.10.18)		ザインエレクトロニクス株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	石曾根 洋平
(31) 優先権主張番号	特願2005-56719 (P2005-56719)		東京都中央区日本橋本町三丁目3番6号
(32) 優先日	平成17年3月1日(2005.3.1)		ザインエレクトロニクス株式会社内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 送信回路、受信回路及びクロック抽出回路並びにデータ伝送方法及びデータ伝送システム

## (57) 【特許請求の範囲】

## 【請求項1】

第1の情報と第2の情報とをそれぞれ第1の期間と第2の期間とにおいて交互に周期的に伝送するデジタルデータ伝送方法であって、  
前記第1の期間における前記第1の情報の単位時間あたりの情報量は、前記第2の期間における前記第2の情報の単位時間あたりの情報量よりも多く、  
前記第1の期間における前記第1の情報は、最小のパルス幅のn倍を1シンボルとするシリアルデータとして伝送され、前記第2の期間における前記第2の情報は、パルス幅変調されたシリアルデータとして伝送されることを特徴とする伝送方法。

## 【請求項2】

前記パルス幅変調されたシリアルデータは、常に上位ビットの値が下位ビットの値以上であって、1シンボルにライズエッジを1つのみ有する請求項1に記載の伝送方法。

## 【請求項3】

前記シリアルデータは、DCバランスするようにエンコードされる請求項1に記載の伝送方法。

## 【請求項4】

第1の情報と第2の情報とをそれぞれ第1の期間と第2の期間とにおいて交互に周期的にシリアル伝送する伝送システムであって、  
前記第2の情報を、順にシリアル化して1シンボルのシリアルデータとしたときに前記第1の情報をシリアル化したときのシリアルデータの最小パルス幅のn倍の周期のパルス幅

10

20

変調信号となるようにエンコードする第2のエンコーダと、  
 前記第1の情報を、順にシリアル化したときの1シンボルのシリアルデータが前記パルス幅変調信号と相違するようにエンコードする第1のエンコーダと、  
 前記エンコードされた前記第1の情報を前記1シンボルのシリアルデータに変換し、前記エンコードされた前記第2の情報を前記1シンボルの前記パルス幅変調信号であるシリアルデータに変換し、前記第1の情報の1シンボルのシリアルデータと前記第2の情報の1シンボルのシリアルデータとを交互に周期的にシリアル化するシリアル化回路と、  
 前記シリアル化されたデータを伝送する伝送路と、  
 前記伝送路を伝送した第1の情報のシリアルデータ又は前記第2の情報のシリアルデータからこれらシリアルデータにおける基準クロックを抽出するクロック抽出回路と、  
 前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとのデータの相違に基づき、前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとを判別する情報判別回路と、  
 前記分離された前記第1の情報のシリアルデータを前記第1のエンコーダに対応して前記第1の情報にデコードする第1のデコーダと、前記分離された前記第2の情報のシリアルデータを前記第2のエンコーダに対応して前記第2の情報にデコードする第2のデコーダと、  
 を含み、  
 前記第1の期間に伝送する前記第1の情報の単位時間当たりの情報量は、前記第2の期間に伝送する前記第2の情報の単位時間当たりの情報量よりも多いことを特徴とする伝送システム。

10

20

【請求項5】

第1の情報と第2の情報とをそれぞれ第1の期間と第2の期間とにおいて交互に周期的にシリアル伝送する伝送システムであって、  
 前記第2の情報を、順にシリアル化して1シンボルのシリアルデータとしたときに前記第1の情報をシリアル化したときのシリアルデータの最小パルス幅のn倍の周期パルス幅変調信号となるようにエンコードする第2のエンコーダと、  
 前記第1の情報を、順にシリアル化したときの1シンボルのシリアルデータが前記パルス幅変調信号と相違するようにエンコードする第1のエンコーダと、  
 前記エンコードされた前記第1の情報を前記1シンボルのシリアルデジタルデータに変換し、前記エンコードされた前記第2の情報を前記1シンボルの前記パルス幅変調信号であるシリアルデータに変換し、前記第1の情報の1シンボルのシリアルデータと前記第2の情報の1シンボルのシリアルデータとを交互に周期的にシリアル化するシリアル化回路と、  
 前記シリアル化されたデータを伝送する伝送路と、  
 前記伝送路を伝送した第1の情報のシリアルデータ又は前記第2の情報のシリアルデータからこれらシリアルデータにおける基準クロックを抽出するクロック抽出回路と、  
 を備え、

30

前記クロック抽出回路は、  
 電圧制御回路、前記シリアルデータと電圧制御発振回路の出力の位相を比較する位相比較回路、前記電圧制御回路の制御電圧を生成するループフィルタからなる位相比較ループと、  
 前記シリアルデータを前記電圧制御発振回路で生成された多相クロックでサンプリングするサンプリング回路と、

40

前記1シンボルのシリアルデータの周波数と前記電圧制御発振回路の発振周波数とを比較して、電圧制御発振回路の発振周波数を前記1シンボルのシリアルデータの周波数にあわせる周波数制御回路であって、前記電圧制御発振回路で作られた前記1シンボルの期間中のシリアル信号中のライズエッジの数が0か1かそれ以外か判定するエッジ数判定回路と、ライズエッジの数が0か、周波数制御回路がディゼイブルされた場合にリセットされる所定の時間間隔でタイマ信号を出力するタイマとを有し、ライズエッジの数が0の場合に電圧制御発振回路の発振周波数を下げ、タイマからタイマ信号が出力された場合には、電

50

圧制御発振回路の周波数を上げるように制御を行う周波数制御回路と、

前記周波数制御回路の出力を受けて、前記ループフィルタに電流パルスを出力するチャージポンプと、

前記位相比較回路から周波数比較モード要求信号が入力された場合には、周波数制御回路をイネーブル、位相比較回路をディゼイブルし、ライズエッジもしくはフォールエッジの数が1の場合が所定の数以上続いたことを検出して、前記電圧制御発振回路の出力周波数が前記位相比較ループのキャプチャレンジ内であることを判定し、周波数制御回路をディゼイブル、位相比較回路をイネーブルするモード切り替え回路を有するクロック抽出回路と、

前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとのデータの前記相違に基づき、前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとを識別する情報判別回路と、

前記分離された前記第1の情報のシリアルデータを前記第1のエンコーダに対応して前記第1の情報にデコードする第1のデコーダと、前記分離された前記第2の情報のシリアルデータを前記第2のエンコーダに対応して前記第2の情報にデコードする第2のデコーダと、

を含むことを特徴とする伝送システム。

#### 【請求項6】

第1の情報と第2の情報とをそれぞれ第1の期間と第2の期間とにおいて交互に周期的にシリアル伝送するための送信回路であって、

前記第2の情報を、順にシリアル化して1シンボルのシリアルデータとしたときに前記第1の情報をシリアル化したときのシリアルデータの最小パルス幅のn倍の周期のパルス幅変調信号となるようにエンコードする第2のエンコーダと、

前記第1の情報を、順にシリアル化したときの1シンボルのシリアルデータが前記パルス幅変調信号と相違するようにエンコードする第1のエンコーダと、

前記エンコードされた前記第1の情報を前記1シンボルのシリアルデータに変換し、前記エンコードされた前記第2の情報を前記1シンボルの前記パルス幅変調信号であるシリアルデータに変換するシリアル化回路と、

を備える送信回路。

#### 【請求項7】

前記第1のエンコーダは、前記1シンボルのシリアルデータ中に2つ以上のライズエッジを有するようにエンコードし、

前記第2のエンコーダは、前記1シンボルのシリアルデータ中に1つのライズエッジのみを前記1シンボルの始点から一定位置に配されるようにエンコードすることを特徴とする請求項6に記載の送信回路。

#### 【請求項8】

前記ライズエッジをフォールエッジとした請求項7に記載の送信回路。

#### 【請求項9】

前記第1のエンコーダは、

入力と出力との対応関係を複数有する組み合わせ論理回路と、

少なくとも前記入力される第1の情報を評価し、この評価に基づいた判定信号を出力する判定回路と

を備え、

前記組み合わせ論理回路は、前記判定信号に応じて選択された前記対応関係のエンコードを行うとともに、この選択された前記対応関係を識別するためのエンコードビットを前記出力に付与することを特徴とする請求項6に記載の送信回路。

#### 【請求項10】

前記対応関係は、第1の対応関係と第2の対応関係とを含み、

前記第1の対応関係は、前記入力と出力とが等しい関係であり、

前記第2の対応関係は、前記入力に対して出力を2ビットおきに符号反転する関係である

10

20

30

40

50

ことを特徴とする請求項 9 に記載の送信回路。

【請求項 11】

前記判定回路は、前記第 1 の情報を単純シリアル変換したときに、ライズエッジ数が 0 である場合には、前記組み合わせ論理回路に前記第 2 の対応関係を選択させる判定信号を出力することを特徴とする請求項 10 に記載の送信回路。

【請求項 12】

前記ライズエッジをフォールエッジとした請求項 11 に記載の送信回路。

【請求項 13】

前記判定回路は、前記第 1 の情報を単純シリアル変換し、その前後に互いに符号の異なるスタートビットとストップビットとを付加したときに、ライズエッジ数が 1 である場合には、前記組み合わせ論理回路に前記第 2 の対応関係を選択させる判定信号を出力することを特徴とする請求項 10 に記載の送信回路。

10

【請求項 14】

前記ライズエッジをフォールエッジとした請求項 13 に記載の送信回路。

【請求項 15】

前記判定回路は、前記組み合わせ論理回路に、前記複数の対応関係のうちエンコード後の前記 1 シンボルのシリアルデータにおける同符号連続数が、最も小さくなる前記対応関係を選択させる判定信号を出力することを特徴とする請求項 9 に記載の送信回路。

【請求項 16】

前記判定回路は、前記組み合わせ論理回路に、前記複数の対応関係のうちエンコード後の前記 1 シンボルのシリアルデータにおける同符号連続数が、前記 1 シンボルのシリアルデータのビット数の 2 分の 1 に 1 を加えた値より小さくなる前記対応関係を選択させる判定信号を出力することを特徴とする請求項 9 に記載の送信回路。

20

【請求項 17】

前記判定回路は、前記組み合わせ論理回路に、前記複数の対応関係のうちエンコード後のデータの対称関係にあるデータのそれぞれの累積数の差を、最も小さくさせる前記対応関係を選択させる判定信号を出力することを特徴とする請求項 9 に記載の送信回路。

【請求項 18】

前記判定回路は、主情報伝送周波数、EMI 量、前記 1 シンボルのシリアルデジタルデータ及び前記パルス幅変調信号の SN 比又はエラーレートのうち少なくとも一つを含む情報を評価し、その評価に応じた判定信号を出力することを特徴とする請求項 9 に記載の送信回路。

30

【請求項 19】

シリアル伝送された信号を受信するための受信回路であって、  
前記第 1 の情報のシリアルデータ又は前記第 2 の情報のシリアルデータからこれらシリアルデータにおける基準クロックを抽出するクロック抽出回路と、  
前記第 1 の情報のシリアルデータと前記第 2 の情報のシリアルデータとのデータの前記相違に基づき、前記第 1 の情報のシリアルデータと前記第 2 の情報のシリアルデータとを判別する情報判別回路と、  
前記判別された前記第 1 の情報のシリアルデータを前記第 1 のエンコーダに対応して前記第 1 の情報にデコードする第 1 のデコーダと、前記分離された前記第 2 の情報のシリアルデータを前記第 2 のエンコーダに対応して前記第 2 の情報にデコードする第 2 のデコーダと、  
を備え、  
第 2 の情報のシリアルデータであって、第 1 の情報の 1 シンボルのシリアルデータの最小パルス幅の  $n$  倍の周期のパルス幅変調信号である 1 シンボルのシリアルデータ化された第 2 の情報のシリアルデータと、第 1 の情報のシリアルデータであって、1 シンボルのシリアルデータが前記パルス幅変調信号と相違するようにシリアル化された第 1 の情報のシリアルデータと、が交互に周期的にシリアル伝送された信号を受信する受信回路。

40

【請求項 20】

50

前記第 1 の情報のシリアルデータは、エンコードモードを識別するエンコードビットを含み、前記第 1 のデコーダは、前記エンコードビットに応じたデコードを行うことを特徴とする請求項 19 に記載の受信回路。

【請求項 21】

前記情報判別回路は、前記シリアルデータの 1 シンボル中におけるライズエッジ数に応じて前記第 1 の情報のシリアルデータと前記第 2 の情報のシリアルデータとを識別することを特徴とする請求項 19 に記載の受信回路。

【請求項 22】

前記ライズエッジをフォールエッジとした請求項 21 に記載の受信回路。

【請求項 23】

電圧制御回路、シリアルデータと電圧制御発振回路の出力の位相を比較する位相比較回路、前記電圧制御回路の制御電圧を生成するループフィルタからなる位相比較ループと、前記シリアルデータを前記電圧制御発振回路で生成された多相クロックでサンプリングするサンプリング回路と、

前記シリアルデータの周波数と前記電圧制御発振回路の発振周波数を比較して、電圧制御発振回路の発振周波数をシリアルデータの周波数にあわせる周波数制御回路であって、前記電圧制御発振回路で作られた 1 シンボル分の期間中のシリアル信号中のライズエッジの数が 0 か 1 かそれ以外か判定するエッジ数判定回路と、ライズエッジの数が 0 か、周波数制御回路がディゼイブルされた場合にリセットされ所定の時間間隔でタイマ信号を出力するタイマとを具備し、ライズエッジの数が 0 の場合に電圧制御発振回路の発振周波数を下げ、タイマからタイマ信号が出力された場合には、電圧制御発振回路の周波数を上げるように制御を行う周波数制御回路と、

前記周波数制御回路の出力を受けて、前記ループフィルタに電流パルスを出力するチャージポンプと、

前記位相比較回路から周波数比較モード要求信号が入力された場合には、周波数制御回路をイネーブル、位相比較回路をディゼイブルし、ライズエッジの数が 1 の場合が所定の数以上続いたことを検出して、前記電圧制御発振回路の出力周波数が前記位相比較ループのキャプチャレンジ内であることを判定し、周波数制御回路をディゼイブル、位相比較回路をイネーブルするモード切り替え回路と、を具備することを特徴とする受信回路。

【請求項 24】

前記エッジ数判定回路が、エッジ数ゼロの判定を、前記サンプリングされた信号中のライズエッジ数の計数結果がゼロを示す出力と、前記シリアルデータから直接判断した結果ライズエッジが存在しないことを示す出力との論理積によりエッジ数ゼロの判定することを特徴とする請求項 23 に記載の受信回路。

【請求項 25】

前記周波数制御回路が、前記電圧制御発振回路の発振周波数を上げることも、下げることを優先して行うことを特徴とする請求項 23 に記載の受信回路。

【請求項 26】

前記チャージポンプは、前記周波数制御回路からアップ信号を受けた場合に充電するトータルの電荷量が、前記周波数制御回路からダウン信号を受けた場合に放電するトータルの電荷量よりも大きいことを特徴とする請求項 23 の受信回路。

【請求項 27】

シリアル伝送された信号からクロックを抽出するクロック抽出回路であって、前記シリアル伝送された信号は、第 1 の情報がエンコードされた 1 シンボルのシリアルデジタルデータと、

第 2 の情報が前記 1 シンボルのシリアルデジタルデータと異なるようにエンコードされ、前記 1 シンボルのシリアルデジタルデータを構成するデジタルデータのパルス幅の n 倍の周期でパルス幅変調されたパルス幅変調信号であって、前記 1 シンボル中にライズエッジ又はフォールエッジを 1 つのみ有し、前記ライズエッジ又はフォールエッジは、前記 1 シンボルのフレーム端から一定位置に配されるパルス幅変調信号と、

10

20

30

40

50

が交互に周期的にシリアル伝送された信号であって、  
電圧制御発振器と、  
入力データ列と前記電圧制御発振器からの出力信号との位相差に応じた位相差信号を出力する位相比較器と、  
前記入力データ列と前記電圧制御発振器からの出力信号との周波数差に応じた周波数差信号を出力する周波数比較器と、  
前記位相差信号又は周波数差信号を選択するモード切替回路と、  
を備え、  
前記周波数差比較器は、前記電圧制御発振器からの出力信号の1シンボル周期中の入力データエッジ数が0であるか1であるかを判定し、判定結果に応じたエッジ数判定信号を出力するエッジ数判定回路と、  
前記エッジ数が0であり且つ前記位相差信号が選択されている場合にリセットされる、所定の時間間隔でタイマ信号を出力するタイマと、  
前記エッジ数判定信号と、前記タイマ信号とに基づき前記電圧制御発振器の発振周波数を制御する周波数制御回路と、  
を有し、  
前記タイマの前記所定の時間間隔は、前記従情報が伝送される時間間隔よりも長く、  
前記周波数制御回路は、前記エッジ数が0の場合には、前記電圧制御発振器の発振周波数を下げ、前記タイマ信号が出力された場合には、前記電圧制御発振器の発振周波数を上げ、  
前記モード切替回路は、前記エッジ数が1である判定結果を所定の回数だけ連続して得られた場合に前記位相差信号を選択し、  
前記電圧制御発振器の発振周波数は、前記モード切替回路によって選択された前記位相差信号又は前記周波数差信号に基づき制御されるクロック抽出回路。

【請求項28】

微調周波数比較回路を備え、  
前記微調周波数比較回路は、1シンボル中のライズエッジの位置のシンボル毎の変化量に応じて前記発振器の発振信号の周波数と前記1フレーム中の前記ライズエッジの周期に基づく周波数との周波数ずれ量を算出し、前記周波数ずれ量に応じた制御信号を前記前記電圧制御発振器に出力することを特徴とする請求項27に記載のクロック抽出回路。

【請求項29】

前記微調周波数比較回路は、前記1シンボルにおけるスタートビットとストップビットとを推定する推定回路を備え、  
前記スタートビット及び前記ストップビットの1シンボル毎の変化量に応じて前記電圧制御発振器の前記発振信号の周波数と前記1シンボル中の前記ライズエッジの周期に基づく周波数との周波数ずれ量を導出し、  
前記周波数ずれ量に応じた制御信号を前記電圧制御発振器に出力することを特徴とする請求項28に記載のクロック抽出回路。

【請求項30】

入力データをサンプリングし、サンプリングデータを出力するサンプリング回路を備え、  
前記エッジ数判定回路は、前記入力データに基づいて前記入力データ列のエッジの有無を検出し、エッジ有無情報を出力するエッジ検出回路を有し、  
前記エッジ数判定回路は、前記サンプリングデータと前記エッジ有無情報に基づいてエッジ数を判定することを特徴とする請求項27に記載のクロック抽出回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パラレルなデジタルデータをシリアライズして伝送する送信回路および受信回路並びに送信回路に用いるエンコーダ回路、並びにそれらを用いたデータ伝送方法およびデータ伝送システムに関する。

10

20

30

40

50

## 【0002】

また、本発明は、パラレルなデジタルデータをシリアルライズして伝送されるシリアルデータ伝送システムの受信回路に関し、詳しくはシリアルデータ伝送システムの受信ユニットにおけるクロック復元位同期回路(CDRPLL回路: Clock Data Recovery Phase Locked Loop回路、クロック抽出回路とも言う。)に関する。

## 【背景技術】

## 【0003】

近年、装置間のデジタルデータの伝送においては、より高速にシリアル伝送を行いたいという要望が高まってきている。デジタルデータのシリアル伝送は、デジタルデータのパラレル伝送と比較して装置間を接続する配線を極力少なくすることができ、配線ケーブルおよびコネクタの小型化が図れるだけでなく、配線間の相互干渉によるクロストーク等を低減できる等の特徴がある。

10

## 【0004】

一般に、デジタルデータのシリアル伝送において、送信ユニット側は、パラレルに供給されるデジタルデータをシリアルなデジタルデータに変換して受信ユニットへ送信する。一方、受信ユニット側では、受信したシリアルなデジタルデータをパラレルなデジタルデータへ復元する。

## 【0005】

ここで、図65を参照する。図65は、パラレルなデジタルデータをシリアルライズして伝送させるシリアルデータ伝送システムのシステム構成を示す図である。(1)電気/DC結合、(2)電気/AC結合、(3)光のいずれにおいても、送信ユニットに入力させるパラレルデータは、エンコーダで所定のエンコードされた後、シリアルライズにおいてシリアルデータに変換され、増幅されて伝送される。受信ユニットで受信されたシリアルデータは、増幅された後CDRPLL回路でパラレルデータに変換され、デコーダでデコードされる。DC結合は簡易であると同時に、直流分を含めた低周波成分の伝送が可能であり、AC結合は、送信側と受信側とをDC的にアイソレーションできるメリットがある。光通信は、高速且つ長距離伝送が可能となるメリットがある。

20

## 【0006】

これらいずれの場合も、送信ユニット側および受信ユニット側でそれぞれ同期を取って復元動作が行われるが、同期が所定の範囲から逸脱すると正確なデジタルデータの復元はできなくなる。このため同期ずれが発生した場合は、同期の再調整が必要となる。特許文献1に、同期ずれが発生した場合、送信側に対し、コモンモードでリファレンスクロックの送信要求を送り、受信側で、要求したリファレンスクロックを受信すると位相比較モードから周波数比較モードへ切り替えて再調整するクロック復元回路の記載がある。

30

## 【0007】

また、アクティブマトリクス型の液晶ディスプレイやプラズマディスプレイにおいて、デジタルデータはシリアル伝送されている(例えば、特許文献1参照)。ここで、この従来のシリアル伝送について図66および図67を参照しながら説明する。

## 【0008】

アクティブマトリクス型の液晶ディスプレイに用いられる画像データは、図66に示すように、RGBそれぞれの色データRx/Gx/BxとDE(DATA ENABLE)/Hsync(水平同期データ)/Vsync(垂直同期データ)からなる同期データとからなっている。画像データのソースからは、アクティブ期間には色データが出力され、ブランキング期間には同期データが出力される。なお、アクティブ期間即ちDE="Hi"の期間においては、HsyncおよびVsyncは、"High"のまま変化しない。

40

## 【0009】

図67には、当該特許文献2に開示されているデジタルデータのシリアル伝送技術における、mビットの画像データをnビットのデータに符号化する方法の概略が示されている。この従来の符号化方法においては、同期データを送信しない場合(図67(A))と同期

50

データを送信する場合（図67（B））とに場合分けして、 $m$ ビットの画像データの符号化を行っている。

【0010】

この従来の符号化において、同期データを送信しない場合（図67（A））は、画素毎の $m$ ビットの画像データを、同一論理ビットが $k$ 個以上連続しない $n$ ビットのシリアルな画像データに変換（encode）して時分割多重化して送信する。また、同期データを送信する場合（図67（B））は、画素毎の $m$ ビットの画像データを、時分割多重化し、同一論理ビットが $k$ 個連続した特定ビット列を含み（ $n - m$ ）ビットでなる直列コードを付加することにより、シリアルな画像データに変換して時分割多重化して送信する。ここで、 $m$ 、 $n$ 、 $k$ は、それぞれ、 $m < n$ 且つ $k < (n - m)$ という条件を満たしている。こう

10

【特許文献1】米国特許6,069,927号公報

【特許文献2】特開平9-168147号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

ところが特許文献1の方法では、受信ユニット側にコモンモードドライバおよび送信側にコモンモード電圧検出回路を必要とするため、これらの付加回路の寄生容量、ノイズ等により伝送路の品質を下げる要因となる等の問題があった。またこの方法を光通信に適用する場合には、双方向の通信が必要なため、光ファイバを2本使うかWDM（波長多重）伝送を行う必要があり、いずれもコストアップの要因となる。

20

【0012】

また、上述のような従来のシステムにおいては、送信ユニットと受信ユニットとの間ではトレーニング信号及びアクノレッジ信号を利用したシェイクハンド動作を行う必要があった。さらに、従来のシステムにおいて、受信ユニット側のCDRにおいて復元できるクロック周波数は一般に所定の狭い周波数範囲に限られていた。これは、受信ユニットのクロック抽出回路が、内蔵している水晶発振器や外部発振器からのクロック入力を基準クロックとして用いており、クロック抽出回路は、この基準クロックの近傍の周波数範囲のみしかクロックを抽出できないことによる。したがって、送信ユニット側からのシリアルデータの伝送レートが変化した場合は、受信側がクロック抽出できないためデータの復元ができないという問題があった。

30

【0013】

また、特許文献2に記載の符号化方法においては、以下に説明するとおり、シリアルデータをパラレルデータに変換する際のクロックの復元（抽出）におけるエラーの発生を十分に低減することはできなかった。

【0014】

1シンボルのシリアルデータにライズエッジが複数存在すると、受信ユニット側でパラレル化する際、クロックの復元が元通りにできない可能性がある。ここで、1シンボルとは、入力されるデータと同周期またはその整数倍の周期のライズエッジもしくはフォールエッジで区切られているシリアルデータのブロックを言う。

40

【0015】

ここで、クロックの復元について説明する。図1に、1シンボルをデータA1、A2、A3・・・で構成するシリアルデータA（図1（A））および1シンボルをデータB1で構成するシリアルデータB（図1（B））から受信ユニット側においてクロックを復元するタイミングチャートを示す。図1（A）に示されるシリアルデータAには、1シンボル内に複数のライズエッジ（Rise Edge）およびフォールエッジ（Fall Edge）が存在する。一方、図1（B）に示されるシリアルデータBには、1シンボル内にライズエッジおよびフォールエッジがそれぞれ1つだけ存在する。

【0016】

50



ここで、シリアルデータAからクロックを復元するために同期をとるタイミングをポイントA1即ちデータのライズエッジと設定した場合であっても、データの波形劣化やジッタ等の影響によりポイントA1でのクロック復元の同期がとれないことが起こり得る。すなわち、ポイントA1でのクロック復元の同期がとれない場合、ライズエッジであるポイントA2、A3等設定外のポイントにおいてクロックの復元の同期がとられてしまうことになり、正常なクロック復元ができなくなる。これは、シリアルデータAのように1シンボル内に複数のライズエッジが存在することにより起こり得るものである。

**【0017】**

ここで、図2(A)および(B)を参照してより詳細に説明する。図2(A)に、デジタルデータC1~C6を含むシリアルデータCを示す。一方、図2(B)に、シリアルデータCとはデータの構成が異なる、デジタルデータD1およびD2を含むシリアルデータDを示す。なお、ここでは、両シリアルデータの時間スケールは同じとする。

10

**【0018】**

シリアルデータCにおけるデジタルデータC1~C6、シリアルデータDにおけるデジタルデータD1およびD2において、C3のパルス幅とD1のパルス幅とを比較すると、C3に比べD1のパルス幅が長い。したがって、シリアルデータCのライズエッジおよびフォールエッジの数は、シリアルデータDのライズエッジよりも多くなっている。

**【0019】**

図2(A)に示すシリアルデータCにおける各デジタルデータC1~C6の遷移近傍(ライズエッジまたはフォールエッジ近傍)では、デジタルデータの波形劣化、またはジッタ等の影響により、サンプリングエラーが発生する確率が高くなる。一方、図2(B)に示すシリアルデータDにおける各デジタルデータD1およびD2においては、それぞれのデータ長が比較的長く、データが同符号を持続する時間が比較的に長いこと、サンプリングエラーが発生する確率が非常に低くなる。言い換えると、シリアルデータのサンプリングエラーを低減するためには、デジタルデータのライズエッジが少なくなるようなデータ構成が望ましい。

20

**【0020】**

本発明者らは、上述の従来から知られているシリアル伝送技術において、シリアルデータにライズエッジが1シンボル内に複数存在すると、ライズエッジをシンボルの区切りと誤認し、誤同期を起こすことがあり、このことがシリアルデータをパラレルデータに変換する際のクロックの復元におけるエラーの発生を十分に低減する障害となっていると考えた。

30

**【課題を解決するための手段】****【0021】**

図1(B)に示すような1シンボル内にライズエッジが1つしか存在しないシリアルデータBからクロックを復元する場合には、クロックを復元するために同期をとるタイミングをポイントB1と設定すると、データの波形劣化やジッタ等の影響があっても、1シンボル内にライズエッジが1つしか存在しないので、クロックの復元にエラーが発生する可能性が低減される。

**【0022】**

そこで、本発明は、上述の問題を鑑みてなされたものであり、受信ユニット側でリファレンスクロックを必要とせず且つシェイクハンド動作を必要としない簡易で高速なシリアルデータの伝送を行うことができるシリアルデータ伝送システムを提供するものである。また、本発明は、送信ユニット側のシリアルデータの伝送レートが変化しても受信ユニット側において、その変化に追従できるシリアルデータ伝送システムを提供するものである。

40

**【0023】**

また、本発明は、同期データをパルス幅変調することにより、シリアルデータ内のライズエッジを1つのみにし、クロックを復元する際のエラーを低減した信頼性の高いデジタルデータの伝送を実現することができるデータ伝送方法、その送信回路および受信回路並びにデータ伝送システムを提供するものである。

50

## 【0024】

また、本発明は、受信ユニットの電圧制御発振回路の周波数をキャプチャレンジ内に入れるために、従来は必要であったリファレンスクロックを必要とせず、且つ双方向通信も必要としない、図65のいずれの構成においても適用可能な、クロック復元位相同期回路を提供することを目的とする。

## 【0025】

本発明は、第1の情報と第2の情報とをそれぞれ第1の期間と第2の期間とにおいて交互に周期的に伝送するデジタルデータ伝送方法であって、前記第1の期間における前記第1の情報の単位時間あたりの情報量は、前記第2の期間における前記第2の情報の単位時間あたりの情報量よりも多く、前記第1の期間における前記第1の情報は、最小のパルス幅のn倍を1シンボルとするシリアルデータとして伝送され、前記第2の期間における前記第2の情報は、パルス幅変調されたシリアルデータとして伝送されることを特徴とする。

10

## 【0026】

また、本発明は、第1の情報と第2の情報とをそれぞれ第1の期間と第2の期間とにおいて交互に周期的にシリアル伝送する伝送システムであって、前記第2の情報を、順にシリアル化して1シンボルのシリアルデータとしたときに前記第1の情報をシリアル化したときのシリアルデータの最小パルス幅のn倍の周期のパルス幅変調信号となるようにエンコードする第2のエンコーダと、前記第1の情報を、順にシリアル化したときの1シンボルのシリアルデータが前記パルス幅変調信号と相違するようにエンコードする第1のエンコーダと、前記エンコードされた前記第1の情報を前記1シンボルのシリアルデータに変換し、前記エンコードされた前記第2の情報を前記1シンボルの前記パルス幅変調信号であるシリアルデータに変換し、前記第1の情報の1シンボルシリアルデータと前記第2の情報の1シンボルシリアルデータとを交互に周期的にシリアル化するシリアル化回路と、前記シリアル化されたデータを伝送する伝送路と、前記伝送路を伝送した第1の情報のシリアルデータ又は前記第2の情報のシリアルデータからこれらシリアルデータにおける基準クロックを抽出するクロック抽出回路と、前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとのデータの前記相違に基づき、前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとを判別する情報判別回路と、前記分離された前記第1の情報のシリアルデータを前記第1のエンコーダに対応して前記第1の情報にデコードする第1のデコーダと、前記分離された前記第2の情報のシリアルデータを前記第2のエンコーダに対応して前記第2の情報にデコードする第2のデコーダと、を含み、前記第1の期間に伝送する前記第1の情報の単位時間あたりの情報量は、前記第2の期間に伝送する前記第2の情報の単位時間あたりの情報量よりも多いことを特徴とする。

20

30

## 【0027】

また、本発明は、第1の情報と第2の情報とをそれぞれ第1の期間と第2の期間とにおいて交互に周期的にシリアル伝送する伝送システムであって、前記第2の情報を、順にシリアル化して1シンボルのシリアルデータとしたときに前記第1の情報をシリアル化したときのシリアルデータの最小パルス幅のn倍の周期パルス幅変調信号となるようにエンコードする第2のエンコーダと、前記第1の情報を、順にシリアル化したときの1シンボルのシリアルデータが前記パルス幅変調信号と相違するようにエンコードする第1のエンコーダと、前記エンコードされた前記第1の情報を前記1シンボルのシリアルデジタルデータに変換し、前記エンコードされた前記第2の情報を前記1シンボルの前記パルス幅変調信号であるシリアルデータに変換し、前記第1の情報の1シンボルシリアルデータと前記第2の情報の1シンボルシリアルデータとを交互に周期的にシリアル化するシリアル化回路と、前記シリアル化されたデータを伝送する伝送路と、前記伝送路を伝送した第1の情報のシリアルデータ又は前記第2の情報のシリアルデータからこれらシリアルデータにおける基準クロックを抽出するクロック抽出回路と、を備え、前記クロック抽出回路は、電圧制御回路、前記シリアルデータと電圧制御発振回路の出力の位相を比較する位相比較回路、前記電圧制御回路の制御電圧を生成するループフィルタからなる位相比較ループと、前記シリアルデータを前記電圧制御発振回路で生成された多相クロックでサンプリングする

40

50

サンプリング回路と、前記 1 シンボルのシリアルデータの周波数と前記電圧制御発振回路の発振周波数とを比較して、電圧制御発振回路の発振周波数を前記 1 シンボルのシリアルデータの周波数にあわせる周波数制御回路であって、前記電圧制御発振回路で作られた前記 1 シンボルの期間中のシリアル信号中のライズエッジの数が 0 か 1 かそれ以外か判定するエッジ数判定回路と、ライズエッジの数が 0 か、周波数制御回路がディゼイブルされた場合にリセットされ所定の時間間隔でタイマ信号を出力するタイマとを有し、ライズエッジの数が 0 の場合に電圧制御発振回路の発振周波数を下げ、タイマからタイマ信号が出力された場合には、電圧制御発振回路の周波数を上げるように制御を行う周波数制御回路と、前記周波数制御回路の出力を受けて、前記ループフィルタに電流パルスを出力するチャージポンプと、前記位相比較回路から周波数比較モード要求信号が入力された場合には、周波数制御回路をイネーブル、位相比較回路をディゼイブルし、ライズエッジもしくはフォールエッジの数が 1 の場合が所定の数以上続いたことを検出して、前記電圧制御発振回路の出力周波数が前記位相比較ループのキャプチャレンジ内であることを判定し、周波数制御回路をディゼイブル、位相比較回路をイネーブルするモード切り替え回路を有するクロック抽出回路と、前記第 1 の情報のシリアルデータと前記第 2 の情報のシリアルデータとのデータの前記相違に基づき、前記第 1 の情報のシリアルデータと前記第 2 の情報のシリアルデータとを識別する情報判別回路と、前記分離された前記第 1 の情報のシリアルデータを前記第 1 のエンコーダに対応して前記第 1 の情報にデコードする第 1 のデコーダと、前記分離された前記第 2 の情報のシリアルデータを前記第 2 のエンコーダに対応して前記第 2 の情報にデコードする第 2 のデコーダと、を含むことを特徴とする。

10

20

## 【 0 0 2 8 】

また、本発明は、第 1 の情報と第 2 の情報とをそれぞれ第 1 の期間と第 2 の期間とにおいて交互に周期的にシリアル伝送するための送信回路であって、前記第 2 の情報を、順にシリアル化して 1 シンボルのシリアルデータとしたときに前記第 1 の情報をシリアル化したときのシリアルデータの最小パルス幅の n 倍の周期のパルス幅変調信号となるようにエンコードする第 2 のエンコーダと、前記第 1 の情報を、順にシリアル化したときの 1 シンボルのシリアルデータが前記パルス幅変調信号と相違するようにエンコードする第 1 のエンコーダと、前記エンコードされた前記第 1 の情報を前記 1 シンボルのシリアルデータに変換し、前記エンコードされた前記第 2 の情報を前記 1 シンボルの前記パルス幅変調信号であるシリアルデータに変換するシリアル化回路と、を備える。

30

## 【 0 0 2 9 】

また、前記第 1 のエンコーダは、前記 1 シンボルのシリアルデータ中に 2 つ以上のライズエッジを有するようにエンコードし、前記第 2 のエンコーダは、前記 1 シンボルのシリアルデータ中に 1 つのライズエッジのみを前記 1 シンボルの始点から一定位置に配されるようにエンコードするようにしてもよい。

## 【 0 0 3 0 】

また、前記第 1 のエンコーダは、入力と出力との対応関係を複数有する組み合わせ論理回路と、少なくとも前記入力される第 1 の情報を評価し、この評価に基づいた判定信号を出力する判定回路とを備え、前記組み合わせ論理回路は、前記判定信号に応じて選択された前記対応関係のエンコードを行うとともに、この選択された前記対応関係を識別するためのエンコードビットを前記出力に付与するようにしてもよい。

40

## 【 0 0 3 1 】

また、前記対応関係は、第 1 の対応関係と第 2 の対応関係とを含み、前記第 1 の対応関係は、前記入力と出力とが等しい関係であり、前記第 2 の対応関係は、前記入力に対して出力を 2 ビットおきに符号反転する関係であるようにしてもよい。

## 【 0 0 3 2 】

また、前記判定回路は、前記第 1 の情報を単純シリアル変換したときに、ライズエッジ数が 0 である場合には、前記組み合わせ論理回路に前記第 2 の対応関係を選択させる判定信号を出力する。

## 【 0 0 3 3 】

50

また、前記判定回路は、前記第1の情報を単純シリアル変換し、その前後に互いに符号の異なるスタートビットとストップビットとを付加したときに、ライズエッジ数が1である場合には、前記組み合わせ論理回路に前記第2の対応関係を選択させる判定信号を出力する。

【0034】

また、前記判定回路は、前記組み合わせ論理回路に、前記複数の対応関係のうちエンコード後の前記1シンボルのシリアルデータにおける同符号連続数が、前記1シンボルのシリアルデータのビット数の2分の1に1を加えた値より小さくなる前記対応関係を選択させる判定信号を出力する。

【0035】

また、前記判定回路は、前記組み合わせ論理回路に、前記複数の対応関係のうちエンコード後のデータの対称関係にあるデータのそれぞれの累積数の差を、最も小さくさせる前記対応関係を選択させる判定信号を出力する。

【0036】

また、前記判定回路は、前記組み合わせ論理回路に、前記複数の対応関係のうちエンコード後のデータの対称関係にあるデータの累積数を、最も小さくさせる前記対応関係を選択させる判定信号を出力することを特徴とする。

【0037】

また、前記判定回路は、主情報伝送周波数、EMI量、前記1シンボルのシリアルデジタルデータ及び前記パルス幅変調信号のSN比又はエラーレートのうち少なくとも一つを含む情報を評価し、その評価に応じた判定信号を出力するようにしてもよい。

【0038】

また、前記ライズエッジをフォールエッジに置き換えても良い。

【0039】

また、前記第2のエンコーダは、前記第2の情報を、順にシリアル化したときに前記ライズエッジを始点とし、フォールエッジまでの同符号期間とするようにエンコードするようにしてもよい。

【0040】

また、本発明は、第2の情報のシリアルデータであって、第1の情報の1シンボルのシリアルデータの最小パルス幅のn倍の周期のパルス幅変調信号である1シンボルのシリアルデータ化された第2の情報のシリアルデータと、第1の情報のシリアルデータであって、1シンボルのシリアルデータが前記パルス幅変調信号と相違するようにシリアル化された第1の情報のシリアルデータと、が交互に周期的にシリアル伝送された信号を受信するための受信回路であって、前記第1の情報のシリアルデータ又は前記第2の情報のシリアルデータからこれらシリアルデータにおける基準クロックを抽出するクロック抽出回路と、前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとのデータの前記相違に基づき、前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとを判別する情報判別回路と、前記判別された前記第1の情報のシリアルデータを前記第1のエンコーダに対応して前記第1の情報にデコードする第1のデコーダと、前記分離された前記第2の情報のシリアルデータを前記第2のエンコーダに対応して前記第2の情報にデコードする第2のデコーダと、を備えることを特徴とする。

【0041】

また、前記第1の情報のシリアルデータは、エンコードモードを識別するエンコードビットを含み、前記第1のデコーダは、前記エンコードビットに応じたデコードを行う。

【0042】

また、前記情報判別回路は、前記シリアルデータの1シンボル中におけるライズエッジ数に応じて前記第1の情報のシリアルデータと前記第2の情報のシリアルデータとを識別する。

【0043】

また、本発明は、第1のデジタルデータおよび第2のデジタルデータを1シンボルのシリ

10

20

30

40

50

アルデジタルデータに変換し受信回路へ送信するデジタルデータ送信回路であって、前記第2のデジタルデータを常に上位ビットの値が下位ビットの値以上であるデジタルデータにエンコードして前記1シンボルにライズエッジを1つのみ生成するエンコーダと、前記第1のデジタルデータ又は前記エンコードされた前記第2のデジタルデータを選択信号に基づき選択するスイッチ回路と、前記スイッチ回路の出力信号および前記選択信号をシリアルに変換するシリアル化回路と、を有する。

【0044】

また、本発明のデジタルデータ受信回路は、第1のシリアルデジタルデータを第1のデジタルデータおよび選択信号に平行に変換し、且つ1シンボルにライズエッジを1つだけ有する第2のシリアルデジタルデータを第2のデジタルデータおよび前記選択信号に平行に変換する平行化回路と、前記第2のデジタルデータをデコードし、第2のスイッチ回路へ出力するデコーダ回路と、前記第1のデジタルデータを前記選択信号に基づき選択し出力する第1のスイッチ回路と、前記デコードされた前記第2のデジタルデータを前記選択信号に基づき選択し出力する前記第2のスイッチ回路と、を有する。

10

【0045】

また、本発明は、第1のデジタルデータおよび第2のデジタルデータを1シンボルのシリアルデジタルデータに変換し受信回路へ送信するデジタルデータ送信回路であって、前記第1のデジタルデータをDCバランス処理して1シンボルに2以上のライズエッジを生成する第1のエンコーダと、前記第2のデジタルデータを常に上位ビットの値が下位ビットの値以上であるデジタルデータにエンコードして1シンボルにライズエッジを1つのみ生成する第2のエンコーダと、前記DCバランス処理された前記第1のデジタルデータ又は前記エンコードされた前記第2のデジタルデータを選択信号に基づき選択するスイッチ回路と、前記スイッチ回路の出力信号をシリアルに変換するシリアル化回路と、を有する。

20

【0046】

また、本発明の受信回路は、1シンボルにライズエッジを2以上有する第1のシリアルデジタルデータを第1のデジタルデータに平行に変換し、且つ1シンボルにライズエッジを1つだけ有する第2のシリアルデジタルデータを第2のデジタルデータに平行に変換する平行化回路と、前記第1のデジタルデータをデコードし、第1のスイッチ回路へ出力する第1のデコーダ回路と、前記第2のデジタルデータをデコードし、第2のスイッチ回路へ出力するデコーダ回路と、前記第1のデジタルデータおよび前記第2のデジタルデータの前記ライズエッジの数を判定し、前記ライズエッジの数が1である場合と2以上である場合とで異なる選択信号を出力する判定回路と、前記デコードされた前記第1のデジタルデータを前記選択信号に基づき選択し出力する第1のスイッチ回路と、前記デコードされた前記第2のデジタルデータを前記選択信号に基づき選択し出力する前記第2のスイッチ回路と、を有する。

30

【0047】

また、本発明は、送信側ユニットにおいて平行に入力される第1のデジタルデータおよび第2のデジタルデータを1シンボルのシリアルデジタルデータに変換し、受信側ユニットへ送信するデジタルデータ伝送方法であって、第1の期間においては、前記第1のデジタルデータおよび選択信号を第1のシリアルデジタルデータに変換し前記受信側ユニットへ送信し、第2の期間においては、前記第2のデジタルデータを常に上位ビットの値が下位ビットの値以上であるようにエンコードして1シンボルにライズエッジを1つのみ生成し、且つ第2のシリアルデジタルデータに変換し前記受信側ユニットへ送信することを特徴とする。

40

【0048】

また、本発明は、送信側ユニットにおいて平行に入力される第1のデジタルデータおよび第2のデジタルデータを1シンボルのシリアルデジタルデータに変換し、受信側ユニットへ送信するデジタルデータ伝送方法であって、第1の期間においては、前記第1のデジタルデータをDCバランス処理し、前記DCバランス処理された前記第1のデジタルデータを第1のシリアルデジタルデータに変換し前記受信側ユニットへ送信し、第2の期間

50

においては、前記第2のデジタルデータを常に上位ビットの値が下位ビットの値以上であるようにエンコードして1シンボルにライズエッジを1つのみ生成し、且つ第2のシリアルデジタルデータに変換し前記受信側ユニットへ送信することを特徴とする。

【0049】

また、本発明のデータ伝送システムは、送信側ユニットにおいてパラレルに入力される第1のデジタルデータおよび第2のデジタルデータを1シンボルのシリアルデジタルデータに変換し受信側ユニットへ送信するデジタルデータ伝送システムであって、前記第2のデジタルデータを常に上位ビットの値が下位ビットの値以上であるデジタルデータにエンコードして前記1シンボルにライズエッジを1つのみ生成するエンコーダと、前記第1のデジタルデータ又は前記エンコードされた前記第2のデジタルデータを選択信号に基づき選択する第1のスイッチ回路と、前記第1のスイッチ回路の出力信号のうち前記第1のデジタルデータおよび前記選択信号をシリアルに変換し第1のシリアルデジタルデータを生成し、且つ前記第1のスイッチ回路の出力信号のうち前記エンコードされた前記第2のデジタルデータおよび前記選択信号をシリアルに変換し第2のシリアルデジタルデータを生成するシリアル化回路と、を有する前記送信側ユニットと、前記第1のシリアルデジタルデータを前記第1のデジタルデータおよび前記選択信号にパラレルに変換し、且つ前記第2のシリアルデジタルデータを前記エンコードされた前記第2のデジタルデータおよび前記選択信号にパラレルに変換するパラレル化回路と、前記エンコードされた前記第2のデジタルデータをデコードし、第3のスイッチ回路へ出力するデコーダ回路と、前記第1のデジタルデータを前記選択信号に基づき選択し出力する第2のスイッチ回路と、前記デコードされた前記第2のデジタルデータを前記選択信号に基づき選択し出力する前記第3のスイッチ回路と、を有するデジタルデータ受信回路と、を有する受信側ユニットと、を有する。

10

20

【0050】

また、本発明は、送信側ユニットにおいてパラレルに入力される第1のデジタルデータおよび第2のデジタルデータを1シンボルのシリアルデジタルデータに変換し受信側ユニットへ送信するデジタルデータ伝送システムであって、前記第1のデジタルデータをDCバランス処理して1シンボルに2以上のライズエッジを生成する第1のエンコーダと、前記第2のデジタルデータを常に上位ビットの値が下位ビットの値以上であるデジタルデータにエンコードして1シンボルにライズエッジを1つのみ生成する第2のエンコーダと、前記DCバランス処理された前記第1のデジタルデータ又は前記エンコードされた前記第2のデジタルデータを第1の選択信号に基づき選択する第1のスイッチ回路と、前記第1のスイッチ回路の出力信号のうち前記DCバランス処理された前記第1のデジタルデータをシリアルに変換し第1のシリアルデジタルデータを生成し、且つ前記第1のスイッチ回路の出力信号のうち前記エンコードされた前記第2のデジタルデータをシリアルに変換し第2のシリアルデジタルデータを生成するシリアル化回路と、を有する前記送信側ユニットと、前記第1のシリアルデジタルデータを前記DCバランス処理された前記第1のデジタルデータにパラレルに変換し、且つ前記第2のシリアルデジタルデータを前記エンコードされた前記第2のデジタルデータにパラレルに変換するパラレル化回路と、前記DCバランス処理された前記第1のデジタルデータをデコードし、第2のスイッチ回路へ出力する第1のデコーダ回路と、前記エンコードされた前記第2のデジタルデータをデコードし、第3のスイッチ回路へ出力するデコーダ回路と、前記DCバランス処理された前記第1のデジタルデータおよび前記デコードされた前記第2のデジタルデータのライズエッジの数を判定し、前記ライズエッジの数が1である場合と2以上である場合とで異なる第2の選択信号を出力する判定回路と、前記デコードされた前記第1のデジタルデータを前記第2の選択信号に基づき選択し出力する第2のスイッチ回路と、前記デコードされた前記第2のデジタルデータを前記第2の選択信号に基づき選択し出力する前記第3のスイッチ回路と、を有する受信側ユニットと、を有する。

30

40

【0051】

また、本発明は、電圧制御回路、シリアルデータと電圧制御発振回路の出力の位相を比較

50

する位相比較回路、前記電圧制御回路の制御電圧を生成するループフィルタからなる位相比較ループと、前記シリアルデータを前記電圧制御発振回路で生成された多相クロックでサンプリングするサンプリング回路と、前記シリアルデータの周波数と前記電圧制御発振回路の発振周波数を比較して、電圧制御発振回路の発振周波数をシリアルデータの周波数にあわせる周波数制御回路であって、前記電圧制御発振回路で作られた1シンボル分の期間中のシリアル信号中のライズエッジの数が0か1かそれ以外か判定するエッジ数判定回路と、ライズエッジの数が0か、周波数制御回路がディゼイブルされた場合にリセットされ所定の時間間隔でタイマ信号を出力するタイマとを具備し、ライズエッジの数が0の場合に電圧制御発振回路の発振周波数を下げ、タイマからタイマ信号が出力された場合には、電圧制御発振回路の周波数を上げるように制御を行う周波数制御回路と、前記周波数制御回路の出力を受けて、前記ループフィルタに電流パルスを出力するチャージポンプと、前記位相比較回路から周波数比較モード要求信号が入力された場合には、周波数制御回路をイネーブル、位相比較回路をディゼイブルし、ライズエッジの数が1の場合が所定の数以上続いたことを検出して、前記電圧制御発振回路の出力周波数が前記位相比較ループのキャプチャレンジ内であることを判定し、周波数制御回路をディゼイブル、位相比較回路をイネーブルするモード切り替え回路と、を具備することを特徴とする。

10

**【0052】**

また、前記エッジ数判定回路は、エッジ数ゼロの判定を、前記サンプリングされた信号中のライズエッジ数の計数結果がゼロを示す出力と、前記シリアルデータから直接判断した結果ライズエッジが存在しないことを示す出力との論理積によりエッジ数ゼロの判定するようにしてもよい。

20

**【0053】**

また、前記周波数制御回路は、前記電圧制御発振回路の発振周波数を上げることよりも、下げることが優先して行うようにしてもよい。

**【0054】**

また、前記チャージポンプは、前記周波数制御回路からアップ信号を受けた場合に充電するトータルの電荷量が、前記周波数制御回路からダウン信号を受けた場合に放電するトータルの電荷量よりも大きいようにしてもよい。

**【0055】**

また、前記チャージポンプは、前記周波数制御回路からアップ信号を受けた場合に充電する充電パルスの数が、前記周波数制御回路からダウン信号を受けた場合に放電する放電パルスの数よりも多いことが好適である。

30

**【0056】**

また、前記チャージポンプは、前記周波数制御回路からアップ信号を受けた場合に充電する充電パルスの電流が、前記周波数制御回路からダウン信号を受けた場合に放電する放電パルスの電流より大きいことが好適である。

**【0057】**

また、本発明は、第1の情報がエンコードされた1シンボルのシリアルデジタルデータと、第2の情報が前記1シンボルのシリアルデジタルデータと異なるようにエンコードされ、前記1シンボルのシリアルデジタルデータを構成するデジタルデータのパルス幅のn倍の周期でパルス幅変調されたパルス幅変調信号であって、前記1シンボル中にライズエッジ又はフォールエッジを1つのみ有し、前記ライズエッジ又はフォールエッジは、前記1シンボルのフレーム端から一定位置に配されるパルス幅変調信号と、が交互に周期的にシリアル伝送された信号からクロックを抽出するクロック抽出回路であって、前記1シンボル中の前記ライズエッジ又はフォールエッジの周期に基づいて前記クロックを抽出することを特徴とする。

40

**【0058】**

また、本発明のクロック抽出回路は、電圧制御発振器と、入力データ列と前記電圧制御発振器からの出力信号との位相差に応じた位相差信号を出力する位相比較器と、前記入力データ列と前記電圧制御発振器からの出力信号との周波数差に応じた周波数差信号を出力す

50

る周波数比較器と、前記位相差信号又は周波数差信号を選択するモード切替回路と、を備え、前記電圧制御発振器の発振周波数は、前記モード切替回路によって選択された前記位相差信号又は前記周波数差信号に基づき制御される。

【0059】

また、前記周波数差比較器は、前記電圧制御発振器からの出力信号の1シンボル周期中の入力データエッジ数が0であるか1であるかを判定し、判定結果に応じたエッジ数判定信号を出力するエッジ数判定回路と、前記エッジ数が0であり且つ前記位相差信号が選択されている場合にリセットされる、所定の時間間隔でタイマ信号を出力するタイマと、前記エッジ数判定信号と、前記タイマ信号とに基づき前記電圧制御発振器の発振周波数を制御する周波数制御回路と、を備え、前記タイマの前記所定の時間間隔は、前記従情報が伝送される時間間隔よりも長く、前記周波数制御回路は、前記エッジ数が0の場合には、前記電圧制御発振器の発振周波数を下げ、前記タイマ信号が出力された場合には、前記電圧制御発振器の発振周波数を上げ、前記モード切替回路は、前記エッジ数が1である判定結果を所定の回数だけ連続して得られた場合に前記位相差信号を選択する。

10

【0060】

また、本発明のクロック抽出回路は、入力データをサンプリングし、サンプリングデータを出力するサンブラ回路を備え、前記エッジ数判定回路は、前記入力データに基づいて前記入力データ列のエッジの有無を検出し、エッジ有無情報を出力するエッジ検出回路を有し、前記エッジ数判定回路は、前記サンプリングデータと前記エッジ有無情報に基づいてエッジ数を判定する。

20

【0061】

また、本発明のクロック抽出回路は、微調周波数比較回路を備え、前記微調周波数比較回路は、1シンボル中のライズエッジの位置のシンボル毎の変化量に応じて前記発振器の発振信号の周波数と前記1フレーム中の前記ライズエッジの周期に基づく周波数との周波数ずれ量を算出し、前記周波数ずれ量に応じた制御信号を前記前記電圧制御発振器に出力する。

【0062】

また、微調周波数比較回路は、前記1シンボルにおけるスタートビットとストップビットとを推定する推定回路を備え、前記スタートビット及び前記ストップビットの1シンボル毎の変化量に応じて前記電圧制御発振器の前記発振信号の周波数と前記1シンボル中の前記ライズエッジの周期に基づく周波数との周波数ずれ量を導出し、前記周波数ずれ量に応じた制御信号を前記電圧制御発振器に出力するようにしてもよい。

30

【発明の効果】

【0063】

本発明によると、ブランキング期間中において、シリアルデータの1シンボルあたりのライズエッジの数が1つのみに固定されているため、シリアルデータからクロックを抽出する際の波形の劣化によるエラーの低減を図ることができ、安定したデータの伝送を実現することができる。

【0064】

また、本発明のデジタルデータ伝送システムによれば、送信ユニットから受信ユニットへのシリアルデジタルデータを一对の配線（光ファイバを含む）を用いた簡単な構成をもって高速なシリアルデジタルデータの伝送を行うことができる。そして、従来送信ユニットと受信ユニットとの間で行われていたトレーニング信号及びアクノレッジ信号を利用したシェイクハンド動作を必要としないという優れた効果を奏する。なお、光ファイバを用いる場合は、従来から、トレーニング信号、アクノレッジ信号といったシェイクハンド時に必要な双方向通信を行うことが困難であったので、本発明によると、シェイクハンド動作が不要となり、配線に光ファイバを用いる場合は、顕著な効果を奏する。

40

【0065】

また、本発明のデジタルデータ伝送システムは、ブランキング期間（通常、Hsync、Vsync）に周波数の低いデータ（音声データ等）を送信することができる。

50



## 【 0 0 6 6 】

また、本発明のデジタルデータ伝送システムによれば、シリアルデジタルデータにクロックが埋め込まれているので、受信ユニットのクロック抽出回路に水晶発振器や外部発振器からのクロック入力を必要とせず、シリアルデジタルデータによる画像サイズが変化しても自動的に追従でき、又プラグ・アンド・プレイにも対応できるという効果を奏する。

## 【 0 0 6 7 】

また、本発明によれば、受信ユニットにリファレンスクロックを必要とせず、且つ受信側から送信側へ逆方向の伝送を行う必要がないため、受信側にコモンモードドライバおよび送信側にコモンモード電圧検出回路を必要としないことで、伝送システムのコストアップ要因と伝送路の品質を下げる要因とを解消したクロック復元位相同期回路を提供すること

10

## 【 図面の簡単な説明 】

## 【 0 0 6 8 】

[ 図 1 ] 1 シンボル内にライズエッジが複数存在する場合および 1 シンボル内にライズエッジが 1 つだけ複数存在するシリアルデータの図である。

[ 図 2 ] データ長の異なるデジタルデータを示した図である。

[ 図 3 ] 本発明の一実施形態のデジタルデータ送信回路および受信回路並びにデジタルデータ伝送方法およびデジタルデータ伝送システムの概念を示す図である。

[ 図 4 ] 本発明の一実施形態のシリアルデータの概要を示す図である。

[ 図 5 ] 本発明の一実施態様における送信ユニットの回路構成を示す図である。

20

[ 図 6 ] 本発明の一実施形態における第 1 のエンコーダ回路 2 5 0 4 a の回路ブロック図である。

[ 図 7 ] 本発明の一実施形態における組み合わせ論理回路 2 5 0 4 a - 1 の回路構成を示す図である。

[ 図 8 ] 本発明の一実施態様における第 1 のエンコーダ回路の回路図及び動作テーブルである。

[ 図 9 ] 本発明の一実施例のエンコード方法のフローチャートである。

[ 図 1 0 ] 本発明の一実施態様における受信ユニットの回路構成を示す図である。

[ 図 1 1 ] 本発明の一実施形態における第 1 のデコーダ回路 2 5 2 4 a の回路図である。

[ 図 1 2 ] 本発明の一実施形態における第 2 のデコーダ回路 2 5 2 4 b の回路図である。

30

[ 図 1 3 ] 本発明の一実施形態における第 1 / 第 2 のデコーダ判別回路 2 5 2 4 c の回路図である。

[ 図 1 4 ] 本発明の一実施形態におけるデコード方法のフローチャートである。

[ 図 1 5 ] 本発明の一実施形態における D E フィルタの回路図及び動作説明図である。

[ 図 1 6 ] 本発明の受信回路であるクロック抽出回路の回路構成を示すハードウェアブロック図である。

[ 図 1 7 ] 画像表示の 1 ライン分のシリアルデータ構成図である。

[ 図 1 8 ] ブランキング期間中のシリアルデータの立ち上がり数と、電圧制御発振器の周 T v c o との関係図である。

[ 図 1 9 ] アクティブ期間中のシリアルデータの立ち上がり数と、電圧制御発振器の周期との関係図である。

40

[ 図 2 0 ] クロックの抽出のプロセスを示すフローチャートである。

[ 図 2 1 ] 電圧制御発振回路の回路構成を示すハードウェアブロックと各クロック間のタイミングを示す図である。

[ 図 2 2 ] サンプラの入出力信号のシリアルデータとサブクロックとのタイミングチャート、およびサンプリング結果のタイミングチャートである。

[ 図 2 3 ] エッジ数判定回路の回路構成を示すハードウェアブロック図である。

[ 図 2 4 ] エッジ検出回路の回路構成を示すハードウェアブロック図と入出力信号のタイミングチャートである。

[ 図 2 5 ] 周波数差検出回路の回路構成を示すハードウェアブロック図である。

50

- [ 図 2 6 ] タイマの回路構成を示すハードウェアブロック図と各信号のタイミングチャートである。
- [ 図 2 7 ] チャージポンプの構成を示す回路ブロック図である。
- [ 図 2 8 ] 制御回路の回路構成を示すハードウェアブロック図、そのタイミングチャートおよび制御動作状態遷移図である。
- [ 図 2 9 ] クロック抽出のプロセスでの電圧制御発振器の周波数の時間変化である。
- [ 図 3 0 ] デジタルデータをシリアル伝送した際に生じるデータエラーを説明した図である。
- [ 図 3 1 ] データエラーが生じないデジタルデータのシリアル伝送を説明した図である。
- [ 図 3 2 ] 本発明の一実施例のエンコード方法のフローチャートである。 10
- [ 図 3 3 ] 本発明の一実施例におけるエンコーダ回路の回路構成図である。
- [ 図 3 4 ] 本発明の一実施例における評価関数の回路構成図である。
- [ 図 3 5 ] 本発明の一実施例のエンコード方法のフローチャートである。
- [ 図 3 6 ] 本発明の一実施例のクロック復元位相同期回路 2 6 0 0 の回路構成を示すハードウェアブロック図である。
- [ 図 3 7 ] 本発明の一実施例における微調周波数比較回路 8 0 の回路ブロック図である。
- [ 図 3 8 ] 本発明の一実施例のエッジ抽出回路 8 0 a の回路構成を示す図である。
- [ 図 3 9 ] 本発明の一実施例の S t a r t / S t o p 推定回路 8 0 b の回路構成を示す図である。
- [ 図 4 0 ] 本発明の一実施例の周波数検出回路 8 0 c の回路構成を示す図である。 20
- [ 図 4 1 ] 本発明の一実施例の送信ユニット 3 0 0 0 の概略構成図である。
- [ 図 4 2 ] 本発明の一実施例の C R D 検出回路 3 0 0 0 の回路構成を示す図である。
- [ 図 4 3 ] 本発明の一実施例の第 1 のエンコーダ回路の回路構成を示す図である。
- [ 図 4 4 ] 本発明の一実施例のシリアルデジタルデータを示す図である。
- [ 図 4 5 ] 本発明の一実施例を示す図である。
- [ 図 4 6 ] 本発明の一実施例を示す図である。
- [ 図 4 7 ] 本発明の一実施例における送信ユニットを示す図である。
- [ 図 4 8 ] 本発明の一実施例におけるエンコーダ回路を示す図である。
- [ 図 4 9 ] 本発明の一実施例における受信ユニットを示す図である。
- [ 図 5 0 ] 本発明の一実施例におけるデコーダ回路を示す図である。 30
- [ 図 5 1 ] 本発明の一実施例における送信ユニットを示す図である。
- [ 図 5 2 ] 本発明の一実施例を示す図である。
- [ 図 5 3 ] 本発明の一実施例のシリアルデジタルデータを示す図である。
- [ 図 5 4 ] 本発明の一実施例における受信ユニットを示す図である。
- [ 図 5 5 ] 本発明の一実施例における D E フィルタを示す図である。
- [ 図 5 6 ] 本発明の一実施例のシリアルデジタルデータを示す図である。
- [ 図 5 7 ] 本発明の一実施例を示す図である。
- [ 図 5 8 ] 本発明の一実施例における D C バランスエンコーダ回路を示す図である。
- [ 図 5 9 ] 本発明の一実施例を示す図である。
- [ 図 6 0 ] 本発明の一実施例を示す図である。 40
- [ 図 6 1 ] 本発明の一実施例における送信ユニットを示す図である。
- [ 図 6 2 ] 本発明の一実施例における受信ユニットを示す図である。
- [ 図 6 3 ] 本発明の一実施例のシリアルデジタルデータを示す図である。
- [ 図 6 4 ] 本発明の一実施例におけるクロック抽出回路を示す図である。
- [ 図 6 5 ] シリアルデータ伝送システムのシステム構成例を示す図である。
- [ 図 6 6 ] アクティブマトリクス型の液晶ディスプレイに用いられる画像データの構成を示す図である。
- [ 図 6 7 ] 従来のデジタルデータのシリアル伝送を示す図である。
- [ 図 6 8 ] 本発明の一実施例のシリアルデジタルデータを示す図である。
- [ 図 6 9 ] 本発明の一実施例のシリアルデジタルデータを示す図である。 50

[ 図 7 0 ] 本発明の一実施例におけるシリアルデータとサンプリングクロックとの関係を示すタイミングチャートである。

【符号の説明】

【 0 0 6 9 】

4 0 1	送信ユニット	
4 0 2	シリアル化回路	
4 0 3	位相同期回路	
4 0 4	エンコーダ回路	
4 0 5	スイッチ回路	
4 0 6	出力バッファ	10
4 1 1	入力色データ	
4 1 2	入力同期データ	
4 1 4	入力クロック	
4 1 5	シリアルデータ	
4 2 1	受信ユニット	
4 2 2	パラレル化回路	
4 2 3	クロック抽出回路	
4 2 4	デコーダ回路	
4 2 5	スイッチ回路	
4 2 6	スイッチ回路	20
4 2 7	入力バッファ	
4 3 1	出力色データ	
4 3 2	出力同期データ	
4 3 4	出力クロック	
2 5 0 1	送信ユニット	
2 5 0 2	シリアル化回路	
2 5 0 3	位相同期回路	
2 5 0 4	エンコーダ回路	
2 5 0 5	スイッチ回路	
2 5 0 6	出力バッファ	30
2 5 1 1	入力色データ	
2 5 1 2	入力同期データ	
2 5 1 4	入力クロック	
2 5 1 5	シリアルデータ	
2 5 2 1	受信ユニット	
2 5 2 2	パラレル化回路	
2 5 2 3	クロック抽出回路	
2 5 2 4	デコーダ回路	
2 5 2 5	スイッチ回路	
2 5 2 6	スイッチ回路	40
2 5 2 7	入力バッファ	
2 5 3 1	出力色データ	
2 5 3 2	出力同期データ	
2 5 3 4	出力クロック	
1 0	位相比較回路	
2 0	ループフィルタ	
3 0	電圧制御発振器	
4 0	サンブラ	
5 0	周波数比較回路	
5 1	エッジ数判定回路	50

5 2 周波数差検出回路  
 5 3 タイマ  
 6 0 チャージポンプ  
 7 0 制御回路  
 2 0 0 受信回路(クロック復元位相同期回路)  
 3 0 0 シリアルデータ  
 P L L C L K P L Lクロック  
 S U B C L K サブクロック  
 D e t C L K エッジ検出クロック  
 N E D G 0 ライズエッジ数 0  
 N E D G 1 ライズエッジ数 1  
 F Q D E N 周波数比較イネーブル信号  
 P H D E N 位相比較イネーブル信号  
 F Q D R Q 周波数比較要求信号  
 T I M 1ラインスキャン以上の時間を示す信号  
 C L K システムクロックタイマ

10

【発明を実施するための最良の形態】

【0070】

以下、本発明を実施するための最良の形態(以下、実施形態という)について、図面に基  
 づいて説明する。図3に、本実施の形態に係るデータ送信回路および受信回路、並びにそ  
 れらを用いたデータ伝送方法およびそのシステムを示す。この送信回路は、送信用LSI  
 としてパッケージされ、またこの受信回路は、受信用LSIとしてパッケージされ得る。

20

【0071】

送信ユニット(送信回路)2501は、第1の入力情報2511(本実施の形態においては、入力色データ(RI5~RI0、GI5~GI0、BI5~BI0))、および第2  
 の入力情報2512(入力同期データ(HsyncI(入力水平同期データ)、VsyncI(入力垂直同期データ)、CTRLI(入力コントロール))、第1の入力情報と第  
 2の入力情報の切替信号DEI(入力選択信号(入力データネーブル))をシリアル化したシリアルデータ2515を受信ユニット2521に送信する。このシリアルデータ25  
 15には、入力クロック2514の情報が埋め込まれている。

30

【0072】

受信ユニット(受信回路)2521は、送信ユニット2501から送信されたシリアルデ  
 ータ2515を受信し、パラレル化して、第1の出力情報2531(出力色データ(RO  
 5~RO0、GO5~GO0、BO5~BO0))、第2の出力情報2532(HsyncO(出力水平同期データ)、VsyncO(出力垂直同期データ)、CTRL  
 O(出力コントロール)、DEO(出力選択信号(出力データネーブル)))および出力クロック  
 2534に復元して出力する。

【0073】

送信ユニット2501は、シリアル化回路2502(Serializer)、位相同期  
 回路2503(PLL回路:Phase Locked Loop回路)、第1のエンコ  
 ーダ回路2504a(Encoder1)及び第2のエンコーダ回路2504b(Enc  
 oder2)、スイッチ回路2505並びに出力バッファ2506(Output Bu  
 ffer)を有している。

40

【0074】

また、受信ユニット2521は、パラレル化回路2522(De-serializer  
 )、クロック抽出回路(CDRPLL回路:Clock Data Recovery  
 Phase Locked Loop回路)2523、第1のデコーダ回路2524a(  
 Decoder1)及び第2のデコーダ回路2524b(Decoder2)、第1のス  
 イッチ回路2525及び第2のスイッチ回路2526並びに入力バッファ2527(In  
 put Buffer)を有している。なお、出力バッファ2506および入力バッファ

50

2527は必要に応じて設ければよい。また、本実施形態においては、第1の入力情報2511である入力色データについては、RGB各色のデータが、それぞれ6ビットである例を示しているが、本発明は、8ビットのRGBデータや10ビットのRGBデータ等にも適用でき、本発明は特定のRGBデータビット数に限定されない。また、受信ユニット2521において、第1のデコーダ回路2524a、第2のデコーダ回路2524b、第1のスイッチ回路2525及び第2のスイッチ回路2526は、これらの回路が協調して第1の出力情報2531及び第2の出力情報2532を分離、生成する機能を果たすので、これらの回路を併せて情報分離回路と言うこともある。なお、第1の入力情報2511は第2の出力情報2531に対応しており、第2の入力情報2512は第2の出力情報2532に対応している。

10

#### 【0075】

送信ユニット2501においては、第1の入力情報2511及び第2の入力情報2512である入力同期データが、それぞれ、第1のエンコーダ回路2504a及び第2のエンコーダ回路2504bに入力され、エンコードされる。スイッチ回路2505は、DEIを入力選択信号として使用し、DEIがHighの場合は第1のエンコーダ回路2504aによってエンコードされた第1の情報2511を選択し、DEIがLowの場合は第2のエンコーダ回路2504bによってエンコードされた第2の情報2512を選択してシリアル化回路2502へ出力する。入力クロック2514は位相同期回路2503で多相クロックに変換され、シリアル化回路2502はこの多相クロックを用いてスイッチ回路2505の出力をシリアル化しシリアルデータ2515を生成し、出力バッファ2506を

20

#### 【0076】

送信ユニット2501の第2のエンコーダ回路2504bは、第2の情報(HSYNCI、VSYNCIおよびCTRLI)をエンコードする。その際、第2のエンコーダ回路2504bは、データを順にシリアル化(単純シリアル化)した際に1シンボル内で時間的に先に来る信号をMSBとすると、MSBの値がLSBの値以上となるようにエンコードし、スイッチ回路2505へ出力する。第2の情報期間(本実施形態においては、ブランキング期間(DEI="Low"))のとき、第2のエンコーダ回路2504bの出力データがスイッチ回路2505によって選択され、シリアル化回路2502によりMSBからLSBに順次シリアル化されて出力される。従って、DEIがLowの場合、シリアル化

30

#### 【0077】

また、送信ユニット2501の第1のエンコーダ回路2504aは、第1の入力情報2511を複数のモード(入力を出力に対応させる対応関係)のうち何れかのモードでエンコードし、スイッチ回路2505へ出力する。第1の情報期間(本実施形態においては、アクティブ期間(DEI="High"))のとき、第1のエンコーダ回路2504aの出力データがスイッチ回路2505によって選択され、シリアル化回路2502によりMSBからLSBに順次シリアル化されて出力される。この第1のエンコーダ2504aにおけるエンコード方法については、後述する。

40

#### 【0078】

受信ユニット2521においては、まず、クロック抽出回路2523がシリアルデータ2515から出力クロック(CLKO)2534及び多相クロックを復元する。次に、パラレル化回路2522は多相クロックによりシリアルデータ2515をパラレル信号に変換する。このパラレル信号は第1のデコーダ回路2524a、第2のデコーダ回路2524b及び第1/第2のデコーダ判別回路2524cに入力され、デコードされる。第1のスイッチ回路2525は、DEIがHighの時にアクティブとなり、第1のデコーダ回路2524aの出力パラレルデータを第1の出力情報2531(出力色データ(RO5~RO0、GO5~GO0、BO5~BO0))として出力し、DEIがLowの時はLow

50

レベルを出力する。また、第2のスイッチ回路2526は、DEIがLowの時にアクティブとなり、第2のデコーダ回路2524bの出力パラレルデータを第2の出力情報2532（出力同期データ）として出力する。また、DEIがHighの時には出力を保持することが好ましい。これは、DEがHighの期間中に同期データは変化しないためである。

#### 【0079】

次に図4を参照して、本実施形態のデジタルデータ伝送システムのパラレルデータのエンコード方法について説明する。図4(A)および(B)に、パラレルで入力された第1の情報である各6ビットの入力色データ(RI5~RI0、GI5~GI0、BI5~BI0)及び第2の情報である入力同期データ(HsyncI、VsyncI、CTRLIが

10

#### 【0080】

図4(A)に示すように、DEI="Low"即ちブランキング期間において、シリアルデータ2515の21ビットで構成される1シンボルは、MSBであるスタートビット(Start)とLSBであるストップビット(Stop)の間にHsyncI、VsyncIおよびCTRLIの情報が埋め込まれている。このHsyncI、VsyncIおよびCTRLIの3ビットの情報は、エンコーダ回路2504において、順にシリアル化された後にパルス幅変調(PWM)データとなるようにエンコードされる。すなわち、スタートビットを"High"としたときには、HsyncI、VsyncIおよびCTRLIの3ビットの情報を"High"ビットパルスの時間幅に変調する。図4(A)に示す例では、2ビット幅を単位として0から7(0から14ビット幅)のパルス幅変調を行っている。図4(A)では、この14ビット幅のパルス幅変調信号を、1シンボルのMSBのスタートビットから4ビット目から埋め込んでいる例を示したが、スタートビットのレベルと同じレベルのビットから開始し、1シンボルの終了までに14ビット幅が収まればどのビットから埋め込むものとしてもよい。例えば、1シンボルのMSBのスタートビットから4ビット目からPWMデータを埋め込んだ場合には、1シンボルの終端部にはストップビットを含めてPWMデータでないビットが3ビット存在する。この終端部の3ビットは、ストップビットと同じ"Low"レベルである。このようにシリアル化されたシリアルデータ2515は、図4(A)に示すように1シンボル中のライズエッジが1つしか

20

30

40

#### 【0081】

HsyncI、VsyncIおよびCTRLIの情報が埋め込まれたPWM信号以外の2パターンには、他の情報を埋め込むこともできる。たとえばこの2パターンに音声情報を埋め込むことも可能である。

#### 【0082】

次に、DEI="High"即ちアクティブ期間においては、図4(B)に示すようにシリアルデータ2515の1シンボルは、スタートビット(Start)、エンコードされた第1の入力情報(RI5~RI0、GI5~GI0、BI5~BI0)からなるシリア

50

ルデジタルデータ  $D < 17 : 0 >$ 、及び1ビットのエンコードビット  $E_n$  (エンコードモード識別情報とも言う。)、およびストップビット (Stop) の順でシリアル化されたデータによって構成されている。  $DEI = "High"$  の場合に、1シンボル中のライズエッジが2つ以上存在するシリアルデータとするために、第1のエンコーダ回路 2504aは、第1の入力情報を、図4(B)に示すように、アクティブ1モード (ACTV symbol / 1) 及びアクティブ2モード (ACTV symbol / 2) の何れかのモードでエンコードし、シリアル化させる。本実施例においては、1シンボル中のライズエッジの数、即ち遷移の数が2以上になるように、アクティブ1モードとアクティブ2モードの何れかのエンコードモードが選択される。

#### 【0083】

本実施例においては、図4(B)に示すとおり、シリアルデータ 2515において、2通りのいずれのエンコードモードによりエンコードされたデータであるかを区別するために、エンコードビットを有する。本実施例では、エンコードビットの一例として、アクティブ1モードでエンコードされた場合は、ストップビット (stop) の前にエンコードビット ( $E_n$ ) としてデータ "1" が付加され、またアクティブ2モードでエンコードされた場合は、ストップビット (stop) の前にエンコードビット ( $E_n$ ) としてデータ "0" が付加されるようにし、アクティブ1モードでエンコードされたデータとアクティブ2モードでエンコードされたデータとを判別できるようにしている。

#### 【0084】

また、本発明において、  $DEI = "Low"$  の場合は、1シンボル中のライズエッジの数が1であるので、  $DEI = "High"$  の場合は、1シンボル中のライズエッジの数が1とならないようにアクティブ1モードとアクティブ2モードとの何れかのエンコードモードが選択され、シリアルデータが作成される。

#### 【0085】

図4に示すとおり、本実施形態においては、アクティブ2モードによってエンコードされたシリアルデータは、アクティブ1モードによってエンコードされたシリアルデータに対して、2ビット毎に2ビットずつ反転させる構成を採っている。即ち、アクティブ1モードによってエンコードされたシリアルデータ  $D < 17 : 0 >$  に対して、アクティブ2モードによってエンコードされたシリアルデータは、  $D < D17, D16, \text{反転}D15, \text{反転}D14, D13, D12, \dots, D5, D4, \text{反転}D3, \text{反転}D2, D1, D0 >$  といった構成を採る。なお、アクティブ1モードとアクティブ2モードによるエンコードの方法は、これに限定されるわけではなく、1シンボル中のライズエッジ即ち遷移の数が2以上となるようなエンコード方法が適用され得る。

#### 【0086】

(送信ユニット)

ここで、図5を用いて本発明のデジタルデータ伝送システムの送信ユニット 2501の構成及び各構成要素の接続構成について説明する。図5に示すとおり、スイッチ回路 2505には、第1のエンコーダ回路 2504a及び第2のエンコーダ回路 2504bからの出力が入力される。スイッチ回路 2505は、20個のマルチプレクサを有している。なお、図5に示すとおり、本実施形態においては、第1のエンコーダ回路 2404aからの18ビット ( $ENC D1 \sim 18$ ) の出力と、第2のエンコーダ回路 2504bからの7ビットの出力がスイッチ回路 2505に入力される。

#### 【0087】

次に図6を参照する。図6は、本実施形態における第1のエンコーダ回路 2504aの回路ブロック図を示す。第1のエンコーダ回路 2504aは、組み合わせ論理回路 2504a-1及び判定回路 2504a-2を有している。第1の入力情報 2511 ( $D < 17 : 0 >$ ) は、組み合わせ論理回路 2504a-1及び判定回路 2504a-2へ入力される。判定回路 2504a-2は、第1の入力情報 2511に基づき、アクティブ1モード及びアクティブ2モードのうち何れのモードで第1の入力情報 2511をエンコードするかを判定し、この判定に基づいた判定信号を出力する。本実施形態において、判定回路 25

10

20

30

40

50

04a-2が出力する判定信号は、組み合わせ論理回路2504a-1にアクティブ1モードのエンコードをさせる場合には“High”レベルの信号であり、アクティブ2モードのエンコードをさせる場合には“Low”レベルの信号としている。この判定信号は、エンコードビットEnとしても用いられる。組み合わせ論理回路2504a-1は、第1の入力情報2511を、判定信号に応じてアクティブ1モード又はアクティブ2モードでエンコードし、出力する。また、判定回路2504a-2は、第1の入力情報2511のみからではなく、第1の情報の伝送周波数、EMI量、第1の情報の1シンボルのシリアルデジタルデータ及び第2の情報のパルス幅変調信号のSN比又はエラーレートのうち少なくとも一つに基づいて評価するようにしてもよい。この場合、判定回路2504a-2は、第1の入力情報以外に、これらの情報を取得する。このような構成をとることにより、第1のエンコーダ回路2505aは、第1の情報の伝送周波数、EMI量、第1の情報の1シンボルのシリアルデジタルデータ及び第2の情報のパルス幅変調信号のSN比又はエラーレートが良くなるモードでエンコードを行うことができ、総合的に伝送特性を向上させることができる。

10

#### 【0088】

なお、本実施の形態においては、第1のエンコーダ回路2504aは、アクティブ1モード及びアクティブ2モードの2つのモードのうち何れかのモードによってデータをエンコードするようにしているが、本発明においては、これに限定されるわけではなく、組み合わせ論理回路2504aは、2以上のエンコードモード（例えば、n個のモード）を有し、そのうち何れかのモードでデータをエンコードするようにしてもよい。この場合、判定回路2504a-2は、 $(\log_2 n)$ ビットの判定信号を生成し、組み合わせ論理回路2504a-1に出力することになる。ここで、エンコードモードの相違は、入力と出力との対応関係が相違していることを意味する。したがって、エンコードモードが異なれば、入力と出力との対応関係が異なっている。

20

#### 【0089】

次に図7を参照し、第1のエンコーダ回路2504aの組み合わせ論理回路2504a-1の回路構成について説明する。組み合わせ論理回路2504a-1は、第1の入力情報2511のビット数に対応した数の排他的論理和回路（XOR回路）及びスイッチ回路を有している。各スイッチ回路には、アクティブ1モードに対応したデータ及びアクティブ2モードに対応したデータが入力される。各スイッチ回路は、判定回路2504a-2からの判定信号によって、アクティブ1モードに対応したデータ又はアクティブ2モードに対応したデータを選択し、各XOR回路へ出力する。各XOR回路には、第1の入力情報2511及び各スイッチ回路からの出力が入力され、各XOR回路によって論理演算される。各XOR回路の出力は第1のスイッチ回路2525へ入力される。

30

#### 【0090】

次に、図8(A)および(B)を参照し、第2のエンコーダ回路2504bの動作について説明する。図8(A)に、本実施形態の第2のエンコーダ回路2504bの回路構成及びその7ビットの出力(SYNC[0]~SYNC[6])を示す。また、図8(B)には、本実施形態の第2のエンコーダ回路2504bに入力されるHsync、VsyncおよびCTRLIとその出力データ(SYNC[0]~SYNC[6])のデータテーブルが示されている。

40

#### 【0091】

図8(B)のデータテーブルに示すとおり、第2のエンコーダ回路2504bからの出力データ(SYNC[0]~SYNC[6])は、入力データHsync、VsyncおよびCTRLIを入力したときに、遷移の数が制限された形となっている。言い換えると、最上位ビット(MSB)をHsyncI、最下位ビット(LSB)をCTRLIとする3ビットのデータ{Hsync、Vsync、CTRLI}を7ビットのデータ{SYNC[0](最上位ビット)~SYNC[6](最下位ビット)}にエンコードする際に、当該3ビットのデータが1増す毎に、当該7ビットのデータの最上位ビットから順に“High”データが出力され続けるようにエンコードする。さらに言い換えると、7ビットの

50



データ{SYNC[0](最上位ビット)~SYNC[6](最下位ビット)}において常に上位ビットの値が下位ビットの値以上であるデータが出力されるようにエンコードする。このような出力形態は一般的には“Thermo-Code(サーモコード)”と言われており、このようなエンコードは“Thermo-Code(サーモコード)”型のエンコード、また、このようなエンコーダは“Thermo-Code”型のエンコーダと言われている。

**【0092】**

本発明のデータ伝送方法およびそのシステムにおける第2のエンコーダ回路2504bは、サーモコード型の出力形態をとる。なお、第2のエンコーダ回路2504bの回路構成については、図8(A)に示すものに限定されるわけではなく、サーモコード型の出力形態をとる回路構成であれば如何なる回路構成をとってもよい。かくして、1シンボル内にライズエッジが1つのみ生成される。

10

**【0093】**

ここで、再度図5を参照する。第1のエンコーダ回路2404aからの出力データ(ENC D1~19)並びに第2のエンコーダ回路2404bからの出力データ(SYNC[0]~SYNC[6])及びDEI(入力データイネーブル)は、スイッチ回路2505へ入力される。スイッチ回路2505は、入力されるDEIに基づき、DEI=“High”のときは、第1のエンコーダ回路2404aからの出力データ(ENC D1~19)を選択し、また、DEI=“Low”のときは、第2のエンコーダ回路2404bからの出力データ(SYNC[0]~SYNC[6])を選択して、シリアル回路2502にデータ(SR0~SR19)を出力する。

20

**【0094】**

位相同期回路2503は、入力クロック2514に基づき位相の異なる複数のクロックを形成し、シリアル化回路2502へ出力する。

**【0095】**

シリアル化回路2502は、入力されるデータ(SR0~SR19)を位相同期回路2503から入力される位相の異なる複数のクロックに基づきシリアル化し、シリアルデータ2515を形成し、出力バッファ2506を通して受信ユニット2521へ出力する。このシリアルデータ2515の形成において、1シンボルの先頭に“High”のスタートビットと、後尾に“Low”のストップビットを形成するために、シリアル化回路2502には、“High”レベルと“Low”レベルの信号が入力される。

30

**【0096】**

ここで、本実施形態のデータ伝送システムにおける入力情報に応じたエンコードモードの仕分けについて、図9を参照しながら詳細に説明する。図9に、本実施形態に係るエンコードモードの仕分け方法のフローチャートを示す。

**【0097】**

まず、入力情報(パラレルデータ)のDEIが“High”か“Low”か判断する(ステップS1)。ステップS1において、DEI=“Low”の場合は、第2の情報(HsyncI、VsyncIおよびCTRLI)を、順にシリアル化したときにパルス幅変調(PWM)信号となるようにエンコードする。このエンコードによれば、シリアル化した後に、1シンボル中のライズエッジの数が1つしか存在しないデータ構成をとることができる(ステップS2)。以上により第2の情報のデータのエンコードが終了する(ステップS3)。

40

**【0098】**

ステップS1において、DEI=“High”の場合は、入力色データ(RI5~RI0、GI5~GI0、BI5~BI0)をエンコードする際、アクティブ1モードでエンコードし、その前後に互いに符号の異なるスタートビットとストップビットとを付加したシリアル化をすると1シンボル中にライズエッジの数が1つとなるかどうかを判断し(ステップS4)、1シンボル中にライズエッジの数が1つとなる場合は、第1の情報(RI5~RI0、GI5~GI0、BI5~BI0)をアクティブ2モードでエンコードし(ス

50

トップS5)、データのエンコードを終了する(ステップS6)。一方、1シンボル中にライズエッジの数が2つ以上となる場合は、ステップ7の処理を行う。ステップ7においては、第1の情報(RI5~RI0、GI5~GI0、BI5~BI0)をエンコードする際、アクティブ2モードでエンコードし、その前後に互いに符号の異なるスタートビットとストップビットとを付加したシリアル化をすると1シンボル中にライズエッジの数が1つとなるかどうかを判断し(ステップS7)、1シンボル中にライズエッジの数が1つとなる場合は、第1の情報(RI5~RI0、GI5~GI0、BI5~BI0)をアクティブ1モードでエンコードし(ステップS8)、データのエンコードを終了し(ステップS9)、1シンボル中にライズエッジの数が2つ以上となる場合は、ステップS10の処理を行う。

10

**【0099】**

以上、第1の情報である入力色データを単純シリアル変換し、その前後に互いに符号の異なるスタートビットとストップビットとを付加したときに、ライズエッジ数が1であるかについて評価を行い、判定するものとしたが、スタートビットとストップビットとを考慮せず、第1の情報である入力色データを単純シリアル変換した場合のシリアルデータを評価してもよい。この場合、ライズエッジの数が0であるか否か判定することになる。

**【0100】**

ステップS10においては、アクティブ1モード又はアクティブ2モードの何れのモードでエンコードするかを所定の評価関数によって評価し、その評価に基づいてアクティブ1モードでエンコードする(ステップS8)か、アクティブ2モードでエンコードする(ステップS5)か判定する。このエンコードにより第1の情報のデータのエンコードが完了する(ステップS9又はステップS6)。なお、ステップS10においては、アクティブ1モード又はアクティブ2モード何れのモードでエンコードした場合であっても、DEI="Low"である場合のシリアルデータ(ライズエッジの数が1つ)と同一にはならない。

20

**【0101】**

以上のようなエンコード処理を行うことによって、DEI="Low"の場合と、DEI="High"の場合におけるエンコードされたデータからなるシリアルデータは、1シンボル中のライズエッジの数が1つであるか(DEI="Low"の場合)又は1シンボル中のライズエッジの数が2つ以上であるか(DEI="High"の場合)が明確に区別される。

30

**【0102】**

以上のように、パラレルで入力される第1の情報2511及び第2の情報2512がエンコードされた後、シリアル化され、シリアルデータ2515として送信ユニット2501から受信ユニット2521へ伝送される。このようにシリアル化されたシリアルデータの伝送において、第1の情報2511のシリアルデータの1シンボルを伝送する期間を第1の期間といい、第2の情報2512のシリアルデータの1シンボルを伝送する期間を第2の期間という。したがって、第1の期間における第1の情報の単位時間あたりの情報量は、第2の期間における第2の情報の単位時間あたりの情報量よりも多くなっている。

**【0103】**

40

以上、図3に示す本実施形態においては、シリアル化回路2502の前段にスイッチ回路2505を配置し、先にスイッチ回路2505が、第1のエンコーダ回路2504aによってエンコードされた第1の情報2511と第2のエンコーダ回路2504bによってエンコードされた第2の情報2512とをDEIに基づいて選択した後、シリアル化回路2502がこれら選択されたデータを順にシリアル化する構成とした。一方、シリアル化回路2502をスイッチ回路2505の前段に配置し、第1のエンコーダ回路2504aによってエンコードされた第1の情報2511と第2のエンコーダ回路2504bによってエンコードされた第2の情報2512とをシリアル化回路2502においてそれぞれシリアル化した後、スイッチ回路2505が第1の情報のシリアルデータと第2のシリアルデータとを交互に周期的にシリアル化する構成とすることもできる。

50

## 【 0 1 0 4 】

(受信ユニット)

図 1 0 に、本実施形態の受信ユニット 2 5 2 1 の構成を示す。送信ユニット 2 5 0 1 から出力されたシリアルデータ 2 5 1 5 は、入力バッファ 2 5 2 7 を通してパラレル化回路 2 5 2 2 およびクロック抽出回路 2 5 2 3 へ入力される。クロック抽出回路 2 5 2 3 は、シリアルデータ 2 5 1 5 からクロックを抽出し、出力クロック 2 5 3 4 および位相の異なる複数のクロックを復元する。パラレル化回路 2 5 2 2 は、クロック抽出回路 2 5 2 3 によって復元された位相の異なる複数のクロックに基づき、シリアルデータ 2 5 1 5 をパラレル化し、その出力データ ( D S R 0 ~ D S R 2 0 ) を第 1 のデコーダ回路 2 5 2 4 a、第 2 のデコーダ回路 2 5 2 4 b 及び第 1 / 第 2 のデコーダ判別回路 2 5 2 4 c へ出力する。第 1 のデコーダ回路 2 5 2 4 a には、第 1 の入力情報 2 5 1 1 に対応する出力データ ( D S R 1 ~ 1 9 ) が入力され、第 2 のデコーダ回路 2 5 2 4 b には、出力データ ( 本実施形態においては、 D S R 4、 D S R 6、 D S R 8、 D S R 1 0、 D S R 1 2、 D S R 1 4、 D S R 1 6 ) が入力される。また、第 1 / 第 2 のデコーダ判別回路 2 5 2 4 c には、出力データ ( D S R 1 ~ 1 9 ) が入力される。各デコーダ回路 2 5 2 4 a、2 5 2 4 b は、入力されたデータをデコードし、それぞれ、第 1 の入力情報 2 5 1 1 及び第 2 の入力情報に対応するデータをスイッチ回路 2 5 2 5、2 5 2 6 へ出力する。

10

## 【 0 1 0 5 】

なお、受信ユニット 2 5 2 1 は、図 1 0 に示すように、 D E フィルタ 2 5 4 0 及びフリップフロップ回路 2 5 4 1 を備えるようにしても良い。この場合、第 1 / 第 2 のデコーダ判別回路 2 5 2 4 c の出力データは、 D E フィルタ 2 5 4 0 で処理され、その出力が第 1 のスイッチ回路 2 5 2 5 及び第 2 のスイッチ回路 2 5 2 6 へ入力される。なお、 D E フィルタ 2 5 4 0 の動作は後に詳細に説明する。

20

## 【 0 1 0 6 】

ここで、本実施形態の第 1 のデコーダ回路 2 5 2 4 a について図 1 1 を参照して説明する。図 1 1 に、本実施形態に係る第 1 のデコーダ回路 2 5 2 4 a の回路構成図を示す。エンコードビット ( E n ) に対応する D S R < 1 9 > が、“ L o w ” = 0 の場合、アクティブ 2 モードによるエンコード方法に対応させた所定のデータ ( マスク 0 0 1 1 0 0 . . . ) と D S R < 1 : 1 8 > の排他的論理和 ( X O R ) をとり、 D < 1 7 : 0 > を第 1 のスイッチ回路 2 5 2 5 へ出力する。また、 D S R < 1 9 > が “ H i g h ” = 1 の場合、アクティブ 1 モードのエンコードに対応して D S R < 1 : 1 8 > をそのまま D < 1 7 : 0 > として第 1 のスイッチ回路 2 5 2 5 へ出力する。

30

## 【 0 1 0 7 】

次に、本実施形態の第 2 のデコーダ回路 2 5 2 4 b の回路構成について図 1 2 を用いて説明する。第 2 のデコーダ回路 2 5 2 4 b は、 1 2 個の N O R 回路、 1 つの N A N D 回路および 2 つのインバータ回路を有している。なお、第 2 のデコーダ回路 2 5 2 4 b は、“ T h e r m o - c o d e ” 化された同期信号をデコードする回路構成であればよく、図 1 2 に示す回路構成に限定されるわけではない。

## 【 0 1 0 8 】

次に、図 1 3 を参照し、第 1 / 第 2 のデコーダ判別回路 2 5 2 4 c の回路構成について説明する。第 1 / 第 2 のデコーダ判別回路 2 5 2 4 c は、パラレル化回路 2 5 2 2 からの出力データ ( D S R 1 ~ 1 9 ) が入力される 1 8 個の A N D 回路 ( 1 s t s t a g e ) とそれらの出力が入力される O R 回路 ( 2 n d s t a g e ) を有している。 1 s t s t a g e では、 D S R < 1 > から D S R < 1 9 > までの各ビット間にライズエッジがあるかどうかを判定する。 2 n d s t a g e では、 1 s t s t a g e の出力に 1 つでも H i g h があれば D E I = “ H i g h ” と判断して H i g h ( = “ 1 ” ) の D E O を出力し、 1 s t s t a g e の出力に H i g h が 1 つもなければ D E I = “ L o w ” と判定し “ L o w ” ( = “ 0 ” ) の D E O を出力する。同期がとれている状態では、 D S R < 2 0 > と D S R < 0 > は、それぞれ、ストップビット ( S t o p )、スタートビット ( S t a r t ) であるから、この間にライズエッジが 1 個あることは確定しているため、結局、第 1

40

50

／第2のデコーダ判別回路2524cにおいては、1シンボル中にライズエッジが1個あるか、それ以上あるかを判定していることになる。

【0109】

ここで、図14を参照し、本実施形態の受信ユニット2521におけるデコード方法をフローチャートを用いて説明する。まず、パラレル化回路2522によってパラレル化された1シンボルのデータ中にライズエッジの数が1であるかどうかを判断する(ステップS1)。ライズエッジの数が1である場合は、この1シンボルのデータは、第2の情報(同期信号(HsyncI、VsyncI、CTRLI))であるので、第2のデコーダ回路2524bは、これら第2の情報をデコードし(ステップS2)、データのデコードが終了する(ステップS3)。一方、ライズエッジの数が2以上である場合は、この1シンボルのデータは第1の情報(色データ信号(RI5~RI0、GI5~GI0、BI5~BI0))であり、さらにエンコードビット(En)のデータが“1”であるか“0”であるかを判断する(ステップS4)。第1のデコーダ回路2524aは、エンコードビット(En)のデータが“1”である場合に、パラレル化された1シンボルのデータをアクティブ1モードのエンコードに対応したアクティブ1モードでデコードし(ステップS5)、エンコードビット(En)のデータが“0”である場合は、パラレル化された1シンボルのデータをアクティブ2モードのエンコードに対応したアクティブ2モードでデコードし(ステップS7)、デコードが終了する(ステップS6、S8)。

10

【0110】

再度図10を参照する。第1のスイッチ回路2525は、第1のデコーダ回路2524aから入力されるデータを、クロック抽出回路2523から入力される位相の異なる複数のクロックに基づき選択し、フリップフロップ回路2542へ出力する。また、第2のスイッチ回路2526は、第2のデコーダ回路2524bから入力されるデータを、クロック抽出回路2523から入力される位相の異なる複数のクロックに基づき選択し、フリップフロップ回路2542へ出力する。フリップフロップ回路2542は、19個のフリップフロップから成り、第1の出力情報(RO5~RO0、GO5~GO0、BO5~BO0)及び第2の出力情報(HsyncO、YsyncO、CTRL0)を出力する。

20

【0111】

このようにして、送信ユニット2501にパラレルに入力される第1の情報2511、第2の情報2512、DEIおよび入力クロック2514は、シリアル化された後送信される。受信ユニット2521で受信されたシリアルデータは、パラレル化された後、デコードされ、第1の出力情報2531、第2の出力情報2532、DEOおよび出力クロック2534に復元されて出力される。

30

【0112】

次に、図15を用いてDEフィルタ2540の動作について説明する。図15(A)に、DEフィルタ2540の回路構成を示し、図15(B)に、DEフィルタ2540におけるデータ(DE0、DE1、DE2、DEO)のタイミングチャートを示す。本実施形態に係るDEフィルタ2540は、1つのOR回路及び3つのAND回路からなる多数決回路2540a及び3つのフリップフロップを有している。

【0113】

DEI信号は、1ビット分だけのパルス幅の信号ではなく、数ビット続く信号である。従って、DEI信号に1ビット分だけのパルスがあればそれは真のデータでは無く、エラーである。DEフィルタ2540はこのエラーを除去する。DEフィルタ2540はDEIを遅延させるためのフリップフロップ回路と多数決回路2540aで構成される。多数決回路2540aは3つの入力のうちで1が多ければ1を、0が多ければ0を出力する。図15(B)に示した波形例では、太線で示したエラーを多数決回路2540でフィルタしている。図15(A)に示す回路構成をとることにより、DEフィルタ2540に入力されるDEOにシリアルデータの1ビットのパルス幅のエラーを含んでいても、当該エラーを除去したDEOを出力することができる。以上、フリップフロップを直列に2段接続し、1ビット周期ずつタイミングをシフトさせた3つの信号(DE0、DE1、DE2)の

40

50

多数決を採るものとしたが、信号の多数決は3つに限られない。例えば、フリップフロップを直列に4段接続し、1ビット周期ずつタイミングをシフトさせた5つの信号の多数決を採るものとしてもよい。

【0114】

(クロック抽出回路)

以下画像データの伝送を例に、図を用いて本発明の受信回路の実施例を詳細に説明する。図16は、本発明の受信回路であるクロック復元位相同期回路(クロック抽出回路)の回路構成を示すハードウェアブロック図である。このクロック抽出回路は、図3におけるクロック抽出回路2523に相当する。図17は、送信側の送信ユニットで、パラレルの画像データがシリアルデータ化されて送信される、シリアルデータ構成を示す図である。最初に、図16に示されるクロック復元位相同期回路への入力信号であるシリアルデータのデータ構成を説明する。図17は、画像表示における1ラインをスキャンするに必要なシリアルデータ構成を示し、任意の1ライン期間( $t_{Line}$ )は、ブランキング期間( $t_{Sync}$ )およびアクティブ期間( $t_{Active}$ )から成っている。いずれにおいても、スタート/ストップの1/0で区切られた21ビットが、1シンボルとして伝送される。位相同期に必要な位相比較は、このスタート/ストップを手がかりに行われる。

10

【0115】

入力データのブランキング期間( $t_{Sync}$ )において、シリアルデータ300の1シンボルは、スタートビット( $Start$ )、エンコードされた水平同期データ( $HsyncI$ )、垂直同期データ( $VsyncI$ )およびコントロールデータ( $CTRLI$ )、およびストップビット( $Stop$ )の順でシリアルライズされたデータによって構成されている。具体的には、ブランキング期間中のシリアルデータは、ライズエッジの周期が一定で、フォールエッジが $Hsync$ 、 $Vsync$ および $CTRLI$ によって変化するパルス幅変調された形になっている。

20

【0116】

一方、アクティブ期間( $t_{Active}$ )においては、シリアルデータ300の1シンボルは、スタートビット( $Start$ )、カラーデータビット( $R$ 、 $G$ 、 $B$ 各6ビット)の18ビットをエンコードした19ビット、およびストップビット( $Stop$ )の順で、21ビットがシリアルライズされたデータとして構成されている。なお $R$ 、 $G$ 、 $B$ データのエンコードは、シンボル内のライズエッジが2以上になるように行われた後、シリアルライズされている。本実施例においてシリアルデータを構成するカラーデータは、それぞれ6ビットの $RGB$ データであるとしたが、これに限定されるわけではない。

30

【0117】

送信ユニット側から送られてきたこのシリアルデータを、受信ユニット側でパラレルデータに変換する際のクロックの復元について、次に説明する。図18は、ブランキング期間におけるシリアルデータ300の1シンボル周期( $T_o$ )内のシリアルデータの立ち上がり(ライズエッジ)の数と、後述する電圧制御発振器の周期( $T_{vco}$ )との関係を示す図である。シリアルデータ300における1シンボル中のライズエッジは、1つしか存在しないようにデータ構成が取られているため、 $T_o$ に比べて $T_{vco}$ が短い場合、即ち電圧制御発振器の周波数( $f_{vco}$ )が $T_o$ の周波数( $f_o$ )より高い場合は、 $T_{vco}$ 内のライズエッジの数( $NEDG$ )は1または0となる。 $f_{vco} = f_o$ の場合は、 $NEDG = 1$ となり、 $f_{vco} < f_o$ の場合は、 $NEDG = 1$ または2となる。従って、 $f_{vco}$ と $f_o$ との大小関係を $NEDG$ を評価することで場合分けすることができる。

40

【0118】

図19は、アクティブ期間におけるシリアルデータ300の1シンボル周期( $T_o$ )内のシリアルデータの立ち上がり(ライズエッジ)の数と、後述する電圧制御発振器の周期( $T_{vco}$ )との関係を示す図である。シリアルデータ300における1シンボル中のライズエッジは、 $T_o > T_{vco}$ の場合、即ち電圧制御発振器の周波数( $f_{vco}$ )が $T_o$ の周波数( $f_o$ )より高い場合は、ライズエッジの数( $NEDG$ )は1以上または0以上となる。 $f_{vco} = f_o$ の場合は、 $NEDG = 1$ 以上となり、 $f_{vco} < f_o$ の場合は、 $N$

50

EDG = 1 以上または 2 以上となる。従って、アクティブ期間においては、NEDG だけから  $f_{vco}$  と  $f_o$  との大小関係を判断できない。

#### 【0119】

以上の説明を基にして、周波数差を以下のように判別できる。

(1) NEDG = 0 であれば、 $f_{vco} > f_o$

(2) NEDG = 1 がある程度連続すれば、 $f_{vco} > f_o$  (連続する数を N とすれば、 $f_{vco}$  と  $f_o$  の差  $f_o / N$  となる。実施例においては、 $N = 30 \sim 50$  とする)

(3) ブランキング期間を経過したにもかかわらず、(1)、(2) が起きなければ、 $f_{vco} < f_o$  (これは、後述する tTME 期間中に必ずブランキングを経るように、tLine よりも十分長い tTME を設定することによる)

10

#### 【0120】

図 20 は、図 18、図 19 で説明した  $f_{vco}$  の  $f_o$  との大小関係と、NEDG との関係に基づきクロックの復元を行うプロセスを示すフローチャートである。受信したシリアルデータを、後述する電圧制御発振回路で生成されたサンプリングパルスでサンプリングする (ステップ 100)。次にサンプリング結果に基づき  $T_{vco}$  内のシリアルデータのライズエッジの数をカウントし、NEDG = 0 か否かを判断する (ステップ 110)。NEDG = 0 でなければ、NEDG = 1 の連続数 (NNEDG1) が所定の数値 (NNEDG1th) 以上か否かを判断する (ステップ 120)。NNEDG1 が所定の数値以上の場合には位相比較ループのキャプチャレンジに入ったと判断し、位相比較を開始する (ステップ 130)。ステップ 110 において NEDG = 0 であれば、 $f_{vco}$  が高いと判断し、電圧制御発振回路の周波数を下げ、タイマおよび NNEDG1 をリセットし、再びサンプリングを続ける (ステップ 140、ステップ 170 およびステップ 100)。ステップ 120 において NEDG = 1 の連続数が所定の数値を超えていない場合は、タイマが所定の時間 (tTIM) を超えたか否かを判断する (ステップ 150)。所定の時間を超えた場合は、 $f_{vco}$  が  $f_o$  より低いことを意味するため、 $f_{vco}$  を上げ、タイマおよび NNEDG1 をリセットし、再びサンプリングを続ける (ステップ 140、ステップ 170 およびステップ 100)。ステップ 150 において所定の時間を超えない場合は、ステップ 100 へ帰る。

20

#### 【0121】

このクロック復元プロセスフローの実施例を図 16 に戻り説明する。図 16 のクロック復元位相同期回路 200 の位相比較回路 10、ループフィルタ 20 および電圧制御発振器 (VCO) 30 で構成される位相比較ループにおいて、電圧制御発振器 30 で生成されるサブクロックを分周した PLL クロック (PLLCLK) と、入力されたシリアルデータのシンボルマーク (スタートビットおよびストップビット) とが一致するように制御をかける。この位相比較ループが動作するためには、PLL クロックの周波数  $f_{vco}$  が、シンボルの周波数  $f_o$  に十分近いこと、つまり、キャプチャレンジ内にある必要がある。位相比較モードに入るに当たり、サンブラ 40、周波数比較回路 50、チャージポンプ 60、ループフィルタ 20 および電圧制御発振回路 30 の周波数比較ループにおいて、シリアルデータのライズエッジの数をカウントし、NEDG を求め、電圧制御発振器の基本クロック ( $f_{vco}$ ) が位相比較ループのキャプチャレンジ内に入るように制御を行う。

30

40

#### 【0122】

この周波数比較ループ制御モードについて説明する。送信されたシリアルデータをサンプリングするため、電圧制御発振回路 30 はサンプリングのためのサブクロックを生成する。図 21 は、ロックした状態における電圧制御発振回路 30 の回路構成ハードウェアブロック図と各クロック間のタイミングチャートである。電圧制御発振回路 30 は 2 倍のオーバーサンプリングを行うために、1 シンボルに対して  $2 \times 21 = 42$  相のサブクロック (SUBCLK) を出力する。ところで、本実施形態において電圧制御発振回路 30 の発振器で 42 相の多相クロックを作るのは回路面積等の問題のため、発振器で 14 相のサブクロックを作り、これを 1 シンボルの 3 倍の周波数で発振させている。また、入力されたシリアルデータのシンボルマーク (スタートビットおよびストップビット) の周期と一致す

50

るように制御されるPLLクロック(PLLCLK)は、デバイダー・ロジック回路において、サブクロックの1つを3分周して生成される。後述するエッジ検出回路でT<sub>vco</sub>内のエッジの有無の判定に用いるエッジ検出クロック(DetCLK)も同様に分周、論理処理されることで生成される。図21(b)は、サブクロック(0)~サブクロック(13)の14相のサブクロックが、シリアルデータに対して位相比較ループが働いてロックされた場合のタイミング関係を示している。簡単のため、以下、電圧制御発振回路30の出力を3分周した周期をT<sub>vco</sub>とし、その逆数をf<sub>vco</sub>として説明する。

#### 【0123】

図16のサンブラ(パラレル化回路)40は、図21で説明したサブクロックを用いて、入力されたシリアルデータをサンプリングする。図22は、シリアルデータとサンプリングのサブクロックとのタイミング関係、およびサンプリング結果のタイミング関係を示した図である。14相から成る各サブクロックが、1シンボル周期あたり3回サンプリングすることで、21ビットの2倍である42相のサンプリングを実現していることが分かる。

10

#### 【0124】

周波数比較回路50において、このサンプリング結果を基に、電圧制御発振器30の基本周波数(f<sub>vco</sub>)とブランキング期間の1シンボル周期(T<sub>o</sub>)の周波数(f<sub>o</sub>)との関係と比較し、f<sub>o</sub> > f<sub>vco</sub>となるようチャージポンプ60を介してループフィルタ20へ制御信号を送り、電圧制御発振回路30のf<sub>vco</sub>を制御する。

#### 【0125】

周波数比較回路50は、サンプリングされたライズエッジ数をカウントし、1か0かそれ以外かを場合分けするエッジ数判定回路51、1ライン期間(t<sub>line</sub>)を超える時間のタイミングパルスを作るタイマ53、及びその場合分けとタイマ出力とを基にf<sub>vco</sub>とf<sub>o</sub>との差を検出する周波数差検出回路52から成る。

20

#### 【0126】

図23は、エッジ数判定回路51の回路構成を示すハードウェアブロック図である。図22で示したサンプリング結果の信号SMPD(0)~SMPD(42)の各々が、正および反転信号として隣接する論理積回路にそれぞれ入力される。例えば図22に示す波形例において、SMPD(14)、(15)、(16)のサンプル結果の信号はそれぞれ0、0、1となる。これを論理積回路に入力すると、第16番目の論理積回路の入力が共に1であるため、EDG(15)の出力は1となる。1シンボル周期に対してEDG(0~20)が1となるのはこれのみであるため、図23-bのライズエッジ数が1の判定回路(NEDG1)の論理和回路によりハイレベルが出力される。

30

#### 【0127】

図23(a)においてサンプリング結果が全て0であれば、EDG(0~20)は全て0となり、否定論理和回路により出力(NEDGOS)は1となる。この場合、サンプリング結果だけから判断すると、電圧制御発振回路30の発振器の基本周波数が非常に遅い場合は、図70に示すようにサブクロックの間隔がシリアルデータの1ビットのパルス幅T<sub>bit</sub>より長くなるため、サンプリング時にライズエッジを取り損ない、ライズエッジを検出できない場合が出てくる。この誤判断を避けるためエッジ検出回路(EDGDET)により、シリアルデータから直接ライズエッジの有無を判定した結果(EDGDET<sub>X</sub>)との論理積を取ってライズエッジ数0の判定をする。

40

#### 【0128】

ここで、エッジ検出回路(EDGDET)について説明する。図24は、エッジ検出回路(EDGDET)の回路構成を示すハードウェアブロック図と入出力信号のタイミングチャートである。図24(a)において、エッジ検出回路にはシリアルデータと図21で示したエッジ検出クロック(DetCLK)とが入力され、T<sub>vco</sub>の期間中のシリアルデータのライズエッジの有無を検出する。エッジ検出クロックは、T<sub>vco</sub>の同期の信号である。図24(b)にタイムチャートを示す。フリップフロップFF1の出力EDGDET<sub>0</sub>は、シリアルデータのライズエッジを検出すると“High”になる。FF1は、D

50

e t C L K が “ H i g h ” になる毎にリセットされるため、E D G D E T 0 は D e t C L K が “ L o w ” の期間中のライズエッジの有無を表している。F F 2 では、E D G D E T 0 を D e t C L K のライズエッジでラッチすることにより判断を確定させる。この信号を反転させて E D G D E T X として出力する。図 2 4 ( b ) に示すように、D e t C L K が “ L o w ” 期間中にシリアルデータにライズエッジがある場合には、次の期間の E D G D E T X は “ L o w ” になり、ライズエッジがない場合は次の期間の E D G D E T X は “ H i g h ” になる。

#### 【 0 1 2 9 】

以上によりエッジ数判定回路 5 1 から、ライズエッジ数の判定結果である N E D G 0 および N E D G 1 がそれぞれ出力され、N E D G 0 は周波数差検出回路 5 2 およびタイマ 5 3 に、N E D G 1 は制御回路 7 0 に入力される。図 2 5 は、周波数差検出回路 5 2 の回路構成を示す回路ブロック図である。N E D G 0 が入力されるということは、電圧制御発振回路 3 0 の発振器が発生する基本クロックの周波数が高いことを意味する。従って、周波数差検出回路 5 2 はこれを受けて、後述する制御回路 7 0 からの周波数制御モードにあることを示す信号 ( F Q D E N ) との論理積を取って、図 1 6 のチャージポンプ 6 0 へ周波数を下げるための周波数ダウン信号を出力する。

#### 【 0 1 3 0 】

また、N E D G 0 にもならず、N E D G 1 が所定の回数以上連続せず、且つその状態が 1 ラインスキャン以上の時間が経過することは、基本クロックの周波数が低いことを意味する。従って周波数差検出回路 5 2 は、N E D G 0 のローレベルの反転信号、制御回路 7 0 からの位相制御モードに入れられないために周波数制御モードを維持するための信号 ( F Q D E N ) と次に説明するタイマ 5 3 からの所定の時間信号との論理積を取って、周波数を上げるための周波数アップ信号を出力する。図 2 5 の回路は、ダウン信号を優先した調停回路になっている。これはダウンの判定の方が、アップよりも確度が高いためである ( N E D G = 0 であれば、必ず  $f_{vco} > f_o$  と判定できるため)。

#### 【 0 1 3 1 】

図 2 6 は、タイマの回路構成を示すハードウェアブロック図と各信号のタイミングチャートである。図 2 6 ( a ) において、1 ライン以上の時間が経過したことを示す信号を出力するためのタイマ 5 3 は、発振器のクロック ( O S C C L K ) をカウントして所定の時間 ( T I M 0 ) を生成し、エッジ検出して、図 1 7 の 1 ラインスキャン時間 ( t L i n e ) 以上の時間を示す信号 ( T I M ) を生成する。発振器は、周波数制御モードにあることを示す信号 ( F Q D E N ) をイネーブル信号 ( E n a b l e ) とし、カウンタは、F Q D E N と N E D G 0 の反転信号との論理積をリセット信号 ( R S T n ) として用いている。T I M 信号の間隔は 1 ラインより十分長ければよいため、T I M 信号の周期にはあまり高い時間精度を要求されない。したがって、発振器は、R C 発振器またはセラミック発振器など精度が低いものを使用しても構わない。それぞれの時間関係を、図 2 6 ( b ) のタイミングチャートに示す。

#### 【 0 1 3 2 】

図 2 7 は、チャージポンプ 6 0 の回路構成を示す回路ブロック図である。チャージポンプ 6 0 は、周波数差検出回路 5 2 の出力を受けて、図 1 6 のループフィルタ 2 0 へ周波数の制御を行う充放電電流パルスを出力する。この電流パルスは、電圧制御発振回路 3 0 のクロック ( C L K ) を基にパルス発生回路で生成される。周波数を上げるアップ信号は、ダウン信号より頻度が低いため、アップ信号が入力された場合は、ダウン信号で放電するよりも多く充電するようにする。例えば図 2 7 では、パルスストレッチャによりアップ信号を伸長しているが、充電電流を放電電流より大きくしてもかまわない。充電電流パルスと伸長されたアップ信号の論理積で充電電流パルスが、またダウン信号との論理積で放電電流パルスが生成され、ループフィルタ 2 0 へ出力される。電圧制御発振回路 3 0 は、ループフィルタ 2 0 の電圧に応じた周波数で発振する。このように、アップ信号が入力された場合に、ダウン信号で放電するよりも多く充電する、および、充電電流を放電電流より大きくすることにより、電圧制御発振回路 3 0 の発振周波数を速やかにキャブチャレンジに

10

20

30

40

50



入れることができる。

【0133】

図28は、制御回路70の構成を示す回路ブロック図、そのタイミングチャートおよび制御動作を示す状態遷移図である。図28(a)において、制御回路70はエッジ数判定回路51のNEDG1信号を受け、その連続数をカウンタでカウントし、所定の数値を超えるとCNEDG1を出力する。カウンタの後段にはステートマシンが接続されており、このCNEDG1と電源投入時あるいは位相比較ループが引き込みできなくなった場合に位相比較回路10から出力される信号(FQDRQ)とを受けて、位相比較イネーブル信号(PHDEN)および周波数制御イネーブル信号(FQDEN)を生成し、PHDENを位相比較回路10へ、FQDENを周波数差検出回路52およびタイマ53へ出力し、位

10

【0134】

図28(b)において、FQDRQによりFQDENが立ち上がり、周波数制御モードにクロック復元位相同期回路200を設定する。カウンタにおいて、NEDG1の数が所定の数値を超えるとCNEDG1の信号が立ち上がり、FQDENをリセットすると共にPHDENを立ち上げ、位相比較制御モードにクロック復元位相同期回路200を設定する。この状態遷移の様子を図28(c)に示す。

【0135】

図29は、起動からロックするまでの電圧制御発振器30の周波数変化を示したものである。最初は周波数比較モードになっており、電圧制御発振器30の基本周波数( $f_{vco}$ )が周波数比較回路50により制御されて、ブランキング期間の1シンボル周期( $T_o$ )の周波数( $f_o$ )に漸近し、キャプチャレンジに入り、ロックされる。 $f_{vco}$ が $f_o$ に対して著しく低い場合は、タイマ53の設定する時間間隔ごとに周波数が高められる。 $f_o$ を超えると、NEDG=0の検出ごとに周波数は低くなる。ある時点で、NEDG=1が連続すると、制御回路70に検出され、この数が所定の数値を超えるとキャプチャレンジに入ったと判断され、位相制御モードに移行し、位相比較回路10によりロックされる。

20

【0136】

以上説明したように、本発明によればシリアルデータのみから基準クロックを抽出できる。従来、キャプチャレンジまでの周波数合わせに必要であったリファレンスクロックを必要とせず、また、受信側から送信側へ逆方向の伝送を行う必要もない。従って、簡易な構成で伝送システムを構成することができ、低コストで高い品質のデータ伝送を行うことができる。またこれまでに説明した機能実現手段は本発明を限定するものではなく、当該機能を実現できる手段であれば、どのような回路または装置であっても良く、機能の一部をソフトウェアで実現することも可能である。

30

【0137】

また、以上説明したとおり、本実施形態に係るデータ伝送システムは、色信号と同期信号を明確に区別しながら、シリアル伝送することができ、受信側でクロックの抽出を確実に行うことができる。そして、従来送信ユニットと受信ユニットとの間で行われていたトレーニング信号及びアクノレッジ信号を利用したシェイクハンド動作を必要としないという優れた効果を奏する。

40

【0138】

また、本実施形態に係る本発明のデジタルデータ伝送システムは、送信ユニットから受信ユニットへのシリアルデジタルデータを一對の配線(光ファイバーを含む)で行うことができる。本発明を光ファイバ伝送に適用させる場合、送信ユニット2501において、出力バッファ2506に替わりE/O変換素子を配置して、電気シリアル信号を光シリアル信号に変換して光伝送路に光信号を出力し、受信ユニット2521において、入力バッファ2527に替わりO/E変換素子を配置して、光シリアル信号を電気シリアル信号に変換して後続の処理を行う構成とする。光ファイバ伝送においては、送受信システムを含む

50

伝送路1本当たりのコストが高い。したがって、本発明を光ファイバ伝送に用いる場合は、従来光ファイバ伝送において必須であった、トレーニング信号、アクノレッジ信号といったシェイクハンドをするための双方向通信を行う必要がなくなるため、ファイバ本数を増やす必要が無く、顕著な低コスト化効果を奏する。

【0139】

また、本実施形態に係るデータ伝送システムにおいて、第2の情報としてHsync、Vsync、CTRLを第2の期間(ブランキング期間)に伝送させる例について説明したが、第2の情報として伝送できるのはHsync、Vsync、CTRLに限られず、第2の情報として、第1の情報と比べて単位時間あたりの情報量の少ない情報(例えば音声データ、文字情報等)を伝送することもできる。

10

【0140】

また、本実施形態に係る本発明のデジタルデータ伝送システムは、受信ユニットのクロック抽出回路に水晶発振器や外部発振器からのクロック入力が必要としないため、シリアルデジタルデータによる画像サイズが変化しても自動的に追従でき、又プラグ・アンド・プレイにも対応できるという効果を奏する。

【0141】

また、上記実施形態において、シリアルデータのライズエッジに着目した実施形態について説明したが、フォールエッジに着目し、上記実施形態におけるライズエッジとフォールエッジとを相互に置き換えても本発明を実施することができ、同じ効果を奏することができる。

20

【実施例1】

【0142】

本実施例においては、上述の実施形態で説明した本発明のデジタルデータ伝送システムの第1のエンコーダ回路2504aの別の例について説明する。なお、他の構成については、上述の実施形態に記載の構成と同様であるので、ここでは説明を省略する。

【0143】

図30を参照する。図30は、デジタルデータをシリアル伝送した際に生じるデータエラーの一例を示す図である。本発明のようなデータ伝送システムにおいては、一對の配線又はケーブルによって高速にシリアルデジタルデータが伝送されるため、配線長又はケーブル長を長くし長距離伝送を行う場合や、配線又はケーブルの特性が悪い場合は、デジタルデータの波形がなまり、ISI(Intersymbol Interference)によるビットエラーが生じやすくなる。このデータエラーは、図30に示すとおり、暫くの期間Highレベルのデータの伝送が行われた後、Lowレベルのデータの伝送が伝送される場合に顕著に顕れる。図30に示すようなデータの伝送を行う場合、受信ユニット側において、データの波形がしきい値を超えることができず、データエラーが生じてしまう。

30

【0144】

本発明者らは、上述の問題を検討した結果、図31に示すように、同符号のデータを一定数以上連続させないようにすることによって、データ波形のなまりを抑制することができ、データエラーを防止することができることに気づいた。

40

【0145】

そこで、本発明者らは、上述の問題を解決すべく、デジタルデータ伝送において、配線やケーブルの特性に左右されることなく、エラーの発生を抑制したシリアルデジタルデータの長距離伝送を提供することができるエンコード方法を開発した。

【0146】

図32を参照する。図32に、本実施例のデジタルデータ伝送システムの送信側ユニットの第1のエンコーダ回路2504aにおけるエンコード方法のフローチャートを示す。まず、第1の情報D<17:0>が入力される(ステップS1)。次に、特定の評価関数によって、第1の情報D<17:0>をエンコード後シリアル化したシリアルデータの同符号連続数を予測評価する。本実施例において、同符号連続数が11以上となるか否かを評

50

価するものとしている（ステップS2）。

【0147】

ここで、評価を行う判定回路としては、例えば、図34に示す4つのAND回路と1つのNOR回路を組み合わせた回路を用いることができる。この判定回路に基づいて第1の情報のシリアル化後のシリアルデータの予測評価を行い、後述するエンコードモードの切替を行うことにより、シリアルデータの同符号連続数を10以下にすることができる。この判定回路では、第1の情報 $D < 17 : 0 >$ を $D < 8 : 0 >$ 、 $D < 10 : 7 >$ 、および $D < 17 : 9 >$ の3つのブロックに分けて判定を行っている。1シンボルの中央の $D < 10 : 7 >$ の4ビットが全て同符号であれば、 $E_n$ が“High”となり、 $D < 8 : 0 >$ 、および $D < 17 : 9 >$ においてそれぞれ全て“1”であれば、 $E_n$ が“High”となる。中央の $D < 10 : 7 >$ 4ビットで全て同符号であるか否かの判定を行っているので、連続数が11以上と評価された場合に、後述するように2ビットごとに反転させることにより中央の $D < 10 : 7 >$ 4ビットで確実に遷移を生成することができる。なお、本実施例においては、この判定回路と組み合わせ論理回路におけるエンコードモードの切替によって、エンコード後シリアル化したシリアルデータの同符号連続性が11（シリアルデジタルデータ長18（ビット）/2 + 2 = 11）以上とならないようにしたが、判定回路と組み合わせ論理回路のエンコードモードとの組み合わせはこれに限定されるわけではない。例えば、シリアルデジタルデータ長が $m$ ビットであれば、同符号連続数が $(n/2 + 2)$ となるように評価関数および論理回路のエンコードモードを組み合わせる。

10

【0148】

上記説明した評価関数によって、エンコード後シリアル化したシリアルデータの同符号連続数が11以上にならない（10以下になる）と予測評価された場合は、判定信号としてエンコードビット（ $E_n$ ）を“High”とし、 $D < 17 : 0 >$ をそのまま出力するエンコードを行い（ステップS3）、エンコードが完了する（ステップS5）。一方、判定信号としてのエンコードビット（ $E_n$ ）を“Low”とした場合は、パラレル入力 $D < 17 : 0 >$ のうち $D < 15, 14, 11, 10, 7, 6, 3, 2 >$ を反転させたデータを出力データとし（ステップS4）、エンコードが完了する（ステップS6）。その後、シリアル化回路2502は、パラレルデータ $D < 17 : 0 > + E_n$ をシリアル化し、シリアルデジタルデータとして受信ユニット2521に対して送信する。なお、シリアル化回路2502は、エンコード後のデータをシリアル化する際に、シリアルデータの1シンボルの先頭に“High”のスタートビットと、後尾に“Low”のストップビットを付与する。

20

30

【0149】

図33には、本実施例における第1のエンコーダ回路2504aの回路構成図が示されている。判定回路2504a-2には、パラレルな18ビットの入力色データ $D < 17 : 0 >$ がそのまま入力される。また、入力色データ $D < 17 : 0 >$ のうち $D < 17, 16, 13, 12, 9, 8, 5, 4, 1, 0 >$ が各XOR回路1の一方の入力端に入力され、また入力色データ $D < 17 : 0 >$ のうち $D < 15, 14, 11, 10, 7, 6, 3, 2 >$ が各XOR回路2の一方の入力端に入力される。各XOR回路1の他方の入力端には“Low”が、また各XOR回路2の他方の入力端には判定回路の出力である判定信号が入力される。各XOR回路2は、判定回路2504a-2の判定信号が“High”の場合、 $D < 15, 14, 11, 10, 7, 6, 3, 2 >$ をそのまま出力し、判定回路2504a-2の判定信号が“Low”の場合、 $D < 15, 14, 11, 10, 7, 6, 3, 2 >$ をそれぞれ反転して出力する。この判定信号は、データインベール（ $E_n$ ）としても用いられる。そして、各XOR回路1の出力と各XOR回路2の出力とを加え、18ビットの出力データを形成する。以上のように図33に示す第1のエンコーダ回路2504aの回路構成によれば、図32に示すフローチャートのエンコードを実現することができる。

40

【0150】

本実施例のエンコード方法を用いることによって、同符号のデータが一定数以上連続しないシリアルデータを形成することができる。したがって、このエンコード方法を用いてシリアル化したシリアルデータを伝送することにより、受信デジタル信号の判定において、

50

伝送路の特性等に起因するデータ波形のなまりの影響を抑制することができ、結果としてデータエラーレートを改善できるという効果を奏する。

【実施例 2】

【0151】

実施例 2 は、上述の実施形態で説明したデータ伝送システムのエンコード方法の別の例である。なお、他の構成については、上述の実施形態に記載の構成と同様であるので、ここでは説明を省略する。

【0152】

本実施例において、特徴的なことは送信ユニット 2501 が DC バランス回路を備え、シリアルデータの DC バランスをとるようにエンコードを行うということである。この DC バランス回路は、エンコード後のデータの “High” (= 1) の累計と “Low” (= 0) の累計とをカウントし、そのカウント数に応じた信号を評価関数にフィードバックする。このフィードバックは、評価関数にエンコード後のデータの “High” (= 1) の累計と “Low” (= 0) の累計とが同数に収束するように、エンコードモードの選択をさせるものである。このような DC バランス回路の機能を DC バランス処理という。

【0153】

ここで、本実施例のデータ伝送システムにおけるエンコード方法について、図 35 を参照しながら詳細に説明する。図 35 に、本実施例におけるエンコード方法のフローチャートを示す。

【0154】

まず、入力された DEI が “High” であるか “Low” であるかが判断される (ステップ S1)。DEI = “Low” の場合は、第 2 の情報 (HsyncI、VsyncI および CTRLI) をパルス幅変調 (PWM) し、1 シンボル中のライズエッジの数が 1 つしか存在しないデータ構成をとるようにし (ステップ S2)、第 2 の情報のエンコードが終了する (ステップ S3)。

【0155】

一方、ステップ S1 において、DEI = “High” の場合は、第 1 の情報 (入力色データ (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0)) をアクティブ 1 モードでエンコードしシリアル化するとライズエッジの数が 1 となるかどうかを判断し (ステップ S4)、ライズエッジの数が 1 となる場合は、入力色データ (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0) をアクティブ 2 モードでエンコードし (ステップ S5)、第 1 の情報のエンコードを終了する (ステップ S6)。ここで、アクティブ 2 モードでエンコードされたデータが DC バランス回路へ入力され、そのデータ中の “High” の数と “Low” の数の累積がカウントされる (ステップ 10)。一方、入力色データ (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0) をアクティブ 1 モードでエンコードしシリアル化するとライズエッジの数が 1 とならない場合は、ステップ 7 の処理を行う。

【0156】

ステップ 7 においては、入力色データ (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0) をアクティブ 2 モードでエンコードしシリアル化するとライズエッジの数が 1 つとなるかどうかを判断し (ステップ S7)、ライズエッジの数が 1 つとなる場合は、入力色データ (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0) をアクティブ 1 モードでエンコードし (ステップ S8)、第 1 の情報のエンコードを終了する (ステップ S9)。ここで、アクティブ 1 モードでエンコードされたデータが DC バランス回路へ入力され、DC バランス回路は、そのデータ中の “High” の数と “Low” の数の累積をカウントする (ステップ 10)。一方、入力色データ (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0) をアクティブ 2 モードでエンコードしシリアル化するとライズエッジの数が 1 とならない場合は、ステップ S11 の処理を行う。

【0157】

ステップ S11 においては、アクティブ 1 モード又はアクティブ 2 モード何れのモードでエンコードするかを所定の評価関数に基づいて評価し、アクティブ 1 モードでエンコー

10

20

30

40

50

ドする（ステップS8）か、アクティブ2モードでエンコードする（ステップS5）かが選択される。選択されたエンコードモードにより、第1の情報のエンコードが行われ、第1の情報のエンコードが完了する（ステップS9又はステップS6）。ステップS11において、この評価関数には、DCバランス回路からエンコード後のデータ中の“High”の累積数と“Low”の累積数とが入力される。評価関数は、エンコード後のデータの“High”の数の累計と“Low”の数の累計とが同数に収束するように、アクティブ1モードでエンコードするか又はアクティブ2モードでエンコードするかを選択する。なお、ステップS11においては、アクティブ1モード又はアクティブ2モード何れのモードで第1の情報をエンコードした場合であっても、DEI = “Low”である場合のシリアルデータ（ライズエッジの数が1つ）と同一にはならない。

10

**【0158】**

以上、DCバランス回路は、第1の情報のエンコード後のデータの“High”の累積数と“Low”の数の累積数をカウントするものとしたが、DCバランス回路は、第1の情報のエンコード後のデータのみではなく、少なくともスタートビットおよびストップビット並びにEnビットのいずれかを含めて累積数をカウントするものとしても良い。この場合、シリアル化回路において、スタートビットおよびストップビット並びにEnビットを、“High”とするか“Low”とするか予め決められているので、DCバランス回路は、これらの情報を予め記憶しておくことにより、スタートビットおよびストップビット並びにEnビットを含めて累積数をカウントすることができる。さらにDCバランス回路に第2の情報のエンコード後のデータを入力させて、第2の情報のエンコード後のデータ並びに第2の情報の1シンボルのスタートビット及びストップビット等も含めて“High”の累積数と“Low”の数の累積数をカウントし、シリアル伝送されるシリアルデータ2515全体のDCバランスをとるようにすることも好ましい。

20

**【0159】**

以上のようなエンコード処理を行うことによって、DEI = “Low”の場合と、DEI = “High”の場合におけるエンコードされたデータからなるシリアルデータは、ライズエッジの数が1つであるか（DEI = “Low”の場合）又はライズエッジの数が2つ以上であるか（DEI = “High”の場合）が明確に区別される。

**【0160】**

また、以上のような処理を行うことにより、パラレルで入力される第1の情報である入力色データ2511及び第2の情報である入力同期データ2512がエンコードされた後、シリアル化され、シリアルデータ2515として送信ユニット2501から受信ユニット2521へ伝送される。本実施例によれば、シリアルデータ2515の“High”の累積数と“Low”の累積数とが同数に収束するようにDCバランス処理がされているから、シリアルデータ2515のDCバランスを保持することができる。

30

**【0161】**

受信ユニット2521において、入力されたシリアルデータ2515は、パラレル化回路2522によってパラレル化され、デコード回路2524へ入力される。受信ユニット2521の動作については、上述の実施形態と同様であるので、ここでの説明は省略する。

**【0162】**

以上説明したように、本実施例に係るデジタルデータ伝送システムにおけるエンコード方法及びデコード方法を用いることによって、色信号と同期信号を明確に区別しながら、シリアル伝送することができ、受信側におけるクロックの抽出を確実に行うことができる。

40

**【0163】**

また、本実施例に係るデータ伝送システムは、送信ユニットから受信ユニットへのシリアルデジタルデータを一对の配線（光ファイバを含む）で行うことができる。そして、従来送信ユニットと受信ユニットとの間で行われていたトレーニング信号及びアクノレッジ信号を利用したシェイクハンド動作を必要としないから、簡単な構成でデータ伝送システムを構成することができるという優れた効果を奏する。特に、光ファイバ伝送に应用する場合は、トレーニング信号、アクノレッジ信号といったシェイクハンド時に必要な双方向通

50

信システムを構成する必要がないのでシステムを大幅に低コスト化することができる。

【0164】

また、本実施例に係る本発明のデジタルデータ伝送システムは、ブランキング期間（通常、Hsync、Vsync）に周波数の低いデータ（音声データ等）を送信することができる。

【0165】

また、本実施例に係るデータ伝送システムは、受信ユニットのクロック抽出回路に水晶発振器や外部発振器からのクロック入力を必要とせず、シリアルデジタルデータからクロックを確実に抽出することができる。このため、データの異なる伝送レート、例えば、画像データにおける異なる画像サイズに対応して、データの異なる伝送レートからもそのデータからクロックを確実に抽出することができ、プラグ・アンド・プレイ等にも対応できるという効果を奏する。

10

【実施例3】

【0166】

実施例3は、上述の実施形態のデータ伝送システムにおけるクロック復元位相同期回路（クロック抽出回路）の別の例である。

【0167】

図36を参照する。図36は、本発明の受信回路であるクロック復元位相同期回路（クロック抽出回路）2600の回路構成を示すハードウェアブロック図である。本実施例のクロック抽出回路2600は、上述の実施形態において説明したクロック抽出回路2523において、更に微調周波数比較回路80を備えるものである。なお、上述の実施形態において説明した構成要素と同じ構成要素については、ここでは説明を省略する。

20

【0168】

本実施例のクロック復元位相同期回路2600は、周波数比較回路50により電圧制御発振器30の周波数調整（周波数粗調整）が行われた後、位相比較回路10による電圧制御発振器30の周波数調整（位相調整）が行われる前に、微調周波数比較回路80によって、電圧制御発振器30のより細かな周波数調整（周波数微調整）を行うこの微調周波数比較回路80を備えることにより、電圧制御発振回路30の発振周波数の微調整を行うことができ、周波数比較回路50における発振周波数の調整後、そのまま位相比較回路10による発振周波数の調整を行う場合と比較して、発振周波数の収束時間を短くすることができる。

30

【0169】

図37を参照する。図37は、本実施例における微調周波数比較回路80の回路ブロック図を示す。微調周波数比較回路80は、エッジ抽出回路80a、Start/Stop推定回路80b、周波数検出回路80cを有している。

【0170】

サンブラ（サンプリング回路）40は、電圧制御発振回路30で生成されたサンプリングパルスを用いて、送信ユニットから送信されてくるシリアルデータ300をサンプリングし、パラレルデータ301（Deserialized Data）を生成する。図37に示すとおり、パラレルデータ301は、まず、微調周波数比較回路80のエッジ抽出回路80aに入力される。エッジ抽出回路80aは、入力されたパラレルデータ301に基づき、エッジ・フラグ（Edge Flag）80dを生成する。ここでは、ライズエッジが存在するビット間のエッジ・フラグ（Edge Flag）80dにフラグが立つ（Highとなる）。そして、エッジ抽出回路80は、エッジ・フラグ（Edge Flag）80dをStart/Stop推定回路80bへ出力する。Start/Stop推定回路80bは、入力されたエッジ・フラグ（Edge Flag）80dに基づき、スタート/ストップ・フラグ（Start/Stop Flag）80eを生成し、周波数検出回路80cに出力する。周波数検出回路80cは、入力されたスタート/ストップ・フラグ（Start/Stop Flag）80eに基づき、電圧制御発振回路30の発振信号の周波数と、1シンボル中のシリアルデータのライズエッジの周期との周波数のず

40

50

れを検出し、この周波数のずれに応じた制御信号をチャージポンプ60b及びループフィルタ20を介して電圧制御発振回路30へ出力する。

【0171】

ここで、図38に、本実施例の微調周波数比較回路80のエッジ抽出回路80aが、エッジ・フラグ(Edge Flag)80dを生成する様子をエッジ抽出回路80aの回路構成とともに示す。図38は、シリアルデータ300とパラレルデータ301(Deserialized Data<0>~<20>)との対応関係を示す。なお、前の1シンボルのシリアルデータ300をパラレル化した最終のデータ(Previous Deserialized Data<20>)も、現在の1シンボルのシリアルデータ300をパラレル化したパラレルデータ301(Deserialized Data<0>~<20>)とともにエッジ抽出回路80aに入力される。

10

【0172】

図38に示すとおり、サンブラ40によってサンプリングされたパラレルデータ301は、エッジ抽出回路80aを構成する各AND回路に入力される。エッジ抽出回路80aは、入力されたパラレルデータ301に基づき、エッジ・フラグ(Edge Flag<0>~<20>)80dを生成する。このエッジ・フラグ(Edge Flag<0>~<20>)80dの中には、スタートビット(Start)及びストップビット(Stop)の境界に対応する、データ“High”を有するスタート/ストップ・フラグ(Start/Stop Flag)が存在する。

【0173】

生成されたエッジ・フラグ(Edge Flag<0>~<20>)80dは、Start/Stop推定回路80bに入力される。図39には、本実施例におけるStart/Stop推定回路80bの回路構成が示されている。Start/Stop推定回路80bは、AND回路80b-1、フリップフロップ回路80b-2及びOR回路80b-3を有している。Start/Stop推定回路80bは、エッジ・フラグ(Edge Flag<0>~<20>)80dの中からスタート/ストップ・フラグ(Start/Stop Flag)に相当するものを推定する。

20

【0174】

Start/Stop推定回路80bにおいて、電圧制御発振回路30の発振信号の周波数とシリアルデータ300の周波数が同じならば、スタート/ストップ・フラグ(Start/Stop Flag)の位置には常にエッジ・フラグが立つことになる。また、両者の周波数が多少ずれていれば、スタート/ストップ・フラグ(Start/Stop Flag)の位置は少しずつずれることになる。そこで、前回(1シンボル前)の推定結果の前後数ビットを現在の1シンボルのうちスタート/ストップ・フラグ(Start/Stop Flag)が存在しそうな位置としてマスクとし、現在のエッジ・フラグ(Edge Flag<0>~<20>)と論理積(AND)をとることにより、現在のスタート/ストップ・フラグ(Start/Stop Flag)の位置、即ちスタート/ストップ・フラグ(Start/Stop Flag<0>~<20>)の何れのフラグが立っているかを推定できる。

30

【0175】

ここで、図40を参照し、周波数検出回路80cの回路構成及びその動作について説明する。Start/Stop推定回路80bによって生成されたスタート/ストップ・フラグ(Start/Stop Flag<0>~<20>)は、周波数検出回路80cに入力される。周波数検出回路80cは、フリップフロップ回路80c-1、並びにAND回路([0,0]~[20,20])がマトリクス状に構成された回路80c-2、80c-3及び80c-4を有している。

40

【0176】

周波数検出回路80cは、入力されたスタート/ストップ・フラグ(Start/Stop Flag<0>~<20>)に基づき、電圧制御発振回路30の発振信号の周波数とシリアルデータ300の周波数との差を検出する。周波数検出回路80cは、フリップフ

50

ロップ回路80c-1によって保持された1シンボル前のパラレルデータ301によって生成されたスタート/ストップ・フラグ(Start/Stop Flag<0>~<20>)と、現在の1シンボルのパラレルデータ301によって生成されたスタート/ストップ・フラグ(Start/Stop Flag<0>~<20>)とをAND回路80c-2、80c-3及び80c-4によって比較し、フラグが立っているスタート/ストップ・フラグの位置を検出し、フラグが立っているスタート/ストップ・フラグの移動により両者の周波数差を検出する構成となっている。具体的には、AND回路80c-2によってフラグの位置が検出される場合は、(a)フラグがシンボルの後方に移動していることになるので、電圧制御発振回路30の発振信号の周波数がシリアルデータ300の周波数よりも高いことになり、電圧制御発振回路30に対して発振周波数を低くするよう  
10 制御信号を送信する。また、AND回路80c-3によってフラグの位置が検出される場合は、(b)フラグの位置が一致していることになるので、電圧制御発振回路30の発振信号の周波数がシリアルデータ300の周波数と一致していることになり、制御回路70に位相比較要求信号(FFQDEN)を出力し、制御回路70はこのFFQDENを受けて、位相比較回路10に位相比較イネーブル信号(PHDEN)を出力し位相比較ループを機能させる。また、AND回路80c-4によってフラグの位置が検出される場合は、(c)フラグがシンボルの前方に移動していることになるので、電圧制御発振回路30の発振信号の周波数がシリアルデータ300の周波数よりも低いことになり、電圧制御発振回路30に対して発振周波数を高くするよう  
20 制御信号を送信する。ここで周波数検出回路80cが出力する制御信号は、図37に示すように、周波数検出回路80cのfastとslowの出力として、(a)電圧制御発振回路30の発振信号の周波数がシリアルデータ300の周波数よりも高い場合、fastを“Low”とし、slowを“High”とし、(b)電圧制御発振回路30の発振信号の周波数がシリアルデータ300の周波数と一致している場合、fastを“Low”とし、slowを“Low”とし、(c)電圧制御発振回路30の発振信号の周波数がシリアルデータ300の周波数よりも低い場合、fastを“High”とし、slowを“Low”とする信号である。

#### 【0177】

このサンプラ40、微調周波数比較回路80、チャージポンプ60b、ループフィルタ20、電圧制御発振回路30の動作ループを繰り返すことにより、電圧制御発振回路30の出力信号の周波数微調整を行うことができる。そして、電圧制御発振回路30の発振周波  
30 数が所定のキャプチャレンジに入った後、位相比較回路10による電圧制御発振回路30の発振周波数の位相調整が行われる。

#### 【0178】

以上説明したとおり、本実施例のクロック抽出回路によれば、電圧制御発振回路30の出力信号の周波数微調整を行うことができ、周波数比較回路による電圧制御発振回路30の発振周波数の周波数粗調整後、そのまま位相比較回路10による電圧制御発振回路30の発振周波数の位相調整を行う場合と比較して、電圧制御発振回路30の発振周波数の収束時間を短くすることができる。またこれまでに説明した機能実現手段は本発明を限定する  
40 ものではなく、当該機能を実現できる手段であれば、どのような回路または装置であっても良く、機能の一部をソフトウェアで実現することも可能である。

#### 【実施例4】

#### 【0179】

実施例4は、上述の実施例2のDCバランス処理を取り入れた本発明のデータ伝送システムのエンコーダ方法の別の例である。なお、他の構成については、上述の実施形態及び実施例2に記載の構成と同様であるので、ここでは説明を省略する。

#### 【0180】

図41に本実施例のデータ伝送システムの送信ユニット3000を示す。送信ユニット3000は、CRD検出回路3001を備えている。ここで、CRD(Current Running Disparity)とは、送信回路が動き出してからその時点までのエンコード後のデータの1(“High”)と0(“Low”)の数(累積数)の差を示す  
50



値である。CRD検出回路3001は、第1の入力情報のエンコード後のデータおよび第2の入力情報のエンコード後のデータに基づいて、このCRDを演算し、演算されたCRDの値に応じてCRDの絶対値が小さくなるように第1のエンコーダ回路2504a及び第2のエンコーダ回路2504bのエンコードを制御するCDR信号を出力する。以下、第1の入力情報2511として $8 \times 3 = 24$ ビット、第2の入力情報2512として3ビットを入力してシリアルデータ化する場合について説明する。

【0181】

図42にCRD検出回路3001の回路構成を示す。CRD検出回路3001は、Disparity検出回路3001a、加算器3001b及びフリップフロップ3001cから構成される。Disparity検出回路3001aは、スイッチ回路2505から出力された30ビットのデータ中の1のデータの数から0のデータの数を差し引いた値を出力する。フリップフロップ3001cで保持しているCRDの値とDisparity検出回路3001aの出力の値を加算器3001bで加算した値をクロック毎にフリップフロップ3001cでラッチすることでCRDは更新されていく。

10

【0182】

次に図43を参照する。図43には、本実施例における第1のエンコーダ回路2504aの別の例を示す。図43に示す第1のエンコーダ回路2504a'は、第1乃至第3の8B/10Bエンコーダ回路2504a'-1、2504a'-2及び2504a'-3と第1及び第2のDisparity検出回路2504a'-4及び2504a'-5とから構成される。

20

【0183】

8B/10Bエンコーダ回路2504a'-1、2504a'-2及び2504a'-3は、それぞれ入力されるDisparityの符号が+の場合は1の数よりも0の数が多くなるように、Disparityの符号が-の場合は0のデータのデータ数よりも1のデータのデータ数が多くなるように8bitの入力を10bitに変換する。なお、出力の10bitには必ずライズエッジがあるように変換する。

【0184】

第1の8B/10Bエンコーダ回路2504a'-1は $D < 23 : 16 >$ を取得し、CRDの符号が+の場合は出力の10bitの1のデータの数が0の数よりも小さくなるように、CRDの符号が-の場合は0のデータの数よりも1のデータの数が多くなるように $D < 23 : 16 >$ を $ENC D < 29 : 20 >$ に変換して出力する。

30

【0185】

第1のDisparity検出回路2504a'-4は、 $ENC D < 29 : 20 >$ のDisparityを検出する。加算器2504a'-6は、CRDと第1のDisparity検出回路2504a'-4の出力を加算してCRD1として出力する。

【0186】

第2の8B/10Bエンコーダ回路2504a'-2は $D < 15 : 8 >$ を取得し、CRD1の符号が+の場合は出力の10bitの1のデータの数が0のデータの数よりも小さくなるように、CRDの符号が-の場合は0のデータの数よりも1のデータの数が多くなるように $D < 15 : 8 >$ を $ENC D < 19 : 10 >$ に変換し、出力する。

40

【0187】

第2のDisparity検出回路2504a'-5は $ENC D < 19 : 10 >$ のDisparityを検出する。加算器2504a'-7はCRD1と第2のDisparity検出回路2504a'-5の出力を加算してCRD2として出力する。

【0188】

第3の8B/10Bエンコーダ回路2504a'-3は $D < 7 : 0 >$ を取得し、CRD2の符号に応じて上記と同様に $ENC D < 9 : 0 >$ に変換し出力する。

【0189】

以上により、CRDの絶対値が小さくなるように第1のエンコーダ回路2504a'は入力の24bitをエンコードする。

50

## 【 0 1 9 0 】

第2のエンコーダ回路2504bは1種類の入力データに対し、シリアル化したときにパルス幅（“High”=1のビットの連続数）が異なる2種類のエンコードを行うことができる構成としている。第2のエンコーダ回路2504bは、CRDの符号が+の場合はパルス幅が小さくなるように、すなわち1のデータの数が0のデータの数よりも少なくなるように、CRDが-の場合はパルス幅が大きくなるように第2の入力情報をエンコードする。第2のエンコーダ回路2504bの入出力の関係は、例えば、以下の表1のようにする。

## 【 0 1 9 1 】

[表1]

10

入力	CRD	第2のエンコーダ出力
000	-	11_1111_1111_1111_1100_0000_0000_0000
	+	11_1111_1111_1111_0000_0000_0000_0000
001	-	11_1111_1111_1111_1110_0000_0000_0000
	+	11_1111_1111_1110_0000_0000_0000_0000
010	-	11_1111_1111_1111_1111_0000_0000_0000
	+	11_1111_1111_1100_0000_0000_0000_0000
011	-	11_1111_1111_1111_1111_1000_0000_0000
	+	11_1111_1111_1000_0000_0000_0000_0000
100	-	11_1111_1111_1111_1111_1100_0000_0000
	+	11_1111_1111_0000_0000_0000_0000_0000
101	-	11_1111_1111_1111_1111_1110_0000_0000
	+	11_1111_1110_0000_0000_0000_0000_0000
110	-	11_1111_1111_1111_1111_1111_0000_0000
	+	11_1111_1100_0000_0000_0000_0000_0000
111	-	11_1111_1111_1111_1111_1111_1000_0000
	+	11_1111_1000_0000_0000_0000_0000_0000

20

30

## 【 0 1 9 2 】

このようなエンコードを行った場合のシリアル化後のシリアルデータの波形例1から3を図68及び図69にそれぞれ示す。

## 【 0 1 9 3 】

図68の波形例1は、DEI（切り替え信号）=1（High）の場合に、第1の情報が8B/10Bのエンコード後の10bitの3つのブロックにスタート/ストップビットがその先頭と後尾についた形であり、合計32ビットのシンボルである。DEI（切り替え信号）=0（Low）の場合には、第2の情報が、上記DCバランスをとったエンコードにより32ビット周期のパルス幅変調信号となる。

40

## 【 0 1 9 4 】

図69（A）の波形例2は、波形例1におけるDEI（切り替え信号）=1の場合のスタート/ストップビットを省略した波形である。この場合、第1の情報は30ビットのシンボルとなる。DEI（切り替え信号）=0の場合は第2の情報を30ビット周期のパルス幅変調信号となる。

## 【 0 1 9 5 】

50

図 6 9 ( B ) の波形例 3 は、波形例 2 の変形例で、D E I ( 切り替え信号戸 0 の場合に 1 0 ビット周期のパルス幅変調を 3 つ連ねた波形である。この場合も D C バランスがとれている。

【 0 1 9 6 】

以上のようなシリアルデータ波形例は、実施形態において説明したスイッチ回路 2 5 0 5 の入力端子とエンコーダの出力端子との接続関係を変更することにより、それぞれ実現することができる。

【 0 1 9 7 】

以上のように、本実施例の送信ユニット 3 0 0 0 によれば、第 1 の入力情報を C R D の絶対値が小さくなるように、すなわち D C バランスをとるようにエンコードすることができる。また、第 2 の入力情報を D C バランスをとるようなパルス幅変調信号とするエンコードをすることができる。

10

【 0 1 9 8 】

本実施例の送信ユニットの出力を受信する受信回路において、第 1 のデコーダ回路は上記本実施例の第 1 のエンコーダ回路のエンコードに対応したデコードを行い、第 2 のデコーダ回路は上記本実施例の第 2 のエンコーダ回路のエンコードに対応したデコードを行うことにより、それぞれ第 1 の入力情報及び第 2 の入力情報を復元する。

【 実施例 5 】

【 0 1 9 9 】

実施例 5 は、1 シンボルの中に D E I データそのまま埋め込むデータ構成とした実施例である。本実施例に係るデジタルデータ送信回路および受信回路並びにデジタルデータ伝送方法およびそのシステムの概念を図 4 4 ( A ) および ( B ) を用いて説明する。図 4 4 ( A ) および ( B ) には、本発明のデジタルデータ伝送方法およびそのシステムにおいて、パラレルで入力された入力色デジタルデータ ( R I 5 ~ R I 0、G I 5 ~ G I 0、B I 5 ~ B I 0 : 入力色デジタルデータ群又は主情報と言うこともある。 )、入力同期データ ( H s y n c I ( 入力水平同期データ )、V s y n c I ( 入力垂直同期データ )、C T R L I ( 入力コントロール ) : 同期データ群又は従情報と言うこともある。 )、D E I ( 入力選択信号 ( 入力データネーブル ) がシリアル化されたシリアルデータ 3 0 0 の信号波形の例が示されている。なお、ここでは、シリアルデータを構成する色データについては、R G B 各色のデータがそれぞれ 6 ビット ( R I 5 ~ R I 0、G I 5 ~ G I 0、B I 5 ~ B I 0 ) である例を示しているが、本発明がこれに限定されるわけではないことは言うまでもない。

20

30

【 0 2 0 0 】

まず、D E I ( データイネーブル ) = “ H i g h ” 即ちアクティブ期間においては、シリアルデータ 3 0 0 の 1 シンボルは、スタートビット ( S t a r t )、データイネーブル反転信号 ( D E I n )、色データ ( R I 5、R I 4、・・・、B I 2、B I 1、B I 0 )、およびストップビット ( S t o p ) の順でシリアル化されたデータによって構成されている。

【 0 2 0 1 】

一方、D E I ( データイネーブル ) = “ L o w ” 即ちブランキング期間においては、シリアルデータ 3 0 0 の 1 シンボルは、スタートビット ( S t a r t )、データイネーブル反転信号 ( D E I n )、エンコードされた H s y n c I、V s y n c I および C T R L I、およびストップビット ( S t o p ) の順でシリアル化されたデータによって構成されている。D E I = “ L o w ”、即ちブランキング期間においては、H s y n c I、V s y n c I および C T R L I をエンコードした後シリアル化されるようにし、シリアルデータ 3 0 0 における 1 シンボル中のライズエッジが 1 つしか存在しないデータ構成をとるようにする。具体的には、H s y n c I、V s y n c I および C T R L I はエンコードされ、そしてエンコード回路により M S B が L S B よりも高いレベルになるよう出力され、シリアル化回路により M S B から L S B に順次シリアル化されて出力される。従って、このデータは、D E I が L o w の場合は、1 シンボルにおいてシリアル化回路の出力は時間的に

40

50

早い方が高いレベルになっているため、シンボルの切り替わり時のみライズエッジが生じることになる。

【0202】

このような構成をとることによって、ブランキング期間に送信される同期データを含むシリアルデータからクロックを復元する際に、エラーが発生する可能性を十分に低くすることができる。

【0203】

本発明のデジタルデータ送信回路および受信回路並びにデジタルデータ伝送方法およびそのシステムの一実施形態を図45乃至図50を参照しつつ説明する。

【0204】

まず、図45を参照する。図45には、本発明のデジタルデータ送信回路および受信回路、並びにそれらを用いたデジタルデータ伝送方法およびそのシステムの一実施形態が示されている。

【0205】

送信ユニット(送信回路)401は、入力色データ411(RI5~RI0、GI5~GI0、BI5~BI0)、および入力同期データ412(HsyncI(入力水平同期データ)、VsyncI(入力垂直同期データ)、CTRLI(入力コントロール)、DEI(入力選択信号(入力データネーブル)))をシリアル化したシリアルデータ415を受信ユニット421に送信する。

【0206】

受信ユニット(受信回路)421は、送信ユニット401から送信されるシリアルデータ415を受信し、パラレル化して、出力色データ431(RO5~RO0、GO5~GO0、BO5~BO0)、出力同期データ432(HsyncO(出力水平同期データ)、VsyncO(出力垂直同期データ)、CTRL0(出力コントロール)、DEO(出力選択信号(出力データネーブル)))および出力クロック434に復元して出力する。

【0207】

送信ユニット401は、シリアル化回路402(Serializer)、位相同期回路403(PLL回路:Phase Locked Loop回路)、エンコーダ回路404(Encoder)、スイッチ回路405および出力バッファ406(Output Buffer)を有している。

【0208】

また、受信機ユニット421は、パラレル化回路422(De-serializer)、クロック抽出回路(CDRPLL回路:Clock Data Recovery Phase Locked Loop回路)423、デコーダ回路424(Decoder)、スイッチ回路425および426並びに入力バッファ427(Input Buffer)を有している。なお、出力バッファ406および入力バッファ427は必要に応じて設ければよい。また、本実施例においては、入力色データ411については、RGB各色のデータが、それぞれ6ビットである例を示しているが、本発明がこれに限定されるわけではないことは言うまでもない。また、デコーダ回路424(Decoder)、スイッチ回路425および426を併せて情報分離回路と言うこともある。

【0209】

送信ユニット401において、入力色データ411はスイッチ回路405へ入力される。入力同期データ412のうちDEIを除くHSYNCI、VSYNCI、CTRLIがエンコーダ回路404に入力され、エンコーダ回路404によってエンコードされる。スイッチ回路405は、DEIを入力選択信号として使用し、DEIがHighであれば入力色データ411を選択し、Lowの場合はエンコーダ回路404の出力を選択してシリアル化回路402へ出力する。入力クロック414は位相同期回路403で多相クロックに変換され、シリアル化回路402はこの多相クロックを用いてスイッチ回路405の出力とDEIの反転信号をシリアル化し、出力バッファ406を通して出力する。

【0210】

10

20

30

40

50

送信ユニット401においては、H S Y N C I、V S Y N C IおよびC T R L Iはエンコードされ、シリアル化した際に1シンボル内で時間的に先に来る信号をM S Bとすると、エンコード回路によりM S BがL S Bよりも高いレベルになるよう出力され、シリアル化回路402によりM S BからL S Bに順次シリアル化されて出力される。従って、このデータは、D E IがL o wの場合は、1シンボルにおいてシリアル化回路の出力は時間的に早い方が高いレベルになっているため、シンボルの切り替わり時のみライズエッジが生じることになる。

#### 【0211】

受信ユニット421においては、まず、クロック抽出回路423が、シリアルデータ415から出力クロック(C L K O)434、および多相クロックによりシリアルデータ415がパラレル化回路422でパラレル信号に変換される。パラレル信号の中にはD E I信号の反転信号が含まれている。D E Iを除くパラレル信号がデコード回路424に入力され、デコードされる。スイッチ回路425はD E IがH i g hの時にアクティブになり、パラレル信号を出力色データ(R O 5 ~ R O 0、G O 5 ~ G O 0、B O 5 ~ B O 0)として出力し、D E IがL o wの時はL o wレベルを出力色データとして出力する。スイッチ426はD E IがL o wの時にアクティブになりデコード回路424の出力を出力同期データとして出力し、D E IがH i g hの時は出力を保持する。

10

#### 【0212】

次に図46を参照する。図46(A)および(B)には、パラレルで入力された各6ビットの入力色データ(R I 5 ~ R I 0、G I 5 ~ G I 0、B I 5 ~ B I 0)、入力同期データ(H s y n c I(入力水平同期データ)、V s y n c I(入力垂直同期データ)、C T R L I(入力コントロール)、D E I(入力選択信号(入力データネーブル)))が、本実施例の受信側ユニットにおいてシリアル化されたシリアルデータ415の信号波形の例が示されている。

20

#### 【0213】

まず、D E I(データネーブル) = " H i g h " 即ちアクティブ期間においては、シリアルデータ415の1シンボルは、スタートビット( S t a r t )、データネーブル反転信号( D E I n )、色データ( R I 5、R I 4、・・・、B I 2、B I 1、B I 0 )、およびストップビット( S t o p )の順でシリアル化されたデータによって構成されている。なお、本実施例においては、1シンボルが21ビットである。

30

#### 【0214】

一方、D E I(データネーブル) = " L o w "、即ちブランキング期間においては、シリアルデータ415の1シンボルは、スタートビット( S t a r t )、データネーブル反転信号( D E I n )、データネーブルガードビット( D E g r d )、エンコードされたH s y n c I、V s y n c IおよびC T R L I、ストップガードビット( S t o p g r d )、およびストップビット( S t o p )の順でシリアル化されたデータによって構成されている。D E I = " L o w "、即ちブランキング期間においては、H s y n c I、V s y n c IおよびC T R L Iがエンコードされた後シリアル化されるようにし、シリアルデータ415における1シンボル中のライズエッジが1つしか存在しないデータ構成をとるようにしている。なお、D E I = " L o w "のときは、入力色データを構成するデジタルデータのパルス幅のn倍の周期で、入力同期データがパルス幅変調されることになる。

40

#### 【0215】

本実施例のように、1シンボル中のライズエッジが1つしか存在しないデータ構成をとることによって、ブランキング期間に送信される同期データを含むシリアルデータからクロックを復元する際に、エラーが発生する可能性を十分に低くすることができる。

#### 【0216】

また、図46に示す本実施例においては、データネーブル反転信号( D E I n )に続いてデータネーブルガードビット( D E g r d )を設けている。このデータネーブル

50

ガードビット ( D E g r d ) を設けることにより、シリアルデータ 4 1 5 からパラレルデータおよびクロックを復元する際の復元ポイントとなるデータイネーブル反転信号 ( D E I n ) がより高精度に抽出されることになるので、同期データおよびクロックのサンプリングエラーが発生する可能性を低くすることができる。

【 0 2 1 7 】

図 4 7 を参照する。図 4 7 には、本実施例における送信ユニット 4 0 1 の構成が示されている。エンコーダ回路 4 0 4 は、4 つの N A N D 回路、4 つの N O R 回路および 3 つのインバータ回路を有している。スイッチ回路 4 0 5 は、入力色データ 4 1 1 ( R I 5 ~ R I 0、G I 5 ~ G I 0、B I 5 ~ B I 0 ) に対応した数 ( 1 8 個 ) のマルチプレクサ 4 0 5 1 およびインバータ 4 0 5 2 を有している。なお、本実施例においては、エンコーダ回路 4 0 4 からの出力が 7 ビットであり、マルチプレクサ 4 0 5 1 のうち 2 つに “ H i g h ” 信号が入力され、また 2 つに “ L o w ” 信号が入力されるようにし、ストップガードビットが形成されるようにしている。ストップガードビットを設けないようにする例は、図 5 1 に示されている。

10

【 0 2 1 8 】

エンコーダ回路 4 0 4 には、H s y n c、V s y n c および C T R L I が入力される。入力された H s y n c、V s y n c および C T R L I は、エンコーダ回路 4 0 4 によってエンコードされ、エンコードされた 7 ビットのデータがスイッチ回路 4 0 5 へ出力される。

【 0 2 1 9 】

ここで、図 4 8 ( A ) および ( B ) を参照し、エンコーダ回路 4 0 4 の動作について説明する。図 4 8 ( A ) には、本実施例のエンコーダ回路 4 0 4 の回路構成およびその 7 ビットの出力 ( S Y N C [ 0 ] ~ S Y N C [ 6 ] ) が示されている。また、図 4 8 ( B ) には、本実施例のエンコーダ回路 4 0 4 に入力される H s y n c、V s y n c および C T R L I とその出力データ ( S Y N C [ 0 ] ~ S Y N C [ 6 ] ) のデータテーブルが示されている。

20

【 0 2 2 0 】

図 4 8 ( B ) のデータテーブルに示すとおり、エンコーダ回路 4 0 4 からの出力データ ( S Y N C [ 0 ] ~ S Y N C [ 6 ] ) は、入力データ H s y n c、V s y n c および C T R L I を入力したときに、遷移の数が制限された形となっている。言い換えると、最上位ビット ( M S B ) を H s y n c I、最下位ビット ( L S B ) を C T R L I とする 3 ビットのデータ { H s y n c、V s y n c、C T R L I } を 7 ビットのデータ { S Y N C [ 0 ] ( 最上位ビット ) ~ S Y N C [ 6 ] ( 最下位ビット ) } にエンコードする際に、当該 3 ビットのデータが 1 増す毎に、当該 7 ビットのデータの最上位ビットから順に “ H i g h ” データが出力され続けるようにエンコードする。言い換えると、7 ビットのデータ { S Y N C [ 0 ] ( 最上位ビット ) ~ S Y N C [ 6 ] ( 最下位ビット ) } において常に上位ビットの値が下位ビットの値以上であるデータが出力されるようにエンコードする。このような出力形態は一般的には “ T h e r m o - C o d e ( サーマコード ) ” と言われており、このようなエンコードは “ T h e r m o - C o d e ( サーマコード ) ” 型のエンコード、また、このようなエンコーダは “ T h e r m o - C o d e ” 型のエンコーダと言われている。

30

40

【 0 2 2 1 】

本発明のデジタルデータ伝送方法およびそのシステムにおけるエンコーダ回路 4 0 4 は、サーモコード型の出力形態をとることが必要とされる。なお、エンコーダ回路 4 0 4 の回路構成については、図 4 8 ( A ) に示すものに限定されるわけではなく、サーモコード型の出力形態をとる回路構成であれば如何なる回路構成をとってもよい。かくして、1 シンボル内にライズエッジが 1 つのみ生成される。

【 0 2 2 2 】

ここで、再度図 4 7 を参照する。エンコーダ回路 4 0 4 からの出力データ ( S Y N C [ 0 ] ~ S Y N C [ 6 ] ) および D E I ( 入力データイネーブル ) は、スイッチ回路 4 0 5 へ入力される。本実施例においては、スイッチ回路 4 0 5 を構成する、並列接続のマルチプ

50

レクサ4051には、入力色データ411(RI5~RI0、GI5~GI0、BI5~BI0)が順番に入力されるようになっており、入力色データ411のうちRI5およびRI4が入力されるスイッチ4051の他方の入力には“High”が、BI1およびBI0が入力されるスイッチ4051の他方の入力には“Low”が入力される。また、DEIは、入力色データ411のうちRI5が入力されるスイッチ4051の他方の入力に入力される。スイッチ回路405は、入力されるDEI、入力色データ411およびエンコーダ回路404からの出力データ(SYNC[0]~SYNC[6])に基づき、シリアル回路402にデータ(SR1~SR19)を出力する。

#### 【0223】

位相同期回路403は、入力クロック414に基づき位相の異なる複数のクロックを形成し、シリアル化回路へ出力する。

10

#### 【0224】

シリアル化回路402は、入力されるデータ(SR1~SR19)を位相同期回路403から入力される位相の異なる複数のクロックに基づきシリアル化し、シリアルデータ415を形成し、出力バッファ406を通して受信ユニット421へ出力する。

#### 【0225】

図49には、本実施例の受信ユニット421の構成が示されている。送信ユニット401から出力されたシリアルデータ415は、入力バッファ427を通してパラレル化回路422およびクロック抽出回路423へ入力される。クロック抽出回路423は、シリアルデータ415からクロックを抽出し、出力クロック434および位相の異なる複数のクロックを復元する。パラレル化回路422は、クロック抽出回路423によって復元された位相の異なる複数のクロックに基づきシリアルデータ415をパラレル化し、出力データ(DSR0~DSR20)をデコーダ回路424並びにスイッチ回路425および426へ出力する。デコーダ回路424には、出力データ(DSR0~DSR20)のうち同期データに対応するデータ(本実施例においては、DSR4、DSR6、DSR8、DSR10、DSR12、DSR14、DSR16)が入力される。デコーダ回路424は、入力されたデータをデコードし、出力同期データ432(HsyncO、VsyncO、CTRL0)に対応するデータをスイッチ回路426へ出力する。

20

#### 【0226】

ここで、本実施例のデコーダ回路424の回路構成を図50に示す。本実施例のデコーダ回路424は、12個のNOR回路、1つのNAND回路および2つのインバータ回路を有している。なお、デコーダ回路は、“Thermo-code”化された同期信号をデコードする回路構成であればよく、図50に示す回路構成に限定されるわけではない。

30

#### 【0227】

再度図49を参照する。スイッチ回路425および426は、パラレル化回路422およびデコーダ回路424から入力されるデータを、クロック抽出回路423から入力される位相の異なる複数のクロックに基づき選択し、フリップフロップ回路428へ出力する。フリップフロップ回路428は、22個のフリップフロップ4271から成り、出力色データ(RO5~RO0、GO5~GO0、BO5~BO0)、出力同期データ432(HsyncO、VsyncO、CTRL0)、およびEDOを出力する。

40

#### 【0228】

このようにして、パラレルに入力される入力色データ411、入力同期データ412および入力クロック414は、送信ユニット401によってシリアル化された後送信され、受信ユニットでパラレル化されて出力色データ431、出力同期データ432および出力クロック434に復元されて出力される。

#### 【0229】

本実施例によると、ブランキング期間中において、シリアルデータの1シンボルあたりのライズエッジの数が1に固定されるため、シリアルデータからクロックを抽出する際の波形の劣化によるエラーの低減を図ることができるので、安定したデータの伝送を実現することができる。

50

## 【0230】

なお、図52に示すように、送信ユニット401が第1のエンコーダ回路404a及び第2のエンコーダ回路404bを有するようにし、入力色データ411を第1のエンコーダ回路404aに、入力同期データ412を第2のエンコーダ回路404bへ入力するようにしてもよい。本実施例においては、入力色データ411は第1のエンコーダ回路404aでエンコードされ、スイッチ回路405へ入力されていると捉えても良い。

## 【実施例6】

## 【0231】

実施例6は、入力色データが6ビットであった実施例5を入力色データが8ビットである場合について適用させた実施例である。

10

## 【0232】

図53(A)および(B)には、本実施例における、パラレルで入力された各8ビットの入力色データ(RI7~RI0、GI7~GI0、BI7~BI0)、同期データ(HsyncI(入力水平同期データ)、VsyncI(入力垂直同期データ)、CTRLI(入力コントロール))、DEI(入力選択信号(入力データネーブル))が、受信側ユニットにおいてシリアル化されたシリアルデータ1001の信号波形の例が示されている。

## 【0233】

まず、DEI(データイネーブル) = "High" 即ちアクティブ期間においては、シリアルデータ1001の1シンボルは、スタートビット(Start)データイネーブル反転信号(DEIn)、色データ(RI7、RI6、・・・、BI2、BI1、BI0)、ストップガードビット(Stop grd)およびストップビット(Stop)の順でシリアル化されたデータによって構成されている。なお、本実施例においては、1シンボルが28ビットである。

20

## 【0234】

一方、DEI(データイネーブル) = "Low"、即ちブランキング期間においては、シリアルデータ1001の1シンボルは、スタートビット(Start)、データイネーブル反転信号(DEIn)、データイネーブルガードビット(DE grd)、エンコードされたHsyncI、VsyncIおよびCTRLI、ストップガードビット(Stop grd)並びにストップビット(Stop)の順でシリアル化されたデータによって構成されている。ここでも、DEI = "Low"、即ちブランキング期間においては、HsyncI、VsyncIおよびCTRLIがエンコードされた後シリアル化されるようにし、シリアルデータ1001における1シンボル中のライズエッジが1つしか存在しないデータ構成をとるようにしている。

30

## 【0235】

本実施例のように、1シンボル中のライズエッジが1つしか存在しないデータ構成をとることによって、ブランキング期間に送信される同期データを含むシリアルデータからクロックを復元する際に、エラーが発生する可能性を十分に低くすることができる。

## 【実施例7】

## 【0236】

実施例7は、上述の実施例5で説明した図45に示される本発明の受信ユニット421にDEフィルタ1101およびフリップフロップ回路1102を更に設けた例である。

40

## 【0237】

図54に本実施例の受信ユニットの回路ブロック図を示す。本実施例においては、パラレル回路422から出力されるデータ(DSR0~DSR20)のうち、DEIに対応する出力DSR1をDEフィルタ1101に入力するようにしている。

## 【0238】

図55を用いてDEフィルタ1101の作用について説明する。図55(A)に、DEフィルタ1101の回路構成が示されており、図55(B)には、DEフィルタ1101におけるデータ(DE0、DE1、DE2、DE0)のタイミングチャートが示されている。本実施例形態のDEフィルタ1101は、1つのOR回路及び3つのAND回路からな

50



る多数決回路 1 1 0 1 a 及び 3 つのフリップフロップを有している。

【 0 2 3 9 】

DEI 信号の性質として、1 ビット分だけのパルスが出力されることはなく、数ビット続く信号になる。従って、1 ビット分だけのパルスがあればそれはエラーであり、DE フィルタ 1 1 0 1 はこれをフィルタする。DE フィルタ 1 1 0 1 は DEI を遅延させるためのフリップフロップ回路と多数決回路 1 1 0 1 a で構成される。多数決回路 1 1 0 1 a は 3 つの入力のうちで 1 が多ければ 1 を、0 が多ければ 0 を出力する。図 5 5 ( B ) に示した波形では、太線で示したエラーを多数決回路 2 5 4 0 でフィルタしている。図 5 5 ( A ) に示す回路構成をとることにより、DE フィルタ 1 1 0 1 に入力される DEO にエラーが発生しても、当該エラーがフィルタされ、出力 DEO ではエラーが発生する確率が非常に

10

【 0 2 4 0 】

再度図 5 4 を参照する。デコーダ回路 4 2 4 によってデコードされた同期信号 H s y n c、V s y n c および C T R L およびパラレル化回路 4 2 2 から出力される色データ D S R [ 2 0 : 0 ] は、フリップフロップ回路 1 1 0 2 へ出力される。フリップフロップ回路 1 1 0 2 は 4 2 個のフリップフロップ 1 1 0 2 1 から成り、スイッチ回路 4 2 5 および 4 2 6 へデータを出力する。スイッチ回路 4 2 5 および 4 2 6 は、入力されるデータを、DE フィルタ 1 1 0 1 の DE 信号に基づき選択し、フリップフロップ回路 4 2 8 へ出力する。フリップフロップ回路 4 2 8 は、出力色データ ( R O 5 ~ R O 0、G O 5 ~ G O 0、B O 5 ~ B O 0 ) および出力同期データ 4 3 2 ( H s y n c O、V s y n c O、C T R L O )

20

【 0 2 4 1 】

このようにして、パラレルに入力される入力色データ 4 1 1、入力同期データ 4 1 2 および入力クロック 4 1 4 は、送信ユニット 4 0 1 によってシリアル化された後送信され、受信ユニット 4 2 1 でパラレル化されて出力色データ 4 3 1、出力同期データ 4 3 2 および出力クロック 4 3 3 に復元されて出力される。

【 0 2 4 2 】

本実施例においては、DE フィルタ 1 1 0 1 を設けているため、出力 DEO ではエラーが発生する確率が非常に低くなる。よって、より正確に DEO を抽出することができる。

【 実施例 8 】

30

【 0 2 4 3 】

実施例 8 は、送信ユニットにおいて、シリアルデータを形成する際に、色データおよび同期データに「DC バランス」処理 ( 1 のデータと 0 のデータとの数がほぼ等しくなるような処理 ) を取り入れた例である。

【 0 2 4 4 】

図 5 6 に、本実施例におけるシリアルデータ 1 4 0 1 のデータ構成を示す。まず、DEI ( データイネーブル ) = “ H i g h ” 即ちアクティブ期間においては、シリアルデータ 1 4 0 1 の 1 シンボルは、スタートビット ( S t a r t )、R G B 各色 6 ビットの色データが 8 ビットにエンコードされた色データ ( R [ 5 : 0 ]、G [ 5 : 0 ]、B [ 5 : 0 ] ) ストップガードビット ( S t o p g r d ) およびストップビットの順でシリアルライズされたデータによって構成されている。

40

【 0 2 4 5 】

本実施例においては、図 5 7 および図 5 8 ( A ) に示すような DC バランスエンコーダ回路 1 5 0 5 を用い R G B 各色 6 ビットの色データを 8 ビットにエンコードする際に、「DC バランス」処理を施し、連続するシンボル中の R G B 各色 8 ビットの色データそれぞれの “ H i g h ” ( = 1 ) の累計と “ L o w ” ( = 0 ) の累計とが同数に収束するようにしている。例えば、図 5 8 ( B ) に示すように、入力される 6 ビットの色デジタルデータが “ 0 0 0 0 0 1 ” である場合を考える。デジタルデータの累積において “ 1 ” が多い場合は、当該 6 ビットの色デジタルデータの下位ビットに “ 0 1 ” を付加することによって 8 ビットにエンコードする。また、デジタルデータの累積において “ 0 ” が多い場合は、当該

50

6ビットの色デジタルデータを反転し、さらに下位ビットに“10”を付加することによって8ビットにエンコードする。このようにして8ビットにエンコードされた色データがスイッチ回路に出力され選択され、シリアル化回路へ出力される。変換された8ビットデータは、それぞれ、1と0を必ず含んでおり、これらを並べると必ずライズエッジを2以上含むようなシリアルデータとなる。

【0246】

一方、DEI(データイネーブル) = “Low”、即ちブランキング期間においては、シリアルデータ1401の1シンボルは、スタートビット(Start)、エンコードされたHsyncI、VsyncIおよびCTRLI、ストップガードビット(Stop grd)およびストップビット(Stop)の順でシリアル化されたデータによって構成されている。即ちブランキング期間においては、HsyncI、VsyncIおよびCTRLIがThermo-code型にエンコードされた後シリアル化されるようにし、シリアルデータ1401における1シンボル中のライズエッジが1つしか存在しないデータ構成をとるようにしている。また、DEI = “Low”の期間においても、エンコードされたHsyncI、VsyncIおよびCTRLIがDCバランスを保つようにパルス幅変調を行う。本実施例においては、図56(B)に示すように、Thermo-code型にエンコードされたHsyncI、VsyncIおよびCTRLIをパルス幅に割り当て、奇数番目はパルス幅(0.5+)に変調しスイッチ回路へ送信し、偶数番目はパルス幅(0.5-)に変調しスイッチ回路へ送信する。こうすることによって、1シンボル中の平均のパルス幅は0.5となり、DCバランスが保たれることになる。

【0247】

図57を参照する。図57には、本実施例のデジタルデータ送信回路および受信回路、並びにそれらを用いたデジタルデータ伝送方法およびそのシステムが示されている。

【0248】

1501は送信ユニット(送信回路)で、入力クロックに同期して入力される入力色データ1511(RI5~RI0、GI5~GI0、BI5~BI0)、および入力同期データ1512(HsyncI(入力水平同期データ)、VsyncI(入力垂直同期データ)、CTRLI(入力コントロール)、DEI(入力選択信号(入力データネーブル)))をシリアル化しシリアルデータ1515を形成し受信ユニット1521に送信する。

【0249】

受信ユニット(受信回路)1521は、送信ユニット1501から送信されるシリアルデータ1515を受信しパラレル化し、出力色データ1531(RO5~RO0、GO5~GO0、BO5~BO0)、出力同期データ1532(HsyncO(出力水平同期データ)、VsyncO(出力垂直同期データ)、CTRL O(出力コントロール)、DEO(出力選択信号(出力データネーブル)))および出力クロック1534に復元して出力する。

【0250】

送信ユニット1501は、シリアル化回路1502(Serializer)、位相同期回路1503(PLL回路:Phase Locked Loop回路)、エンコーダ回路1504(Encoder)、DCバランスエンコーダ回路1505(DC Balance Encoder)、スイッチ回路1506および出力バッファ1507(Output Buffer)を有している。

【0251】

また、受信ユニット1521は、パラレル化回路1522(Deserializer)、クロック抽出回路(CDRPLL回路:Clock Data Recovery Phase Locked Loop回路)1523、デコーダ回路1524および1525(Decoder)、スイッチ回路1526および1527、エッジ数判定回路1528並びに入力バッファ1529(Input Buffer)を有している。なお、出力バッファ1507および入力バッファ1529は必要に応じて設ければよい。また、本実施例においては、入力色データ1511については、RGB各色のデータが、それぞれ

10

20

30

40

50

6ビットである例を示しているが、本発明がこれに限定されるわけではないことも言うまでもない。

**【0252】**

入力色データ1511は、送信ユニット1501のDCバランスエンコーダ回路1505へ入力され、DCバランス処理が施され、スイッチ回路1506へ出力される。DEI（入力データネーブル）はスイッチ回路1506に入力される。なお、その他の構成は、図45に示す例と同様である。

**【0253】**

送信ユニット1501においては、入力色データはDCバランスエンコーダ回路1505に入力され、24ビットにエンコードされる。このエンコードはR、G、Bのそれぞれ6ビットをDCバランスされた8ビットに変換するように行われる。それぞれの8ビットは"1"と"0"の両方を含んでいるため、24bitをR、G、Bの順にシリアルライズするとライズエッジを2個以上含むことになる。

10

**【0254】**

入力同期データ1512のうちDEIを除くHSYNCI、VSYNCI、CTRLIはエンコーダ回路1504に入力され、Thermo-Code型にエンコードされる。そして、シリアル化した際に1シンボル内で時間的に先に来る信号をMSBとすると、エンコーダ回路1504によりMSBがLSBよりも高いレベルになるように出力され、シリアル化回路1502によりMSBからLSBに順次シリアル化されて出力される。従って、このデータは、DEIがLowの場合は、1シンボルにおいてシリアル化回路の出力は時間的に早い方が高いレベルになっているため、シンボルの切り替わり時のみライズエッジが生じることになる。

20

**【0255】**

スイッチ回路1506は、DEIを入力選択信号として使用し、DEIがHighであれば入力色データをDCバランスエンコーダ回路1505でエンコードした結果を選択し、Lowの場合はエンコーダ回路1504の出力を選択してシリアル化回路1502へ出力する。入力クロック1514は位相同期回路1503で多相クロックに変換され、シリアル化回路1502はこの多相クロックを用いてスイッチ回路1506の出力をシリアル化し、出力バッファ1507を通して出力する。

**【0256】**

このような構成をとることにより、DEIがHighの時は1シンボル内のライズエッジはシンボルの切り替わりのタイミング時以外に2以上にできることなり、DEIがLowの時は1シンボル内のライズエッジはシンボルの切り替わりのタイミング時のみになる。

30

**【0257】**

受信ユニット1521においては、まず、クロック抽出回路1523が、シリアルデータ1515から出力クロック(CLKO)1534、および多相クロックを復元する。次に、多相クロックによりシリアルデータ1515がパラレル化回路1522でパラレル信号に変換される。パラレル信号はエッジ数判定回路1528に入力される。エッジ数判定回路1528はライズエッジがシンボル切り替わりのタイミング以外にあればHigh、そうでなければLowをDEOとして出力する。パラレル信号はデコーダ回路1524に入力され、送信ユニット1501のDCバランスエンコーダ回路1505のエンコードを戻すようにデコードされる。パラレル信号は同様にデコーダ回路1525にも入力され、送信ユニット1501のエンコーダ回路1504のエンコードを戻すようにデコードされる。スイッチ回路1526はDEOがHighの時にアクティブになり、デコーダ回路1524の出力を出力色データ信号1531として出力し、Lowの時はLowレベルを出力色データとして出力する。スイッチ回路1527はDEOがLowの時にアクティブになりデコーダ回路1525の出力を出力同期データ1532として出力し、Highの時は出力を保持する。

40

**【0258】**

なお、図58(A)の点線で示すように、入力色データをDCバランス処理するDCバラ

50

ンスエンコーダ回路 1505 に DC バランスカウンタを設けて、DC バランスエンコーダ回路 1505 から出力される色データの DC バランスをとるようにしてもよい。

【実施例 9】

【0259】

実施例 9 は、送信側ユニットにエンコーダ回路を用いず、また受信側ユニットにデコーダ回路を用いない実施例である。

【0260】

図 59 (A) および (B) には、パラレルで入力された各 6 ビットの色データ (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0) および同期データ (Hsync I、Vsync I、CTRL I0 ~ 2、DEI) が、本実施例の受信側ユニットにおいてシリアル化されたシリアルデータ 1715 の信号波形の例が示されている。

10

【0261】

まず、DEI (データイネーブル) = "High"、即ちアクティブ期間においては、シリアルデータ 1715 の 1 シンボルは、スタートビット (Start)、データイネーブル反転信号 (DEIn)、色データ (RI5、RI4、・・・、BI2、BI1、BI0) およびストップビット (Stop) の順にシリアライズされたデータ構成をとっている。

【0262】

一方、DEI (データイネーブル) = "Low" 即ちブランキング期間においては、シリアルデータ 1715 の 1 シンボルは、スタートビット (Start)、データイネーブル反転信号 (DEIn)、データイネーブルガードビット (DE grd)、Hsync I、Vsync I および CTRL I0 ~ 2、ストップガードビット (Stop grd) およびストップビット (Stop) の順にシリアライズされたデータ構成をとっている。

20

【0263】

本実施例においては、データイネーブル反転信号 (DEIn) に続いてデータイネーブルガードビット (DE grd) を設けている。このデータイネーブルガードビット (DE grd) を設けることにより、シリアルデータ 1715 をパラレルデータに復元する際の復元ポイントとなるデータイネーブル反転信号 (DEIn) がより高精度に抽出されることになるので、同期データのサンプリングエラーが発生する可能性を低くすることができ、高精度にクロックの復元を行うことができる。

30

【0264】

また、本実施例においては、同期データに引き続いてストップガードビット (Stop grd) を設けている。こうすることによって、次の同期データの抽出をより正確に行うことができ、同期データの伝送の信頼性が高くなり、安定したデータの伝送を実現することができる。

【0265】

ここで、本実施例のデータ伝送システムの構成を図 60 を参照して説明する。1701 は送信ユニットで、入力される入力色データ 1711 (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0)、入力同期データ 1712 (Hsync I (入力水平同期データ)、Vsync I (入力垂直同期データ)、CTRL I0 ~ 2 (入力コントロール 0 ~ 2)、DEI (入力選択信号 (入力データイネーブル))) および入力クロック 1714 をシリアル化しシリアルデータ 1715 を形成し受信ユニット 1721 に送信する。

40

【0266】

受信ユニット 1721 は、送信ユニット 1701 から送信されるシリアルデータ 1715 を受信しパラレル化し、出力色データ 1731 (RO5 ~ RO0、GO5 ~ GO0、BO5 ~ BO0)、出力同期データ 1732 (Hsync O (出力水平同期データ)、Vsync O (出力垂直同期データ)、CTRL O0 ~ 2 (出力コントロール 0 ~ 2))、出力選択信号 1733 (DEO (出力データイネーブル)) および出力クロック 1734 を復元して出力する。

【0267】

50

送信ユニット1701は、シリアル化回路1702 ( S e r i a l i z e r )、位相同期回路1703 ( P L L回路)、スイッチ回路1704および出力バッファ1705 ( O u t p u t B u f f e r )を有している。

【0268】

また、受信ユニット1721は、パラレル化回路1722 ( D e - s e r i a l i z e r )、クロック抽出回路 ( C D R P L L回路) 1723、スイッチ回路1724および入力バッファ1725 ( I n p u t B u f f e r )を有している。

【0269】

なお、出力バッファ1705および入力バッファ1725は必要に応じて設ければよい。また、本実施例においては、入力色データ1711については、R G B各色のデータが、それぞれ6ビットである例を示しているが、本発明がこれに限定されるわけではないことは言うまでもない。

10

【0270】

入力色データ1711および入力同期データ1712は、送信ユニット1701のスイッチ回路1704へ入力される。入力クロック1714は、位相同期回路1703へ入力され、位相同期回路1703で位相差を有する複数のクロックへと変換され、これらの位相差を有する複数のクロックはシリアル化回路1702へ入力される。スイッチ回路1704は、D E I = " H i g h " の場合と、D E I = " L o w " の場合とで、シリアル化回路1702へ出力するデータを選択する。シリアル化回路1702は、スイッチ回路1704から入力される入力色データ1711、入力同期データ1712および位相同期回路1703から入力された位相差を有する複数のクロックに基づきシリアルデータ1715を形成する。

20

【0271】

シリアルデータ1715は、出力バッファ1705を経て受信ユニット1721へ出力される。受信ユニット1721のパラレル化回路1722は、入力バッファ1725を経て入力されたシリアルデータ1715をパラレル化し、その出力をスイッチ回路1724へ出力する。クロック抽出回路1723は、入力されたデータに基づき出力クロック1734および位相の異なる複数のクロックを復元し、これら位相の異なる複数のクロックをパラレル化回路1722へ出力する。スイッチ回路1724はD EがH i g hの時は、パラレル化された出力色データ信号1731を出力し、L o wの時はL o wレベルを出力色データとして出力する。また、スイッチ回路1724はD EがL o wの時はパラレル化された同期データを出力同期データ1532として出力し、H i g hの時は出力を保持する。

30

【0272】

図61を参照する。図61には、本実施例における送信ユニット1701の構成が示されている。入力色データ1711 ( R I 5 ~ R I 0、G I 5 ~ G I 0、B I 5 ~ B I 0 ) および入力同期データ ( H s y n c I、V s y n c I、C T R L I 0 ~ 2、D E I ) は、スイッチ回路1704へ入力される。本実施例においては、スイッチ回路1704を構成する並列に接続されたマルチプレクサ17041の一方の入力には、入力色データ1711 ( R I 5 ~ R I 0、G I 5 ~ G I 0、B I 5 ~ B I 0 ) が順に入力されるようになっており、入力色データ1711のうちR I 5およびR I 4が入力されるマルチプレクサ17041の他方の入力には " H i g h " が、B I 0が入力されるマルチプレクサ17041の他方の入力には " L o w " が入力される。また、H s y n c IはR I 3、R I 2およびR I 1が入力されるマルチプレクサ17041の他方の入力へ入力され、V s y n c Iは、R I 0、G I 5およびG I 4が入力されるマルチプレクサ17041の他方の入力へ入力され、またC T R L I 0 ~ 2は、それぞれ、G I 3、G I 2およびG I 1、G I 0、B I 5およびB I 4、B I 3、B I 2およびB I 1に入力されるマルチプレクサ17041の他方の入力に入力される。スイッチ回路1704は、入力されるD E I、入力色データ1711および入力同期データ1712に基づき、シリアル回路1702にデータ ( S R 1 ~ S R 19 ) を出力する。

40

【0273】

50

位相同期回路 1703 は、入力クロック 1714 に基づき位相の異なる複数のクロックを形成し、シリアル化回路 1702 へ出力する。

【0274】

シリアル化回路 1702 は、入力されるデータ (SR1 ~ SR19) を位相同期回路 1703 から入力される位相の異なる複数のクロックに基づきシリアル化し、シリアルデータ 1715 を形成し、出力バッファ 1705 を通して受信ユニット 1721 へ出力する。

【0275】

図 62 には、本実施例の受信ユニット 1721 の構成が示されている。送信ユニット 1701 から出力されたシリアルデータ 1715 は、入力バッファ 1725 を通してパラレル化回路 1722 およびクロック抽出回路 1723 へ入力される。クロック抽出回路 1723 は、シリアルデータ 1715 からクロックを抽出し、出力クロック 1733 および位相の異なる複数のクロックを復元する。パラレル化回路 1722 は、クロック抽出回路 1723 によって復元された位相の異なる複数のクロックに基づきシリアルデータ 1715 をパラレル化し、出力データ (DSR0 ~ DSR20) をスイッチ回路 1724 へ出力する。スイッチ回路 1724 は、パラレル化回路 1722 から入力されるデータ (DSR0 ~ DSR20) を選択し、複数のフリップフロップ 17261 を含むフリップフロップ回路 1726 へ出力する。フリップフロップ回路 1726 は、出力色データ 1731 (RO5 ~ RO0、GO5 ~ GO0、BO5 ~ BO0) および出力同期データ 1732 (HsyncO、VsyncO、CTRL00 ~ 2、DEI) を出力する。

【0276】

このようにして、パラレルに入力される入力色データ 1711、入力同期データ 1712 および入力クロック 1714 は、送信ユニット 1701 によってシリアル化された後受信ユニットで送信され、受信ユニットでパラレル化されて出力色データ 1731、出力同期データ 1732 および出力クロック 1734 に復元されて出力される。

【0277】

本実施例においては、データイネーブル反転信号 (DEIn) に続いてデータイネーブルガードビット (DE grd) を設けることにより、シリアルデータ 1715 をパラレルデータに復元する際の復元ポイントとなるデータイネーブル反転信号 (DEIn) がより高精度に抽出されることになるので、同期データのサンプリングエラーが発生する可能性を低くすることができ、高精度にクロックの復元を行うことができる。また、本実施例においては、同期データに引き続いてストップガードビット (Stop grd) を設けている。こうすることによって、次の同期データの抽出をより正確に行うことができ、同期データの伝送の信頼性が高くなり、安定したデータの伝送を実現することができる。

【実施例 10】

【0278】

実施例 10 は、送信側ユニットにエンコーダ回路を用いず、また受信側ユニットにデコーダ回路を用いないデータ伝送システムの別の実施例である。

【0279】

図 63 (A) および (B) には、パラレルで入力された各 6 ビットの色データ (RI5 ~ RI0、GI5 ~ GI0、BI5 ~ BI0) および同期データ (HsyncI (入力水平同期データ)、VsyncI (入力垂直同期データ)、CTRLI (入力コントロール)、DEI (入力データイネーブル)) が、本実施例の受信側ユニットにおいてシリアル化されたシリアルデータ 2000 の信号波形の例が示されている。なお、本実施例においては、1 シンボルは 21 ビットである。

【0280】

まず、DEI (データイネーブル) = "High"、即ちアクティブ期間においては、シリアルデータ 2000 の 1 シンボルは、スタートビット (Start)、データイネーブル反転信号 (DEIn)、色データ (RI5、RI4、・・・、BI2、BI1、BI0) およびストップビット (Stop) の順にシリアライズされたデータ構成をとっている。

## 【0281】

一方、DEI（データイネーブル）＝“Low”、即ちブランキング期間においては、シリアルデータ2000の1シンボルは、スタートビット（Start）、データイネーブル反転信号（DEIn）、データイネーブルガードビット（DEgrd）、HsyncI、VsyncIおよびCTRLI0～2、システムリセット等のSpecial Caseデータ、ストップガードビット（Stopgrd）およびストップビット（Stop）の順にシリアライズされたデータ構成をとっている。

## 【0282】

本実施例においては、データイネーブル反転信号（DEIn）に続いてデータイネーブルガードビット（DEgrd）を設けている。このデータイネーブルガードビット（DEgrd）を設けることにより、シリアルデータ1715をパラレルデータに復元する際の復元ポイントとなるデータイネーブル反転信号（DEIn）がより高精度に抽出されることになるので、同期データのサンプリングエラーが発生する可能性を低くすることができる。高精度にクロックの復元を行うことができる。

10

## 【0283】

また、本実施例においては、同期データに引き続いてストップガードビット（Stopgrd）を設けている。こうすることによって、次の同期データの抽出をより正確に行うことができ、同期データの伝送の信頼性が高くなり、安定したデータの伝送を実現することができる。

## 【実施例11】

20

## 【0284】

実施例11は、上述の実施形態および実施例1乃至5で用いられ得るクロック抽出回路の一態様である。

## 【0285】

図64には、クロック抽出回路の回路ブロック図が示されている。2201は位相比較回路（PD）であり、2202は位相積算回路（LPF）であり、2203は発振回路である。送信ユニットから出力され受信ユニットへ入力されたシリアルデータ2204は、位相比較回路2201、位相積算回路2202および発振回路2203を通り、信号処理され、且つその出力が位相比較回路2201へフィードバックされる構成となっている。

## 【産業上の利用可能性】

30

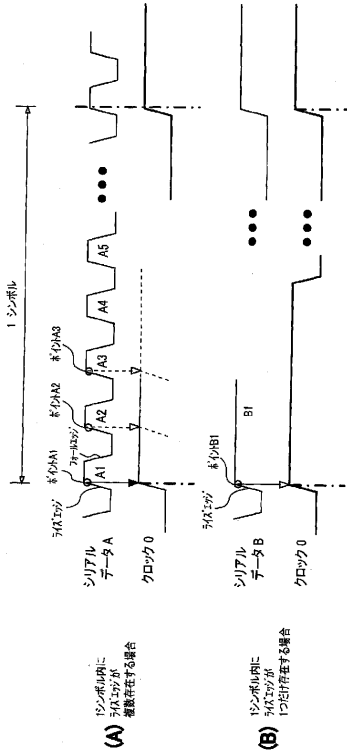
## 【0286】

本発明のデジタルデータ送信回路、受信回路、エンコーダ、クロック抽出回路並びにデジタルデータ伝送方法及びそのシステムは、パラレルに供給されるデジタルデータの送受信を装置間で行うことが必要なあらゆる装置に適用可能である。特に、パーソナルコンピュータとアクティブマトリクス型液晶ディスプレイとの間のデジタルデータの送受信や、カーナビゲーション本体とアクティブマトリクス型液晶ディスプレイとの間のデジタルデータの送受信に適用可能である。また、上述の実施形態および実施例では、送信側ユニットと受信側ユニットとの間のデータの送受信は、一方的な場合について説明したが、双方向でのデータの送受信が行えるようにしてもよい。また、上述の実施形態および実施例においては、シリアルデータは一本の配線によって送受信される例を示したが、シリアルデータを分割して複数の配線によって送受信されるようにしてもよい。

40

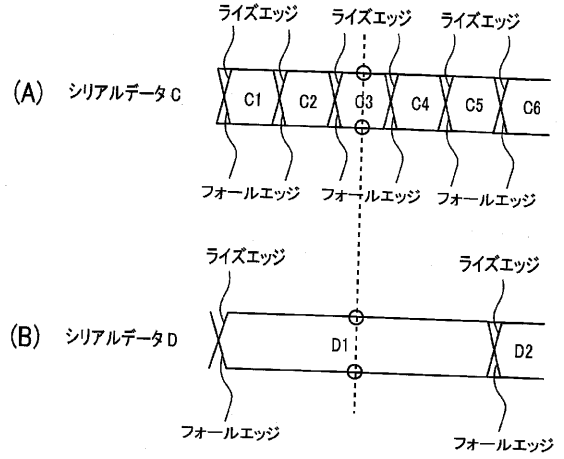
【図1】

[図1]



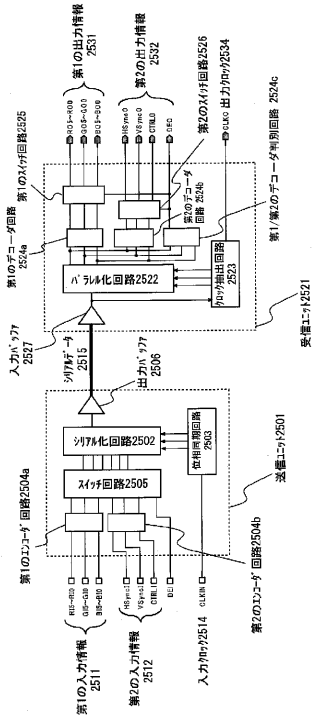
【図2】

[図2]



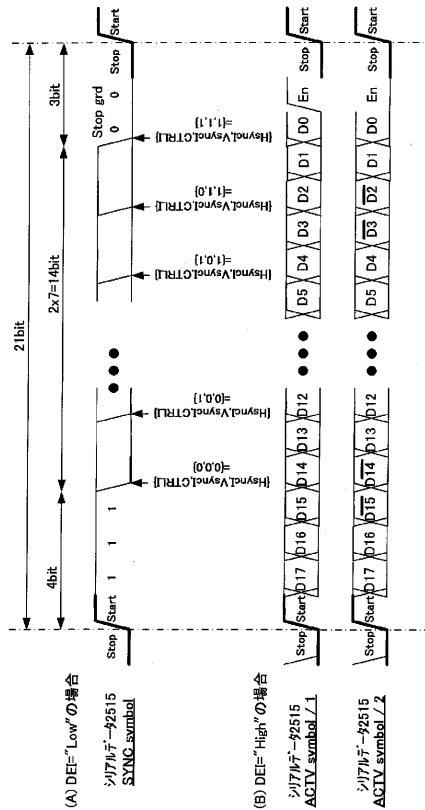
【図3】

[図3]



【図4】

[図4]

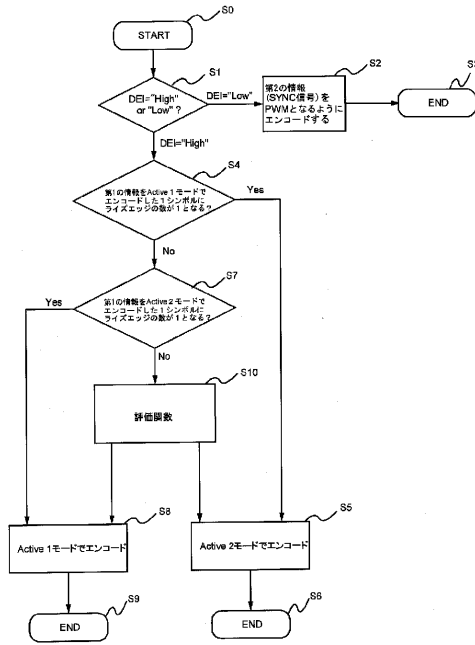






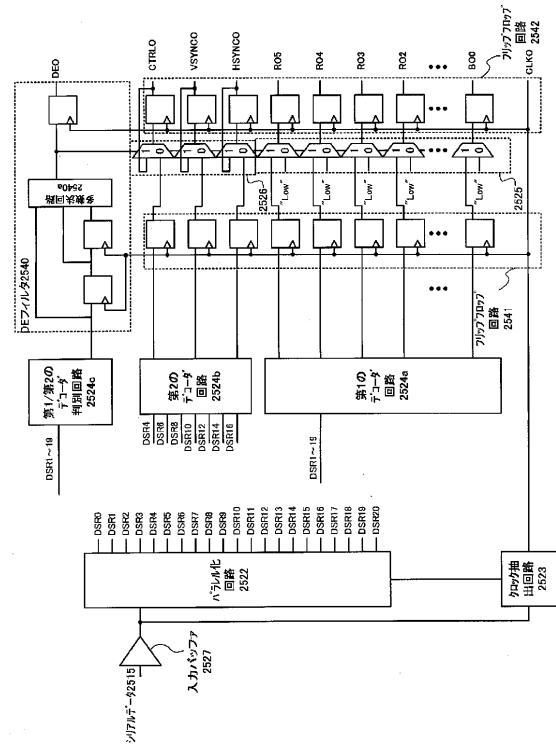
【 図 9 】

【 図9 】



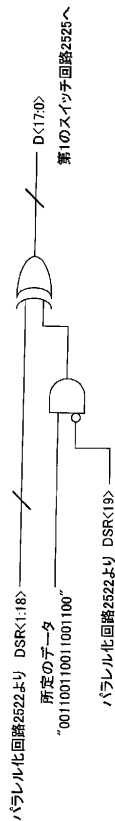
【 図 10 】

【 図10 】



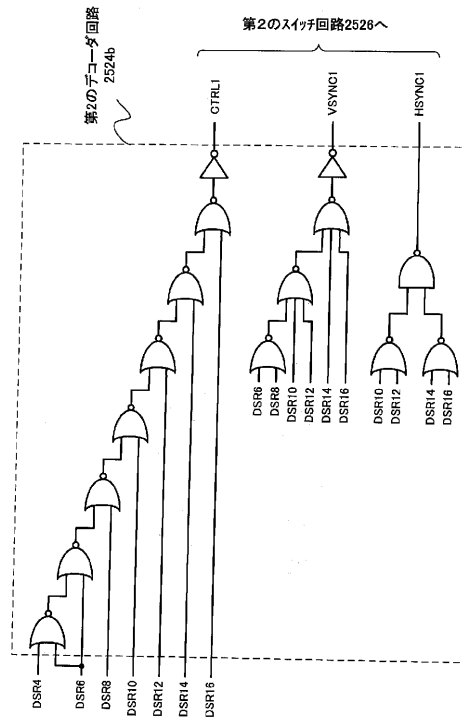
【 図 11 】

【 図11 】



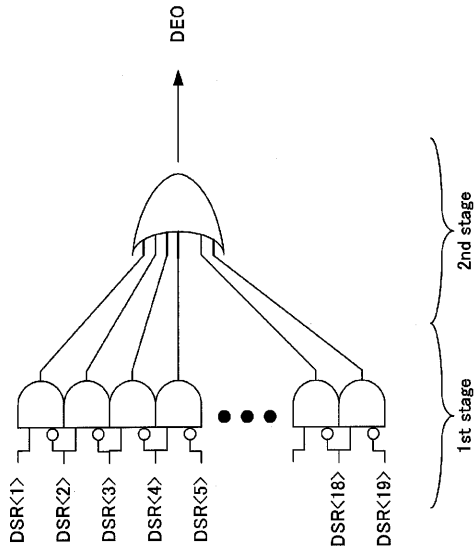
【 図 12 】

【 図12 】



【 13 】

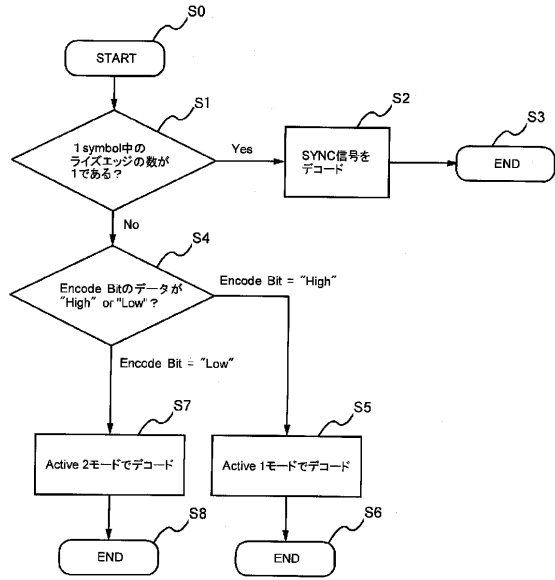
【図13】



パラレル化回路2522より  
DSR<1>~DSR<19>

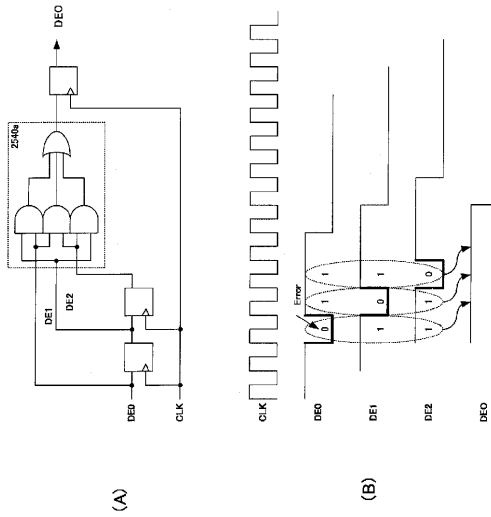
【 14 】

【図14】



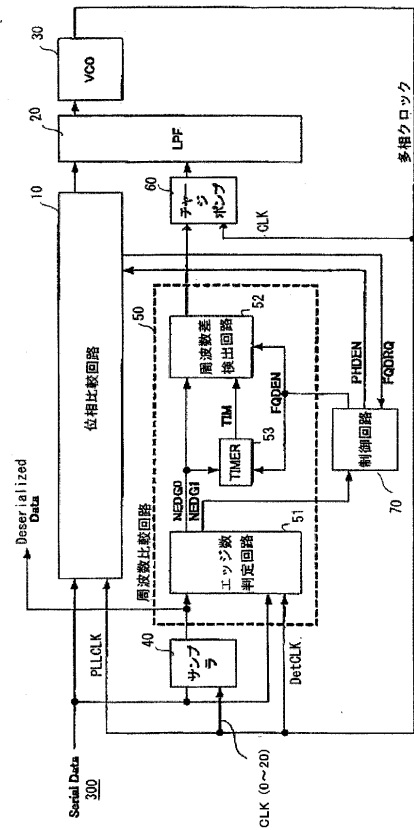
【 15 】

【図15】



【 16 】

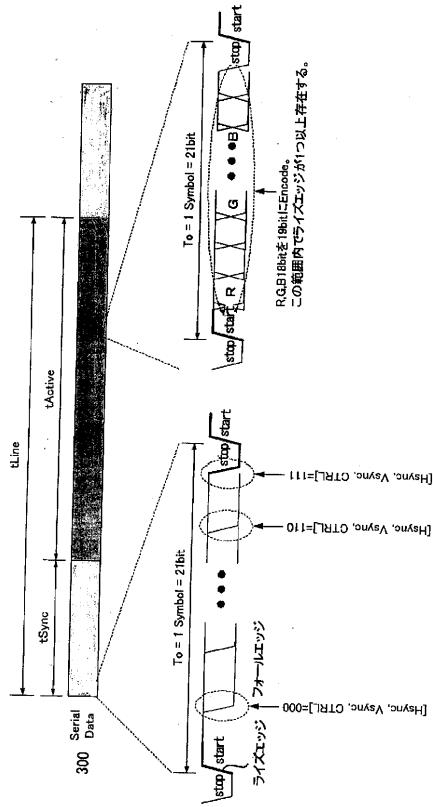
【図16】



200 変復回路(クロック復元位相同期回路)  
多相クロック

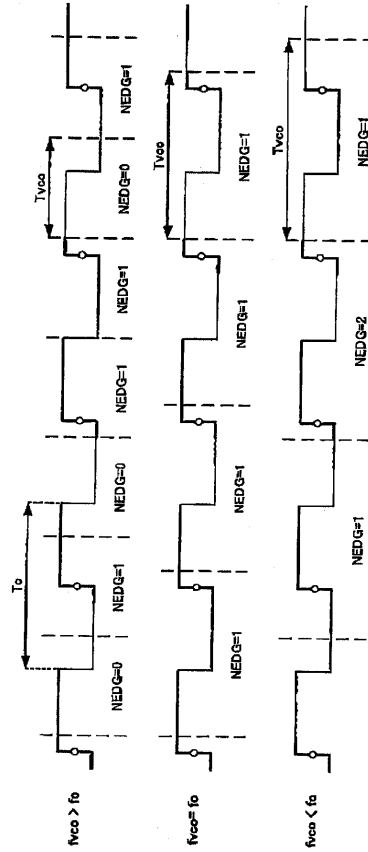
【 17 】

17



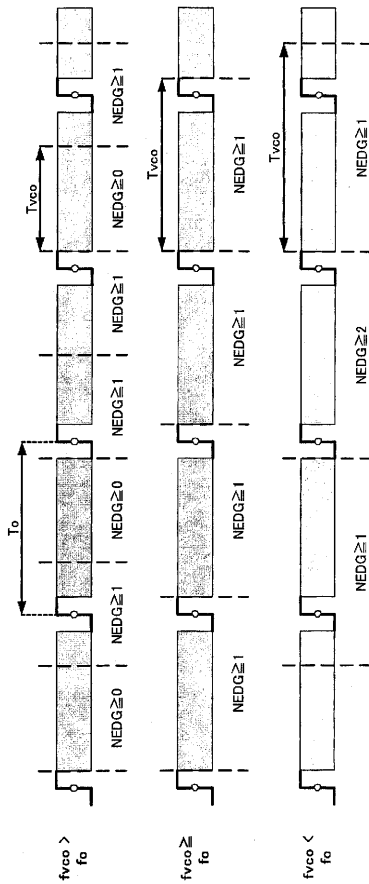
【 18 】

18



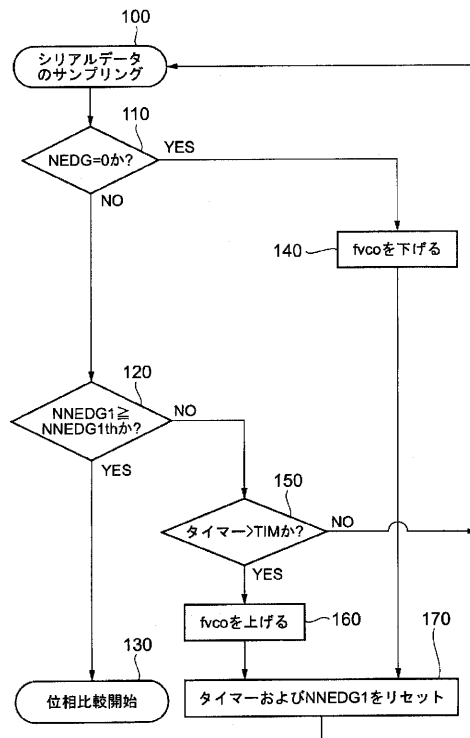
【 19 】

19



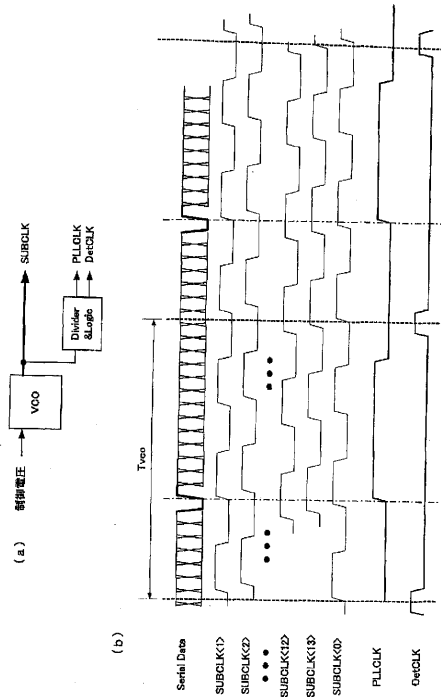
【 20 】

20



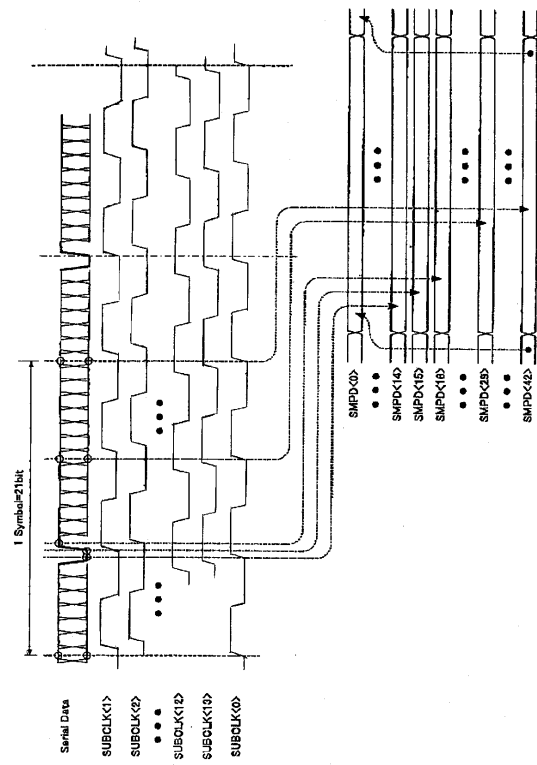
【 2 1 】

【图21】



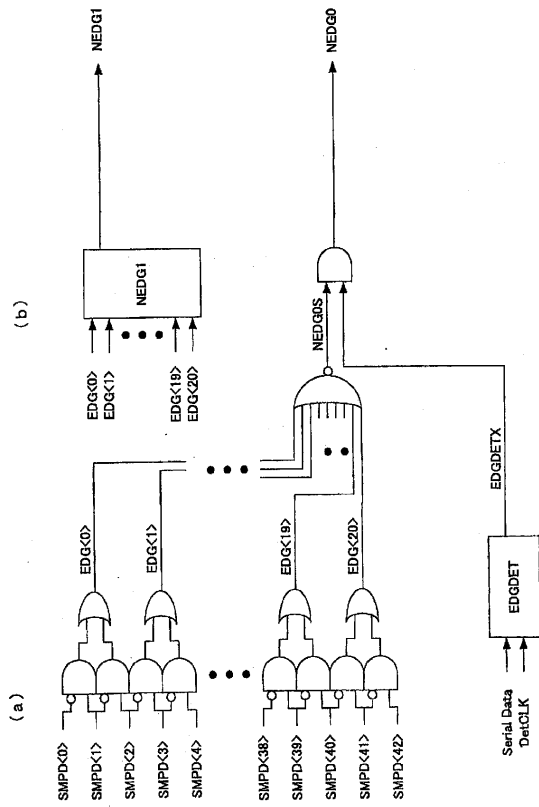
【 2 2 】

【图22】



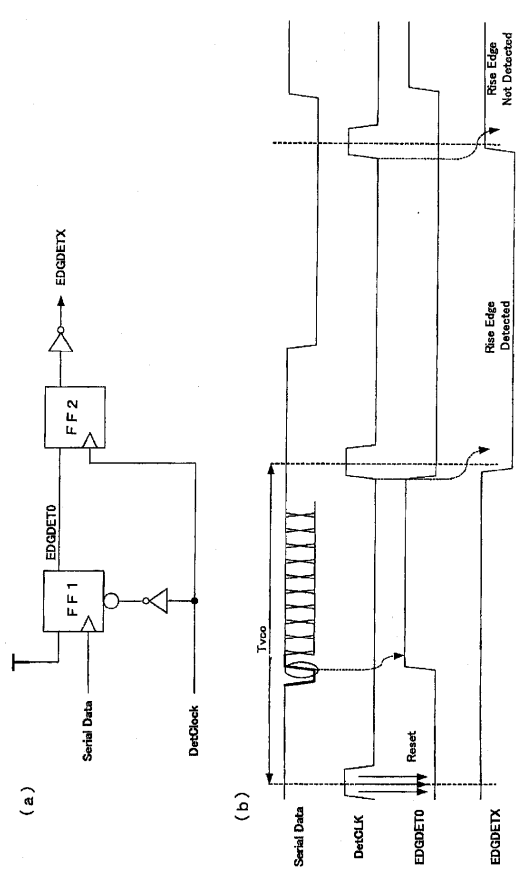
【 2 3 】

【图23】



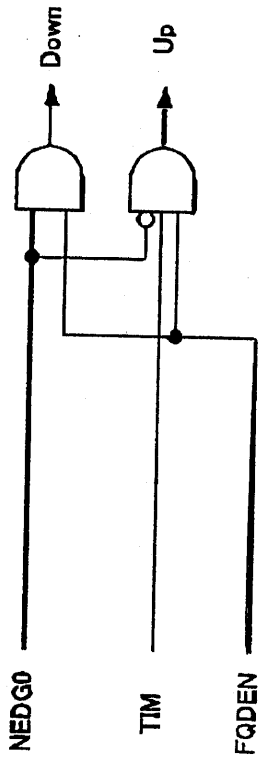
【 2 4 】

【图24】



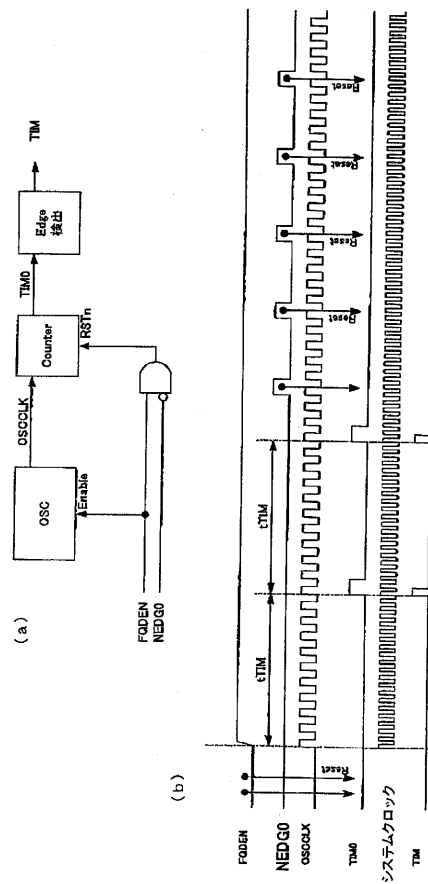
【 25 】

図25



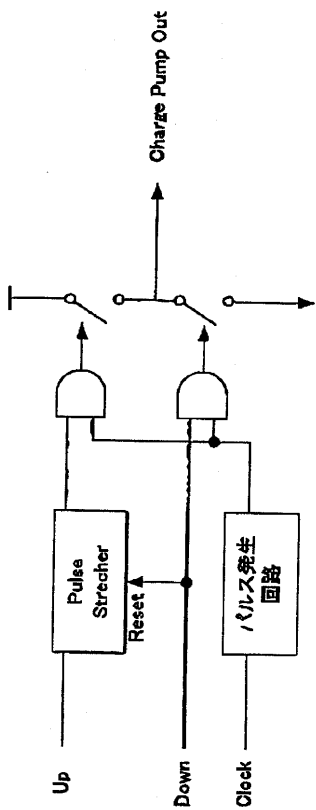
【 26 】

図26



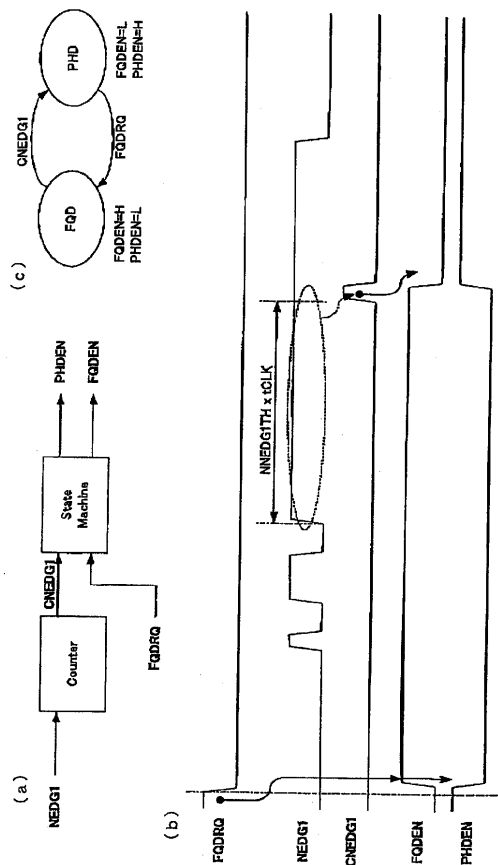
【 27 】

図27



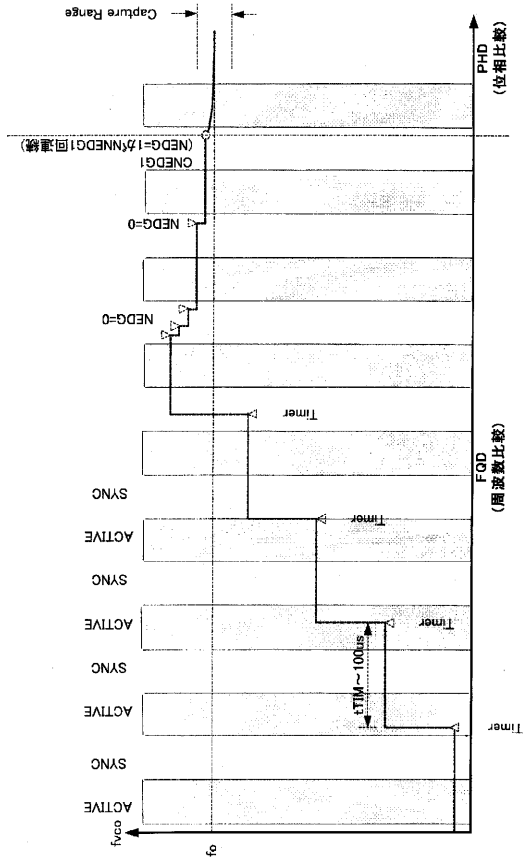
【 28 】

図28



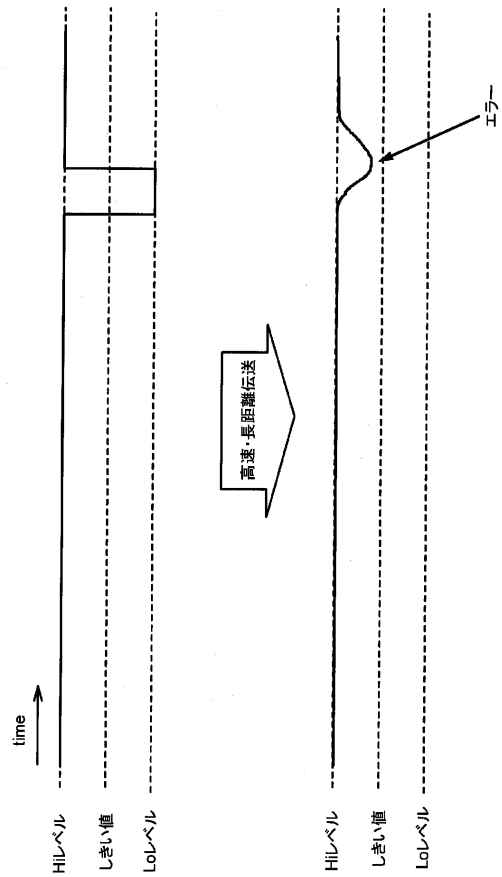
【 図 29 】

[図29]



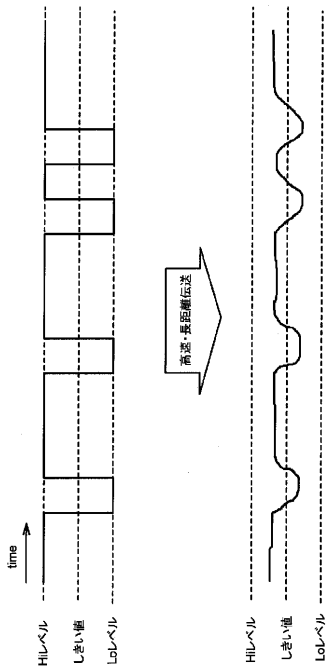
【 図 30 】

[図30]



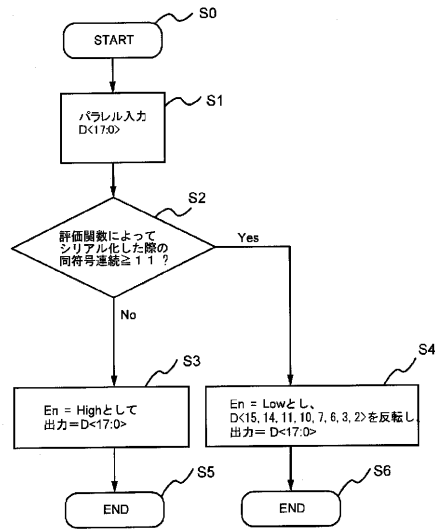
【 図 31 】

[図31]



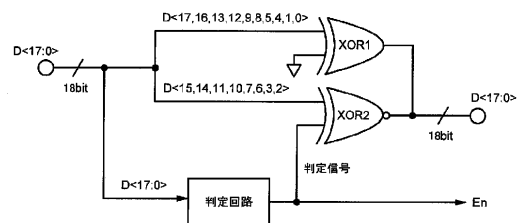
【 図 32 】

[図32]



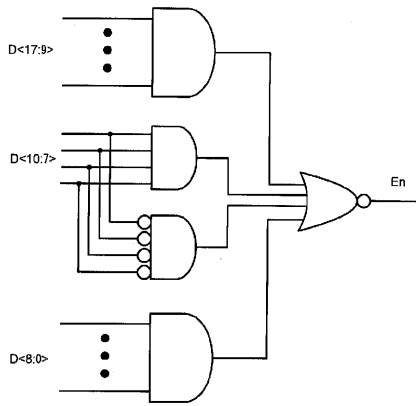
【 図 33 】

[図33]



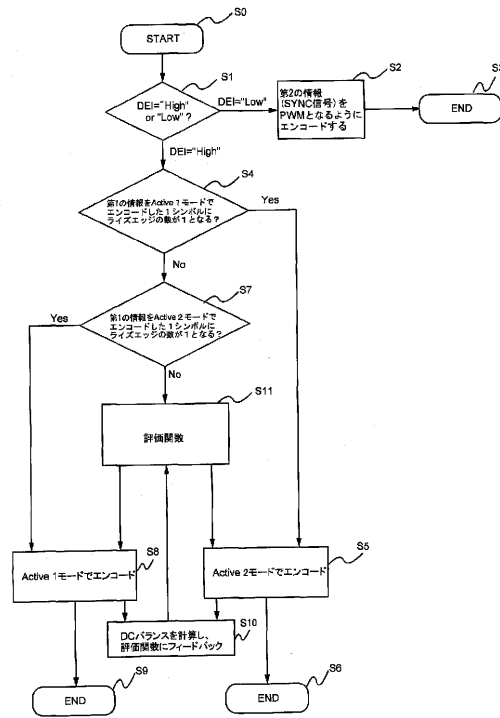
【 34 】

【図34】



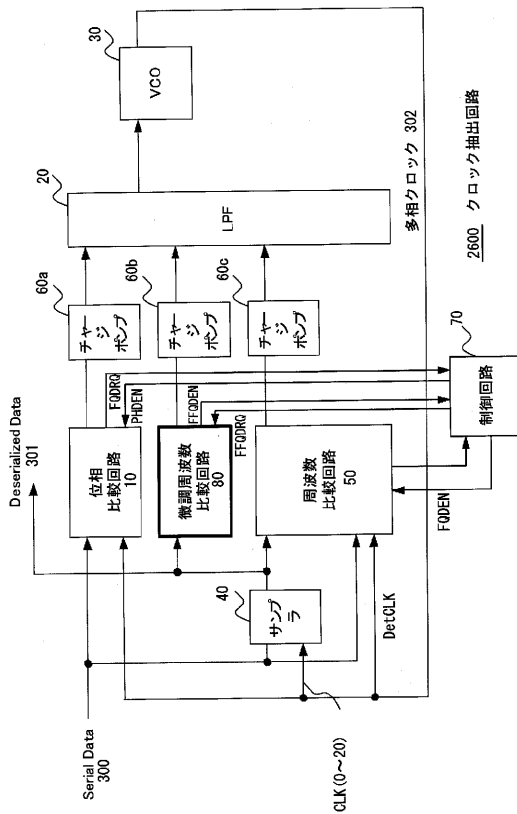
【 35 】

【図35】



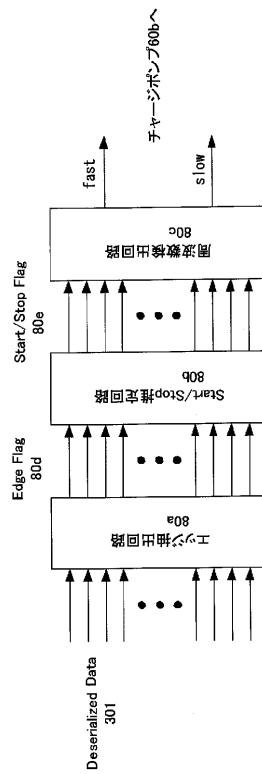
【 36 】

【図36】



【 37 】

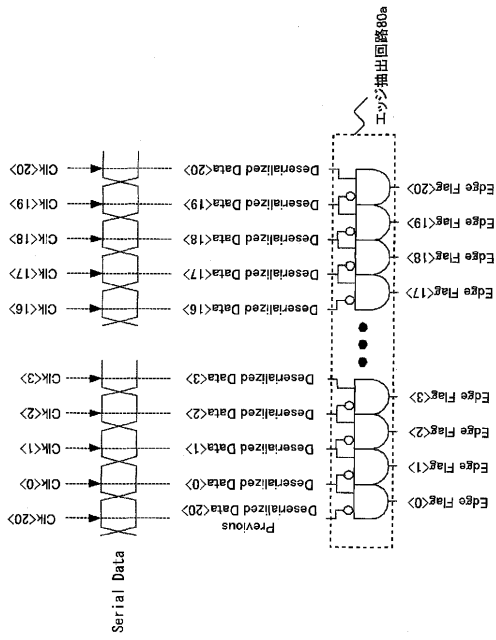
【図37】





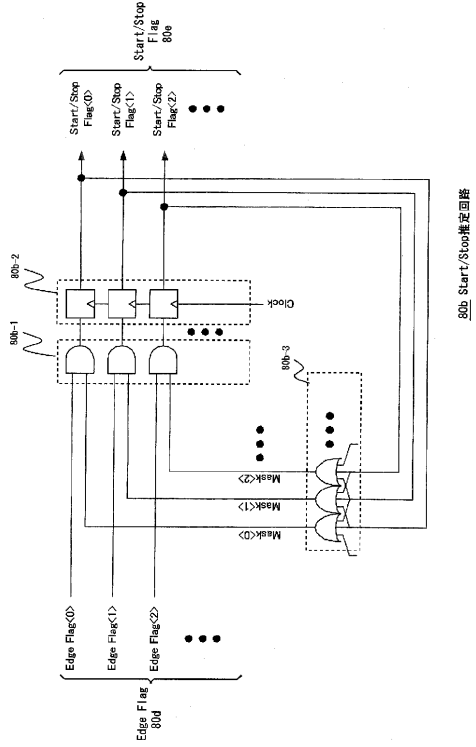
【 38 】

[8図]



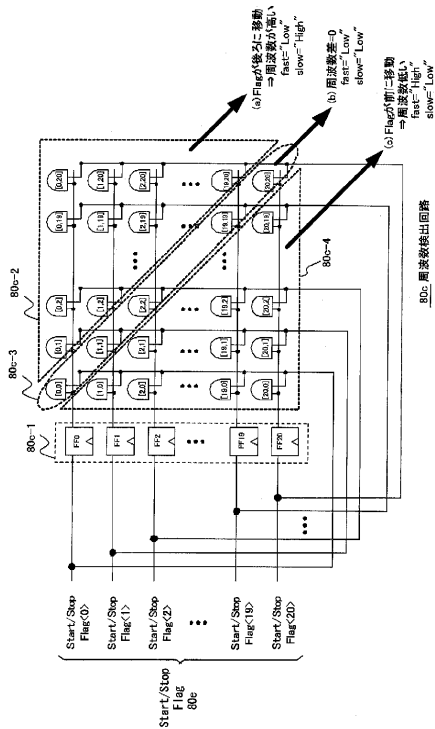
【 39 】

[6図]



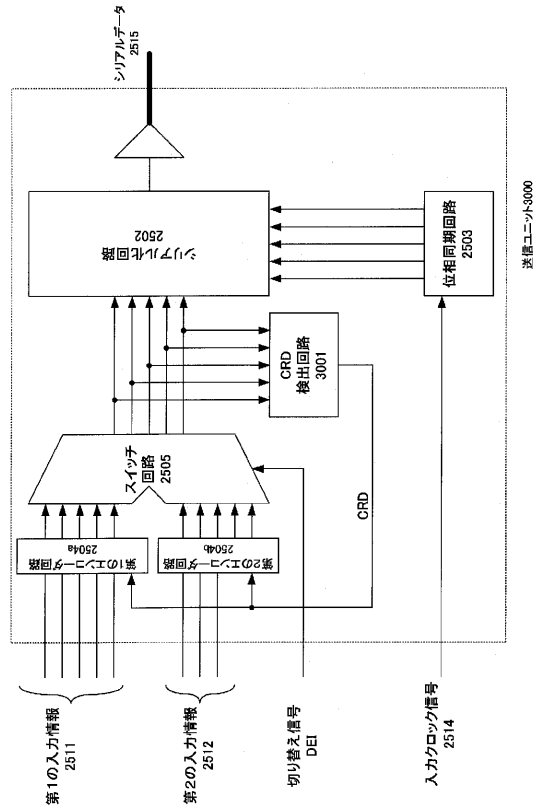
【 40 】

[40図]



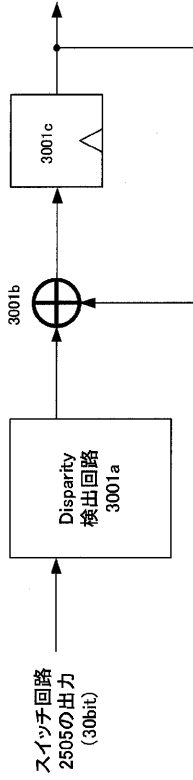
【 41 】

[41図]



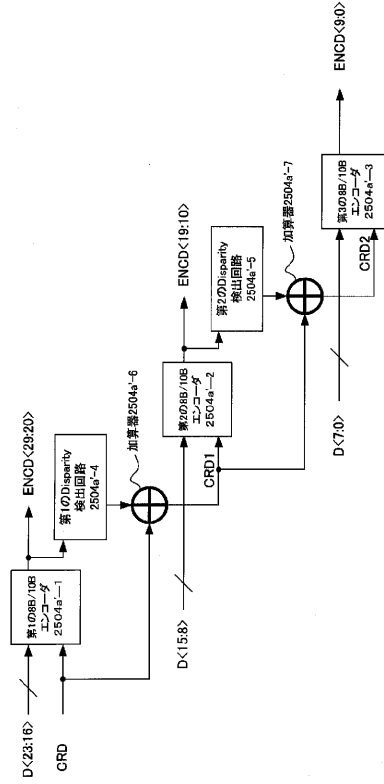
【 図 4 2 】

【図42】



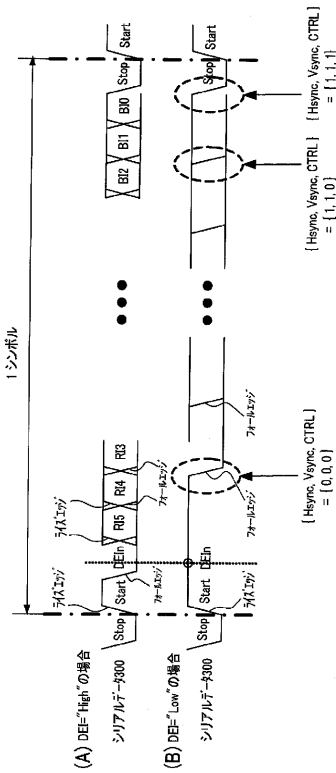
【 図 4 3 】

【図43】



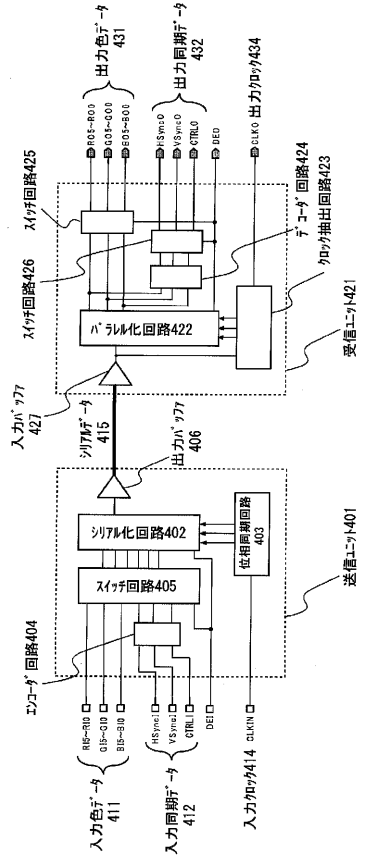
【 図 4 4 】

【図44】



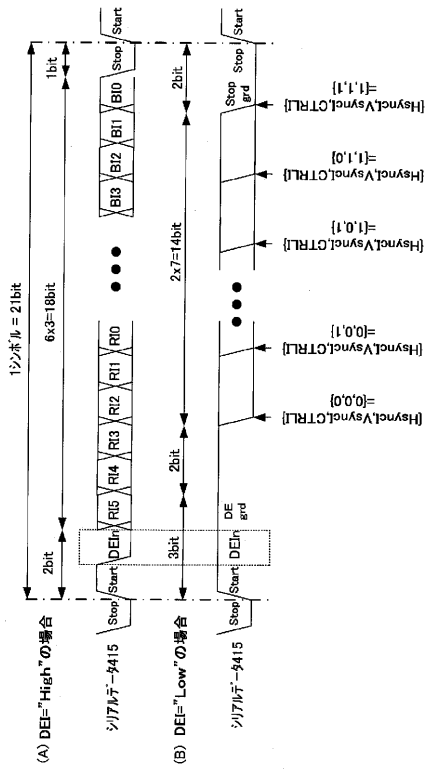
【 図 4 5 】

【図45】



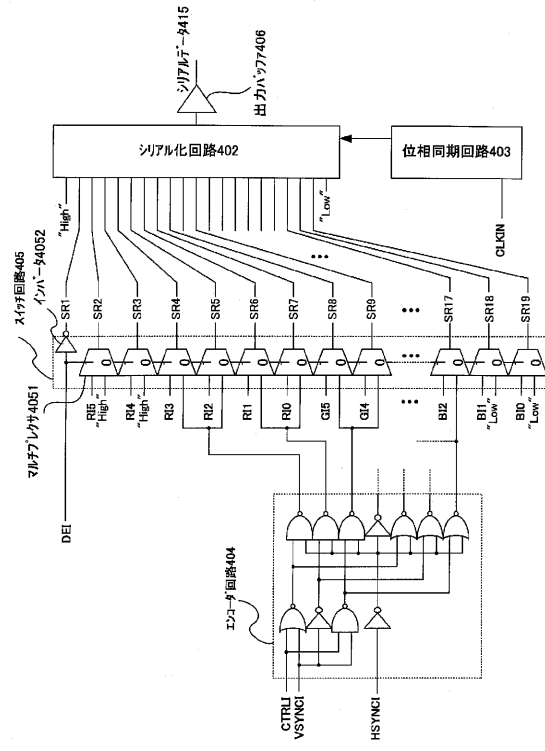
【 図 4 6 】

[図46]



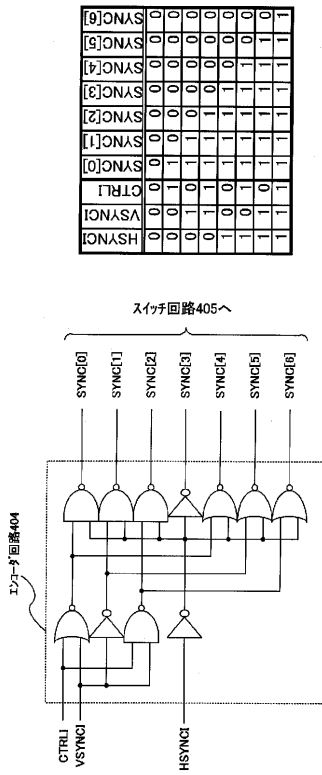
【 図 4 7 】

[図47]



【 図 4 8 】

[図48]

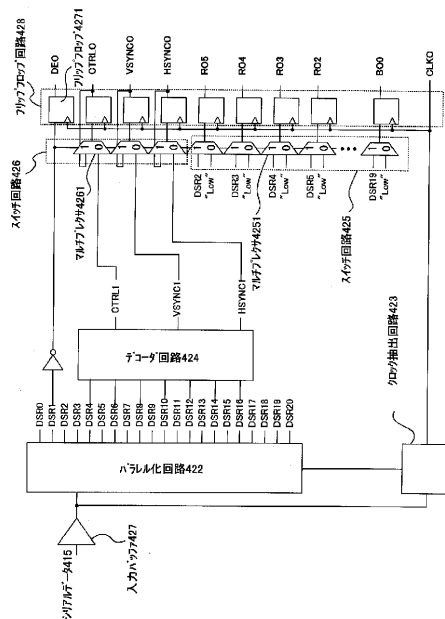


(B)

(A)

【 図 4 9 】

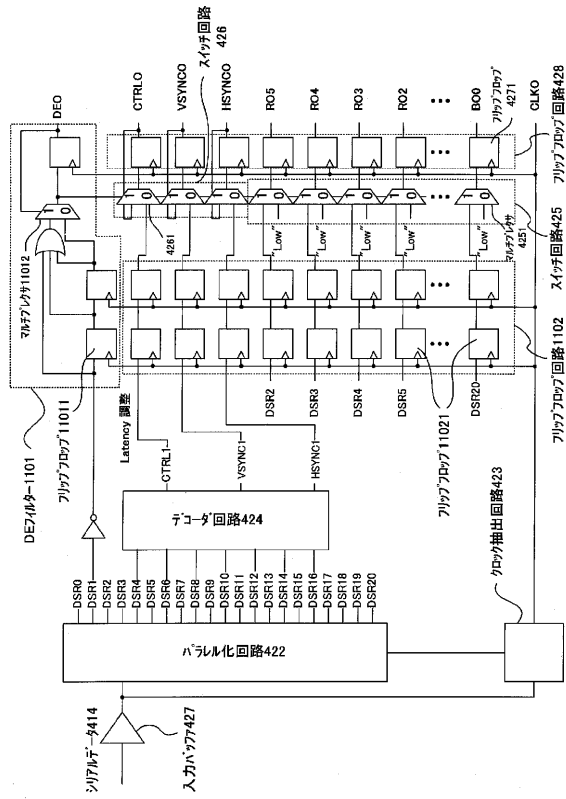
[図49]





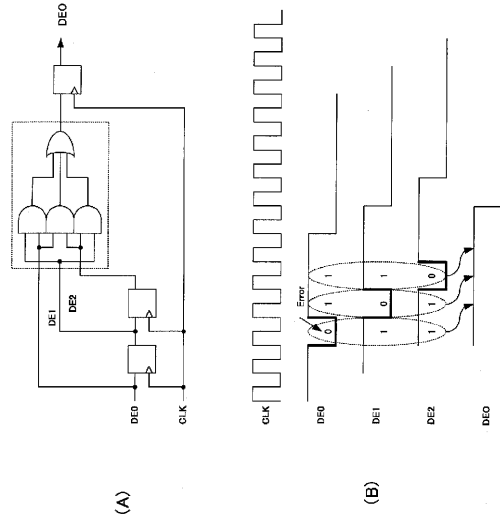
【図54】

【図54】



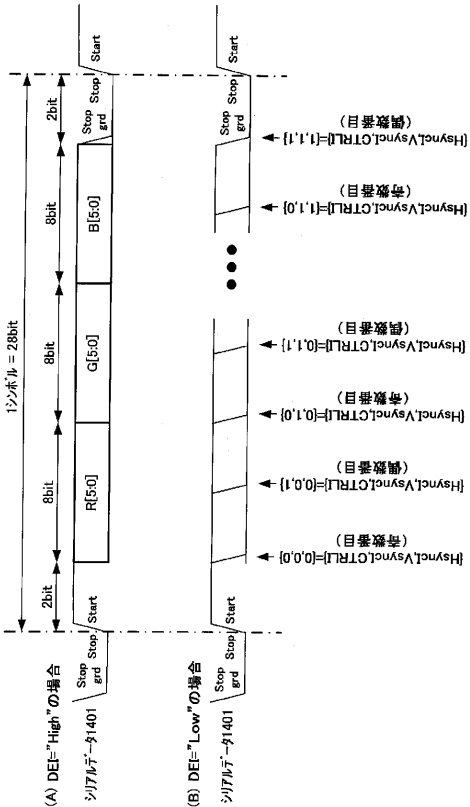
【図55】

【図55】



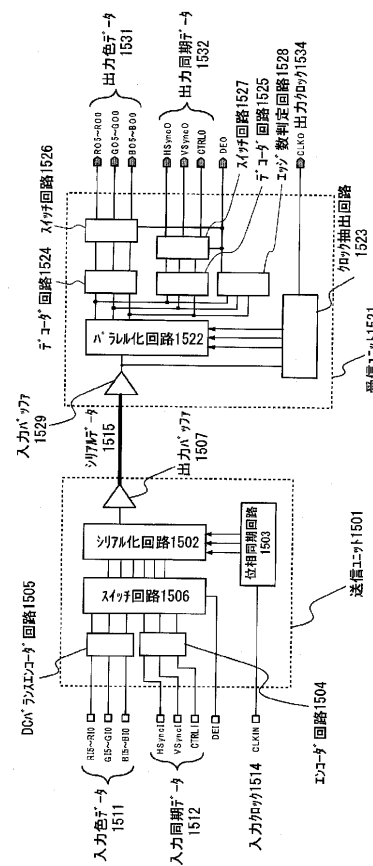
【図56】

【図56】



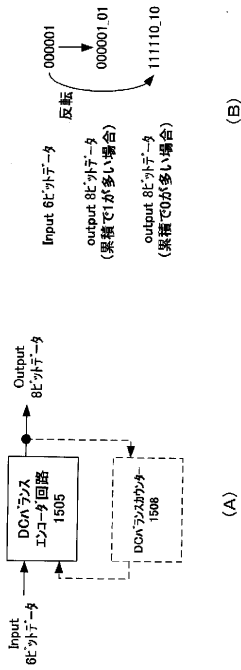
【図57】

【図57】



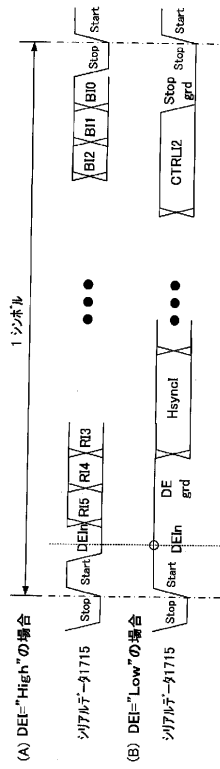
【 58 】

【図58】



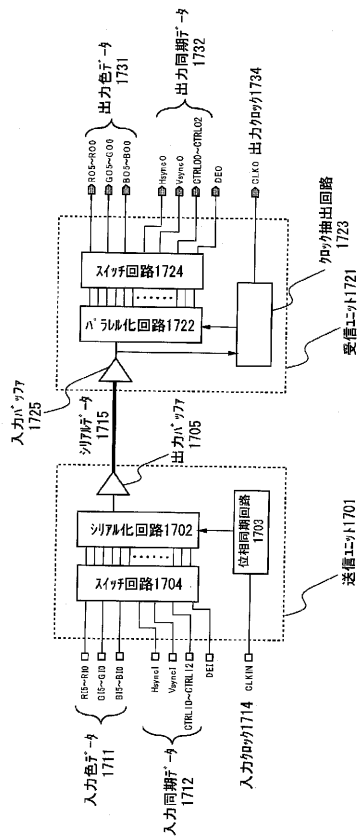
【 59 】

【図59】



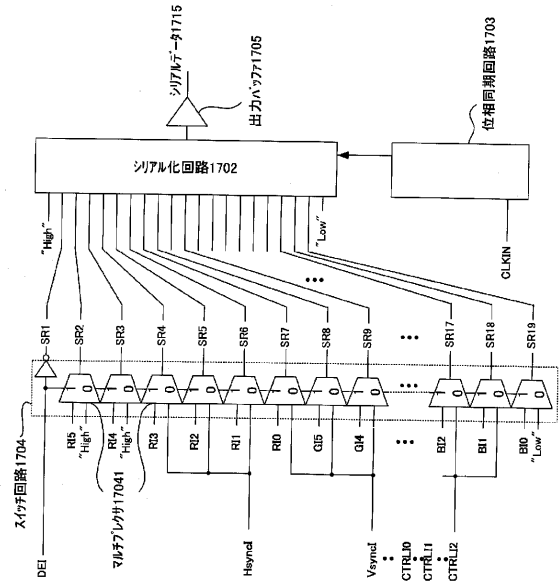
【 60 】

【図60】



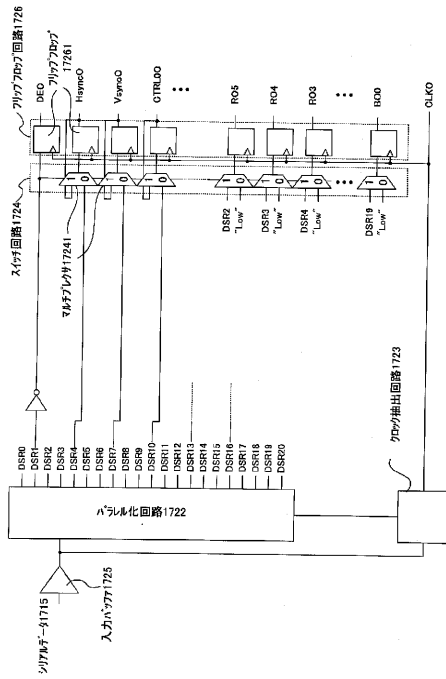
【 61 】

【図61】



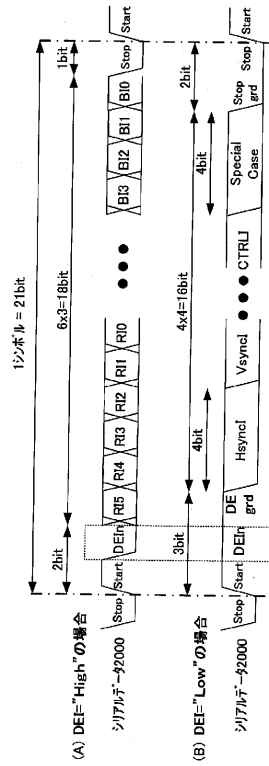
【 6 2 】

図62



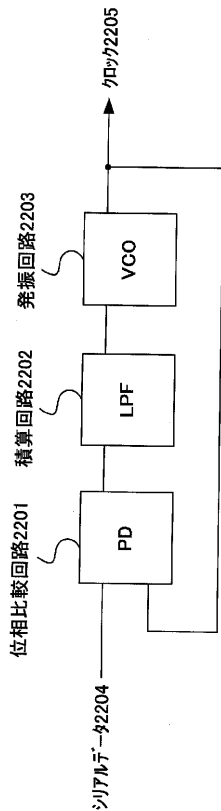
【 6 3 】

図63



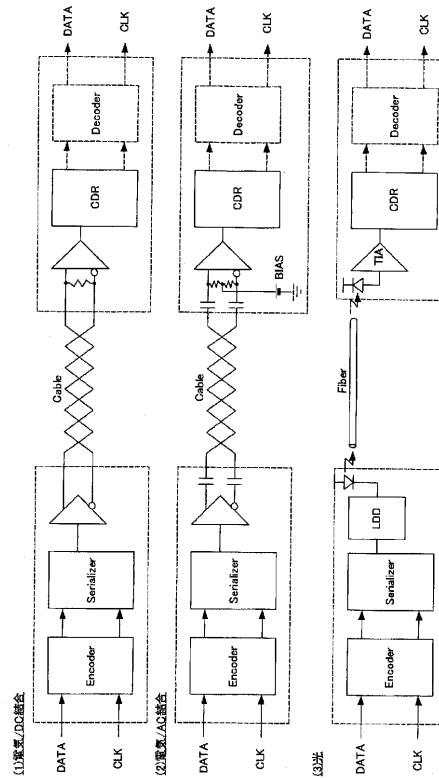
【 6 4 】

図64



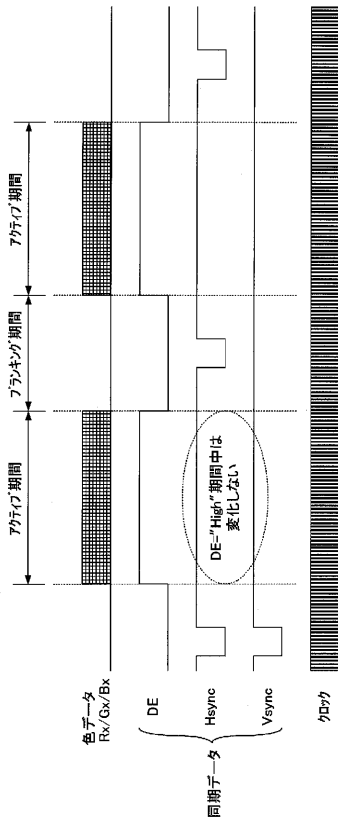
【 6 5 】

図65



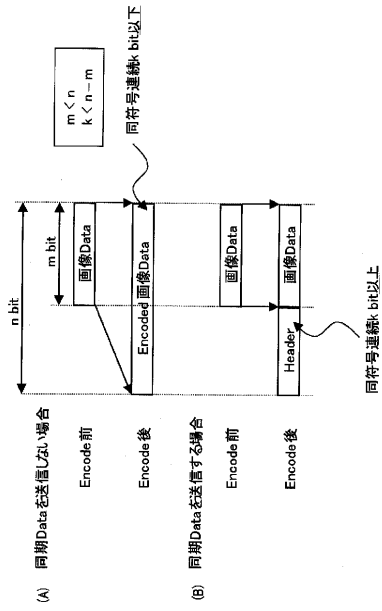
【 66 】

[図66]



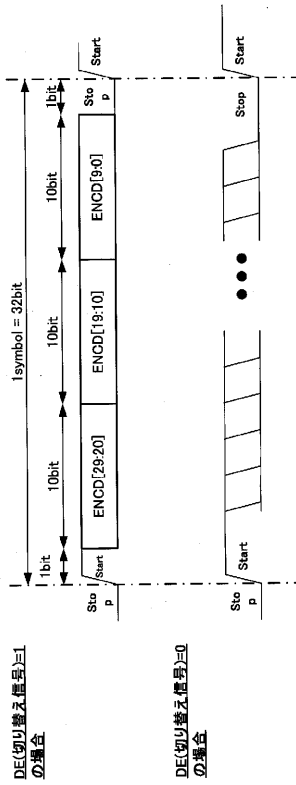
【 67 】

[図67]



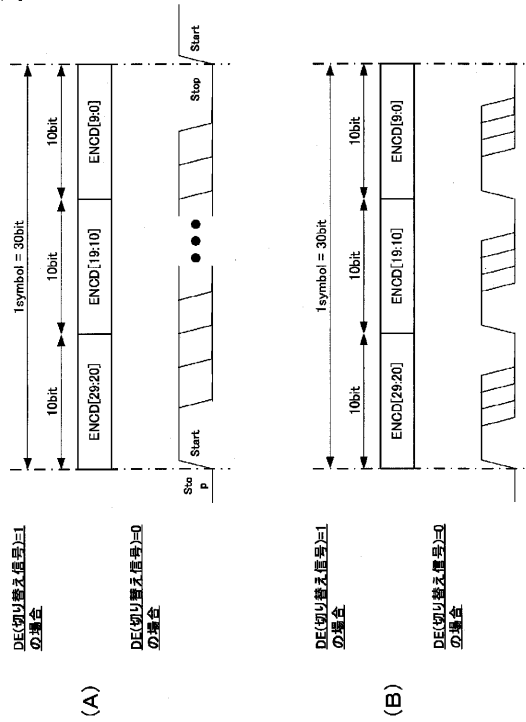
【 68 】

[図68]



【 69 】

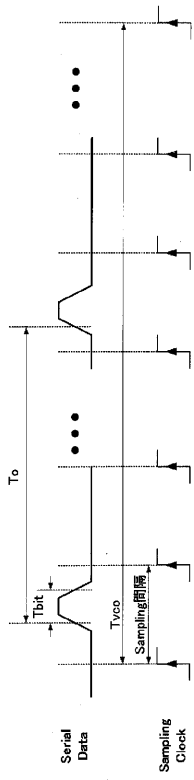
[図69]





【 70 】

70



---

フロントページの続き

早期審査対象出願

(72)発明者 三浦 賢

東京都中央区日本橋本町三丁目3番6号 ザインエレクトロニクス株式会社内

審査官 阿部 弘

(56)参考文献 特開平08-022364(JP,A)

国際公開第02/065690(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

H04L 25/49

H03M 9/00

H04L 7/033