

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97105225

※ 申請日期： 97.2.14

※IPC 分類：H01L

H05K 3/42(2006.01)

一、發明名稱：(中文/英文)

使用電鍍之導電通孔之形成

CONDUCTIVE VIA FORMATION UTILIZING ELECTROPLATING

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 泰瑞 G 史巴克
SPARKS, TERRY G.
2. 羅伯 E 瓊斯
JONES, ROBERT E.

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實；其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年02月27日；11/679,512

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明所討論的是一種導電通孔之形成方法，該方法包括：在半導體基板(103)之第一側(125)上形成種子層，其中，半導體基板包括第一側和第二側(127)，第一側與第二側相對；從半導體基板第二側在半導體基板上形成一通孔孔洞(329)，其中，該通孔孔洞使種子層曝露在外；及從種子層電鍍導電通孔材料(601，603)於通孔孔洞中。一實施例中，一連續導電層(116)在種子層上形成並與其電耦合。電鍍導電通孔材料時，連續導電層可作為電流源。

六、英文發明摘要：

A method for forming a conductive via is discussed and includes forming a seed layer over a first side(125) of a semiconductor substrate(103), wherein the semiconductor substrate includes a first side opposite a second side(127), forming a via hole(329) in a semiconductor substrate from the second side of the semiconductor substrate, wherein the via hole exposes the seed layer; and electroplating a conductive via material(601,603)in the via hole from the seed layer. In one embodiment, a continuous conductive layer(116) is formed over and electrically coupled to the seed layer. The continuous conductive layer can serve as the current source while electroplating the conductive via material.

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

101	晶圓
103	基板
105	導電通孔
106	介電層
107	金屬互連
108	互連層
109	導電通孔
110	介電層
111	金屬互連
112	互連層
113	金屬互連
114	介電層
115	導電通孔
117	金屬互連
119	金屬互連
120	電晶體
121	導電通孔
122	多層互連
123	金屬互連
127	晶圓101之背面
131	層內介電材料

133	層內介電材料
228	介電層
329	通孔
331	通孔
401	襯墊
601	導電填充材料
603	導電填充材料
701	墊
703	墊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明主要與半導體處理有關，更確切地說，是與使用電鍍之導電通孔之形成有關。

【先前技術】

半導體裝置使用貫穿基板電連接來移轉信號、能量、及/或穿過一基板之接地。在一示例中，，此類連接可被採用來移轉多積體電路封裝內積體電路之間的信號。在另一示例中，貫穿基板連接被用作接地，以將電路接地到封裝基板上。人們迫切需要這樣的貫穿基板連接，因為它們一般比引線結合連接更短、電阻和電感也更小。

藉由形成導電通孔從晶圓背面到互連層的接觸墊穿過基板，來構成一些貫穿基板連接。在形成穿過基板之導電通孔的一方法中，從晶圓的背面形成等形種子層。該種子層繼而作為從晶圓背面電鍍的陰極。該方法存在的一個問題是，由於濺射法及其他沉積處理法的限制，在一具有較高縱橫比的貫穿基板通孔上形成種子層是相當困難的。同時，在鍍銅過程中，可能會發生斷裂，尤其是在接近高縱橫比通孔的背面開口處，這導致了導電填充材料中的空隙。另一個問題是，因為種子層是在晶圓背面整個表面上形成的，通孔填充材料也在晶圓的整個表面形成。隨後需要將這些材料清除。

另一穿過基板之通孔形成涉及在蝕刻一通孔開口穿過整個晶圓。接著在晶圓背面濺射種子層的方式使其足夠厚而

靠近遠離背面的通孔。然後，藉由電鍍從晶圓的正面沉積導電填充材料。此方法的一個問題是，通孔必須形成穿過整個晶圓。另外，通孔填充之後，也需要將底部種子層清除或圖案化。清除或圖案化如此厚的金屬層是複雜的、難以控制、並且耗時的。還有，導電填充材料並未形成電路先前存在之電互連的連接。故要執行額外處理以將填充通孔連接到晶圓正面的電路元件。該額外處理應在薄化晶圓上進行，其中，晶圓薄化是在貫穿晶圓通孔形成之前完成。

因此需要形成導電通孔穿過基板之改良技術。

對於熟悉此項技術的人員來說，可參見隨附圖式而更容易地瞭解本發明諸多目的、特徵以及優點。

【實施方式】

下面陳述的是一實施本發明之模式之詳盡描述。描述旨在對本發明做解析，而不在於限定。

圖1是依據本發明的一實施例，一晶圓在其生產製造一階段的局部側視剖面圖。所示實施例中，晶圓101包含一由塊狀半導體材料(如單晶矽、砷化鎵、或鍺化矽)製成的半導體基板103。半導體基板是一包含半導體材料之基板。在其他諸多實施例中，一半導體基板可有不同的結構，如絕緣體上半導體(SOI)結構。SOI結構例子如含有一在塊狀半導體材料基板上的絕緣體上矽(如二氧化矽)以及藍寶石基板上矽。在其他實施例中，一半導體基板可含有多層不同半導體材料，例如矽上之鍺化矽、鍺化矽上(及

矽上)之矽及/或介電材料。基板103含有在其正面形成的主動電路(如電晶體120)。晶圓或基板的正面即是晶圓或基板之主動電路形成面。晶圓或基板的背面即是與正面相對的面。

主動電路在基板103上形成之後，多層互連122在晶圓101的正面125上形成。多層互連122含有層間介電層106及110。多層互連122還含有互連層108及112。層間介電層106及110含有介電材料如TEOS(四乙基原矽酸鹽)、 SiO_2 或低K介電質，使得相鄰互連層之金屬互連電絕緣。層間介電層106及110還含有蝕刻停止層及障壁層，它們由氮化矽或碳氮化矽製成。圖1中未標示蝕刻停止層及障壁層。層間介電層106及110還另含有導電通孔105、109、115、121，該等通孔含有銅、鎢、金及/或鋁填充物。導電通孔將基板103正面上的主動電路(如120)與互連層108及112上的金屬互連107、111、113、117、119、及123連接起來。每個互連層(108和112)還含有位於該互連層之金屬互連(如107和113)之間的層內介電層材料(131和133)。互連層106及110之介電材料上還可含有蝕刻停止層及障壁層(未標示)。

可藉由在晶圓101之正面125上形成導電層並繼而使該導電層圖案化，以形成互連層108及112的金屬互連107、111、113、117、119和123。在圖案化以形成金屬互連的一實施例中(可稱為鑲嵌製程)，一層內介電材料層(如131、133)例如藉由化學汽相沉積(CVD)在晶圓101之正面

125上方形成，及繼而圖案化以在其中形成溝槽。金屬層，如銅，之後在包含在溝槽內的晶圓101之正面125上方形成。正面125之後被平面化(如藉由化學機械拋光(CMP))，其中，唯有銅材料保留在層內介電材料的溝槽內。

在使金屬層圖案化以形成金屬互連107、111、113、117、119和123的另一實施例中，一金屬層(如鋁)在晶圓101之正面125上沉積。之後採用微影及蝕刻製程圖案化金屬層以形成金屬互連。層間介電材料之後在正面125上方沉積，其中，之後採用CMP或其他平面化技術如阻劑塗層或蝕回將層內介電材料平面化。

在一些實施例中，金屬互連107、111、113、117、119和123亦可含有多個不同材料的層。例如，金屬互連可含有一導電障壁層(如鈹、氮化鈹、氮化鈦或鈦鎢)。

多層互連122還含有一頂層介電層114。在一實施例中，頂層介電層114含有一種介電材料，如二氧化矽、氧氮化矽、氮化矽，或聚醯亞胺。在一些實施例中，介電層114含有多個介電層並且可含有蝕刻停止層及障壁層。介電層114含有開口以使互連層112之互連111、117和123曝露在外。

在所示實施例中，金屬層116是在晶圓101之正面125上方形成的。在一實施例中，金屬層116含有鋁，但亦可含有其他導電材料，如銅、金、或鎢。另外，金屬層116還可含有障壁層或種子層(如氮化鈦、鈦鎢、或鈹)。

金屬層 116 可藉由濺射、CVD、電鍍、物理汽相沉積 (PVD) 或其他處理方法形成。金屬層 116 是晶圓 101 之整個正面 125 上形成的連續導電層。在一實施例中，金屬層 116 的厚度在 10,000 至 50,000 埃範圍內，但在其他實施例中，也可有其他不同厚度。

圖 2 是在基板 103 薄化以減小其厚度之後，晶圓 101 之局部側視剖面圖。可藉由研磨、蝕刻、CMP 或聯合使用這些方法將基板 103 薄化。在一實施例中，基板 103 薄化之前的厚度在 300 至 1000 微米範圍內，而在薄化之後，其厚度在 10 至 200 微米內。然而，其他實施例之晶圓在薄化前後可有其他不同的厚度。

薄化之後，在晶圓 101 之背面 127 形成介電層 228。介電層可含有氧化矽、氮化矽、四乙基原矽酸鹽、類鑽石材料及/或藍寶石。在一實施例中，可在背面 127 上從含有半導體材料之基板沉積 (如 CVD、PVD) 或生長介電層 228。在一些實施例中，不使用介電層 228。

圖 3 是通孔 329 和 331 從晶圓 101 之背面 127 到互連 113 及 119 之開口或孔洞分別形成後，晶圓 101 的局部側視剖面圖。在一實施例中，通孔 329 和 331 的孔洞是藉由以下方法形成的：在背面 127 上形成光阻劑層，並將光阻劑圖案化以形成通孔 329 和 331 之蝕刻掩膜。在形成通孔 329 和 331 之孔洞時，介電層 128、基板 103、層間介電材料層 106 都是採用適合清除此等材料層的蝕刻化學品來蝕刻的。在一實施例中，蝕刻介電層 228 之後，將圖案化光阻劑層 (未顯示)

清除，其中，介電層228是被用作接下來蝕刻基板103和層106的硬質掩膜。在一實施例中，通孔329和331之孔洞深度對寬度的高寬比在0.5:1-10:1範圍內，但在其他實施例中，也可採用不同於此的高寬比。

如圖4所示，通孔329及331的孔洞形成後，在通孔329及331的側壁上分別形成側壁襯墊401、403。在一實施例中，藉由沉積間隔材料(例如，藉由CVD或原子層沉積(ALD))等形層，之後，各向異性地蝕刻該等形層，以在曝露互連113、119的同時形成襯墊401及403。在一實施例中，襯墊401和403屬於介電質材料(例如，氧化矽、氮化矽、氧氮化矽)以將繼而形成的導電填充材料與基板103電絕緣開來。在其他實施例中，襯墊401和403屬於作為擴散障壁層的材料，以防止金屬填充材料擴散到基板103中。

在一些實施例中，襯墊401和403屬於導電性材料，以將填充材料電連接至基板。此結構對於接地基板103很是必要。其他實施例也可不含有襯墊401和403。

圖5是通孔329、331中的導電填充材料507、509之電鍍沉積過程中，晶圓101的局部側視剖面圖。在所展示之實施例中，金屬互連113、119是作為導電性填充材料507、509電鍍之平台墊和種子層。所示實施例中，陰極接頭501被電連接至導電金屬層116，116經由導電通孔115及互連117電耦合至互連113，經由導電通孔121及互連123電耦合至互連119。

陰極接頭501被電耦合至電鍍電源503，503在所示實施

例中是脈衝直流電源。陽極505被電耦合至電源503。在一實施例中，晶圓101和陽極505被浸入電解質溶液中，來自電源503將電流供應給接頭501(此處，陽極505之材料沉積在通孔329、331中)。電鍍時，填充材料開始從互連113、119上積聚，並在先前電鍍過的填充材料上繼續電鍍。因互連113、119與層116電耦合，層116在分別形成填充材料507和509而進行的電鍍過程中用作電流源。圖5之實施例中，顯示通孔329和331分別部分填有導電填充材料507、509。在其他實施例中，也可採用其他電鍍製程。

電鍍過程中，對層116進行保護或將其密封，以防止該層之陽極505的材料沉積。

在一實施例中，填充材料含有銅，同時也可含有其他材料如金、鎳、鈮或其合金或其他可電鍍的導電材料。

一實施例中，陰極接頭501在晶圓101之周界區域連接至層116。一些實施例中，周界區域是指晶圓的一區域，一旦晶圓分離為多個積體電路，該區域便不再是積體電路的一部分。其他實施例中，陰極接頭501所連接的區域位於層116上的一區域，而116進而將不再用於形成積體電路的外部接頭(如接合墊)或其他形式的接頭。

電鍍過程中，若層116是被密封的，則唯有互連113、119是圖5中所示曝露的導電結構，並與陰極接頭510電耦合。據此，電鍍過程中，起初時，填充材料唯在通孔309、331中形成。其他結構並未鍍上導電填充材料。鑒於此實施例，電鍍製程後，無需清除背面127上的填充材料

連續層。

圖6所示是通孔329、331分別由導電填充材料601、603完全填充後晶圓101的狀態。一實施例中，電鍍唯在填充材料溢出或開始覆蓋介電層228一些部分時進行。一些實施例中，電鍍以使填充材料601、603與層228共同平面化後，再將背面127平面化。

圖7所示是層116被圖案化以形成導電墊後，晶圓101的狀態。一實施例中，藉由微影及各技術將層116圖案化。例如光阻劑層可在層116上的正面125上沉積，並被圖案化以形成掩膜結構。所有不位於掩膜結構下方之層116的材料將被清除以留下墊。

一實施例中，墊701、703、705均為外部引線接合墊。另一實施例中，墊701、703、705每個均位於凸塊接頭的凸塊墊結構下方(此處，後續金屬在墊701、703、705上形成以實現凸塊結構)。這些外部導體用來將晶圓101的積體電路之電路與外部電路電耦合。其他實施例中，也可將另一積體電路與墊701、703、705電耦合，如在多晶粒封裝組態中(如垂直或3-D綜合結構)。

利用陰極接頭附加裝置之金屬層(用以形成外部接頭)可能有的優點是，薄化晶圓以形成背面通孔後，無需額外的層間金屬層沉積。對於一些先前技術方法，通孔是穿過整個晶圓形成的，後續金屬層沉積是必要的，以將晶圓的電路互連起來。此種沉積因減小的基板厚度而變得更為複雜。本文所描述的一些實施中，所有正面層間金屬層沉

積都發生在晶圓薄化之前。

然而，也可能在墊701、703、705頂部上加上額外互連層以進一步將基板103之主動電路與用於外部電連接的結構互連。例如，為互連墊701、703、705，可在正面125上形成另一金屬層並將其圖案化。一些實施例中，被用作形成導電通孔的種子層之互連(如互連119)不與外部電路接頭電耦合。

圖8所示是背面接頭墊801、803形成後，晶圓101之局部側視剖面圖。墊801、803分別與填充材料601、603電耦合。所示實施例中，墊801電耦合至墊703，而墊803則電耦合至墊705。

一實施例中，接頭墊801、803是藉由沉積一金屬層並將該金屬層微影及蝕刻圖案化而形成的。其他實施例中，墊801、803是藉由鑲嵌製程(沉積介電層且形成墊開口)而形成的。之後，金屬層會在背面127上、同時也在開口內形成，然後再將金屬層平面後，其中位在開口外的金屬則被清除。

另一實施例中，墊801、803是藉由以下方式而形成的：在背面127上方沉積種子導電層，在含有墊開口的種子層上方形成光阻劑層，然後再電鍍開口內的材料。在接下來的處理中，墊外部的光阻劑及種子層會被清除。在又一實施例中，墊801、803可藉由選擇性地在導電填充材料601、603上沉積金屬而形成。

其他實施例中，墊801、803可在層116圖案化之前形

成。也有些實施例不含有墊801、803。另外實施例中，在填充材料601、603形成之後，需清除層228的至少一部分，這樣，填充材料601、603的一部分才可從背面127延伸出來。

一實施例中，墊801、803被用作晶圓101之積體電路之電路至外部電路的外部連接。

圖9所示的是晶圓101之第二實施例。圖9所示的實施例有別於圖7之實施例，因為墊901、903、905是藉由鑲嵌法從金屬層116圖案化的，而形成墊701、703、705之圖案化處理與此不同。在鑲嵌製程中，層116被平面化(如藉由CMP處理)，這樣，層114中開口外部之層116的材料就被清除掉。在接下來的處理中，另外的結構(如墊801、803)可在晶圓101上形成。

晶圓101含有其他位於其上其他區域的其他主動電路、互連以及貫穿導電通孔(未標示)。晶圓101繼而被分離成多個積體電路。積體電路之後被封裝成積體電路封裝，其中，墊(如701，801及901)被電耦合至封裝之導電結構。一實施例中，積體電路是多積體電路封裝的一部分。

所示之實施例中，電鍍之種子層(互連119、113)位於多層互連122之最先形成的互連層108中。然在其他實施例中，種子層可位於繼層108而形成的其他金屬層上(如112)。

使用內部導電互連(如113、119)作為平台墊及種子層而實現導電通孔之形成的一個優點在於：較之貫穿晶圓101

而形成之通孔，這減小了在通孔329及331形成時需被清除的晶圓101之厚度。為貫穿基板通孔所移除之晶圓數量的減少不僅減少了蝕刻時間，同時也減少了蝕刻步驟，因不同材料層的數量有所減少。例如，由於並非要清除多層互連122的所有層，故產生通孔329及331所需的蝕刻步驟便減少了。

同時，使用用以形成積體電路後續導電結構作為陰極接頭接觸層及電流源的層進一步減少了電鍍以形成背面通孔連接的處理步驟。因為層116之後將被用來形成晶圓101之積體電路之電接頭，較之其他電鍍通孔形成之方法，該電鍍無需種子層之形成、清除之額外步驟。

另外，使用正面金屬層作為陰極接頭接觸層使得從晶圓背面的導電通孔填充材料逐漸累積，而無需從背面沉積種子層填入通孔。據此，可避免通孔內種子層材料的空隙及底座塊。這樣，可使用本文所述處理方法來形成具有較大高寬比之通孔。另外，也無需在晶圓背面形成種子層，平面化處理來清除過度電鍍填充材料是行之有效的，因為在平面化處理中，無需清除種子層。

另外，電鍍以使導電通孔材料沉積，使得需被填充由內部導體至此背面之通孔減少了因等形層填充材料沉積而造成的空隙及底座塊。據此，可採用大高寬比通孔之形成。另外，藉由使用電鍍處理來代替等形處理而沉積導電填充材料，材料主要在孔洞內而非其外形成。這使得通孔被導電材料填充後，需清除的多餘填充材料的數量大為減少。

另外，因種子層曝露之部分(如圖案化互連119及113)位於通孔開口內，較之電鍍覆蓋整個晶圓之種子層，該電鍍過程中，材料累積速率提高了。因為種子層僅位於材料形成區，需電鍍之面積減小了，則此區域內的電鍍速率較大。這樣，具有如種子層之圖案化結構縮短了電鍍時間。

儘管，上述方法描述的是從晶圓背面進行電鍍，也可採用該方法從晶圓正面進行電鍍。

一實施例含有一形成導電通孔之方法。該方法包括在半導體基板第一側上形成一導電層。該半導體基板包括第一側及第二側，且第一側與第二側相對。該方法還包括使導電層圖案化，以形成平台墊，並在半導體基板中從半導體基板第二側上形成一通孔孔洞。通孔孔洞使平台墊曝露在外。該方法還包括使用該平台墊作為種子層在通孔孔洞內電鍍導電通孔材料。

另一實施例含有導電通孔形成之一方法。該方法包括在半導體基板第一側上形成一種子層。半導體基板包括第一側和第二側，且第一側與第二側相對。該方法還包括在種子層上形成連續導電層。該種子層與連續導電層相連。該方法還包括，種子層形成之後，在半導體基板中從半導體基板第二側形成一通孔孔洞。通孔孔洞使種子層曝露。該方法還包括使用連續導電層作為電流源在通孔孔洞內從種子層電鍍導電通孔材料。

另一實施例包括一導電通孔之形成之一方法。該方法包括在半導體基板之第一側上形成一導電層。該基板包括第

一側和第二側。第一側與第二側相對。該半導體基板包括主動電路。該方法還包括使導電層圖案化以形成一平台墊，並在該平台墊上形成連續導電層。連續導電層與平台墊電耦合。該方法還包括從第二側蝕刻半導體基板以形成通孔孔洞進而使平台墊曝露，且使用平台墊作為種子層及使用連續導電層作為電流源在通孔孔洞內電鍍導電通孔材料。該方法還包括，電鍍導電通孔材料後，將連續導電層圖案化。

儘管上文對本發明之特定實施例進行了描述和展示，熟悉此項技術的人員應認識到，基於本教示內容，在無違本發明及其較廣觀點可進行各種變更與修改，因此隨附申請專利範圍將所有此類變更與修改包含在本發明申請專利範圍之內，如在本發明之真實精神及範疇內。

【圖式簡單說明】

圖1-8是依據本發明的一實施例，一晶圓在其生產製造各個不同階段期間的局部側視剖面圖。

圖9是依據本發明的另一實施例，一晶圓在其生產製造一階段期間的局部側視剖面圖。

不同圖式中，除非另有說明，相同參考符號代表相同的元件。圖式不一定按比例製成。

【主要元件符號說明】

101	晶圓
103	基板
105	導電通孔

106	介電層
107	金屬互連
108	互連層
109	導電通孔
110	介電層
111	金屬互連
112	互連層
113	金屬互連
114	介電層
115	導電通孔
116	金屬層
117	金屬互連
119	金屬互連
120	電晶體
121	導電通孔
122	多層互連
123	金屬互連
125	晶圓101之正面
127	晶圓101之背面
131	層內介電材料
133	層內介電材料
228	介電層
329	通孔
331	通孔

401	襯 墊
501	陰 極 互 連
503	電 鍍 電 源
505	陽 極
507	導 電 填 充 材 料
509	導 電 填 充 材 料
601	導 電 填 充 材 料
603	導 電 填 充 材 料
701	墊
703	墊
801	背 面 接 頭 墊
803	背 面 接 頭 墊
901	墊
903	墊
905	墊

十、申請專利範圍：

103年0月9日 修正頁(本)
封條

1. 一種形成一導電通孔之方法，該方法包括：

在一半導體基板之一第一側上形成一導電層，其中該半導體基板包括一第一側和一第二側，該第一側與該第二側相對；

使該導電層圖案化以形成一平台墊；

從該半導體基板之該第二側，於該半導體基板中形成一通孔孔洞，其中該通孔孔洞曝露出該平台墊；以及

使用該平台墊作為一種子層在該通孔孔洞上電鍍一導電通孔材料；

在該半導體基板之該第一側上形成一連續導電層，其中該平台墊與該連續導電層電耦合，且該連續導電層係作為電鍍該導電通孔材料之一電流源，

電鍍該導電通孔材料後，將該連續導電層圖案化，

其中將連續導電層圖案化包括將該連續導電層進行化學機械拋光。

2. 如請求項1之方法，其中該通孔孔洞包括一側壁且該方法還包括沿該通孔孔洞之側壁形成一側壁襯墊。

3. 如請求項2之方法，其中該側壁襯墊是一擴散障壁層。

4. 如請求項2之方法，其中該側壁襯墊是一絕緣體。

5. 如請求項1之方法，其中：

形成該導電層還包括形成包括銅之導電層；且

形成該連續導電層還包括形成包括鋁之連續導電層。

6. 如請求項1之方法，其中將該連續導電層圖案化包括蝕

刻該連續導電層。

7. 如請求項1之方法，還包括：

在該半導體基板第二側上形成一導電特徵，其中該導電特徵與該導電通孔材料電耦合。

8. 如請求項1之方法，還包括：

在該通孔孔洞形成前，在該半導體基板第二側上形成一介電層。

9. 如請求項1之方法，還包括：

在該半導體基板上形成主動電路。

10. 如請求項1之方法，其中該平台墊是於該半導體基板第一側上形成的多層互連之一金屬互連。

11. 一種形成一導電通孔之方法，該方法包括：

在一半導體基板之一第一側上形成一種子層，其中該半導體基板包括一第一側和一第二側，該第一側與該第二側相對；

在該種子層上形成一連續導電層，其中該種子層與該連續導電層電耦合；

形成該種子層之後，從該半導體基板第二側，於該半導體基板中形成一通孔孔洞，其中該通孔孔洞曝露該種子層；且

使用該連續導電層作為一電流源，於該通孔孔洞內從該種子層電鍍一導電通孔材料；

在電鍍該導電通孔材料後，使該連續導電層圖案化。

12. 如請求項11之方法，其中該通孔孔洞包括一側壁，且該

方法還包括沿該通孔孔洞之側壁形成一襯墊。

13. 如請求項11之方法，還包括：

在該半導體基板第二側上形成一導電特徵，其中該導電特徵與該導電通孔材料電耦合。

14. 如請求項11之方法，還包括：

在該半導體基板上形成主動電路。

15. 如請求項11之方法，其中形成該種子層包括：

在該半導體基板第一側上形成一第二連續導電層，其中該第二連續導電層之形成先於該連續導電層之形成；

將該第二連續導電層圖案化以形成該種子層。

16. 一種形成一導電通孔之方法，該方法包括：

在一半導體基板之一第一側上形成一種子層，其中該半導體基板包括一第一側和一第二側，該第一側與該第二側相對；

在該種子層上形成一連續導電層，其中該種子層與該連續導電層電耦合；

形成該種子層之後，從該半導體基板第二側，於該半導體基板中形成一通孔孔洞，其中該通孔孔洞曝露該種子層；且

使用該連續導電層作為一電流源，於該通孔孔洞內從該種子層電鍍一導電通孔材料；

其中形成該連續導電層還包括形成包括鋁之連續導電層。

17. 如請求項16之方法，其中該方法還包括：

電鍍該導電通孔材料之後，將該連續導電層圖案化。

18. 如請求項16之方法，其中：

形成該種子層還包括形成包括銅之種子層。

19. 一種形成一導電通孔之方法，該方法包括：

在一第一半導體基板之一第一側上形成一導電層，其中該半導體基板包括一第一側及一第二側，該第一側與該第二側相對，該半導體基板包括主動電路；

將該導電層圖案化以形成一平台墊；

在該平台墊上形成一連續導電層，其中該連續導電層電耦合至該平台墊；

從該第二側蝕刻該半導體基板，以形成一通孔孔洞並曝露該平台墊；

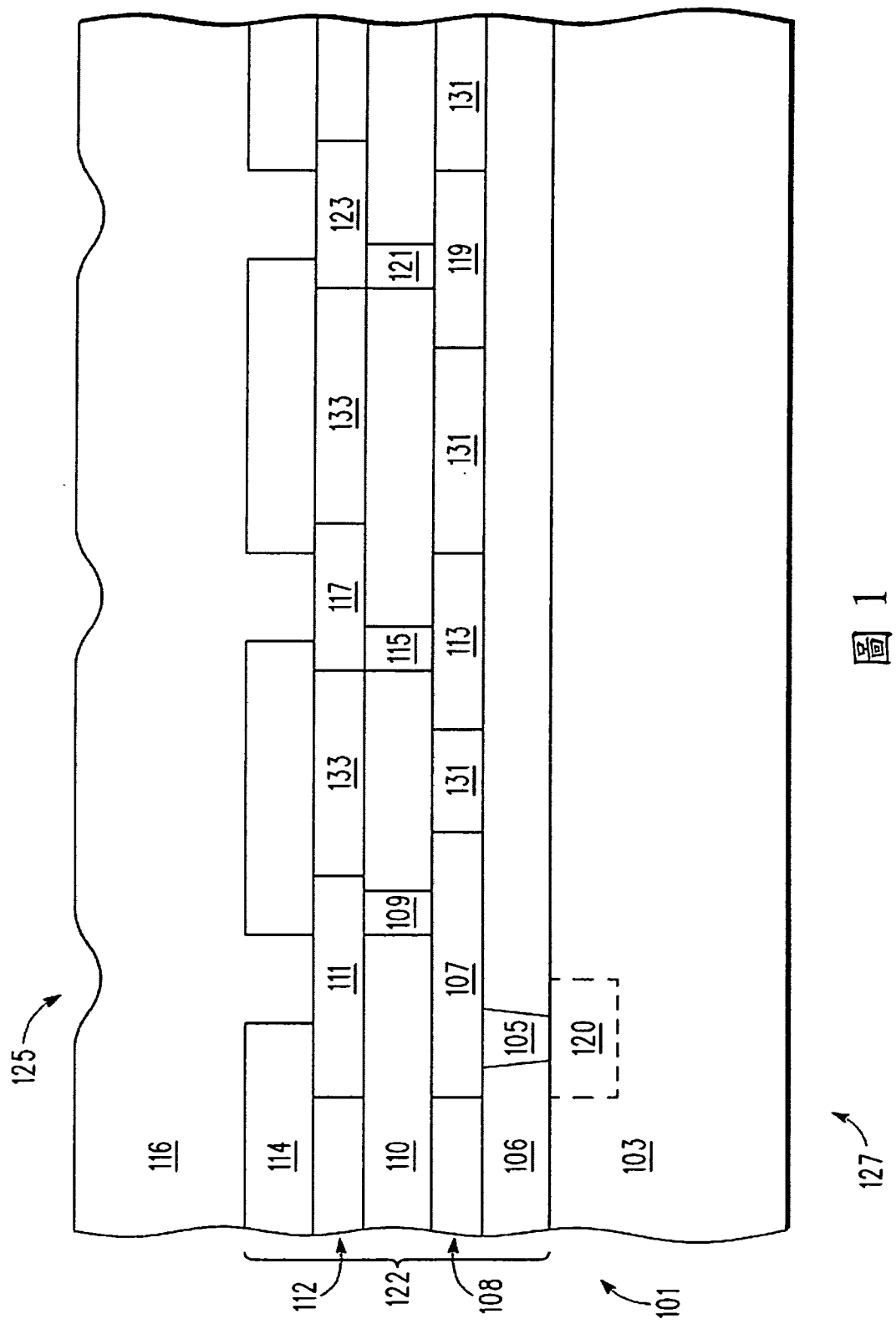
使用該平台墊作為一種子層及使用該連續導電層作為一電流源，在該通孔孔洞內電鍍一導電通孔材料；且

在電鍍該導電通孔材料之後，使該連續導電層圖案化。

20. 如請求項19之方法，其中該半導體是一晶圓的一部分，該方法還包括：

在將該連續導電層圖案化後，將該晶圓分離成複數個積體電路，其中在該圖案化該連續導電層之後、該分離該晶圓之前，該半導體基板之第一側上無其他連續導電層形成。

十一、圖式：



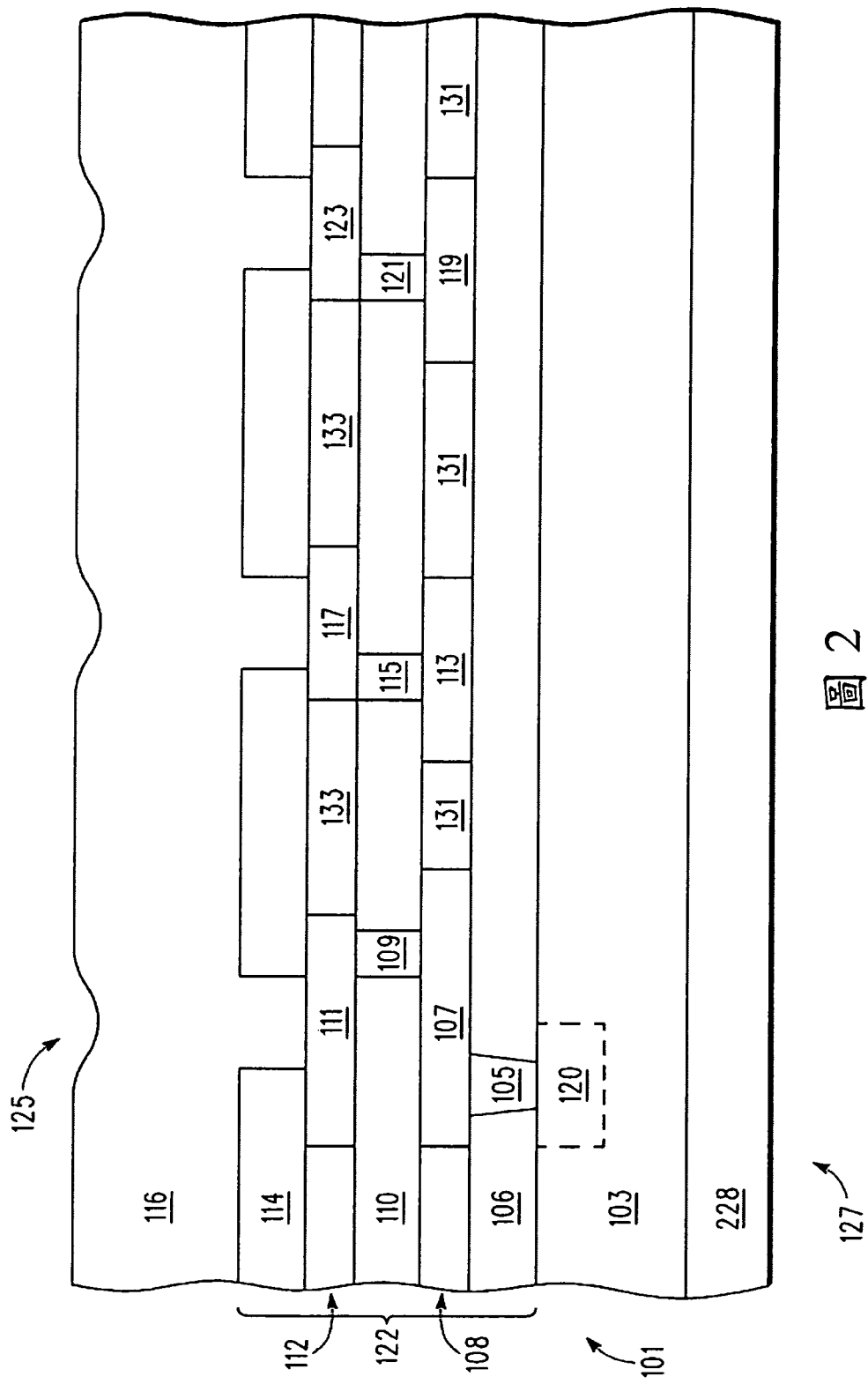


圖 2

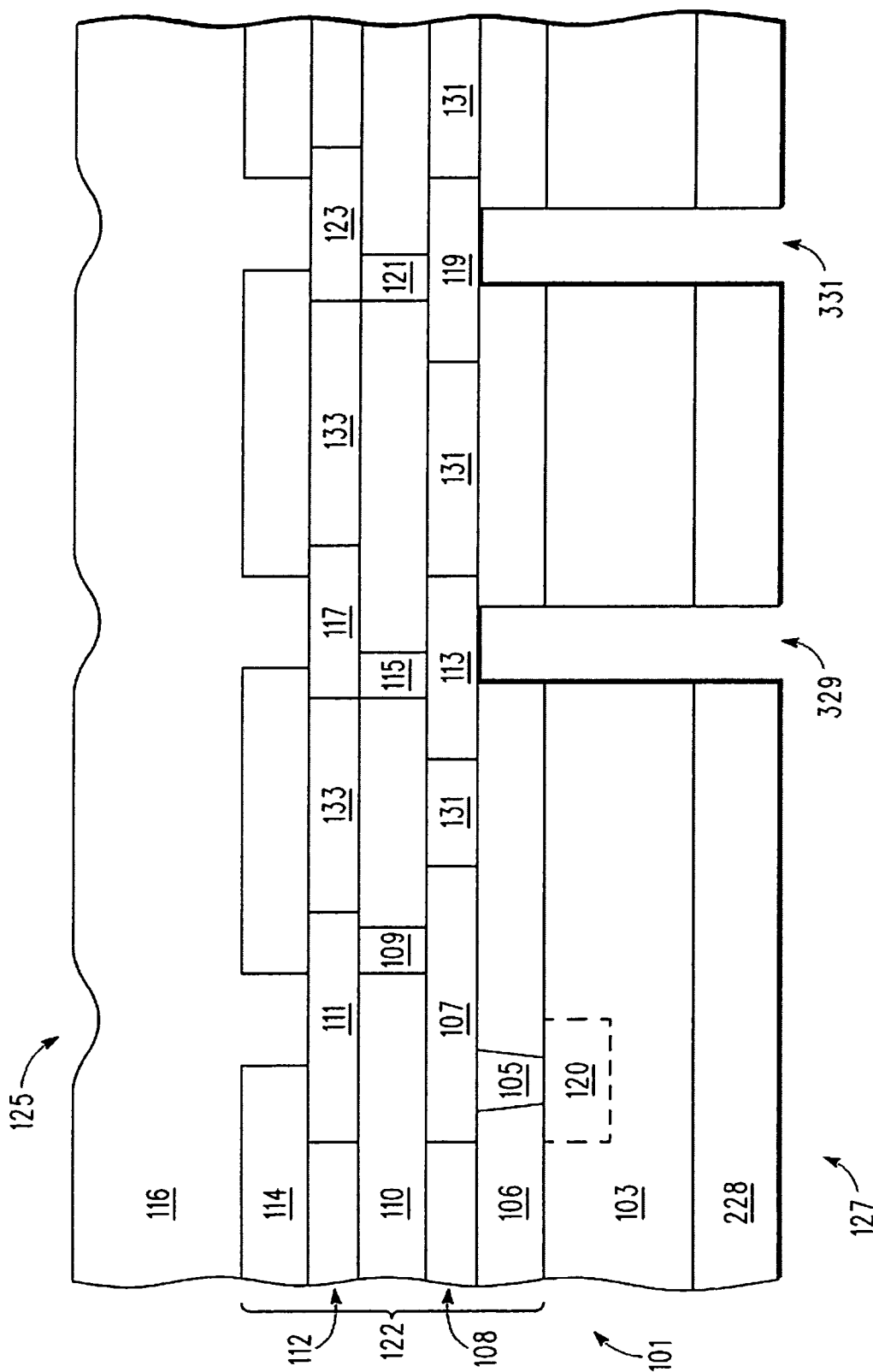


圖 3

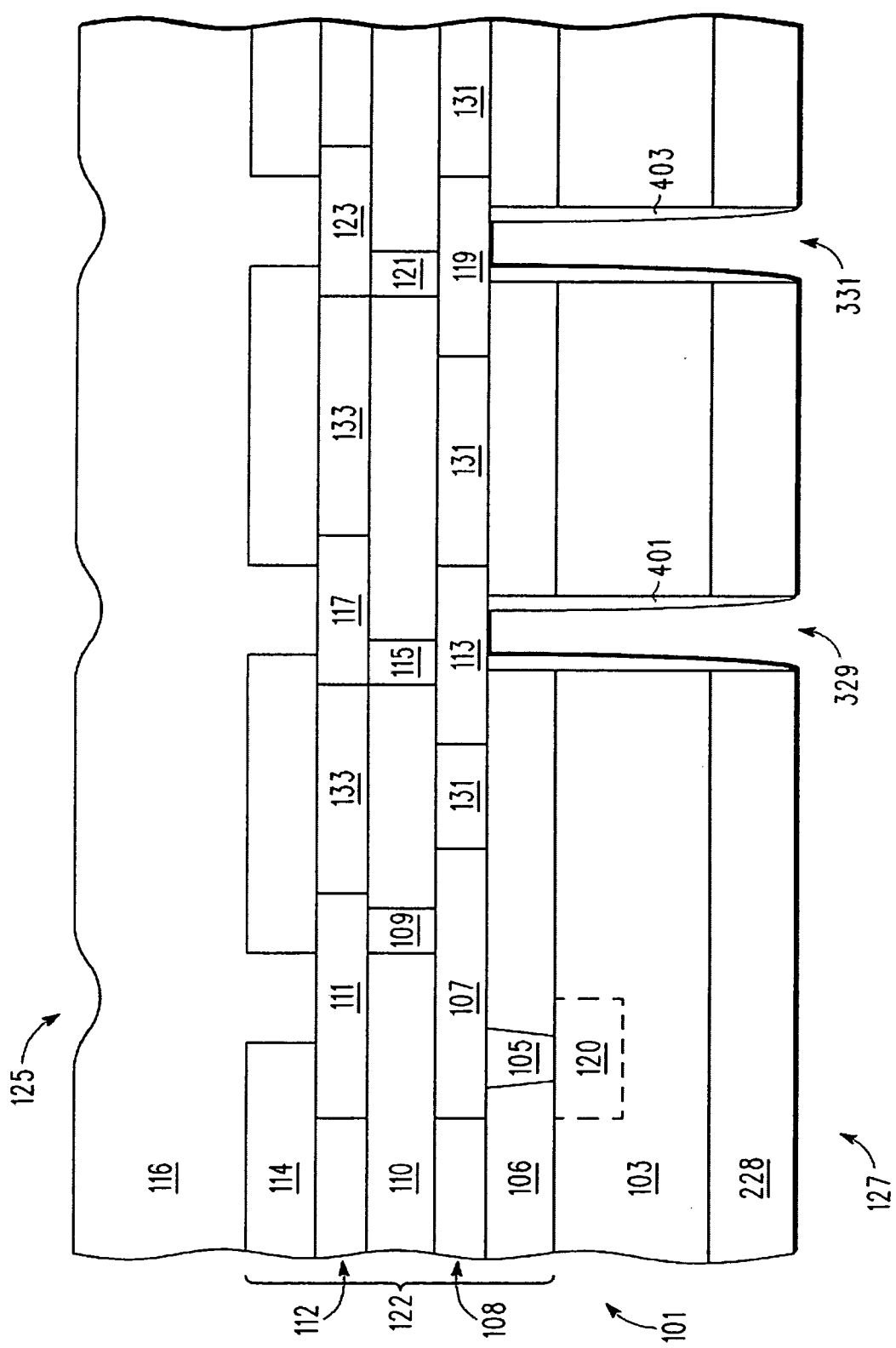


圖 4

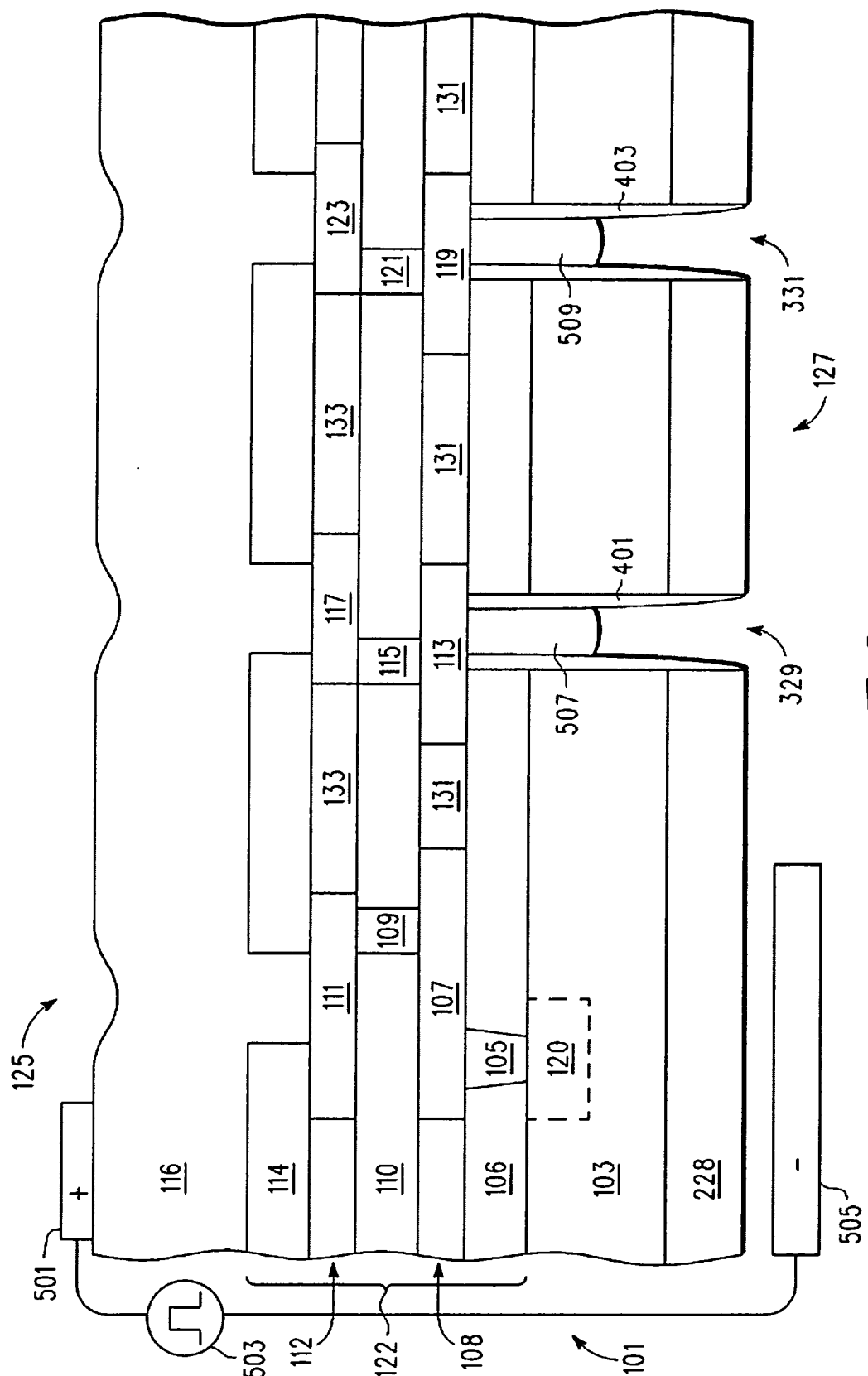


圖 5

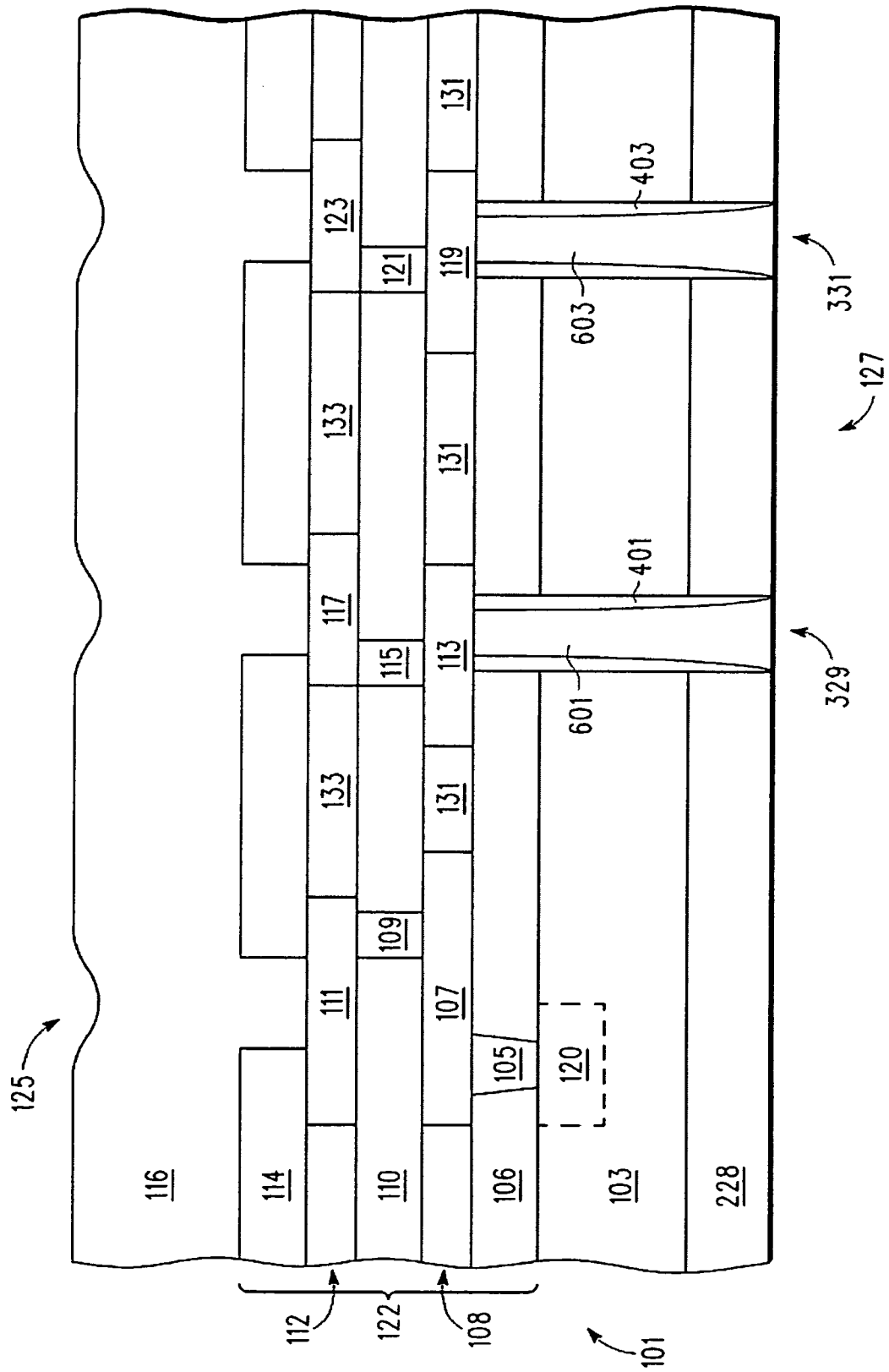


圖 6

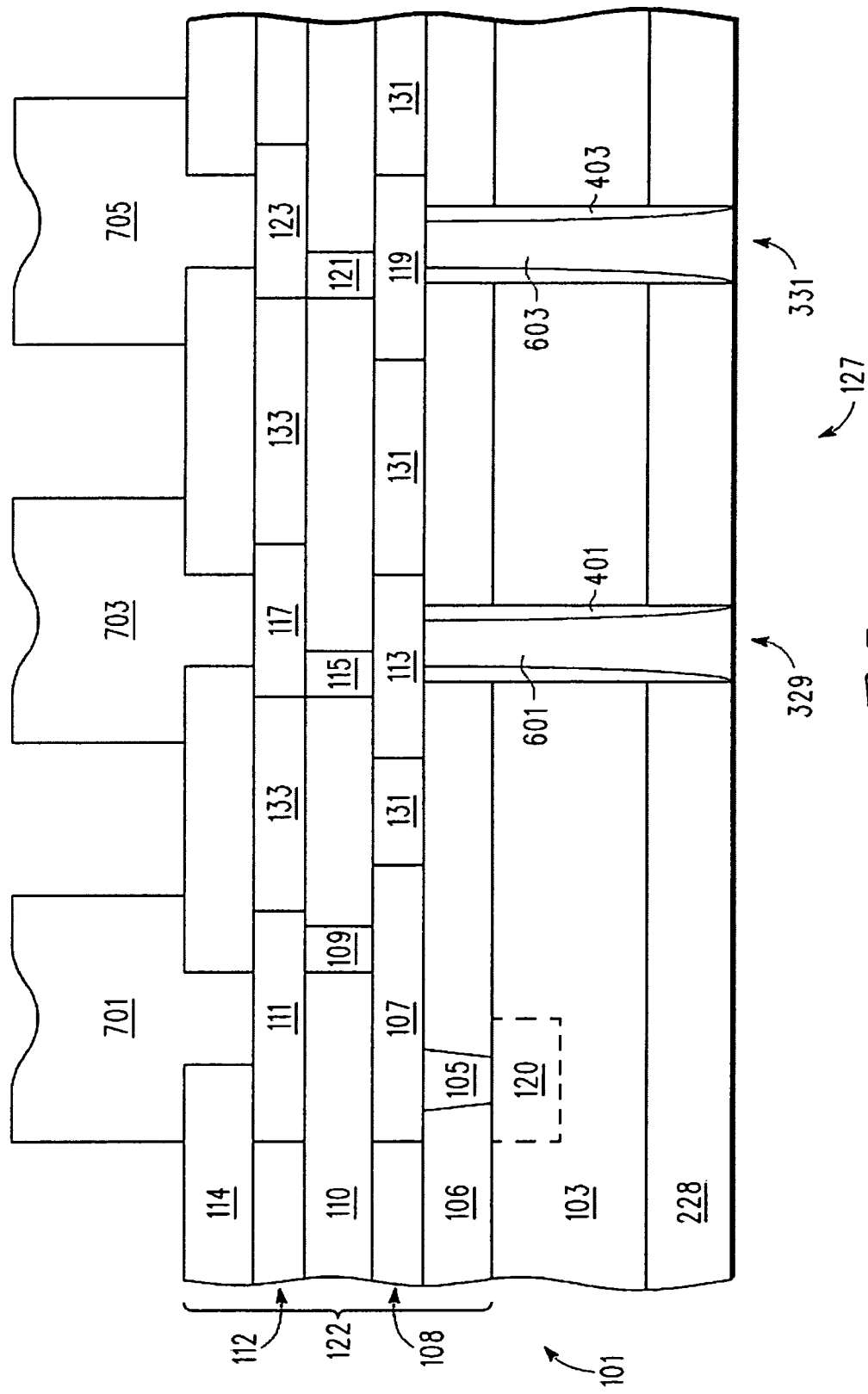


圖 7

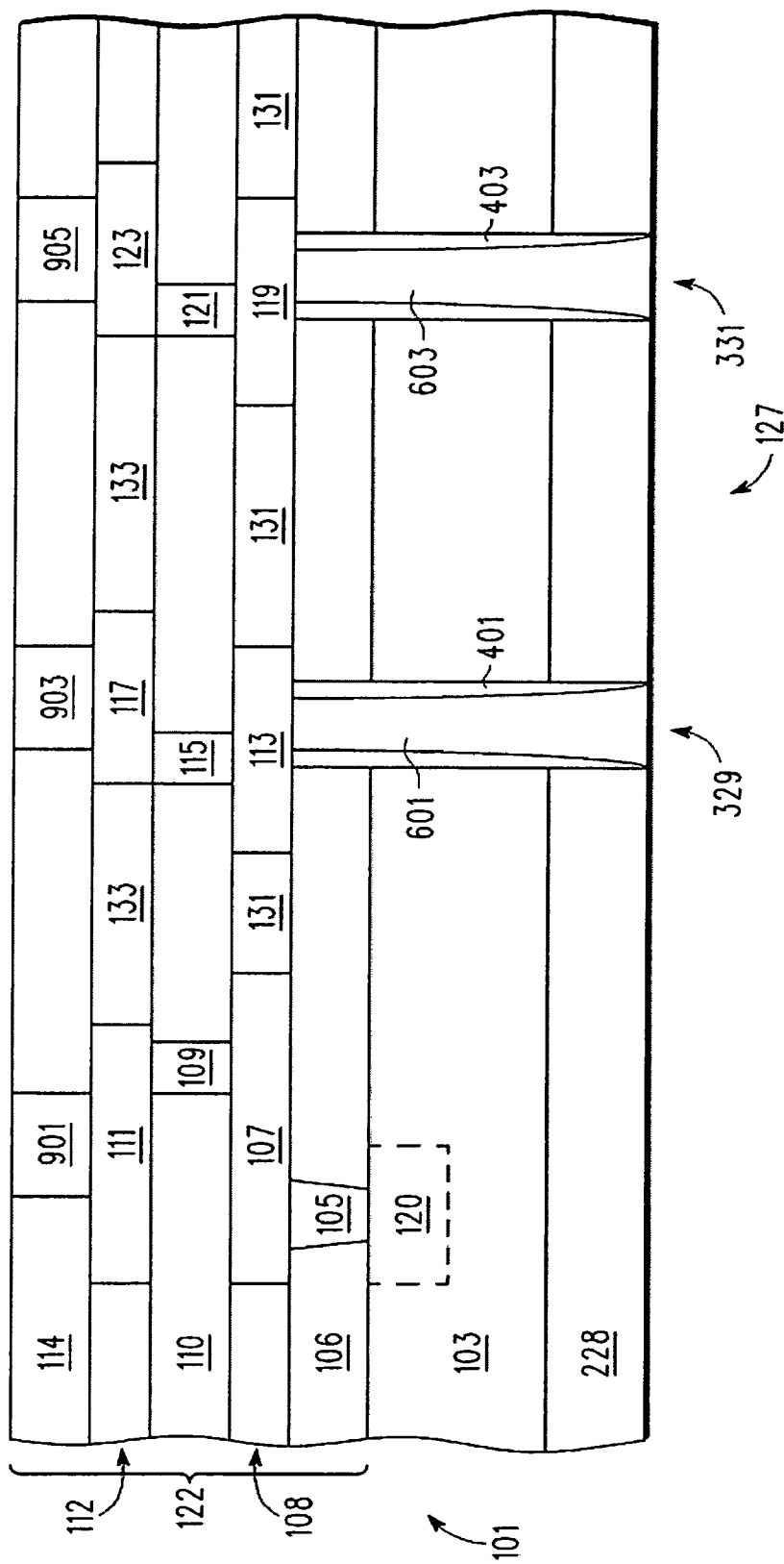


圖 9