【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成17年6月23日(2005.6.23)

【公開番号】特開2002-312131(P2002-312131A)
【公開日】平成14年10月25日(2002.10.25)
【出願番号】特願2002-44678(P2002-44678)
【国際特許分類第７版】
　Ｇ０６Ｆ　3/06
【ＦＩ】
　Ｇ０６Ｆ　3/06　３０５Ｃ
　Ｇ０６Ｆ　3/06　５４０

【手続補正書】
【提出日】平成16年9月28日(2004.9.28)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
　冗長データ記憶システムであって、
　デジタルデータを冗長に記憶するように構成された複数の記憶装置と、
　複数のトランザクションを発信して、前記記憶装置の動作を制御するように構成された複数のトランザクション発信装置と、
　前記トランザクション発信装置それぞれに対してデータを通信するように構成された複数の並列データバスと、
　少なくともいくつかのトランザクション処理装置に共通のトランザクション順序決めプロトコルにしたがった順序でトランザクションを処理するように構成された、前記並列データバスに接続された複数のトランザクション処理装置と、
を備える冗長データ記憶システム。
【請求項２】
　冗長データ記憶システムを動作させる方法であって、
　複数の記憶装置を用いてデータを冗長に記憶するステップと、
　複数のトランザクション発信装置を用いて複数のトランザクションを発信し、前記記憶装置の動作を制御するステップと、
　複数の並列データバスを用いて前記トランザクション発信装置に対してデータを通信するステップと、
　前記並列データバスに接続された複数のトランザクション処理装置を用いてトランザクションを処理するステップと、
を含み、前記処理は、少なくともいくつかのトランザクション処理装置に共通のトランザクション順序決めプロトコルにしたがった順序でトランザクションを処理する、前記方法。
【請求項３】
　冗長データ記憶システムを動作させる方法であって、
　ＲＡＩＤ記憶システムの複数の記憶装置を用いて冗長にデータを記憶するステップと、
　複数のトランザクション発信装置を用いて、複数のトランザクションを発信し、記憶装置の動作を制御するステップであって、前記発信は、前記記憶システムの入出力プロセッサを用いて書き込みトランザクションを発信すること、および前記記憶システムのコント

ローラを用いて読み込みトランザクションを発信することを含む、前記制御するステップと、

前記プロセッサおよび前記コントローラそれぞれに接続された複数の並列データバスを用いて、前記トランザクション発信装置に対してデータを通信するステップと、

前記並列データバスに接続された複数のトランザクション処理装置を用いて前記トランザクションを処理するステップと、

を含み、前記処理は、入出力プロセッサからの書き込みトランザクションがコントローラからの読み込みトランザクションに先行することを定義する、少なくともいくつかのトランザクション処理装置に共通のトランザクション順序決めプロトコルにしたがった順序でトランザクションを処理することを含む、前記方法。