

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月30日(30.08.2018)



(10) 国際公開番号

WO 2018/155079 A1

(51) 国際特許分類:
H02M 3/28 (2006.01)

(21) 国際出願番号: PCT/JP2018/002615

(22) 国際出願日: 2018年1月29日(29.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-031949 2017年2月23日(23.02.2017) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 塩見 竹史 (SHIOMI, Takeshi). 柴田 晃秀 (SHIBATA, Akihide). 岩田 浩 (IWATA, Hiroshi).

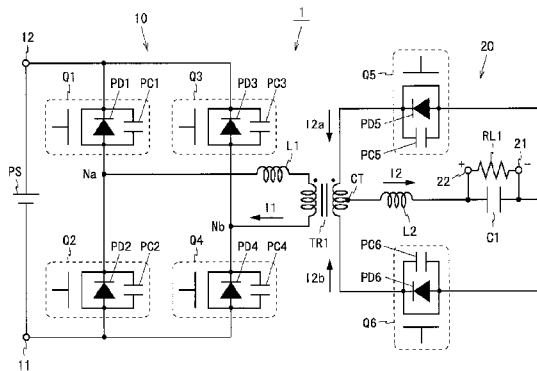
(74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: POWER SUPPLY DEVICE AND POWER SUPPLY UNIT

(54) 発明の名称: 電源装置および電源ユニット



(57) Abstract: This power supply device 1 is provided with a primary-side circuit 10 connected to the primary winding of a transformer TR1, and a secondary-side circuit 20 connected to the secondary winding of the transformer TR1. The primary-side circuit 10 includes MOSFETs Q1-Q4, and the secondary-side circuit 20 includes a MOSFETs Q5, Q6, which rectify power transmitted from the primary side of the transformer TR1, and a capacitor C1 which stores the rectified power. Before switching MOSFETs Q1-Q4 from the off state to the on state, the secondary-side circuit 20 performs a discharge operation for discharging the capacitor C1 and passing the current to the secondary winding of the transformer TR1 so as to reduce the source-drain voltage of the MOSFETs Q1-Q4. Thus, a power supply device is provided that has high power conversion efficiency even during low output.

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：電源装置 1 は、トランス T R 1 の一次巻線に接続された一次側回路 1 0 と、トランス T R 1 の二次巻線に接続された二次側回路 2 0 とを有する。一次側回路 1 0 は M O S F E T : Q 1 ~ Q 4 を含み、二次側回路 2 0 はトランス T R 1 の一次側から伝送された電力を整流する M O S F E T : Q 5、Q 6 と、整流された電力を蓄積するコンデンサ C 1 とを含む。M O S F E T : Q 1 ~ Q 4 をオフ状態からオン状態に切り替える前に、M O S F E T : Q 1 ~ Q 4 のソースドレイン間電圧が低下するように、二次側回路 2 0 は、コンデンサ C 1 を放電させてトランス T R 1 の二次巻線に電流を流す放電動作を行う。これにより、低出力時でも高い電力変換効率を有する電源装置を提供する。

明 細 書

発明の名称：電源装置および電源ユニット

技術分野

[0001] 本発明は、電源装置、および、電源装置を含む電源ユニットに関する。

背景技術

[0002] 直流電圧を出力する電源装置として、フルブリッジ回路とトランスを有するDC／DCコンバータが広く利用されている。フルブリッジ回路は、直列に接続された2個のスイッチング素子からなるスイッチング素子対を2対含んでいる。図36に示すフルブリッジ回路では、一方のスイッチング素子対は上側アーム素子S aと下側アーム素子S bを含み、他方のスイッチング素子対は上側アーム素子S cと下側アーム素子S dを含んでいる。上側アーム素子S aと下側アーム素子S bは相補的に動作し（一方がオン状態のときに他方がオフ状態になる）、上側アーム素子S cと下側アーム素子S dも相補的に動作する。典型的なフルブリッジ回路では、上側アーム素子S aと下側アーム素子S dは同じタイミングでオン／オフし、下側アーム素子S bと上側アーム素子S cも同じタイミングでオン／オフする。

[0003] フルブリッジ回路では、スイッチング素子の損失を低減することが必要とされる。フルブリッジ回路に含まれるスイッチング素子の損失を低減する方法として、上側アーム素子S aの動作タイミングと下側アーム素子S dの動作タイミングの間に位相差を設け、下側アーム素子S bの動作タイミングと上側アーム素子S cの動作タイミングの間にも位相差を設けるフェーズシフト方式が知られている。フェーズシフト方式では、フルブリッジ回路の電流経路上に設けられたリアクトルに蓄積された電力を用いて、スイッチング素子のソースドレイン間電圧（またはエミッターコレクタ間電圧）をほぼ0にした後に、スイッチング素子をオン／オフさせる。このようにして各スイッチング素子のゼロボルトスイッチングを行うことにより、スイッチング損失を低減することができる。

[0004] フェーズシフト方式については、例えば、特許文献 1 に記載されている。

特許文献 2 には、低出力時に各スイッチング素子のゼロボルトスイッチングを行うために、二次側回路に含まれるインダクタンスに蓄積された電力をトランスを経由して一次側回路に伝送する電源装置が記載されている。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開 2 0 0 3 - 4 7 2 4 5 号公報

特許文献2：日本国特開 2 0 1 1 - 1 6 6 9 4 9 号公報

発明の概要

発明が解決しようとする課題

[0006] フルブリッジ回路を有する DC / DC コンバータでは、低出力時にリアクトルを流れる電流は小さい。このため、低出力時には、リアクトルに蓄積される電力も小さくなり、スイッチング素子のソースドレイン間電圧（またはエミッターコレクタ間電圧）を 0 にできなくなる。この結果、低出力時には、各スイッチング素子のゼロボルトスイッチングを行えず、スイッチング損失が増加し、電力変換効率が低下する。

[0007] このようにフェーズシフト方式で駆動されるフルブリッジ回路を有する DC / DC コンバータには、低出力時に電力変換効率が低下するという問題がある。特許文献 2 にはこの問題を解決する電源装置が記載されているが、この問題を別の方法で解決する電源装置も考えられる。

[0008] それ故に、低出力時でも高い電力変換効率を有する電源装置を提供することが課題として挙げられる。

課題を解決するための手段

[0009] 上記の課題は、例えば、トランスと、前記トランスの一次巻線に接続されたスイッチング回路と、前記トランスの二次巻線に接続された整流回路とを備え、前記スイッチング回路は、第 1 および第 2 導通電極を有し、オン状態とオフ状態とに切り替えられるスイッチング素子を含み、前記整流回路は、前

記トランスの一次側から伝送された電力を整流する整流素子と、整流された電力を蓄積するコンデンサとを含み、前記スイッチング素子をオフ状態からオン状態に切り替える前に、前記スイッチング素子の第1および第2導通電極間の電圧が低下するように、前記整流回路は、前記コンデンサを放電させて前記トランスの二次巻線に電流を流す放電動作を行う電源装置によって解決することができる。

発明の効果

[0010] 上記の電源装置によれば、整流回路に含まれるコンデンサを放電させてトランスの二次巻線に電流を流し、コンデンサに蓄積された電力をトランスを経由してスイッチング回路に伝送することにより、スイッチング回路に含まれるスイッチング素子の導通電極間の電圧は低出力時でも低下する。導通電極間の電圧が低下した後にスイッチング素子をオン状態に切り替えることにより、低出力時でもスイッチング素子におけるスイッチング損失を低減することができる。特に、導通電極間の電圧をほぼ0に低下させた後にスイッチング素子をオン状態に切り替えることにより、低出力時でもゼロボルトスイッチングを行い、スイッチング損失を低減することができる。したがって、低出力時でも高い電力変換効率を有し、低出力時から高出力時まで広い出力範囲で高効率な電源装置を提供することができる。

図面の簡単な説明

[0011] [図1]第1の実施形態に係る電源装置の回路図である。

[図2]図1に示す電源装置のタイミングチャートである。

[図3]図2に示すタイミングチャートの一部を詳細に示す図である。

[図4]図1に示す電源装置の期間T11における電流経路図である。

[図5]図1に示す電源装置の期間T12の前半における電流経路図である。

[図6]図1に示す電源装置の期間T12の後半における電流経路図である。

[図7]図1に示す電源装置の期間T13の前半における電流経路図である。

[図8]図1に示す電源装置の期間T13の後半における電流経路図である。

[図9]図1に示す電源装置の期間T141における電流経路図である。

[図10]図1に示す電源装置の期間T142の開始時の電流経路図である。

[図11]図1に示す電源装置の期間T143の前半における電流経路図である

。

[図12]図1に示す電源装置の期間T143の後半における電流経路図である

。

[図13]図1に示す電源装置の期間T15における電流経路図である。

[図14]第1の実施形態の変形例に係る電源装置の一次側回路の回路図である

。

[図15]第2の実施形態に係る電源装置の回路図である。

[図16]図15に示す電源装置のタイミングチャートである。

[図17]図16に示すタイミングチャートの一部を詳細に示す図である。

[図18]図15に示す電源装置の期間T11における電流経路図である。

[図19]図15に示す電源装置の期間T12の前半における電流経路図である

。

[図20]図15に示す電源装置の期間T13の後半における電流経路図である

。

[図21]図15に示す電源装置の期間T141における電流経路図である。

[図22]図15に示す電源装置の期間T142の開始時の電流経路図である。

[図23]図15に示す電源装置の期間T143の前半における電流経路図である。

[図24]図15に示す電源装置の期間T143の後半における電流経路図である。

[図25]第3の実施形態に係る電源装置の回路図である。

[図26]図25に示す電源装置のタイミングチャートである。

[図27]図25に示す電源装置の期間T21の前半における電流経路図である

。

[図28]図25に示す電源装置の期間T231における電流経路図である。

[図29]図25に示す電源装置の期間T232における電流経路図である。

[図30]図25に示す電源装置の期間T24における電流経路図である。

[図31]図25に示す電源装置の期間T25における電流経路図である。

[図32]図25に示す電源装置の期間T26の前半における電流経路図である。

。

[図33]図25に示す電源装置の期間T26の後半における電流経路図である。

。

[図34]第4の実施形態に係る電源装置の回路図である。

[図35]第5の実施形態に係る電源ユニットのブロック図である。

[図36]フルブリッジ回路の回路図である。

発明を実施するための形態

[0012] (第1の実施形態)

図1は、第1の実施形態に係る電源装置の回路図である。図1に示す電源装置1は、Nチャネル型のMOSFET (Metal Oxide Semiconductor Field Effect Transistor : 金属酸化物半導体電界効果トランジスタ) : Q1~Q6、トランスTR1、コイルL1、L2、および、コンデンサC1を備えたDC/DCコンバータである。MOSFET : Q1~Q6は、それぞれ、寄生ダイオードPD1~PD6を内蔵し、寄生容量PC1~PC6を有している。なお、寄生容量PC1~PC6の静電容量が不十分な場合には、寄生容量PC1~PC6に対して並列にコンデンサを外付けで接続してもよい。

[0013] 電源装置1は、トランスTR1の一次側に一次側回路10を有し、トランスTR1の二次側に二次側回路20を有している。一次側回路10は、マイナス入力端子としての第1入力端子11と、プラス入力端子としての第2入力端子12とを有している。二次側回路20は、マイナス出力端子としての第1出力端子21と、プラス出力端子としての第2出力端子22とを有している。第1および第2入力端子11、12の間には直流電源PSが接続され、第1および第2出力端子21、22の間には負荷RL1が接続されている。以下、直流電源PSから供給される電圧を V_{in} という。

[0014] MOSFET : Q1~Q6は、ソース電極 (第1導通電極)、ドレイン電

極（第2導通電極）、および、ゲート電極（制御電極）を有し、ゲート電位に応じてオン状態（導通状態）とオフ状態（非導通状態）とに切り替えられるスイッチング素子である。一次側回路10は、MOSFET：Q1～Q4、および、コイルL1を含んでいる。二次側回路20は、MOSFET：Q5、Q6、コイルL2、および、コンデンサC1を含んでいる。

[0015] 一次側回路10において、MOSFET：Q2のソース電極は第1入力端子11に接続され、MOSFET：Q2のドレイン電極はMOSFET：Q1のソース電極に接続され、MOSFET：Q1のドレイン電極は第2入力端子12に接続されている。このように第1および第2入力端子11、12の間には、直列に接続された2個のMOSFET：Q2、Q1が設けられている。また、第1および第2入力端子11、12の間には、同様に直列に接続されたMOSFET：Q4、Q3が設けられている。以下、MOSFET：Q1、Q2の midpoint が接続されたノードをNa、MOSFET：Q3、Q4の midpoint が接続されたノードをNbといい、ノードNa、Nbの電位をそれぞれVa、Vbという。ノードNa、Nbは、コイルL1とトランスTR1の一次巻線を介して接続されている。

[0016] 二次側回路20において、第1および第2出力端子21、22の間には、コンデンサC1が接続されている。MOSFET：Q5、Q6のソース電極は、いずれも第1出力端子21に接続されている。MOSFET：Q5のドレイン電極は、トランスTR1の二次巻線の一端（図面では上端）に接続されている。MOSFET：Q6のドレイン電極は、トランスTR1の二次巻線他端に接続されている。トランスTR1の二次巻線にはセンタータップCTが設けられ、センタータップCTはコイルL2を介して第2出力端子22に接続されている。

[0017] このように一次側回路10は、トランスTR1の一次巻線に接続されたスイッチング回路である。このスイッチング回路は、フルブリッジ回路である。二次側回路20は、トランスTR1の二次巻線に接続された整流回路である。この整流回路は、センタータップ方式の全波整流回路である。二次側回

路20では、コンデンサC1の一端（図面では右端）は、MOSFET：Q5を介してトランスTR1の二次巻線の一端に接続されると共に、MOSFET：Q6を介してトランスTR1の二次巻線他端に接続されている。コンデンサC1の他端は、コイルL2を介してセンタータップCTに接続されている。MOSFET：Q5、Q6はいずれもトランスTR1の一次側から伝送された電力を整流する整流素子であり、コンデンサC1は整流された電力を蓄積する。

[0018] コイルL1、L2には、例えば、10～100 μ Hのインダクタンスを有するものが使用される。コンデンサC1には、例えば、20～1000 μ Fの静電容量を有するものが使用される。コイルL1、L2のインダクタンス、および、コンデンサC1の静電容量は上記の範囲外の値でもよい。また、コイルL1に代えて、トランスTR1の漏れ磁束を用いてもよい。

[0019] なお、電源装置の回路図では、回路の動作の説明に必要な素子は省略されている。例えば、電源装置1には、多くの場合、フルブリッジ回路に対して迅速に電流を供給するために、第1および第2入力端子11、12の間にコンデンサが設けられるが、図1ではこのコンデンサは省略されている。図1では、MOSFET：Q1～Q6のゲート電極を駆動する回路も省略されている。

[0020] 一次側回路10は、直流電源PSから供給された直流に基づき、フルブリッジ回路を用いて交流（例えば100kHzの交流）を生成し、生成した交流をトランスTR1の一次巻線に供給する。トランスTR1は、一次巻線に供給された交流を変圧して二次巻線から出力する。二次側回路20は、トランスTR1の二次巻線から出力された変圧後の交流を整流し、コンデンサC1を充電する。このように電源装置1は、直流電源PSから供給された電力を電圧レベルを変換して負荷RL1に供給する。

[0021] 第1および第2入力端子11、12に供給される直流電圧のレベルと、第1および第2出力端子21、22から出力される直流電圧のレベルとの関係は、主にトランスTR1の巻線比によって決定される。例えば、電源装置1

をノート型パーソナルコンピュータ用のACアダプタとして使用する場合には、直流電源PSから供給される電圧として力率改善回路の出力電圧（例えば400Vの電圧）を用い、電源装置1の出力電圧を19Vとすることができる。

[0022] 以下、図2～図13を参照して、出力電力が比較的小さい場合（すなわち、負荷RL1が軽い場合）の電源装置1の動作を説明する。図2は、出力電力が比較的小さい場合の電源装置1のタイミングチャートである。図2には、MOSFET: Q1～Q6のゲート電位、MOSFET: Q1のソースドレイン間電圧VQ1SD、MOSFET: Q2のソースドレイン間電圧VQ2SD、ノードNa、Nb間の電位差（ $V_a - V_b$ ）、トランスTR1の一次巻線を流れる電流I1、MOSFET: Q5を流れる電流I2a、および、MOSFET: Q6を流れる電流I2bの変化が記載されている。MOSFET: Q1～Q6は、ゲート電位がハイレベル（図面ではHと記載）のときにはオン状態になり、ゲート電位がローレベル（図面ではLと記載）のときにはオフ状態になる。電源装置1の動作の1周期は、8個の期間T11～T18に分割される。

[0023] 図3は、図2に示すタイミングチャートの一部を詳細に示す図である。図3には、期間T14の全体と期間T13、T15の一部とが拡大して記載されている。図3には、MOSFET: Q3、Q4のゲート電位、電圧VQ1SD、および、電位差（ $V_a - V_b$ ）の変化に代えて、コイルL2を流れる電流I2の変化が記載されている。電流I2は、電流I2a、I2bの和である（ $I_2 = I_{2a} + I_{2b}$ ）。負荷RL1を流れる電流を無視できるとき、電流I2はコンデンサC1を流れる電流に等しい。電流I1、I2a、I2b、I2の正の向きは、図1に記載されたとおりである。

[0024] 図4は、期間T11における電流経路図である。期間T11では、MOSFET: Q1、Q4、Q6はオン状態、MOSFET: Q2、Q3、Q5はオフ状態である。一次側回路10では、電流は、第2入力端子12、MOSFET: Q1、コイルL1、トランスTR1の一次巻線、MOSFET: Q

4、および、第1入力端子11を順に経由する経路P11を流れる。電流I1は時間の経過と共に増加し、コイルL1に電力が蓄積される。二次側回路20では、トランスTR1の二次巻線に電圧が誘起される。電流は、センタータップCT、コイルL2、コンデンサC1、MOSFET:Q6、および、トランスTR1の二次巻線他端を順に経由する経路P21を流れる。このときコンデンサC1は充電される。期間T11では、一次側回路10から二次側回路20に電力が伝送される。

[0025] 期間T12の開始時に、MOSFET:Q4がオフする。期間T12では、MOSFET:Q1、Q6はオン状態、MOSFET:Q2~Q5はオフ状態である。MOSFET:Q4は寄生容量PC4を有するので、MOSFET:Q4がオフするときにMOSFET:Q4のソースドレイン間電圧はほとんど上昇しない。したがって、MOSFET:Q4のオフ動作は、ゼロボルトスイッチングに該当する。

[0026] 一次側回路10における電流経路は、期間T12の途中で変化する。以下、電流経路が変化するまでの期間を期間T12の前半、その後の期間を期間T12の後半という。図5は、期間T12の前半における電流経路図である。一次側回路10では、電流は、第2入力端子12、MOSFET:Q1、コイルL1、トランスTR1の一次巻線、寄生容量PC4、および、第1入力端子11を順に経由する経路P12と、トランスTR1の一次巻線の後に寄生容量PC3を経由する経路P13とを流れる。このとき寄生容量PC3は放電し、寄生容量PC4は充電される。このため、ノードNbの電位は上昇し、ノードNa、Nb間の電位差($V_a - V_b$)は減少し、電流I1は減少する。二次側回路20では、電流は、上記の経路P21を引き続き流れる。また、トランスTR1の二次巻線の起電力が低下するので、寄生容量PC5が放電する。このため、電流は、センタータップCT、コイルL2、コンデンサC1、寄生容量PC5、および、トランスTR1の二次巻線の一端を順に経由する経路P22にも流れる。

[0027] 寄生容量PC3の放電と寄生容量PC4の充電が完了すると、期間T12

の後半が開始する。図6は、期間T12の後半における電流経路図である。一次側回路10では、ノードNa、Nb間の電位差($V_a - V_b$)はほぼ0になる。電流は、MOSFET: Q1、コイルL1、トランスTR1の一次巻線、および、寄生ダイオードPD3を順に経由する経路P14を還流する。このとき電流I1はほぼ一定である。二次側回路20では、電流は、上記の経路P21を引き続き流れると共に、センタータップCT、コイルL2、コンデンサC1、寄生ダイオードPD5、および、トランスTR1の二次巻線の一端を順に経由する経路P23を流れる。電流I2a、I2bは、いずれもコンデンサC1の両端電圧の作用によって減少する。

[0028] 期間T13の開始時にMOSFET: Q3がオンし、期間T13の途中でMOSFET: Q5がオンする。以下、MOSFET: Q5がオンするまでの期間を期間T13の前半、その後の期間を期間T13の後半という。期間T13では、MOSFET: Q1、Q3、Q6はオン状態、MOSFET: Q2、Q4はオフ状態である。MOSFET: Q5は、期間T13の前半ではオフ状態、期間T13の後半ではオン状態である。MOSFET: Q3は、寄生ダイオードPD3に順方向電流が流れている間にオンする。したがって、MOSFET: Q3のオン動作は、ゼロボルトスイッチングに該当する。

[0029] 図7は、期間T13の前半における電流経路図である。一次側回路10では、電流は、MOSFET: Q1、コイルL1、トランスTR1の一次巻線、および、MOSFET: Q3を順に経由する経路P15を還流する。このとき電流I1はほぼ一定である。二次側回路20では、電流は上記の経路P21、P23を引き続き流れる。電流I2a、I2bは、いずれもコンデンサC1の両端電圧の作用によって引き続き減少する。

[0030] 電流I2aが0になる前にMOSFET: Q5がオンし、期間T13の後半が開始する。図8は、期間T13の後半における電流経路図である。一次側回路10では、電流は上記の経路P15を引き続き還流する。このとき電流I1はほぼ一定である。二次側回路20では、MOSFET: Q5がオン

してしばらくすると、電流 I_{2a} は負になる（電流 I_{2a} の向きが反転する）。このとき電流は、上記の経路 P_{21} と、トランス TR_1 の二次巻線の一端、MOSFET : Q_5 、コンデンサ C_1 、コイル L_2 、および、センタータップ CT を順に経由する経路 P_{24} とを流れる。電流 I_{2a} 、 I_{2b} の和である電流 I_2 は、期間 T_{13} の前半では正、期間 T_{13} の後半では負になる。期間 T_{13} の前半ではコンデンサ C_1 は充電され、期間 T_{13} の後半ではコンデンサ C_1 は放電する。やがて電流 I_{2b} も負になる（電流 I_{2b} の向きが反転する）。

[0031] 期間 T_{14} の開始時に MOSFET : Q_1 がオフし、期間 T_{14} の途中で MOSFET : Q_6 がオフする。期間 T_{14} では、MOSFET : Q_3 、 Q_5 はオン状態、MOSFET : Q_1 、 Q_2 、 Q_4 はオフ状態である。MOSFET : Q_6 は、途中まではオン状態、その後はオフ状態である。MOSFET : Q_1 は寄生容量 PC_1 を有するので、MOSFET : Q_1 がオフするときに MOSFET : Q_1 のソースドレイン間電圧はほとんど上昇しない。したがって、MOSFET : Q_1 のオフ動作は、ゼロボルトスイッチングに該当する。図 3 に示すように、期間 T_{14} は、MOSFET : Q_6 がオフ動作を開始するまでの期間 T_{141} 、MOSFET : Q_6 を流れる電流が 0 になるまでの期間 T_{142} 、および、その後の期間 T_{143} に分割される。

[0032] 図 9 は、期間 T_{141} における電流経路図である。一次側回路 10 では、電流は、第 1 入力端子 11、寄生容量 PC_2 、コイル L_1 、トランス TR_1 の一次巻線、MOSFET : Q_3 、および、第 2 入力端子 12 を順に経由する経路 P_{16} と、MOSFET : Q_3 の後に寄生容量 PC_1 を経由する経路 P_{17} とを流れる。このとき寄生容量 PC_1 は充電され、寄生容量 PC_2 は放電する。このため、ノード N_a の電位（および、電圧 V_{Q2SD} ）は低下する。期間 T_{141} では、電流は、プラス入力端子である第 2 入力端子 12 に向かって流れる。この電流を流すために、コイル L_1 に蓄積された電力が使用される。このため、電流 I_1 は急速に減少し、やがて 0 になる。二次側回路 20 では、電流は、上記の経路 P_{24} と、トランス TR_2 の二次巻線の

他端、MOSFET : Q 6、コンデンサC 1、コイルL 2、および、センタータップCTを順に経由する経路P 2 5とを流れる。期間T 1 4 1では、電流I 1が減少することにより、電流I 2 aは増加し、電流I 2 bは減少する。電流I 2は引き続き減少する。

[0033] 電源装置1の出力電力が比較的大きい場合（すなわち、負荷RL 1が重い場合）には、期間T 1 3における電流I 1は大きく、コイルL 1に蓄積される電力も大きい。このため、期間T 1 4では、電流I 1が0になる前に、電圧V Q 2 SDは0になる。したがって、MOSFET : Q 2のオフ動作は、ゼロボルトスイッチングに該当する。一方、出力電力が比較的小さい場合には、電流I 1が0になった時点で、電圧V Q 2 SDはまだ0に到達していない。このため、特段の工夫を行わなければ、MOSFET : Q 2のオフ動作は、ゼロボルトスイッチングに該当しない。電源装置1では、MOSFET : Q 2のオフ動作をゼロボルトスイッチングにするために、期間T 1 4 2の開始時にMOSFET : Q 6がオフする。

[0034] 図10は、期間T 1 4 2の開始時（MOSFET : Q 6がオフした瞬間）の電流経路図である。このとき、一次側回路10では電流は流れない。二次側回路20では、電流は、上記の経路P 2 4と、トランスTR 1の二次巻線他端、寄生容量PC 6、コンデンサC 1、コイルL 2、および、センタータップCTを順に経由する経路P 2 6とを流れる。このとき寄生容量PC 6は充電される。期間T 1 4 2では、寄生容量PC 6の充電が進むにつれて、電流I 2 bは増加して0に近づく一方、電流I 2 aは減少する。このため、トランスTR 1の二次巻線を流れる電流は、実質的に二次巻線他端から一端に向かって（図面では下端から上端に向かって）流れるようになる。これにより、トランスTR 1の一次巻線に電圧が誘起され、電流I 1は再び増加する。

[0035] 一次側回路10における電流経路は、期間T 1 4 3の途中で変化する。以下、電流経路が変化するまでの期間を期間T 1 4 3の前半、その後の期間を期間T 1 4 3の後半という。図11は、期間T 1 4 3の前半における電流経

路図である。一次側回路 10 では、電流は、期間 T 1 4 1 と同じ経路（上記の経路 P 1 6、P 1 7）を再び流れる。このため、寄生容量 P C 1 の充電と寄生容量 P C 2 の放電が再開する。したがって、ノード N a の電位（および、電圧 V Q 2 S D）は再び低下する。二次側回路 20 では、電流は上記の経路 P 2 4 を流れる。

[0036] 電圧 V Q 2 S D がほぼ 0 になったときに、期間 T 1 4 3 の後半が開始する。図 1 2 は、期間 T 1 4 3 の後半における電流経路図である。一次側回路 10 では、電流は、第 1 入力端子 1 1、寄生ダイオード P D 2、コイル L 1、トランス T R 1 の一次巻線、M O S F E T : Q 3、および、第 2 入力端子 1 2 を順に経由する経路 P 1 8 を流れる。二次側回路 20 では、電流は上記の経路 P 2 4 を引き続き流れる。

[0037] このように期間 T 1 4 では、コンデンサ C 1 は放電する。また、二次側回路 20 においてコンデンサ C 1 の放電電流が実質的にトランス T R 1 の二次巻線他端から一端に向かって流れることにより、トランス T R 1 の一次巻線に電圧が誘起される。このため、一次側回路 10 では、M O S F E T : Q 2 のソースドレイン間電圧を 0 にする方向に電流 I 1 が流れる。

[0038] 期間 T 1 5 の開始時に、M O S F E T : Q 2 がオンする。期間 T 1 5 の開始時に、電圧 V Q 2 S D はほぼ 0 であり、寄生ダイオード P D 2 には順方向電流が流れている。したがって、M O S F E T : Q 2 のオン動作は、ゼロボルトスイッチングに該当する。なお、期間 T 1 4 の途中で M O S F E T : Q 6 がオフしない場合（すなわち、トランス T R 1 の二次巻線他端から一端に向かって実質的に電流が流れない場合）、電圧 V Q 2 S D と電流 I 1 は、それぞれ、図 3 に一点鎖線 W 1、W 2 で示すように変化する。この状態における M O S F E T : Q 2 のオフ動作は、ゼロボルトスイッチングには該当しない。

[0039] 図 1 3 は、期間 T 1 5 における電流経路図である。期間 T 1 5 では、M O S F E T : Q 2、Q 3、Q 5 はオン状態、M O S F E T : Q 1、Q 4、Q 6 はオフ状態である。一次側回路 10 では、電流は、第 2 入力端子 1 2、M O

S F E T : Q 3、トランス T R 1 の一次巻線、コイル L 1、M O S F E T : Q 2、および、第 1 入力端子 1 1 を順に経由する経路 P 1 9 を流れる。二次側回路 2 0 では、トランス T R 1 の二次巻線に電圧が誘起される。電流は、センタータップ C T、コイル L 2、コンデンサ C 1、M O S F E T : Q 5、および、トランス T R 1 の二次巻線の一端を順に経由する経路 P 2 7 を流れる。このときコンデンサ C 1 は充電される。期間 T 1 5 では、期間 T 1 1 と比べて、トランス T R 1 の一次巻線を流れる電流の向きは反転し、トランス T R 1 の二次巻線を流れる電流の向きも反転する。

[0040] 電源装置 1 は、期間 T 1 5 ~ T 1 8 において、期間 T 1 1 ~ T 1 4 と対称的に動作する。具体的には、期間 T 1 5 ~ T 1 8 における M O S F E T : Q 1 ~ Q 6 の動作は、それぞれ、期間 T 1 1 ~ T 1 4 における M O S F E T : Q 3、Q 4、Q 1、Q 2、Q 6、Q 5 の動作と同じである。期間 T 1 5 ~ T 1 8 における電流 I 2 a、I 2 b の変化は、それぞれ、期間 T 1 1 ~ T 1 4 における電流 I 2 b、I 2 a の変化と同じである。期間 T 1 5 ~ T 1 8 における電流 I 1 の変化は、期間 T 1 1 ~ T 1 4 における電流 I 1 の変化と逆である（絶対値は同じで、正負は逆）。

[0041] 電源装置 1 では、M O S F E T : Q 2 がオンする前に、コンデンサ C 1 が放電を開始する。期間 T 1 4 1 では、電流は、コンデンサ C 1 の正極端子（図面では左側の端子）から負極端子（図面では右側の端子）に向かって、コイル L 2、センタータップ C T、および、M O S F E T : Q 5 を経由する経路 P 2 4 と、コイル L 2、センタータップ C T、および、M O S F E T : Q 6 を経由する経路 P 2 5 とを流れる（図 9 を参照）。期間 T 1 4 2 の開始時に M O S F E T : Q 6 がオフすると、経路 P 2 4 を流れる電流 I 2 a は減少し、経路 P 2 5 を流れる電流 I 2 b は 0 になる（図 3 を参照）。このため、電流が実質的にトランス T R 1 の二次巻線他端から一端に向かって流れ、トランス T R 1 の一次巻線に電圧が誘起され、電流 I 1 が流れる。電流 I 1 が流れることにより、電圧 V Q 2 S D は低下する。

[0042] 電圧 V Q 2 S D を低下させた後に M O S F E T : Q 2 をオンすることによ

り、スイッチング損失を低減することができる。特に、電圧 V_{Q2SD} をほぼ0に低下させた後にMOSFET: Q2をオンすることにより、スイッチング損失を低減することができる。このように電源装置1は、二次側回路20のコンデンサC1に蓄積された電力を一次側回路10に伝送し、MOSFET: Q2のソースドレイン間電圧を低下させた後に、MOSFET: Q2をオンする。これにより、MOSFET: Q2のオン動作時のスイッチング損失を低減することができる。電源装置1は、同様の方法で、MOSFET: Q1、Q3、Q4のオン動作時のスイッチング損失を低減する。

[0043] ここで、実質的にトランスTR1の二次巻線他端から一端に向かって流れる電流について、好ましい条件を述べる。MOSFET: Q1、Q2の出力容量(C_{oss})の蓄積エネルギー(E_{oss})を、それぞれ、 E_1 、 E_2 とし、実質的にトランスTR1の二次巻線他端から一端に向かって流れる電流の総エネルギーを E_3 とする。出力容量は、ドレインソース間容量 C_{ds} とゲートドレイン間容量 C_{gd} の和である。出力容量の蓄積エネルギー E_1 、 E_2 は、出力容量を電圧で積分することにより求められ、出力容量が有するエネルギーを表す。総エネルギー E_3 は、電流が実質的にトランスTR1の二次巻線他端から一端に向かって流れ始めてからMOSFET: Q2がオンするまでの期間において、トランスTR1の二次巻線の両端電圧と電流の積を積分することにより求められる。

[0044] 総エネルギー E_3 は、次式(1)を満たすことが好ましい。

$$0.1 \times (E_1 + E_2) < E_3 < 10 \times (E_1 + E_2) \quad \dots (1)$$

総エネルギー E_3 が式(1)の下限値よりも小さいときには、MOSFET: Q2のソースドレイン間電圧を十分に低下させることができない。一方、総エネルギー E_3 が式(1)の上限値よりも大きいときには、期間 T_{143} の後半(図12)において電流が経路P18、P24を流れるときの導通損失が大きくなるので、MOSFET: Q2のオフ動作をゼロボルトスイッチングにすることによる損失低減の効果が大きく損なわれる。

[0045] また、コンデンサC1の放電から電圧 V_{Q2SD} を低下させるまでの一連

の動作を行うための好ましい条件を述べる。DC/DCコンバータは、始動時に回路保護のために、出力電圧を徐々に上昇させるモードで動作することがある（ソフトスタート）。また、DC/DCコンバータの出力電圧を一定の範囲で可変にすることがある。このようなときに出力電圧が著しく低い場合には、コンデンサC1に蓄積される電力は小さくなる。このため、上記一連の動作に要する時間が著しく長くなり、電源装置1の動作の1周期が長くなることがある。したがって、上記一連の動作を、例えば、出力電圧が定格値の50%より大きいときに限って行うことが好ましい。なお、以上に述べた2種類の好ましい条件は、本実施形態だけでなく、後述する各実施形態にも適用される。

[0046] 以上に示すように、本実施形態に係る電源装置1は、トランスTR1と、トランスTR1の一次巻線に接続されたスイッチング回路（一次側回路10）と、トランスTR1の二次巻線に接続された整流回路（二次側回路20）とを備えている。スイッチング回路は、第1および第2導通電極（ソース電極とドレイン電極）を有し、オン状態とオフ状態とに切り替えられるスイッチング素子（MOSFET：Q1～Q4）を含み、整流回路は、トランスTR1の一次側から伝送された電力を整流する整流素子（MOSFET：Q5、Q6）と、整流された電力を蓄積するコンデンサC1とを含んでいる。スイッチング素子をオフ状態からオン状態に切り替える前に、スイッチング素子の第1および第2導通電極間の電圧（ソースドレイン間電圧）が低下するように、整流回路は、コンデンサC1を放電させてトランスTR1の二次巻線に電流を流す放電動作を行う。

[0047] したがって、本実施形態に係る電源装置1によれば、整流回路に含まれるコンデンサC1を放電させてトランスTR1の二次巻線に電流を流し、コンデンサC1に蓄積された電力をトランスTR1を経由してスイッチング回路に伝送することにより、スイッチング回路に含まれるスイッチング素子の導通電極間の電圧は低出力時でも低下する。導通電極間の電圧が低下した後にスイッチング素子をオン状態に切り替えることにより、低出力時でもスイッ

チング素子におけるスイッチング損失を低減することができる。特に、導通電極間の電圧をほぼ0に低下させた後にスイッチング素子をオン状態に切り替えることにより、低出力時でもゼロボルトスイッチングを行い、スイッチング損失を低減することができる。したがって、低出力時でも高い電力変換効率を有し、低出力時から高出力時まで広い出力範囲で高効率な電源装置を提供することができる。

[0048] また、整流回路は、整流素子としての第1および第2スイッチング素子（MOSFET：Q5、Q6）とコイルL2とを含み、トランスTR1の二次巻線はセンタータップCTを有する。コンデンサC1の一端（図面では右端）は、第1スイッチング素子（MOSFET：Q5）を介して二次巻線の一端（図面では上端）に接続されると共に、第2スイッチング素子（MOSFET：Q6）を介して二次巻線他端（図面では下端）に接続され、コンデンサC1他端（図面では左端）は、コイルL2を介してセンタータップCTに接続されている。整流回路は、放電動作として、コイルL2、センタータップCT、二次巻線の一端、および、第1スイッチング素子とを経由する経路P24と、コイルL2、センタータップCT、二次巻線他端、および、第2スイッチング素子を経由する経路P25とに電流を流してコンデンサC1の放電を開始した後に、第2スイッチング素子をオフする動作を行う。

[0049] このように上記の構成を有する整流回路において、2個の経路P24、P25に電流を流してコンデンサC1の放電を開始した後に、第2スイッチング素子をオフすることにより、トランスTR1の二次巻線に電流を流し、低出力時でもスイッチング回路に含まれるスイッチング素子の導通電極間の電圧を低下させることができる。したがって、低出力時でもスイッチング素子におけるスイッチング損失を低減し、電力変換効率を高くすることができる。

[0050] また、スイッチング回路は、フルブリッジ回路である。したがって、スイッチング回路としてフルブリッジ回路を備え、低出力時でも高い電力変換効率を有する電源装置を提供することができる。

[0051] 本実施形態に係る電源装置 1 については、以下の変形例を構成することができる。図 1 4 は、本実施形態の変形例に係る電源装置の一次側回路の回路図である。図 1 4 に示す一次側回路 1 5 は、4 個の IGBT (Insulated Gate Bipolar Transistor) : Q a ~ Q d を含むフルブリッジ回路である。IGBT : Q a ~ Q d は、いずれも NPN 型の IGBT であり、それぞれ寄生容量 P C a ~ P C d を有している。IGBT : Q a ~ Q d には、それぞれ、ダイオード D a ~ D d が並列に接続されている。

[0052] 一般に、MOSFET を用いて構成されたスイッチング回路をバイポーラトランジスタを用いて構成するときには、MOSFET のソース電極とドレイン電極を、それぞれ、バイポーラトランジスタのエミッタ電極とコレクタ電極に置き換えればよい。一次側回路 1 5 は、図 1 に示す一次側回路 1 0 に対して上記の置き換えを行うことにより得られる。IGBT : Q a ~ Q d は、それぞれ、一次側回路 1 0 に含まれる MOSFET : Q 1 ~ Q 4 と同じ動作を行う。

[0053] IGBT を用いて構成されたフルブリッジ回路を有する電源装置によっても、MOSFET を用いて構成されたフルブリッジ回路を有する電源装置と同じ効果が得られる。なお、ここでは NPN 型の IGBT を用いることとしたが、PNP 型の IGBT を用いてもよい。また、二次側回路に含まれる MOSFET を IGBT とダイオードを並列に接続した回路に置き換えてもよい。また、IGBT に代えて、バイポーラトランジスタ、SiC (シリコンカーバイド) - MOSFET、GaN (窒化ガリウム) - MOSFET などを用いてもよい。

[0054] (第 2 の実施形態)

図 1 5 は、第 2 の実施形態に係る電源装置の回路図である。図 1 5 に示す電源装置 2 は、N チャネル型の MOSFET : Q 1 ~ Q 4、Q 7、Q 8、トランス T R 2、コイル L 1、L 3、L 4、および、コンデンサ C 2 を備えた DC / DC コンバータである。電源装置 2 は、トランス T R 2 の一次側に一次側回路 1 0 を有し、トランス T R 2 の二次側に二次側回路 3 0 を有する。

一次側回路 10 の構成と動作は、第 1 の実施形態と同じである。本実施形態に係る電源装置の構成要素のうち、第 1 の実施形態と同一のものについては、同一の参照符号を付して説明を省略する。

[0055] MOSFET : Q 7、Q 8 は、MOSFET : Q 1 ~ Q 6 と同様のスイッチング素子である。二次側回路 30 は、MOSFET : Q 7、Q 8、コイル L 3、L 4、および、コンデンサ C 2 を含んでいる。二次側回路 30 は、マイナス出力端子としての第 1 出力端子 31 と、プラス出力端子としての第 2 出力端子 32 とを有している。第 1 および第 2 出力端子 31、32 の間には、コンデンサ C 2 が接続されている。MOSFET : Q 7、Q 8 のソース電極は、いずれも第 1 出力端子 31 に接続されている。MOSFET : Q 7 のドレイン電極は、トランス TR 2 の二次巻線の一端（図面では上端）とコイル L 3 の一端（図面では左端）とに接続されている。MOSFET : Q 8 のドレイン電極は、トランス TR 2 の二次巻線他端とコイル L 4 の一端（図面では左端）とに接続されている。コイル L 3、L 4 の他端は、いずれも第 2 出力端子 32 に接続されている。

[0056] このように二次側回路 30 は、トランス TR 2 の二次巻線に接続された整流回路である。この整流回路は、カレントダブル型の全波整流回路である。二次側回路 30 では、コンデンサ C 2 の一端（図面では左端）は、MOSFET : Q 7 を介してトランス TR 2 の二次巻線の一端に接続されると共に、MOSFET : Q 8 を介してトランス TR 2 の二次巻線他端に接続されている。コンデンサ C 2 の他端は、コイル L 3 を介してトランス TR 2 の二次巻線の一端に接続されると共に、コイル L 4 を介してトランス TR 2 の二次巻線他端に接続されている。MOSFET : Q 7、Q 8 はいずれもトランス TR 2 の一次側から伝送された電力を整流する整流素子であり、コンデンサ C 2 は整流された電力を蓄積する。

[0057] コイル L 3、L 4 には、例えば、10 ~ 100 μ H のインダクタンスを有するものが使用される。コンデンサ C 2 には、例えば、20 ~ 1000 μ F の静電容量を有するものが使用される。コイル L 3、L 4 のインダクタンス

、および、コンデンサC 2の静電容量は上記の範囲外の値でもよい。

[0058] 一次側回路10は、第1の実施形態と同様に動作する。トランスTR 2は、一次巻線に供給された交流を変圧して二次巻線から出力する。二次側回路30は、トランスTR 2の二次巻線から出力された変圧後の交流を整流し、コンデンサC 2を充電する。このように電源装置2は、直流電源PSから供給された電力を電圧レベルを変換して負荷RL 2に供給する。

[0059] 以下、図16～図24を参照して、出力電力が比較的小さい場合の電源装置2の動作を説明する。図16は、出力電力が比較的小さい場合の電源装置2のタイミングチャートである。図16には、MOSFET : Q 1～Q 4、Q 7、Q 8のゲート電位、MOSFET : Q 1のソースドレイン間電圧 V_{Q1SD} 、MOSFET : Q 2のソースドレイン間電圧 V_{Q2SD} 、ノードNa、Nb間の電位差($V_a - V_b$)、トランスTR 1の一次巻線を通る電流 I_1 、コイルL 3を通る電流 I_{2L3} 、および、コイルL 4を通る電流 I_{2L4} の変化が記載されている。電源装置2の動作の1周期は、8個の期間T 11～T 18に分割される。

[0060] 図17は、図16に示すタイミングチャートの一部を詳細に示す図である。図17には、期間T 14の全体と期間T 13、T 15の一部とが拡大して記載されている。図17では、MOSFET : Q 3、Q 4のゲート電位、電圧 V_{Q1SD} 、および、電位差($V_a - V_b$)の変化に代えて、電流 I_2 、 I_{2T} の変化が記載されている。電流 I_2 は電流 I_{2L3} 、 I_{2L4} の和($I_2 = I_{2L3} + I_{2L4}$)であり、電流 I_{2T} はトランスTR 2の二次巻線を通る電流である。負荷RL 2を通る電流を無視できるとき、電流 I_2 はコンデンサC 2を通る電流に等しい。電流 I_1 、 I_{2L3} 、 I_{2L4} 、 I_2 、 I_{2T} の正の向きは、図15に記載されたとおりである。

[0061] 図18は、期間T 11における電流経路図である。期間T 11では、MOSFET : Q 1、Q 4、Q 8はオン状態、MOSFET : Q 2、Q 3、Q 7はオフ状態である。一次側回路10では、電流は上記の経路P 11を流れる。電流 I_1 は時間の経過と共に増加し、コイルL 1に電力が蓄積される。二

次側回路 30 では、トランス TR 2 の二次巻線に電圧が誘起される。電流は、トランス TR 2 の二次巻線の一端、コイル L 3、コンデンサ C 2、MOSFET : Q 8、および、トランス TR 2 の二次巻線他端を順に経由する経路 P 3 1 を流れる。電流 I_{L3} は時間の経過と共に増加し、コイル L 3 に電力が蓄積される。コイル L 4 には半周期前に蓄積された電力が残留しているので、電流はコイル L 4 の他端、コンデンサ C 2、MOSFET : Q 8、および、コイル L 4 の一端を順に経由する経路 P 3 2 にも流れる。このときコンデンサ C 2 は充電される。期間 T 1 1 では、一次側回路 10 から二次側回路 30 に電力が伝送される。

[0062] 期間 T 1 2 の開始時に、MOSFET : Q 4 がオフする。期間 T 1 2 では、MOSFET : Q 1、Q 8 はオン状態、MOSFET : Q 2 ~ Q 4、Q 7 はオフ状態である。第 1 の実施形態と同じ理由により、MOSFET : Q 4 のオフ動作は、ゼロボルトスイッチングに該当する。

[0063] 第 1 の実施形態と同様に、一次側回路 10 における電流経路は、期間 T 1 2 の途中で変化する。図 19 は、期間 T 1 2 の前半における電流経路図である。一次側回路 10 では、電流は上記の経路 P 1 2、P 1 3 を流れる。このとき寄生容量 PC 3 は放電し、寄生容量 PC 4 は充電される。このため、ノード N b の電位は上昇し、ノード N a、N b 間の電位差 ($V_a - V_b$) は減少し、電流 I_1 は減少する。二次側回路 20 では、電流は、上記の経路 P 3 1、P 3 2 を引き続き流れる。また、トランス TR 2 の二次巻線の起電力が減少するので、寄生容量 PC 7 が放電する。このため、電流は、第 1 出力端子 3 1、寄生容量 PC 7、コイル L 3、および、第 2 出力端子 3 2 を順に経由する経路 P 3 3 にも流れる。

[0064] 寄生容量 PC 3 の放電と寄生容量 PC 4 の充電が完了すると、期間 T 1 2 の後半が開始する。一次側回路 10 では、ノード N a、N b 間の電位差 ($V_a - V_b$) がほぼ 0 になり、電流は上記の経路 P 1 4 を還流する (図 6 を参照)。このとき電流 I_1 はほぼ一定である。二次側回路 30 では、電流は上記の経路 P 3 1 ~ P 3 3 を引き続き流れる。電流 I_{L3} 、 I_{L4} は、い

ずれもコンデンサC2の両端電圧の作用によって減少する。

[0065] 期間T13の開始時にMOSFET:Q3がオンし、期間T13の途中でMOSFET:Q7がオンする。以下、MOSFET:Q7がオンするまでの期間を期間T13の前半、その後の期間を期間T13の後半という。期間T13では、MOSFET:Q1、Q3、Q8はオン状態、MOSFET:Q2、Q4はオフ状態である。MOSFET:Q7は、期間T13の前半ではオフ状態、期間T13の後半ではオン状態である。第1の実施形態と同じ理由により、MOSFET:Q3のオン動作は、ゼロボルトスイッチングに該当する。

[0066] 期間T13の前半において、一次側回路10では、電流は上記の経路P15を還流する(図7を参照)。このとき電流I1はほぼ一定である。二次側回路30では、電流は上記の経路P31~P33を引き続き流れる。電流I2L3、I2L4は、いずれもコンデンサC2の両端電圧の作用によって引き続き減少する。

[0067] 電流I2L4が0になる前にMOSFET:Q7がオンし、期間T13の後半が開始する。図20は、期間T13の後半における電流経路図である。一次側回路10では、電流は上記の経路P15を引き続き還流する。このとき電流I1はほぼ一定である。二次側回路30では、MOSFET:Q7がオンしてしばらくすると、電流I2L4は負になる(電流I2L4の向きが反転する)。このとき電流は、上記の経路P31、P33と、経路P31においてコイルL3の後にコイルL4を経由する経路P34とを流れる。電流I2L3、I2L4は引き続き減少し、電流I2L3、I2L4の和である電流I2はやがて負になる(電流I2の向きが反転する)。このときコンデンサC2は放電を開始する。

[0068] 期間T14の開始時にMOSFET:Q1がオフし、期間T14の途中でMOSFET:Q8がオフする。期間T14では、MOSFET:Q3、Q7はオン状態、MOSFET:Q1、Q2、Q4はオフ状態である。MOSFET:Q8は、途中まではオン状態、その後はオフ状態である。第1の実

施形態と同じ理由により、MOSFET : Q 1 のオフ動作は、ゼロボルトスイッチングに該当する。図 1 7 に示すように、期間 T 1 4 は、MOSFET : Q 8 がオフ動作を開始するまでの期間 T 1 4 1、MOSFET : Q 8 を流れる電流が 0 になるまでの期間 T 1 4 2、および、その後の期間 T 1 4 3 に分割される。

[0069] 図 2 1 は、期間 T 1 4 1 における電流経路図である。一次側回路 1 0 では、電流は、上記の経路 P 1 6、P 1 7 を流れる。このとき寄生容量 P C 1 は充電され、寄生容量 P C 2 は放電する。このため、ノード N a の電位（および、電圧 V Q 2 S D）は低下する。期間 T 1 4 1 では、電流は、プラス入力端子である第 2 入力端子 1 2 に向かって流れる。この電流を流すために、コイル L 1 に蓄積された電力が使用される。このため、電流 I 1 は急速に減少し、やがて 0 になる。二次側回路 3 0 では、電流は、第 2 出力端子 3 2、コイル L 4、MOSFET : Q 8、および、第 1 出力端子 3 1 を順に経由する経路 P 3 5、MOSFET : Q 8 の後に MOSFET : Q 7 およびコイル L 3 を順に経由する経路 P 3 6、並びに、コイル L 4 の後にトランス T R 2 の二次巻線およびコイル L 3 を順に経由する経路 P 3 7 を流れる。このときコンデンサ C 2 は放電する。

[0070] 図 2 2 は、期間 T 1 4 2 の開始時（MOSFET : Q 8 がオフした瞬間）の電流経路図である。このとき、一次側回路 1 0 では電流は流れない。二次側回路 3 0 では、電流は、第 2 出力端子 3 2、コイル L 4、寄生容量 P C 8、および、第 1 出力端子 3 1 を順に経由する経路 P 3 8、並びに、寄生容量 P C 8 の後に MOSFET : Q 7 およびコイル L 3 を順に経由する経路 P 3 9 を流れる。このとき寄生容量 P C 8 は充電される。電流 I 1 が 0 であるので、電流 I 2 T も 0 である。ただし、ここではトランス T R 2 を流れる励磁電流を無視する。期間 T 1 4 2 では、寄生容量 P C 8 の充電が進むにつれて、寄生容量 P C 8 を流れる電流は減少し、0 に近づく。このため、電流 I 2 T が流れ始める。これにより、トランス T R 2 の一次巻線に電圧が誘起され、電流 I 1 は再び増加する。

- [0071] 第1の実施形態と同様に、一次側回路10における電流経路は、期間T143の途中で変化する。図23は、期間T143の前半における電流経路図である。一次側回路10では、電流は、期間T141と同じ経路（上記の経路P16、P17）を再び流れる。このため、寄生容量PC1の充電と寄生容量PC2の放電が再開する。したがって、ノードNaの電位（および、電圧VQ2SD）は再び低下する。二次側回路20では、電流は、第2出力端子32、コイルL4、トランスTR2の二次巻線、MOSFET:Q7、および、第1出力端子31を順に経由する経路P3aと、トランスTR2の二次巻線の後にコイルL3を経由する経路P3bとを流れる。
- [0072] 電圧VQ2SDがほぼ0になったときに、期間T143の後半が開始する。図24は、期間T143の後半における電流経路図である。一次側回路10では、電流は上記の経路P18を流れる。二次側回路30では、電流は上記の経路P3a、P3bを引き続き流れる。
- [0073] このように期間T14では、コンデンサC2は放電する。また、二次側回路30においてコンデンサC2の放電電流がトランスTR2の二次巻線の他端から一端に向かって流れることにより、トランスTR2の一次巻線に電圧が誘起される。このため、一次側回路10では、電圧VQ2SDを0にする方向に電流I1が流れる。
- [0074] 期間T15の開始時に、MOSFET:Q2がオンする。第1の実施形態と同じ理由により、MOSFET:Q2のオン動作は、ゼロボルトスイッチングに該当する。なお、期間T14の途中でMOSFET:Q8がオフしない場合（すなわち、コンデンサC2の放電電流がトランスTR2の二次巻線の他端から一端に向かって流れない場合）、電圧VQ2SDと電流I1は、それぞれ、図17に一点鎖線W3、W4で示すように変化する。この状態におけるMOSFET:Q2のオン動作は、ゼロボルトスイッチングには該当しない。
- [0075] 電源装置2は、期間T15～T18において、期間T11～T14と対称的に動作する。具体的には、期間T15～T18におけるMOSFET:Q

1～Q4、Q7、Q8の動作は、それぞれ、期間T11～T14におけるMOSFET：Q3、Q4、Q1、Q2、Q8、Q7の動作と同じである。期間T15～T18における電流I2L3、I2L4の変化は、それぞれ、期間T11～T14における電流I2L4、I2L3の変化と同じである。期間T15～T18における電流I1は、期間T11～T14における電流I1の変化と逆である（絶対値は同じで、正負は逆）。

[0076] 電源装置2では、MOSFET：Q2がオンする前に、コンデンサC2が放電を開始する。期間T141では、電流は、コンデンサC2の正極端子（図面では右側の端子）から負極端子（図面では左側の端子）に向かって、コイルL4およびMOSFET：Q8を経由する経路P35などを流れる（図21を参照）。期間T142の開始時に、MOSFET：Q8がオフすると、電流は、コイルL4、トランスTR2の二次巻線、および、MOSFET：Q7を経由する経路P3aを流れる（図23を参照）。このため、電流がトランスTR2の二次巻線他端から一端に向かって流れ、トランスTR2の一次巻線に電圧が誘起され、電流I1が流れる。電流I1が流れることにより、電圧VQ2SDは低下する。

[0077] 電圧VQ2SDを低下させた後にMOSFET：Q2をオンすることにより、スイッチング損失を低減することができる。特に、電圧VQ2SDをほぼ0に低下させた後にMOSFET：Q2をオンすることにより、スイッチング損失を低減することができる。このように電源装置2は、二次側回路30のコンデンサC2に蓄積された電力を一次側回路10に伝送し、MOSFET：Q2のソースドレイン間電圧を低下させた後に、MOSFET：Q2をオンする。これにより、MOSFET：Q2のオン動作時にスイッチング損失を低減することができる。電源装置2は、同様の方法で、MOSFET：Q1、Q3、Q4のオン動作時のスイッチング損失を低減する。

[0078] 以上に示すように、本実施形態に係る電源装置2では、整流回路（二次側回路30）は、整流素子としての第1および第2スイッチング素子（MOSFET：Q7、Q8）と、第1および第2コイルL3、L4とを含んでいる

。コンデンサC 2の一端（図面では左端）は、第1スイッチング素子（MOSFET：Q 7）を介してトランスT R 2の二次巻線の一端（図面では上端）に接続されると共に、第2スイッチング素子（MOSFET：Q 8）を介して二次巻線他端（図面では下端）に接続され、コンデンサC 2の他端（図面では右端）は、第1コイルL 3を介して二次巻線の一端に接続されると共に、第2コイルL 4を介して二次巻線他端に接続されている。整流回路は、放電動作として、第2スイッチング素子および第2コイルL 4を経由する経路P 3 5に電流を流してコンデンサC 2の放電を開始した後に、第2スイッチング素子をオフして、第2コイルL 4、二次巻線、および、第1スイッチング素子を経由する経路P 3 aに電流を流す動作を行う。

[0079] このように上記の構成を有する整流回路において、第2スイッチング素子および第2コイルを経由する経路P 3 5に電流を流してコンデンサC 2の放電を開始した後に、第2スイッチング素子をオフすることにより、トランスT R 2の二次巻線に電流を流し、低出力時でもスイッチング回路に含まれるスイッチング素子の導通電極間の電圧（ソースドレイン間電圧）を低下させることができる。したがって、低出力時でもスイッチング素子のゼロボルトスイッチングを行い、電力変換効率を高くすることができる。

[0080] 本実施形態に係る電源装置2については、以下の変形例を構成することができる。電源装置2では、一次側回路10はフルブリッジ回路であり、二次側回路30はカレントダブル回路であることとした。変形例に係る電源装置では、一次側回路と二次側回路を共にフルブリッジ回路としてもよい。変形例に係る電源装置では、一次側回路と二次側回路の一方がスイッチング回路として動作し、他方が整流回路として動作する。必要に応じて両者の機能を交換することにより、双方向DC／DCコンバータを構成することができる。

[0081] （第3の実施形態）

図25は、第3の実施形態に係る電源装置の回路図である。図25に示す電源装置3は、Nチャネル型のMOSFET：Q 11～Q 14、トランスT

R 3、コイル L 5、および、コンデンサ C 3、C 4 を備えた DC / DC コンバータである。MOSFET : Q 1 1 ~ Q 1 4 は、それぞれ、寄生ダイオード P D 1 1 ~ P D 1 4 を内蔵し、寄生容量 P C 1 1 ~ P C 1 4 を有している。なお、寄生容量 P C 1 1 ~ P C 1 4 の静電容量が不十分な場合には、寄生容量 P C 1 1 ~ P C 1 4 に対して並列にコンデンサを外付けで接続してもよい。

[0082] 電源装置 3 は、トランス T R 3 の一次側に一次側回路 4 0 を有し、トランス T R 3 の二次側に二次側回路 5 0 を有している。一次側回路 4 0 は、マイナス入力端子としての第 1 入力端子 4 1 と、プラス入力端子としての第 2 入力端子 4 2 とを有している。二次側回路 5 0 は、マイナス出力端子としての第 1 出力端子 5 1 と、プラス出力端子としての第 2 出力端子 5 2 とを有している。第 1 および第 2 入力端子 4 1、4 2 の間には直流電源 P S が接続され、第 1 および第 2 出力端子 5 1、5 2 の間には負荷 R L 3 が接続されている。

[0083] MOSFET : Q 1 1 ~ Q 1 4 は、MOSFET : Q 1 ~ Q 8 と同様のスイッチング素子である。一次側回路 4 0 は、MOSFET : Q 1 1、Q 1 2、および、コンデンサ C 3 を含んでいる。二次側回路 5 0 は、MOSFET : Q 1 3、Q 1 4、コイル L 5、および、コンデンサ C 4 を含んでいる。

[0084] 一次側回路 4 0 において、トランス T R 3 の一次巻線の一端（図面では上端）とコンデンサ C 3 の一端（図面では上端）とは、第 2 入力端子 4 2 に接続されている。MOSFET : Q 1 1 のソース電極は第 1 入力端子 4 1 に接続され、MOSFET : Q 1 1 のドレイン電極は MOSFET : Q 1 2 のソース電極とトランス T R 3 の一次巻線他端とに接続されている。MOSFET : Q 1 2 のドレイン電極は、コンデンサ C 3 の他端に接続されている。以下、トランス T R 3 の一端が接続されたノードを N c、トランス T R 3 の他端が接続されたノードを N d といい、ノード N c、N d の電位をそれぞれ V c、V d という。

[0085] 二次側回路 5 0 において、第 1 および第 2 出力端子 5 1、5 2 の間には、

コンデンサC 4 が接続されている。M O S F E T : Q 1 3 のソース電極はトランスT R 3 の二次巻線の一端（図面では上端）に接続され、M O S F E T : Q 1 3 のドレイン電極はM O S F E T : Q 1 4 のドレイン電極とコイルL 5 の一端（図面では左端）とに接続されている。コイルL 5 の他端は、第2出力端子5 2 に接続されている。M O S F E T : Q 1 4 のソース電極とトランスT R 3 の二次巻線他端とは、第1出力端子5 1 に接続されている。

[0086] このように一次側回路4 0 は、トランスT R 3 の一次巻線に接続されたスイッチング回路である。このスイッチング回路は、フォワード回路である。二次側回路5 0 は、トランスT R 3 の二次巻線に接続された整流回路である。この整流回路は、フォワード回路である。二次側回路5 0 では、コンデンサC 4 の一端（図面では上端）は、コイルL 5 とM O S F E T : Q 1 3 を介してトランスT R 3 の二次巻線の一端に接続されると共に、コイルL 5 とM O S F E T : Q 1 4 を介してトランスT R 3 の二次巻線他端に接続されている。コンデンサC 4 の他端は、トランスT R 3 の二次巻線他端に接続されている。M O S F E T : Q 1 3、Q 1 4 はいずれもトランスT R 3 の一次側から伝送された電力を整流する整流素子であり、コンデンサC 3 は整流された電力を蓄積する。

[0087] コイルL 5 には、例えば、 $10 \sim 100 \mu\text{H}$ のインダクタンスを有するものが使用される。コンデンサC 3 には、例えば、 $0.01 \sim 10 \mu\text{F}$ の静電容量を有するものが使用され、コンデンサC 4 には、例えば、 $20 \sim 1000 \mu\text{F}$ の静電容量を有するものが使用される。コイルL 5 のインダクタンス、および、コンデンサC 3、C 4 の静電容量は上記の範囲外の値でもよい。

[0088] 一次側回路4 0 では、M O S F E T : Q 1 1 がスイッチング動作を行う。これにより、直流電源P S から供給された直流は、トランスT R 3 の一次巻線に断続的に供給される。M O S F E T : Q 1 2 とコンデンサC 3 は、トランスT R 3 の励磁電流による電力をリセットする回路として機能する。トランスT R 3 は、一次巻線に供給された電圧を変圧して二次巻線から出力する。二次側回路5 0 は、トランスT R 3 の二次巻線から供給された変圧後の交

流を整流し、コンデンサC 4を充電する。このように電源装置3は、直流電源P Sから供給された電力を電圧レベルを変換して負荷R L 3に供給する。

[0089] 以下、図2 6～図3 3を参照して、出力電力が比較的小さい場合の電源装置3の動作を説明する。図2 6は、出力電力が比較的小さい場合の電源装置3のタイミングチャートである。図2 6には、MOSFET : Q 1 1～Q 1 4のゲート電位、MOSFET : Q 1 1のソースドレイン間電圧 $V_{Q 1 1 S D}$ 、ノードN c、N d間の電位差($V_c - V_d$)、トランスT R 3の一次巻線を流れる電流 $I_{1 T}$ 、トランスT R 3の二次巻線を流れる電流 $I_{2 T}$ 、および、コイルL 5を流れる電流 I_2 の変化が記載されている。負荷R L 3を流れる電流を無視できるとき、電流 I_2 はコンデンサC 4を流れる電流に等しい。電流 $I_{1 T}$ 、 $I_{2 T}$ 、 I_2 の正の向きは、図2 5に記載されたとおりである。電源装置3の動作の1周期は6個の期間T 2 1～T 2 6に分割され、期間T 2 3は2個の期間T 2 3 1、T 2 3 2にさらに分割される。

[0090] 図2 6に示すように、期間T 2 1の途中でMOSFET : Q 1 3がオフする。以下、MOSFET : Q 1 3がオフするまでの期間を期間T 2 1の前半、その後の期間を期間T 2 1の後半という。期間T 2 1では、MOSFET : Q 1 1はオン状態、MOSFET : Q 1 2、Q 1 4はオフ状態である。MOSFET : Q 1 3は、期間T 2 1の前半ではオン状態、期間T 2 1の後半ではオフ状態である。

[0091] 図2 7は、期間T 2 1の前半における電流経路図である。一次側回路4 0では、電流は、第2入力端子4 2、トランスT R 3の一次巻線、MOSFET : Q 1 1、および、第1入力端子4 1を順に経由する経路P 4 1を流れる。電流 $I_{1 T}$ は、時間の経過と共に増加する。二次側回路5 0では、トランスT R 3の二次巻線に電圧が誘起される。電流は、トランスT R 3の二次巻線の一端、MOSFET : Q 1 3、コイルL 5、コンデンサC 4、および、トランスT R 3の二次巻線他端を順に経由する経路P 5 1を流れる。このときコンデンサC 4は充電される。期間T 2 1の前半では、一次側回路4 0から二次側回路5 0に電力が伝送される。

- [0092] 期間 T_{21} の後半の開始時に、MOSFET: Q_{13} がオフする。期間 T_{21} の後半において、一次側回路40では、電流は上記の経路P41を引き続き流れる。二次側回路50では、電流は、トランスTR3の二次巻線の一端、寄生ダイオードPD13、コイルL5、コンデンサC4、および、トランスTR3の二次巻線他端を順に経由する経路（図示せず）を流れる。
- [0093] 期間 T_{22} の開始時に、MOSFET: Q_{11} がオフする。期間 T_{22} では、MOSFET: $Q_{11} \sim Q_{14}$ は、いずれもオフ状態である。MOSFET: Q_{11} は寄生容量PC11を有するので、MOSFET: Q_{11} がオフするときにMOSFET: Q_{11} のソースドレイン間電圧はほとんど上昇しない。したがって、MOSFET: Q_{11} のオフ動作は、ゼロボルトスイッチングに該当する。
- [0094] 期間 T_{22} では、MOSFET: Q_{11} がオフ状態であるので、ノードN_dの電位は上昇し、電流 I_{1T} は減少する。電流 I_{1T} には、励磁電流だけが残る。トランスTR3の二次巻線は起電力を失い、電流 I_{2T} は0になる。励磁電流のために、トランスTR3の一次巻線の両端電圧($V_c - V_d$)は負になり、電圧 $V_{Q_{11}SD}$ は入力電圧 V_{in} を超える。二次側回路50では、電流は、寄生ダイオードPD14、コイルL5、および、コンデンサC4を順に経由する経路（図示せず）を流れ始める。また、電流 I_2 は減少し始める。なお、本実施形態では電源装置3の動作の説明に必要な励磁電流を明示しているが、他の実施形態では励磁電流を無視している。
- [0095] 期間 T_{23} の開始時に、MOSFET: Q_{12} 、 Q_{14} がオンする。期間 T_{23} では、MOSFET: Q_{12} 、 Q_{14} はオン状態、MOSFET: Q_{11} 、 Q_{13} はオフ状態である。なお、MOSFET: Q_{12} 、 Q_{14} がオンするタイミングは必ずしも同じでなくてもよい。
- [0096] 図28は、期間 T_{231} における電流経路図である。一次側回路40では、トランスTR3の一次巻線に励磁電流が流れる。励磁電流は、トランスTR3の一次巻線他端、MOSFET: Q_{12} 、コンデンサC3、および、トランスTR3の一次巻線一端を順に経由する経路P42を流れる。この

ときコンデンサC 3は充電され、電流I 1 Tは次第に減少する。二次側回路5 0では、期間T 2 1で電力を蓄積したコイルL 5の作用により、電流は、コイルL 5、コンデンサC 4、および、MOSFET : Q 1 4を順に経由する経路P 5 2を流れる。電流I 2は、コンデンサC 4の両端電圧の作用によって減少する。

[0097] 電流I 1 Tが0になると、期間T 2 3 2が開始する(図2 6を参照)。図2 9は、期間T 2 3 2における電流経路図である。一次側回路4 0では、電流は、トランスTR 3の一次巻線の一端、コンデンサC 3、MOSFET : Q 1 2、および、トランスTR 3の一次巻線他端を順に経由する経路P 4 3を流れる。このときコンデンサC 3は放電し、トランスTR 3の励磁電流による電力はリセットされる。二次側回路5 0では、電流は、上記の経路P 5 2を引き続き流れる。電流I 2は、引き続き減少し、やがて負になる(電流I 2の向きが反転する)。このときコンデンサC 4は放電を開始する。

[0098] 期間T 2 4の開始時に、MOSFET : Q 1 2がオフする。期間T 2 4では、MOSFET : Q 1 1~Q 1 3はオフ状態、MOSFET : Q 1 4はオン状態である。図3 0は、期間T 2 4における電流経路図である。一次側回路4 0では、MOSFET : Q 1 2がオフ状態であるので、コンデンサC 3の放電は阻害される。このため、ノードNdの電位は低下する。電流は、第1入力端子4 1、寄生容量PC 1 1、トランスTR 3の一次巻線、および、第2入力端子4 2を順に経由する経路P 4 4と、トランスTR 3の一次巻線の後にコンデンサC 3と寄生容量PC 1 2を順に経由する経路P 4 5とを流れる。このとき寄生容量PC 1 1は放電し、寄生容量PC 1 2は充電される。二次側回路5 0では、コンデンサC 4の両端電圧の作用により、電流は、コイルL 5、MOSFET : Q 1 4、および、コンデンサC 4を順に経由する経路P 5 3を流れる。

[0099] 電源装置3の出力電力が比較的大きい場合、トランスTR 3のオンデューティ比は大きく、励磁電流も大きい。このため、期間T 2 3 1におけるノードNdの電位は高く、コンデンサC 3の両端電圧も高く、期間T 2 3 2に

においてコンデンサC 3が放電するときの電流 I_{1T} の絶対値は大きい。したがって、トランスTR 3の一次巻線の漏れインダクタンスの作用によってノードNdの電位は0に低下し、電圧 V_{Q11SD} は0になる。よって、MOSFET : Q 1 1のオン動作は、ゼロボルトスイッチングに該当する。一方、電源装置3の出力電力が比較的小さい場合、励磁電流が小さいので、ノードNdの電圧を0まで低下させることができない。電源装置3の出力電力が小さい場合には、ノードNdの電位は入力電圧 V_{in} までしか低下しない（図26を参照）。そこで、電源装置3では、MOSFET : Q 1 1のオン動作をゼロボルトスイッチングにするために、期間T 2 6の開始時にMOSFET : Q 1 4がオフする。これにより、以下に示すように、コンデンサC 4を放電させてトランスTR 3の二次巻線に電流を流し、コンデンサC 4に蓄積された電力をトランスTR 1を経由して一次側回路40に伝送することができる。

[0100] 期間T 2 5の開始時に、MOSFET : Q 1 3がオンする。期間T 2 5では、MOSFET : Q 1 1、Q 1 2はオフ状態、MOSFET : Q 1 3、Q 1 4はオン状態である。図31は、期間T 2 5における電流経路図である。一次側回路40では、ノードNdの電位が入力電圧 V_{in} と等しいので、電流は流れない。二次側回路50では、電流は上記の経路P 5 3を引き続き流れる。

[0101] 期間T 2 6の開始時に、MOSFET : Q 1 4がオフする。期間T 2 6では、MOSFET : Q 1 1、Q 1 2、Q 1 4はオフ状態、MOSFET : Q 1 3はオン状態である。一次側回路40における電流経路は、期間T 2 6の途中で変化する。以下、電流経路が変化するまでの期間を期間T 2 6の前半、その後の期間を期間T 2 6の後半という。

[0102] 図32は、期間T 2 6の前半における電流経路図である。一次側回路40では、電流は、期間T 2 4と同じ経路（上記の経路P 4 4、P 4 5）を再び流れる。このため、寄生容量PC 1 1の放電と寄生容量PC 1 2の充電が再開する。したがって、ノードNdの電位（および、電圧 V_{Q11SD} ）は再

び低下する。二次側回路 50 では、電流は、コイル L 5、MOSFET : Q 1 3、トランス T R 3 の二次巻線、および、コンデンサ C 4 を順に経由する経路 P 5 4 を流れる。トランス T R 3 の二次巻線の一端から他端に電流が流れるので、トランス T R 3 の一次巻線に起電力が発生する。このため、電流は、トランス T R 3 の一次巻線他端から一端に向かって再び流れ始める。

[0103] 電圧 V_{Q11SD} がほぼ 0 になったときに、期間 T 2 6 の後半が開始する。図 3 3 は、期間 T 2 6 の後半における電流経路図である。一次側回路 40 では、電流は上記の経路 P 4 4 を流れる。二次側回路 50 では、電流は上記の経路 P 5 4 を引き続き流れる。

[0104] このように期間 T 2 4 ~ T 2 6 では、コンデンサ C 4 は放電する。また、コンデンサ C 4 の放電電流がコイル L 5 を介してトランス T R 3 の二次巻線を一端から他端に向かって流れることにより、トランス T R 3 の一次巻線に電圧が誘起される。このため、電圧 V_{Q1SD} を 0 にする方向に電流 I_{1T} が流れる。

[0105] 次の期間 T 2 1 の開始時に、MOSFET : Q 1 1 はオンする。次の期間 T 2 1 の開始時に、電圧 V_{Q11SD} はほぼ 0 であり、寄生ダイオード P D 1 1 には順方向電流が流れている。したがって、MOSFET : Q 1 1 のオフ動作は、ゼロボルトスイッチングに該当する。

[0106] 次の期間 T 2 1 において、一次側回路 40 では、電流はトランス T R 3 の一次巻線の一端から他端に（期間 T 2 6 とは逆向きに）流れる。二次側回路 50 では、電流はトランス T R 3 の二次巻線他端から一端に（期間 T 2 6 とは逆向きに）流れる。

[0107] 電源装置 3 では、MOSFET : Q 1 1 がオンする前に、コンデンサ C 4 が放電を開始する。期間 T 2 4 では、電流は、コンデンサ C 4 の正極端子（図面では上側の端子）から負極端子（図面では下側の端子）に向かって、コイル L 5、および、MOSFET : Q 1 4 を経由する経路 P 5 2 を流れる。期間 T 2 6 の開始時に MOSFET : Q 1 4 がオフすると、MOSFET : Q 1 4 を流れる電流は遮断され、電流は、コイル L 5、MOSFET : Q 1

3、および、トランスTR3の二次巻線を経由する経路P54を流れる（図32を参照）。このため、電流がトランスTR3の二次巻線の一端から他端に向かって流れ、トランスTR3の一次巻線に電圧が誘起され、電流I1Tが流れる。電流I1Tが流れることにより、電圧VQ11SDが低下する。

[0108] 電圧VQ11SDを低下させた後にMOSFET:Q11をオンすることにより、スイッチング損失を低減することができる。特に、電圧VQ11SDをほぼ0に低下させた後にMOSFET:Q11をオンすることにより、スイッチング損失を低減することができる。このように電源装置3は、二次側回路50のコンデンサC4に蓄積された電力を一次側回路40に伝送し、MOSFET:Q11のソースドレイン間電圧を低下させた後に、MOSFET:Q11をオンする。これにより、MOSFET:Q11のオン動作時にスイッチング損失を低減することができる。

[0109] 以上に示すように、本実施形態に係る電源装置3では、整流回路（二次側回路50）は、整流素子としての第1および第2スイッチング素子（MOSFET:Q13、Q14）とコイルL5とを含んでいる。コンデンサC4の一端（図面では上端）は、コイルL5および第1スイッチング素子（MOSFET:Q13）を介してトランスTR3の二次巻線の一端（図面では上端）に接続されると共に、コイルL5および第2スイッチング素子（MOSFET:Q14）を介して二次巻線の他端（図面では下端）に接続されている。コンデンサC4の他端（図面では下端）は、二次巻線の他端に接続されている。整流回路は、放電動作として、コイルL5および第2スイッチング素子を経由する経路P52に電流を流してコンデンサC3の放電を開始した後に、第2スイッチング素子をオフして、コイルL3、第1スイッチング素子、および、二次巻線を経由する経路P54に電流を流す動作を行う。

[0110] したがって、本実施形態に係る電源装置3によれば、上記の構成を有する整流回路において、コイルL5および第2スイッチング素子を経由する経路P52に電流を流してコンデンサの放電を開始した後に、第2スイッチング素子をオフすることにより、トランスTR3の二次巻線に電流を流し、低出

力時でもスイッチング回路に含まれるスイッチング素子の導通電極間の電圧（ソースドレイン間電圧）を低下させることができる。したがって、低出力時でもスイッチング素子におけるスイッチング損失を低減し、電力変換効率を高くすることができる。

[0111] また、スイッチング回路（一次側回路40）はフォワード回路であるので、スイッチング回路としてフォワード回路を備え、低出力時でも高い電力変換効率を有する電源装置を提供することができる。

[0112] （第4の実施形態）

図34は、第4の実施形態に係る電源装置の回路図である。図34に示す電源装置4は、MOSFET：Q1～Q6、Q21、Q22、トランスTR4、コイルL1、L2、L6、および、コンデンサC1、C5を備えたDC／DCコンバータである。電源装置4は、第1の実施形態に係る電源装置1に二次側回路25を追加することにより構成され、二次側回路を複数備えることを特徴とする。二次側回路20、25のそれぞれに対して、定格出力電圧と定格出力電流を設定することができる。なお、電源装置4は、二次側回路を3個以上備えていてもよい。

[0113] 二次側回路25は、二次側回路20と同じ構成を有する。二次側回路25は、MOSFET：Q21、Q22、コンデンサC5、および、コイルL6を含んでいる。二次側回路25は、マイナス出力端子としての第1出力端子26と、プラス入力端子としての第2出力端子27とを有している。MOSFET：Q21、Q22は、それぞれ、寄生ダイオードPD21、PD22を内蔵し、寄生容量PC21、PC22を有している。第1および第2出力端子26、27の間には、負荷RL4が接続されている。トランスTR4は、2個の二次巻線を有する。二次側回路20、25は、トランスTR4を共有し、トランスTR4の2個の二次巻線からそれぞれ電力を供給される。

[0114] 電源装置4では、MOSFET：Q1～Q4においてゼロボルトスイッチングを行うために、MOSFET：Q5、Q6のスイッチング動作によってコンデンサC1に蓄積された電力を一次側回路10に伝送してもよい。ある

いは、MOSFET：Q21、Q22のスイッチング動作によってコンデンサC5に蓄積された電力を一次側回路10に伝送してもよい。あるいは、コンデンサC1、C5の両方に蓄積された電力を一次側回路10に伝送してもよい。

[0115] 以上に示すように、本実施形態に係る電源装置4では、トランスTR4の二次側に複数の整流回路（二次側回路20、25）が設けられている。したがって、本実施形態に係る電源装置4によれば、第1の実施形態と同様に、低出力時でもスイッチング回路（一次側回路10）に含まれるスイッチング素子（MOSFET：Q1～Q4）におけるスイッチング損失を低減し、電力変換効率を高くすることができる。また、コンデンサに蓄積された電力をスイッチング回路に伝送できる整流回路を複数備えているので、複数の整流回路からスイッチング回路により多くの電力を伝送し、より低出力時でもスイッチング回路に含まれるスイッチング素子におけるスイッチング損失を低減することができる。

[0116] なお、ここでは、第1の実施形態に係る電源装置1に基づき、二次側回路を複数備えた電源装置4を構成することとした。これに代えて、第2または第3の実施形態に係る電源装置、あるいは、各実施形態の変形例に係る電源装置に基づき、二次側回路を複数備えた電源装置を構成してもよい。

[0117] （第5の実施形態）

図35は、第5の実施形態に係る電源ユニットの回路図である。図35に示す電源ユニット70は、力率改善回路71、電源装置72、ACプラグ73、および、出力端子74を備えている。電源装置72は、第1～第4の実施形態およびその変形例に係る電源装置のいずれかである。

[0118] 力率改善回路71は、入力電圧と入力電流がほぼ比例するように制御し、高調波の発生を抑制する。力率改善回路71は、例えば、100～240Vの交流電圧が入力されたときに400Vの直流電圧を出力する。電源装置72は、力率改善回路71から出力された直流電圧を所望のレベルの直流電圧に変換する。電源ユニット70は、ACアダプタや、電気機器に内蔵される

電源として用いることができる。

[0119] 以上に示すように、本実施形態に係る電源ユニット70は、第1～第4の実施形態およびその変形例に係る電源装置のいずれかを備えている。したがって、本実施形態に係る電源ユニット70によれば、低出力時でも高い電力変換効率を有する電源ユニットを提供することができる。

[0120] なお、第1～第4の実施形態およびその変形例に係る電源装置の特徴をその性質に反しない限り任意に組み合わせて、複数の実施形態および変形例の特徴を有する電源装置を構成してもよい。

[0121] 以上に示すように、電源装置は、トランスと、前記トランスの一次巻線に接続されたスイッチング回路と、前記トランスの二次巻線に接続された整流回路とを備え、前記スイッチング回路は、第1および第2導通電極を有し、オン状態とオフ状態とに切り替えられるスイッチング素子を含み、前記整流回路は、前記トランスの一次側から伝送された電力を整流する整流素子と、整流された電力を蓄積するコンデンサとを含み、前記スイッチング素子をオフ状態からオン状態に切り替える前に、前記スイッチング素子の第1および第2導通電極間の電圧が低下するように、前記整流回路は、前記コンデンサを放電させて前記トランスの二次巻線に電流を流す放電動作を行ってもよい（第1の局面）。

[0122] 前記整流回路は、前記整流素子として第1および第2スイッチング素子を含み、コイルをさらに含み、前記二次巻線はセンタータップを有し、前記コンデンサの一端は、前記第1スイッチング素子を介して前記二次巻線の一端に接続されると共に、前記第2スイッチング素子を介して前記二次巻線他端に接続され、前記コンデンサ他端は、前記コイルを介して前記センタータップに接続されており、前記整流回路は、前記放電動作として、前記コイル、前記センタータップ、前記二次巻線の一端、および、前記第1スイッチング素子を経由する経路と、前記コイル、前記センタータップ、前記二次巻線他端、および、前記第2スイッチング素子を経由する経路とに電流を流して前記コンデンサの放電を開始した後に、前記第2スイッチング素子をオ

フする動作を行ってもよい（第2の局面）。

[0123] 前記整流回路は、前記整流素子として第1および第2スイッチング素子を含み、第1および第2コイルをさらに含み、前記コンデンサの一端は、前記第1スイッチング素子を介して前記二次巻線の一端に接続されると共に、前記第2スイッチング素子を介して前記二次巻線他端に接続され、前記コンデンサ他端は、前記第1コイルを介して前記二次巻線の一端に接続されると共に、前記第2コイルを介して前記二次巻線他端に接続されており、前記整流回路は、前記放電動作として、前記第2コイルおよび前記第2スイッチング素子を経由する経路に電流を流して前記コンデンサの放電を開始した後に、前記第2スイッチング素子をオフして、前記第2コイル、前記二次巻線、および、前記第1スイッチング素子を経由する経路に電流を流す動作を行ってもよい（第3の局面）。

[0124] 前記整流回路は、前記整流素子として第1および第2スイッチング素子を含み、コイルをさらに含み、前記コンデンサの一端は、前記コイルおよび前記第1スイッチング素子を介して前記二次巻線の一端に接続されると共に、前記コイルおよび前記第2スイッチング素子を介して前記二次巻線他端に接続され、前記コンデンサ他端は前記二次巻線他端に接続されており、前記整流回路は、前記放電動作として、前記コイルおよび前記第2スイッチング素子を経由する経路に電流を流して前記コンデンサの放電を開始した後に、前記第2スイッチング素子をオフして、前記コイル、前記第1スイッチング素子、および、前記二次巻線を経由する経路に電流を流す動作を行ってもよい（第4の局面）。

[0125] 前記スイッチング回路は、フルブリッジ回路でもよい（第5の局面）。前記スイッチング回路は、フォワード回路でもよい（第6の局面）。前記トランスの二次側に前記整流回路が複数設けられていてもよい（第7の局面）。電源ユニットは、第1～第7のいずれかの局面に係る電源装置を備えていてもよい（第8の局面）。

[0126] 第1の局面によれば、整流回路に含まれるコンデンサを放電させてトラン

スの二次巻線に電流を流し、コンデンサに蓄積された電力をトランスを経由してスイッチング回路に伝送することにより、スイッチング回路に含まれるスイッチング素子の導通電極間の電圧は低出力時でも低下する。導通電極間の電圧が低下した後にスイッチング素子をオン状態に切り替えることにより、低出力時でもスイッチング素子におけるスイッチング損失を低減することができる。特に、導通電極間の電圧をほぼ0に低下させた後にスイッチング素子をオン状態に切り替えることにより、低出力時でもゼロボルトスイッチングを行い、スイッチング損失を低減することができる。したがって、低出力時でも高い電力変換効率を有し、低出力時から高出力時まで広い出力範囲で高効率な電源装置を提供することができる。

[0127] 第2の局面によれば、上記の構成を有する整流回路において、2個の経路に電流を流してコンデンサの放電を開始した後に第2スイッチング素子をオフすることにより、トランスの二次巻線に電流を流し、低出力時でもスイッチング回路に含まれるスイッチング素子の導通電極間の電圧を低下させることができる。したがって、低出力時でもスイッチング素子におけるスイッチング損失を低減し、電力変換効率を高くすることができる。

[0128] 第3の局面によれば、上記の構成を有する整流回路において、第2スイッチング素子および第2コイルを経由する経路に電流を流してコンデンサの放電を開始した後に第2スイッチング素子をオフすることにより、トランスの二次巻線に電流を流し、低出力時でもスイッチング回路に含まれるスイッチング素子の導通電極間の電圧を低下させることができる。したがって、低出力時でもスイッチング素子におけるスイッチング損失を低減し、電力変換効率を高くすることができる。

[0129] 第4の局面によれば、上記の構成を有する整流回路において、コイルおよび第2スイッチング素子を経由する経路に電流を流してコンデンサの放電を開始した後に第2スイッチング素子をオフすることにより、トランスの二次巻線に電流を流し、低出力時でもスイッチング回路に含まれるスイッチング素子の導通電極間の電圧を低下させることができる。したがって、低出力時

でもスイッチング素子におけるスイッチング損失を低減し、電力変換効率を高くすることができる。

- [0130] 第5の局面によれば、スイッチング回路としてフルブリッジ回路を備え、低出力時でも高い電力変換効率を有する電源装置を提供することができる。第6の局面によれば、スイッチング回路としてフォワード回路を備え、低出力時でも高い電力変換効率を有する電源装置を提供することができる。第7の局面によれば、低出力時でもスイッチング回路に含まれるスイッチング素子におけるスイッチング損失を低減し、電力変換効率を高くすることができる。また、複数の整流回路からスイッチング回路に対してより多くの電力を伝送し、より低出力時でもスイッチング回路に含まれるスイッチング素子におけるスイッチング損失を低減することができる。第8の局面によれば、低出力時でも高い電力変換効率を有する電源ユニットを提供することができる。

- [0131] 本願は、2017年2月23日に出願された「電源装置および電源ユニット」という名称の日本国特願2017-31949号に基づく優先権を主張する出願であり、この出願の内容は引用することによって本願の中に含まれる。

符号の説明

- [0132] 1～4…電源装置
10、15、40…一次側回路
20、25、30、50…二次側回路
11、41…第1入力端子
12、42…第2入力端子
21、26、31、51…第1出力端子
22、27、32、52…第2出力端子
70…電源ユニット
71…力率改善回路
72…電源装置

7 3 ... A C プラグ

7 4 ... 出力端子

請求の範囲

[請求項1]

トランスと、
前記トランスの一次巻線に接続されたスイッチング回路と、
前記トランスの二次巻線に接続された整流回路とを備え、
前記スイッチング回路は、第1および第2導通電極を有し、オン状態とオフ状態とに切り替えられるスイッチング素子を含み、
前記整流回路は、前記トランスの一次側から伝送された電力を整流する整流素子と、整流された電力を蓄積するコンデンサとを含み、
前記スイッチング素子をオフ状態からオン状態に切り替える前に、前記スイッチング素子の第1および第2導通電極間の電圧が低下するように、前記整流回路は、前記コンデンサを放電させて前記トランスの二次巻線に電流を流す放電動作を行うことを特徴とする、電源装置。

[請求項2]

前記整流回路は、前記整流素子として第1および第2スイッチング素子を含み、コイルをさらに含み、
前記二次巻線はセンタータップを有し、
前記コンデンサの一端は、前記第1スイッチング素子を介して前記二次巻線の一端に接続されると共に、前記第2スイッチング素子を介して前記二次巻線他端に接続され、前記コンデンサ他端は、前記コイルを介して前記センタータップに接続されており、
前記整流回路は、前記放電動作として、前記コイル、前記センタータップ、前記二次巻線の一端、および、前記第1スイッチング素子を經由する経路と、前記コイル、前記センタータップ、前記二次巻線他端、および、前記第2スイッチング素子を經由する経路とに電流を流して前記コンデンサの放電を開始した後に、前記第2スイッチング素子をオフする動作を行うことを特徴とする、請求項1に記載の電源装置。

[請求項3]

前記整流回路は、前記整流素子として第1および第2スイッチング

素子を含み、第 1 および第 2 コイルをさらに含み、

前記コンデンサの一端は、前記第 1 スイッチング素子を介して前記二次巻線の一端に接続されると共に、前記第 2 スイッチング素子を介して前記二次巻線他端に接続され、前記コンデンサ他端は、前記第 1 コイルを介して前記二次巻線の一端に接続されると共に、前記第 2 コイルを介して前記二次巻線他端に接続されており、

前記整流回路は、前記放電動作として、前記第 2 コイルおよび前記第 2 スイッチング素子を経由する経路に電流を流して前記コンデンサの放電を開始した後に、前記第 2 スイッチング素子をオフして、前記第 2 コイル、前記二次巻線、および、前記第 1 スイッチング素子を経由する経路に電流を流す動作を行うことを特徴とする、請求項 1 に記載の電源装置。

[請求項 4]

前記整流回路は、前記整流素子として第 1 および第 2 スイッチング素子を含み、コイルをさらに含み、

前記コンデンサの一端は、前記コイルおよび前記第 1 スイッチング素子を介して前記二次巻線の一端に接続されると共に、前記コイルおよび前記第 2 スイッチング素子を介して前記二次巻線他端に接続され、前記コンデンサ他端は前記二次巻線他端に接続されており、

前記整流回路は、前記放電動作として、前記コイルおよび前記第 2 スイッチング素子を経由する経路に電流を流して前記コンデンサの放電を開始した後に、前記第 2 スイッチング素子をオフして、前記コイル、前記第 1 スイッチング素子、および、前記二次巻線を経由する経路に電流を流す動作を行うことを特徴とする、請求項 1 に記載の電源装置。

[請求項 5]

前記スイッチング回路は、フルブリッジ回路であることを特徴とする、請求項 1 に記載の電源装置。

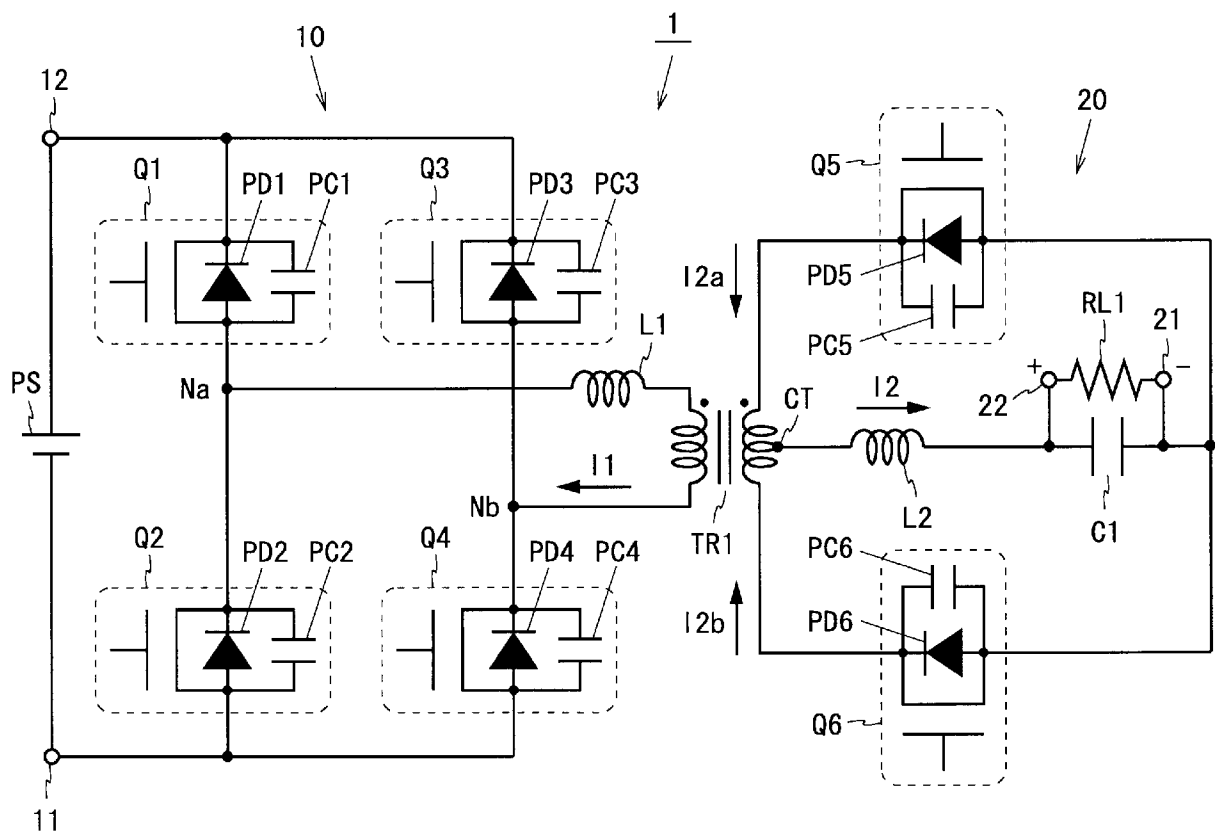
[請求項 6]

前記スイッチング回路は、フォワード回路であることを特徴とする、請求項 1 に記載の電源装置。

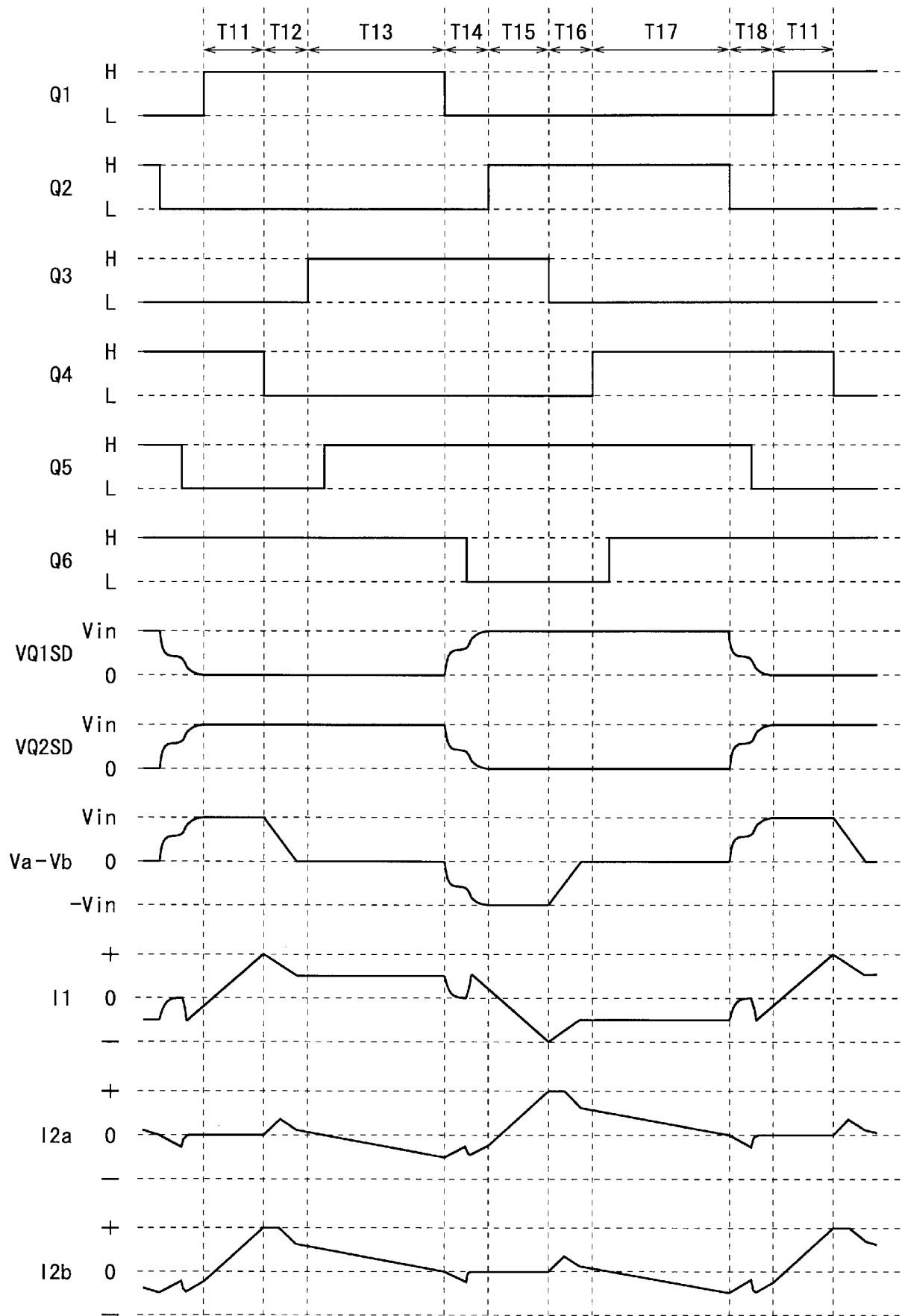
[請求項7] 前記トランスの二次側に前記整流回路が複数設けられていることを特徴とする、請求項1に記載の電源装置。

[請求項8] 請求項1～7のいずれかに記載の電源装置を備えた、電源ユニット
。

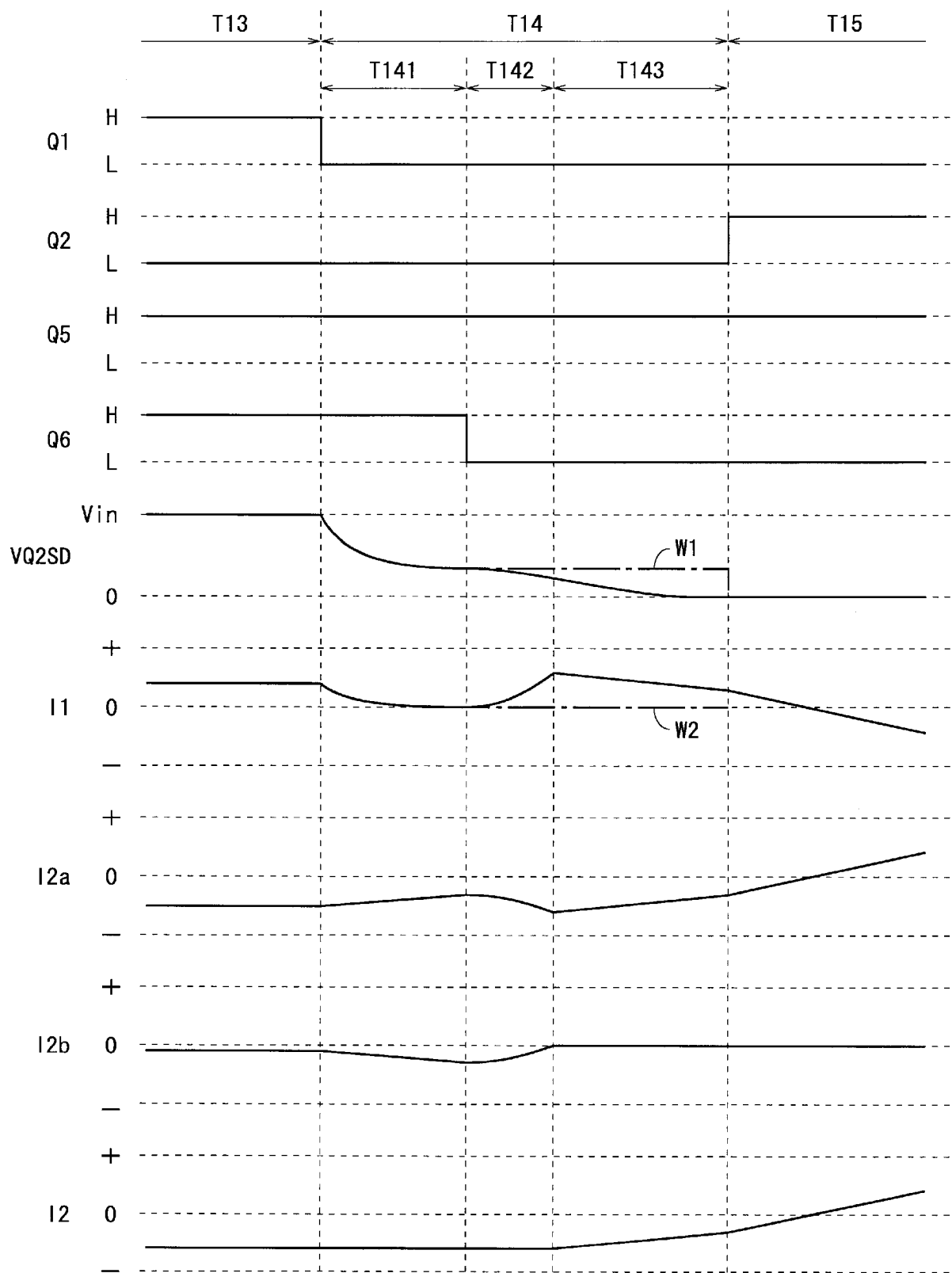
[図1]



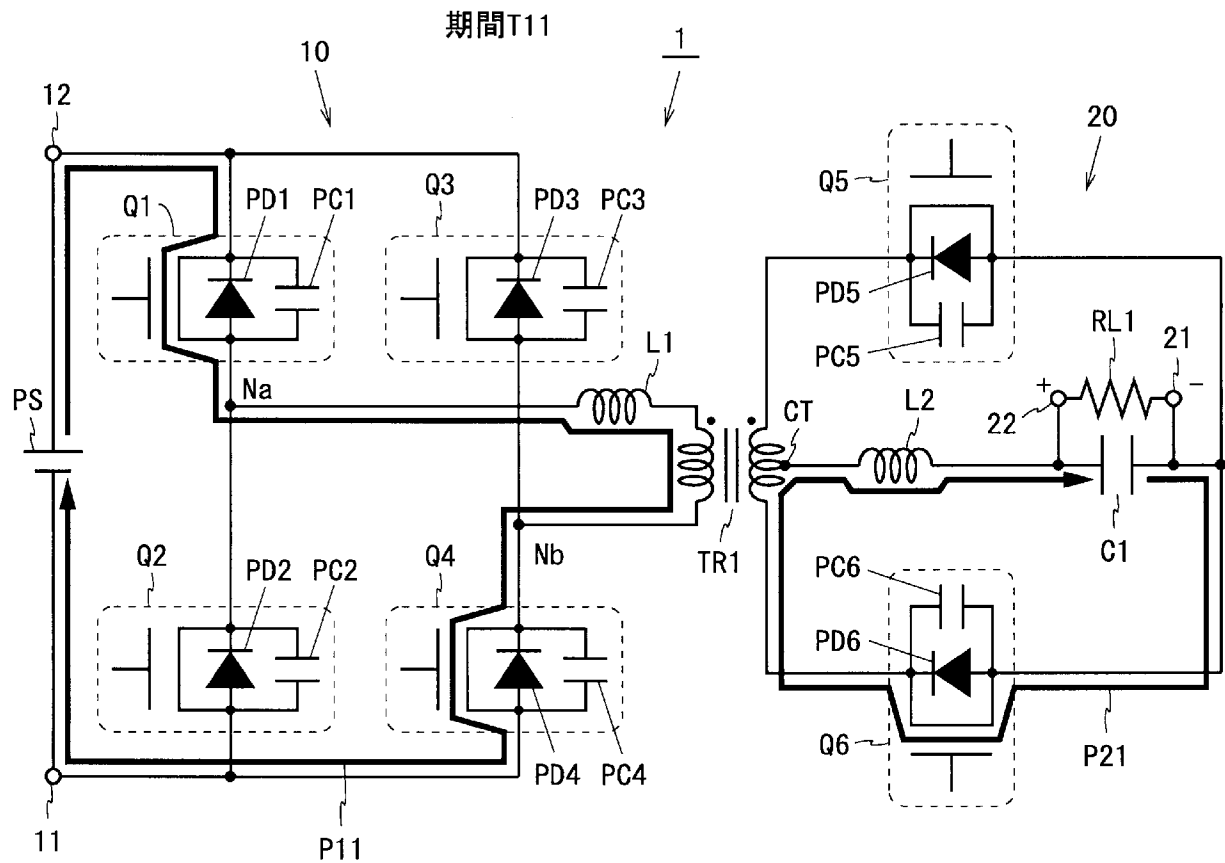
[図2]



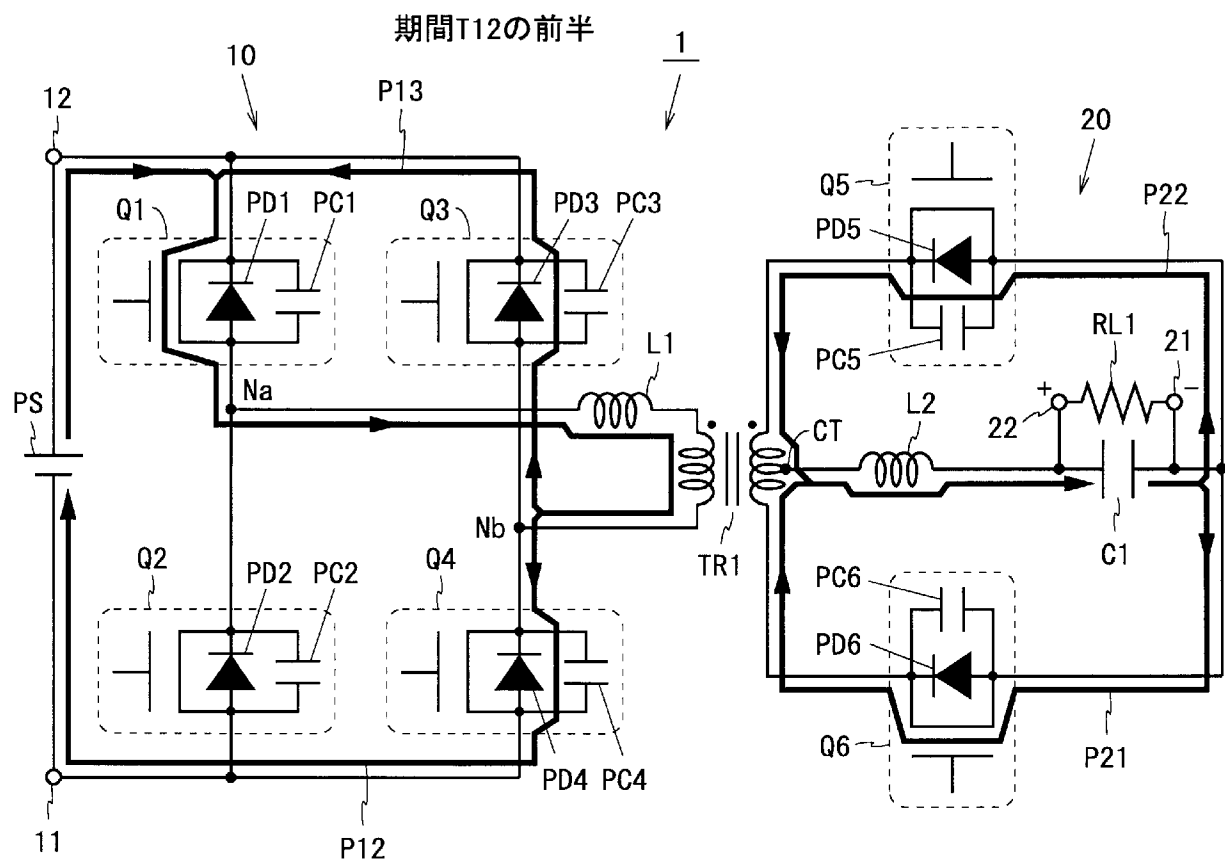
[図3]



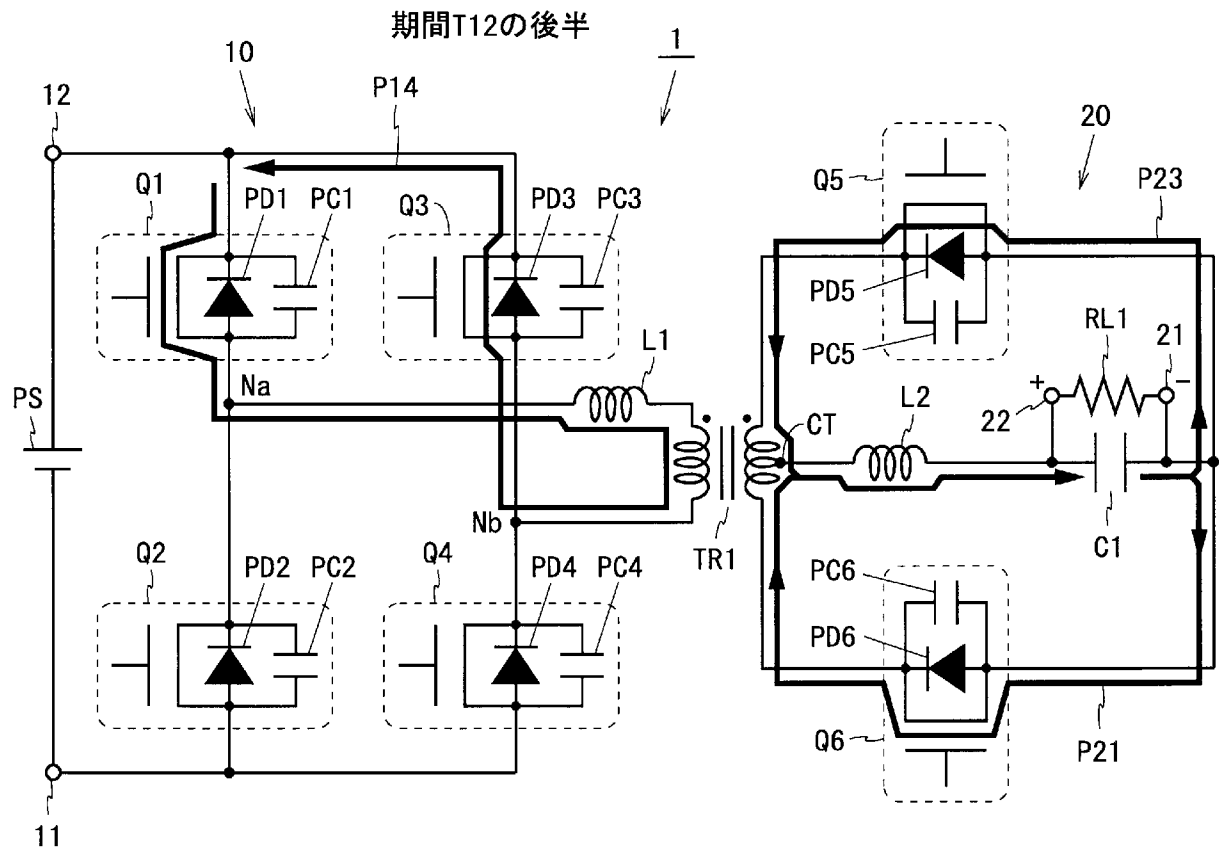
[図4]



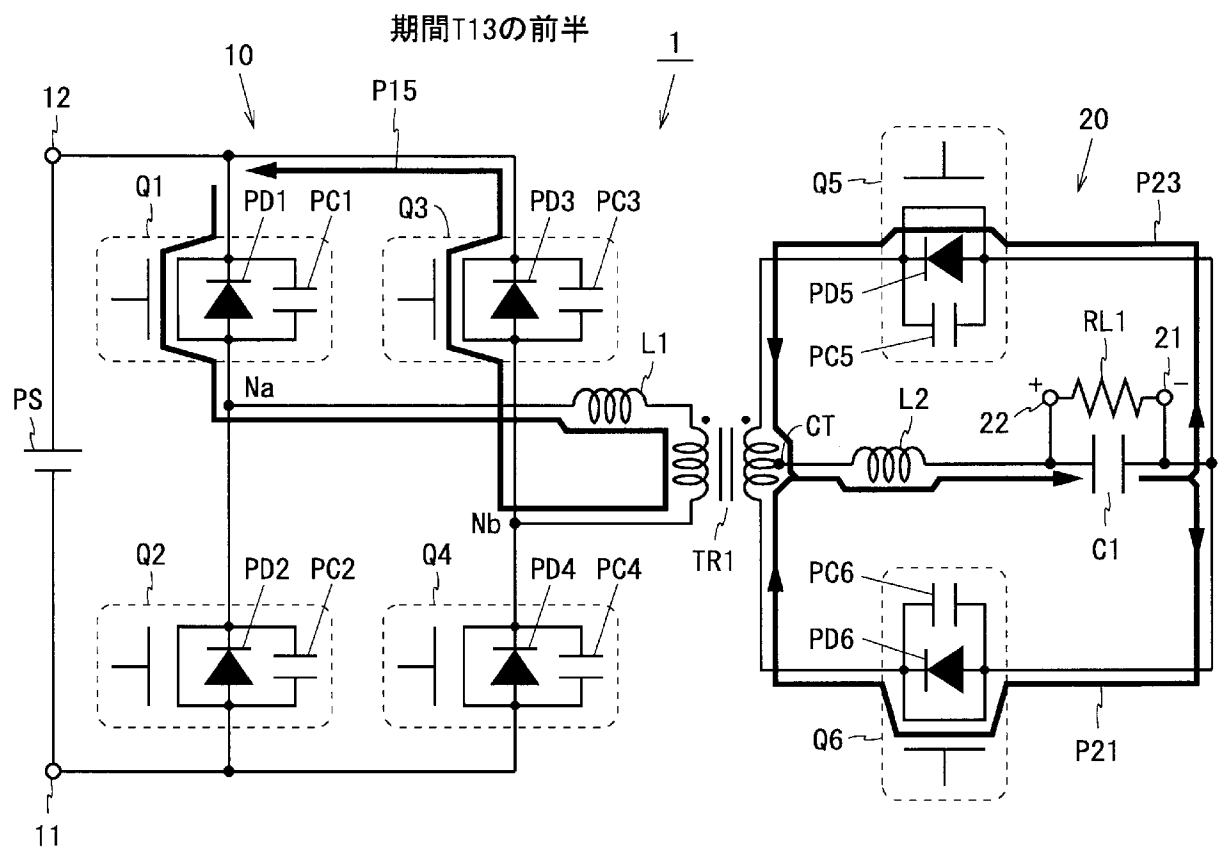
[図5]



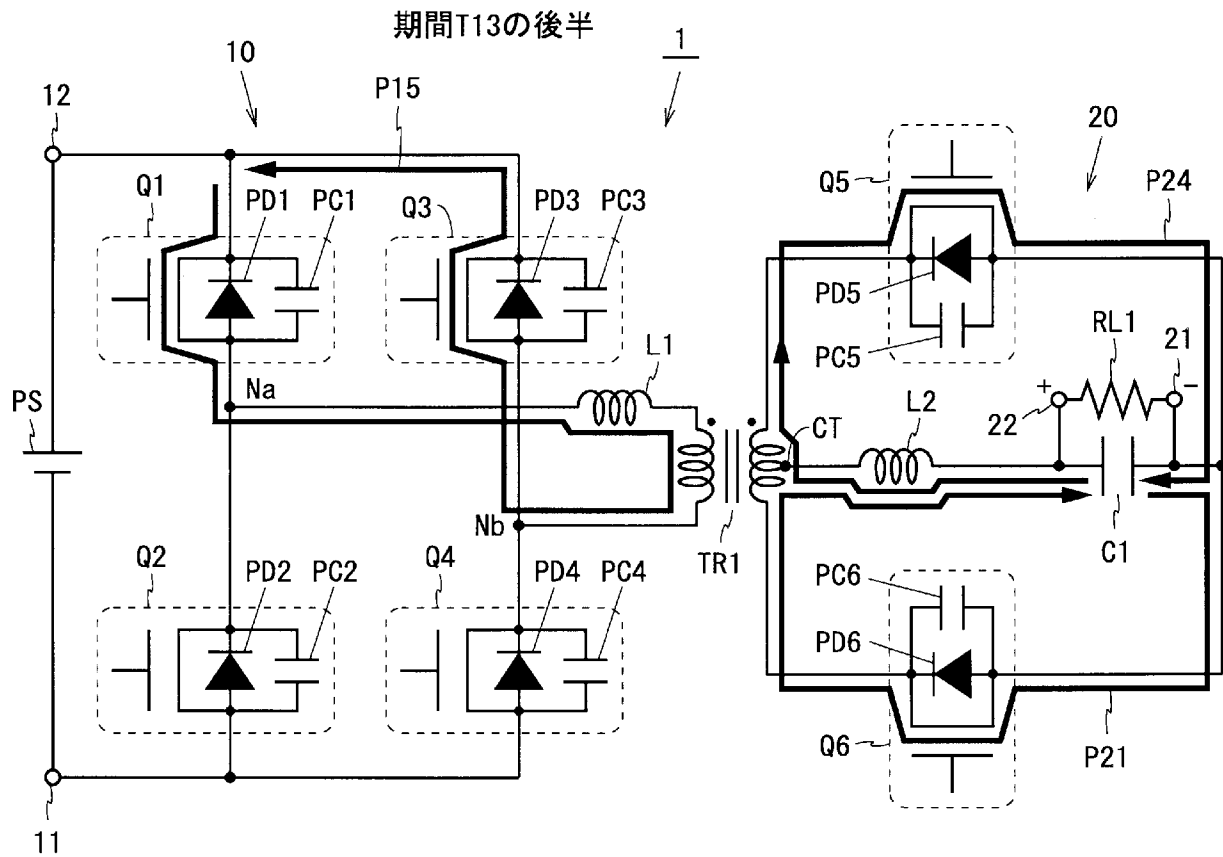
[図6]



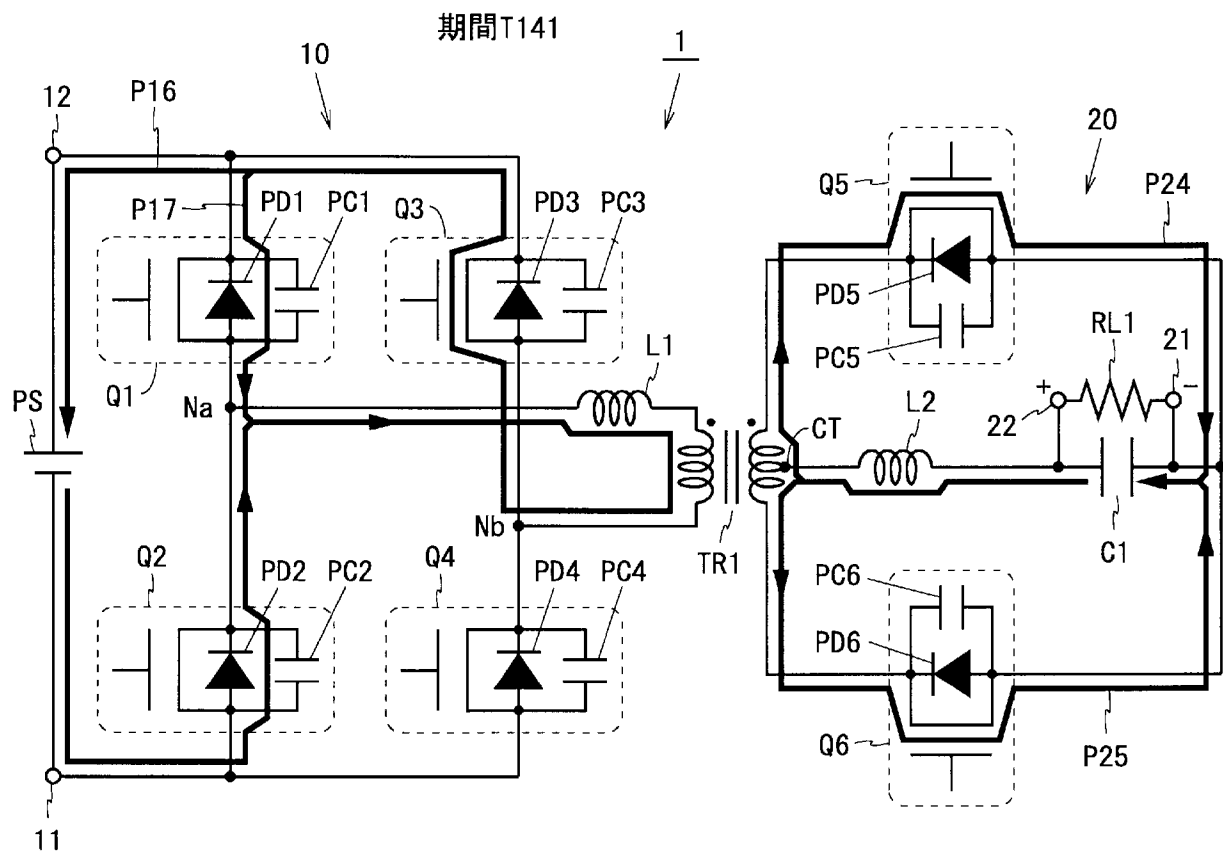
[図7]



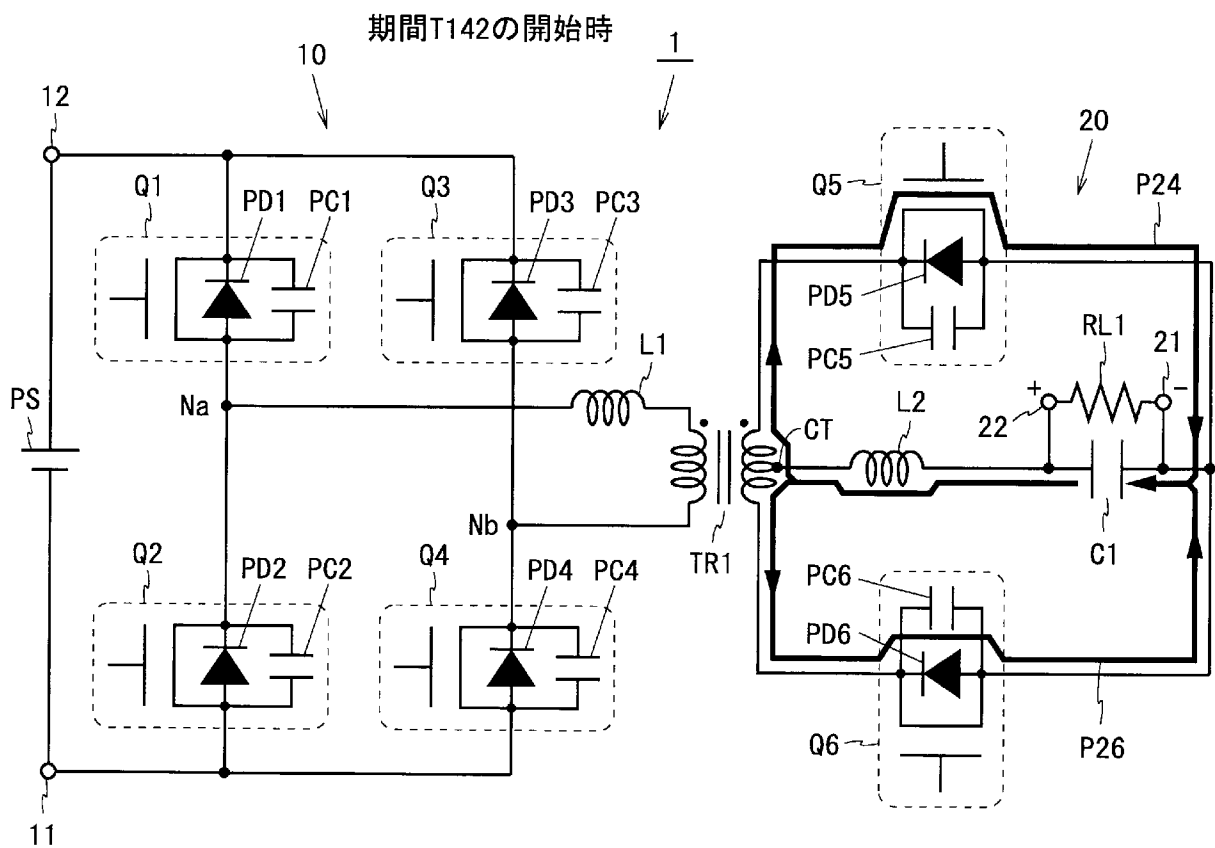
[図8]



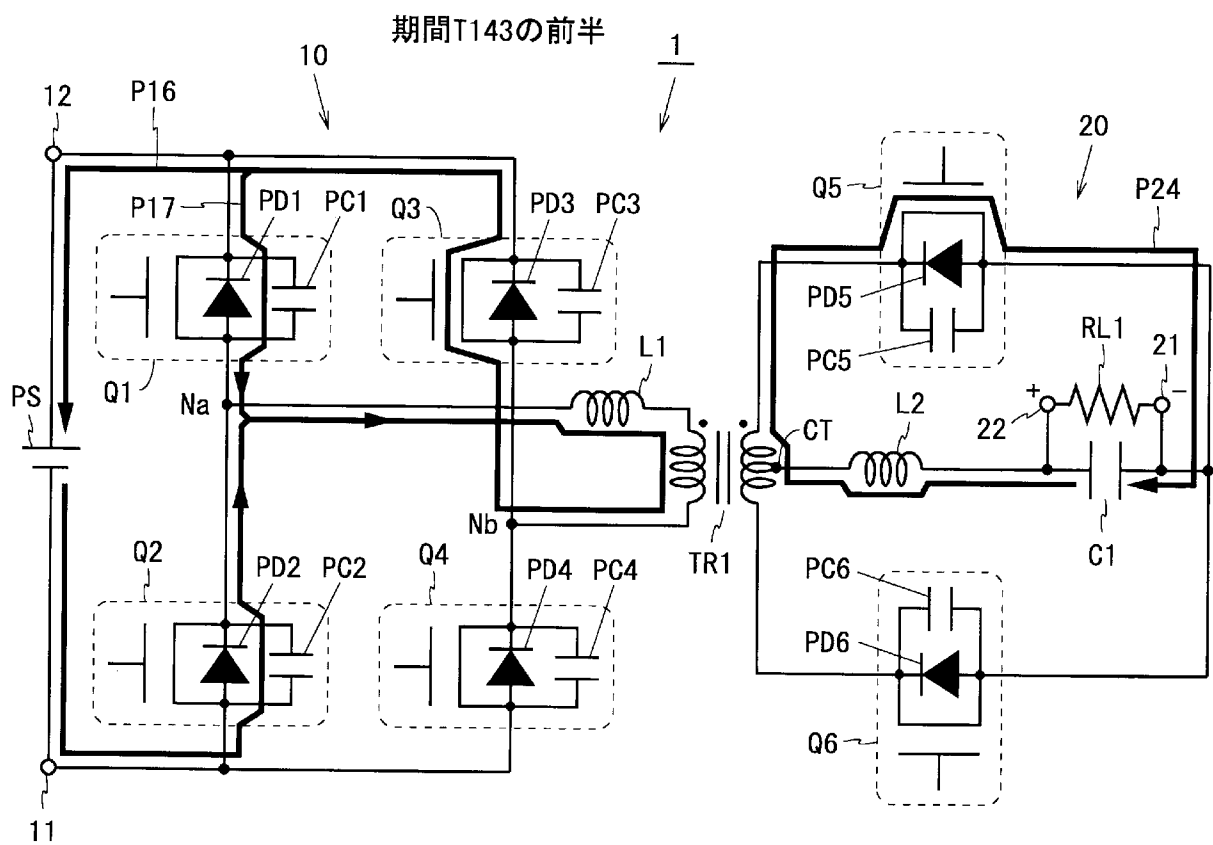
[図9]



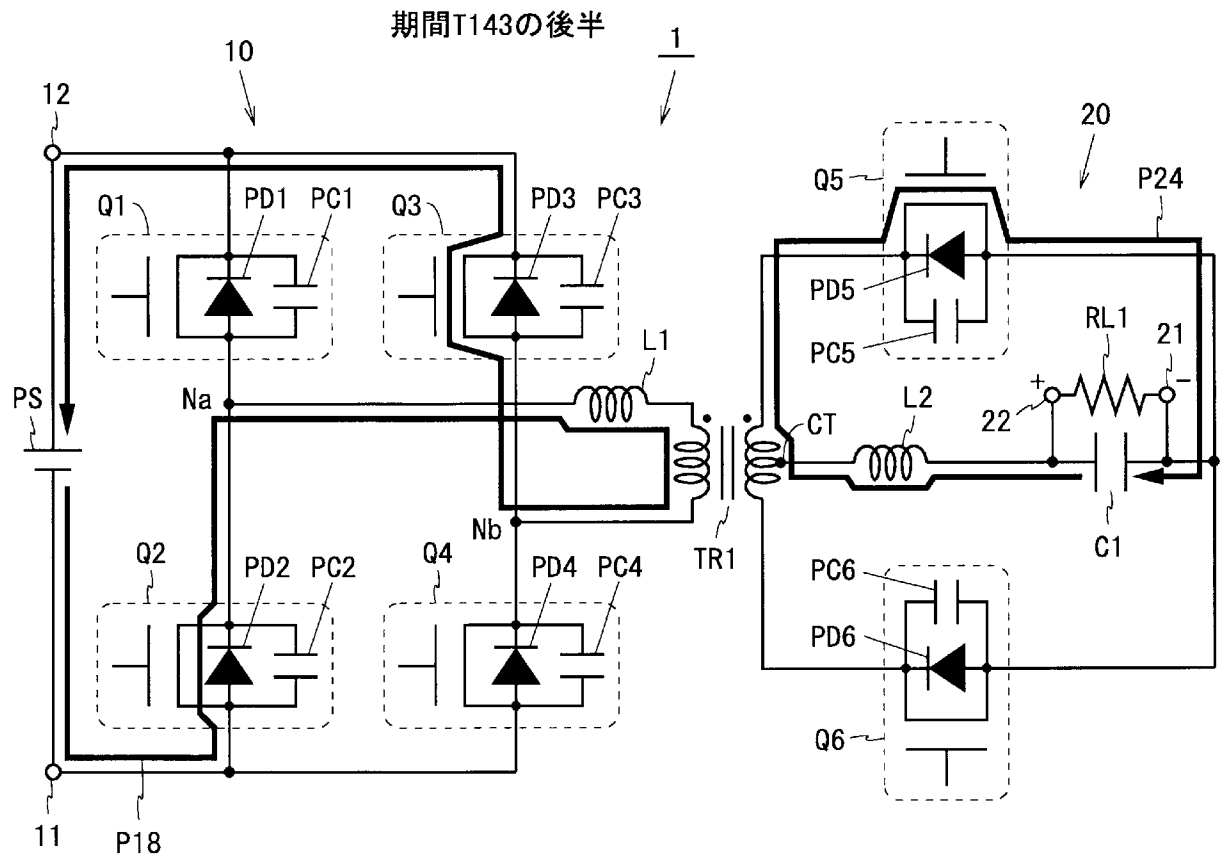
[図10]



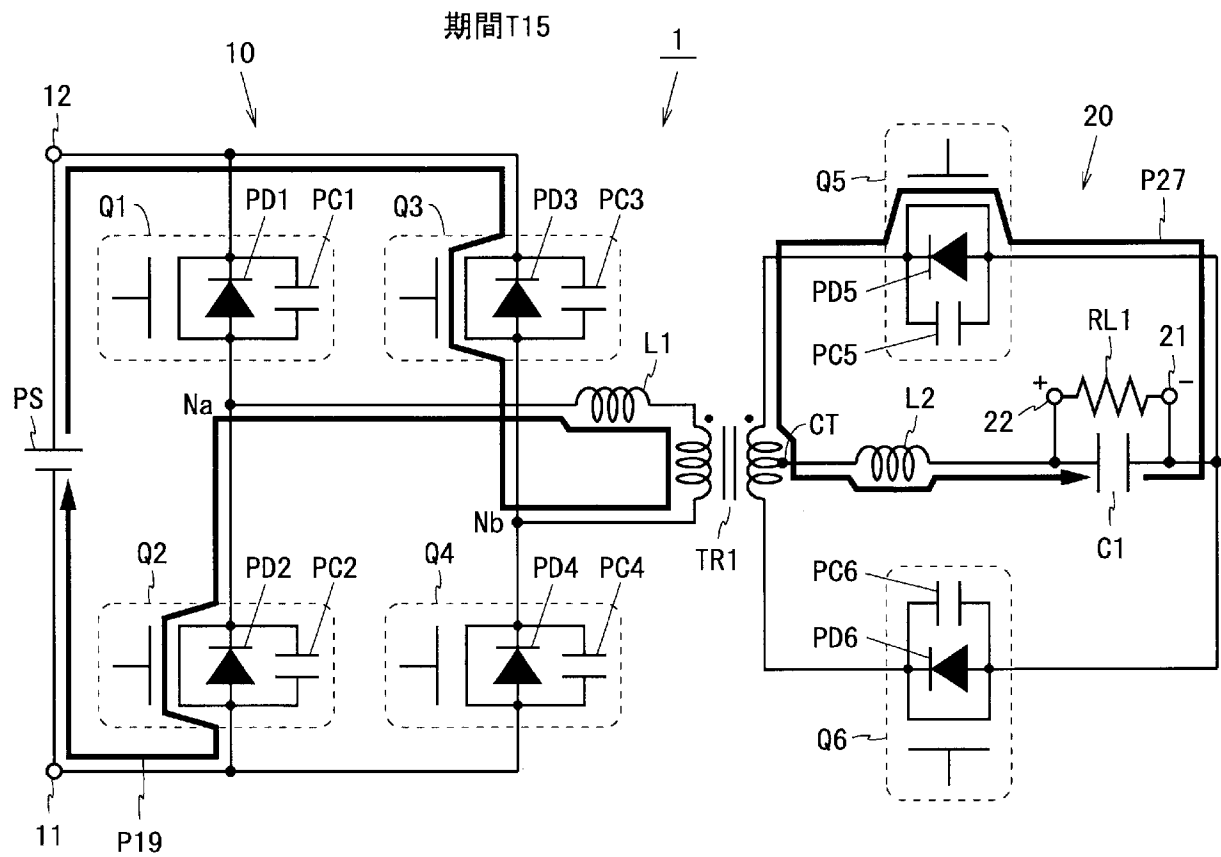
[図11]



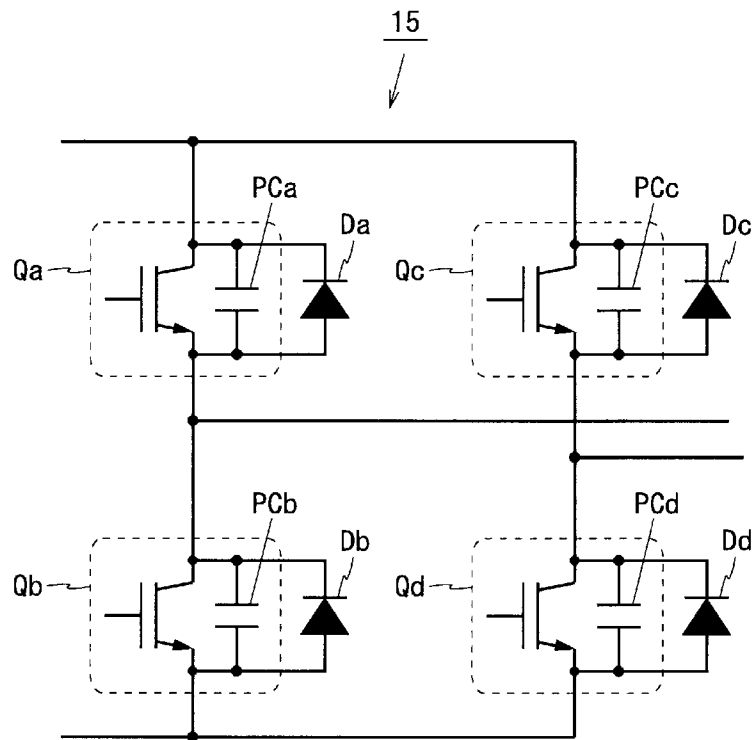
[図12]



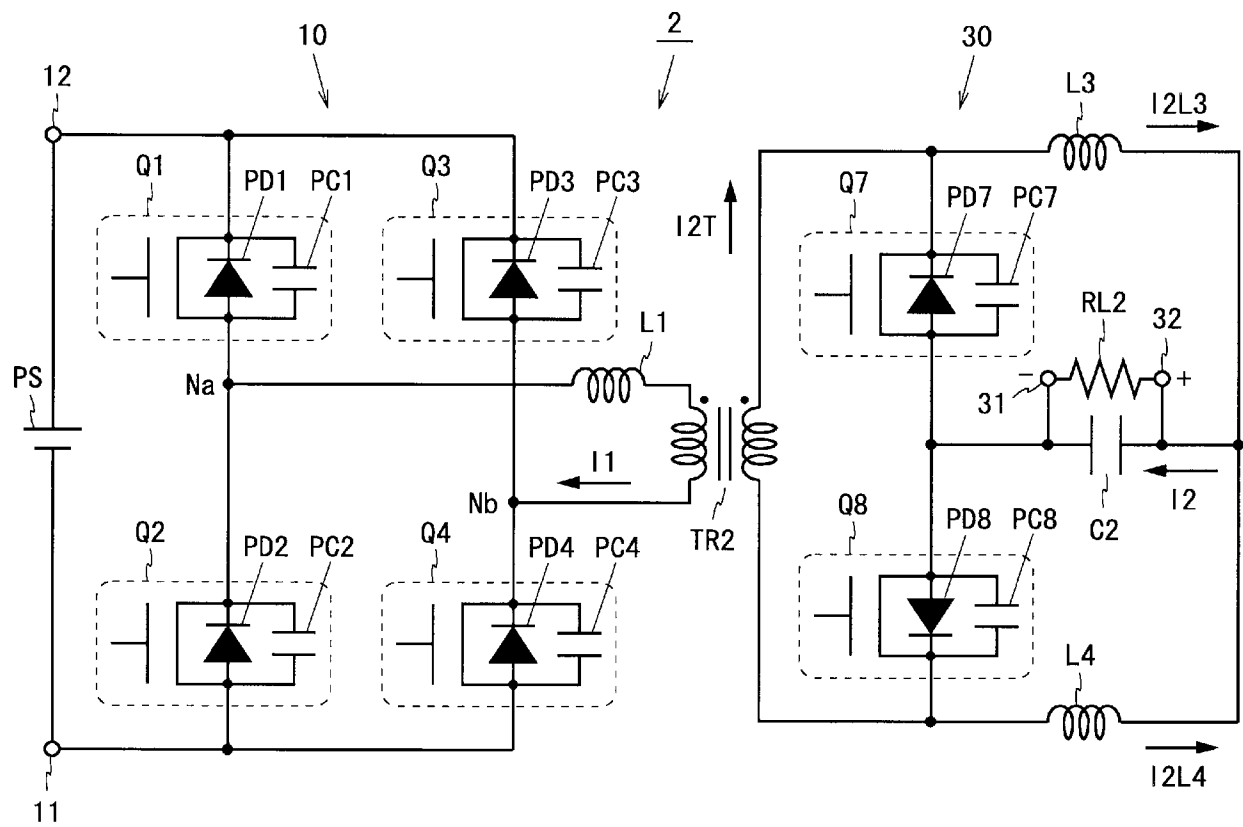
[図13]



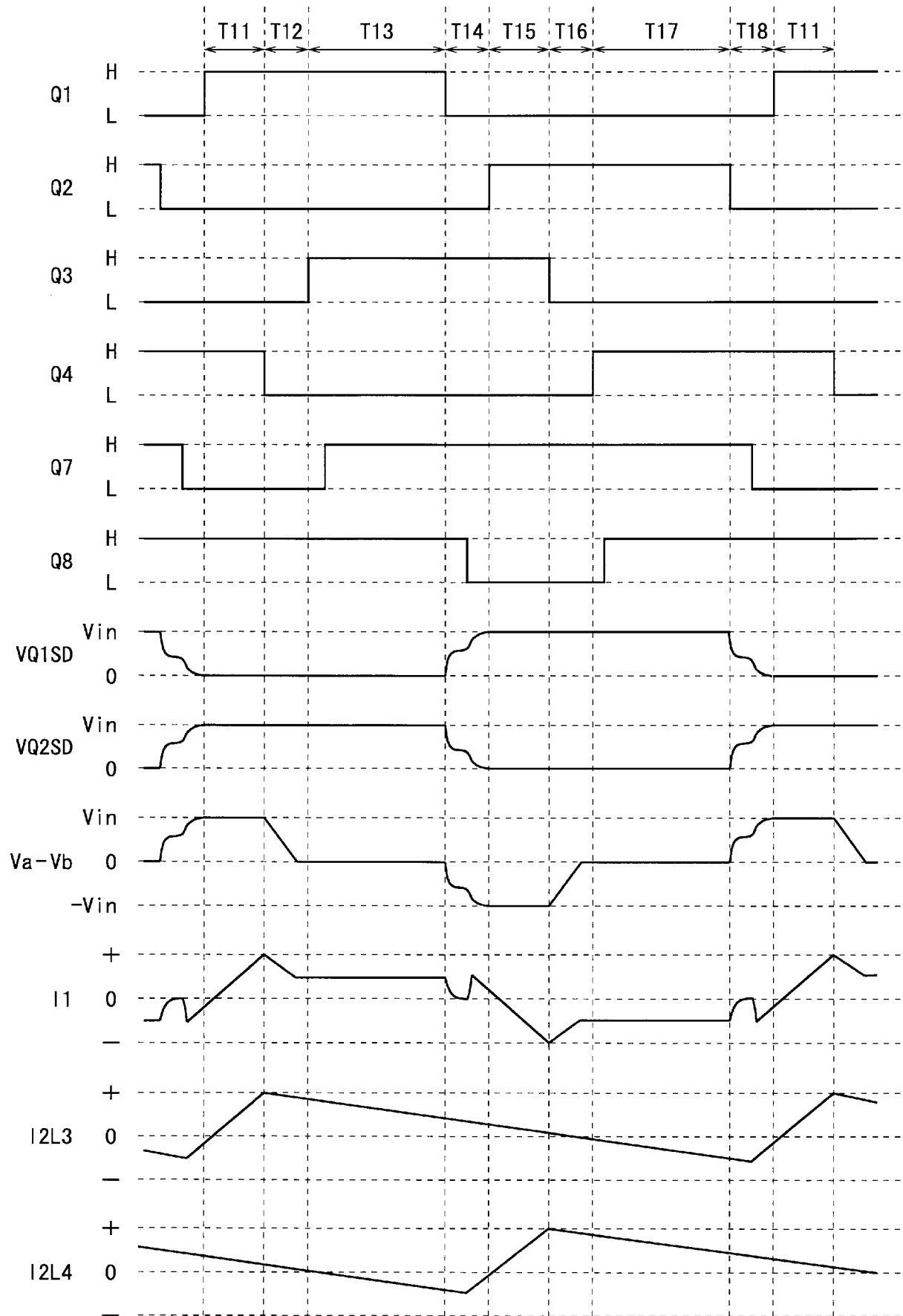
[図14]



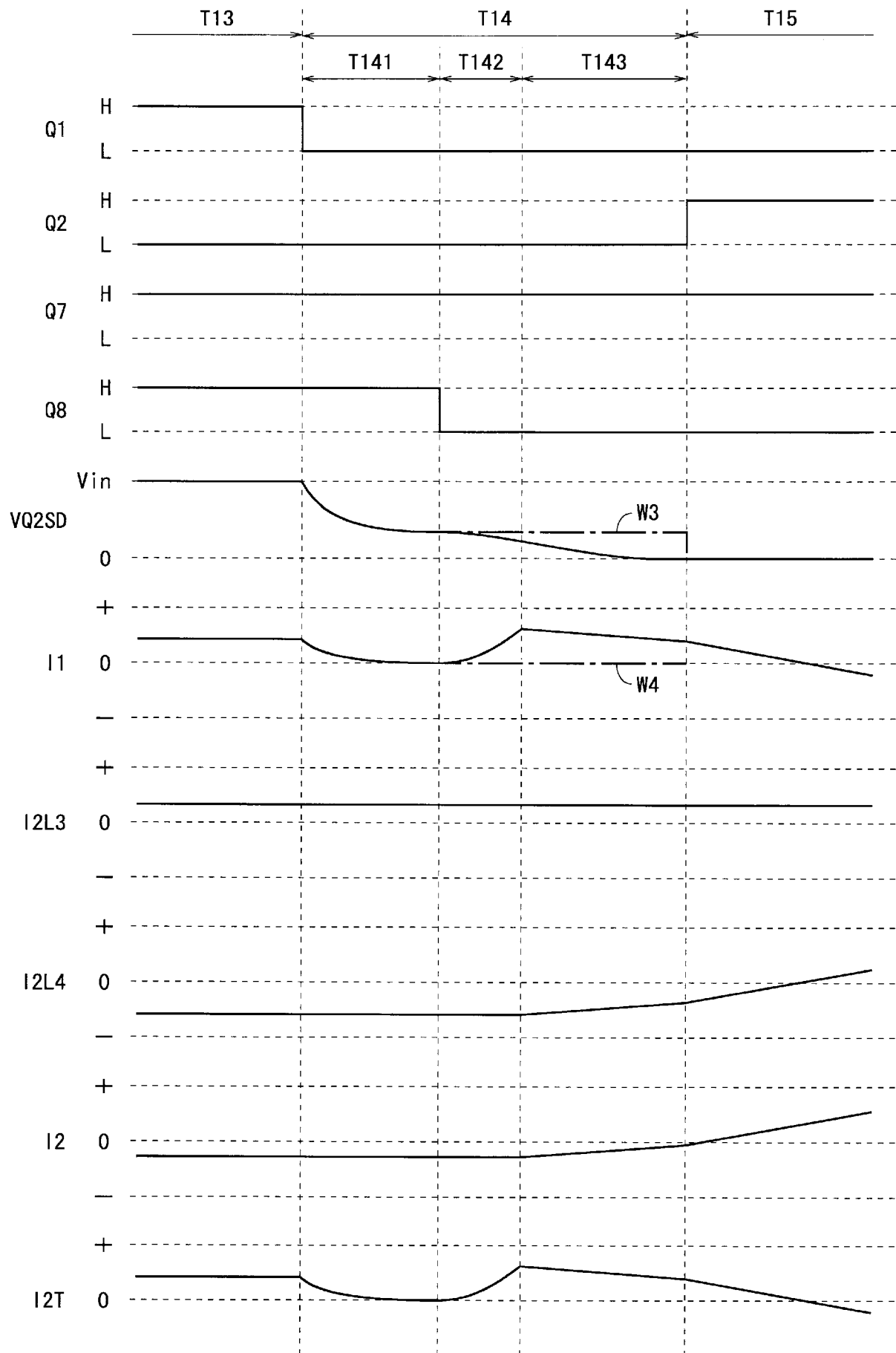
[図15]



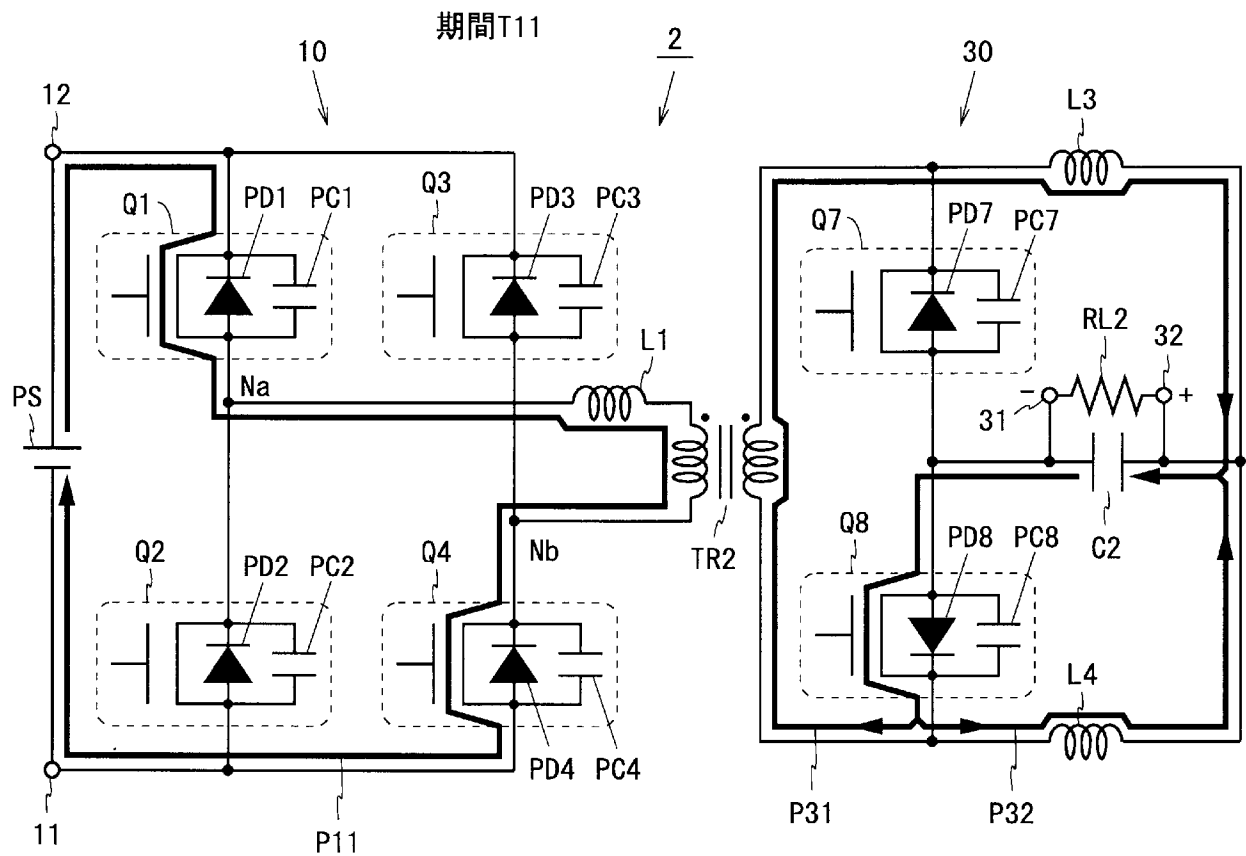
[図16]



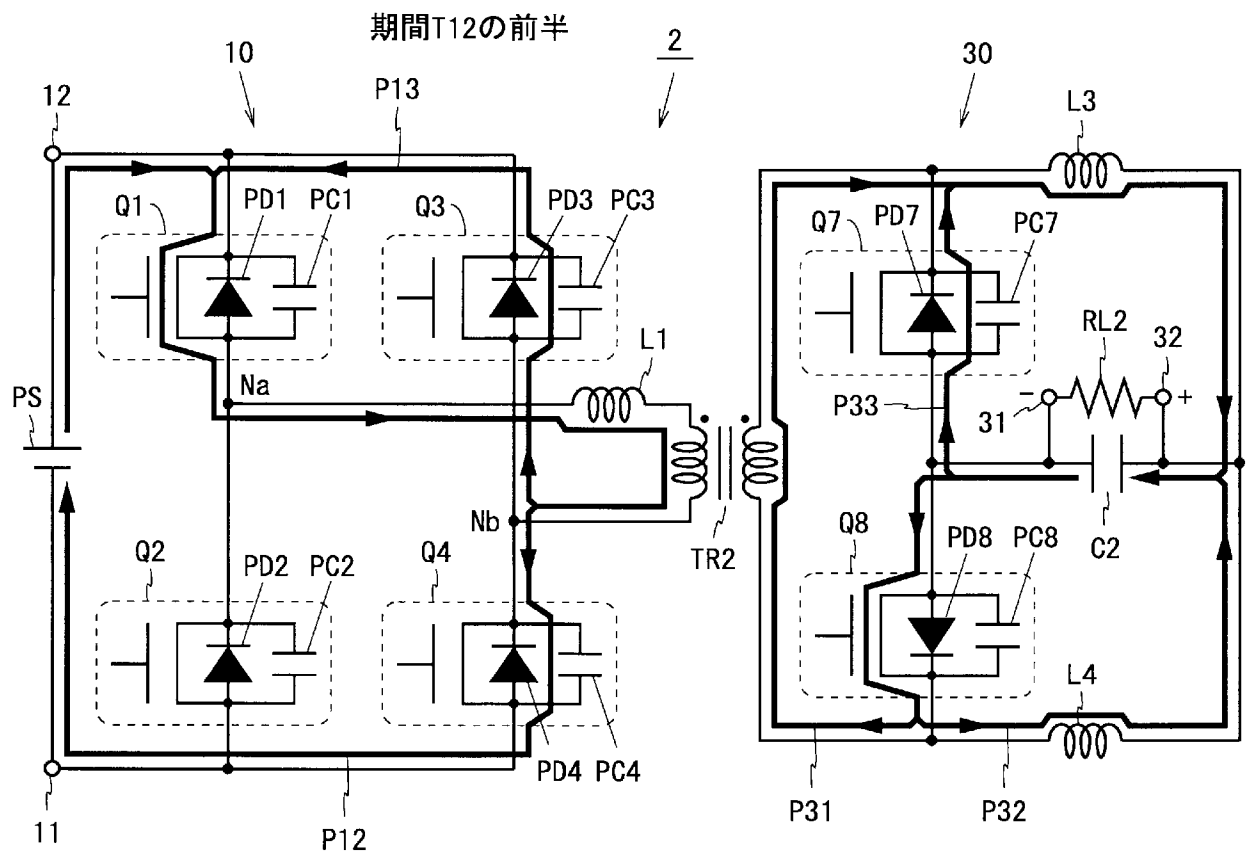
[図17]



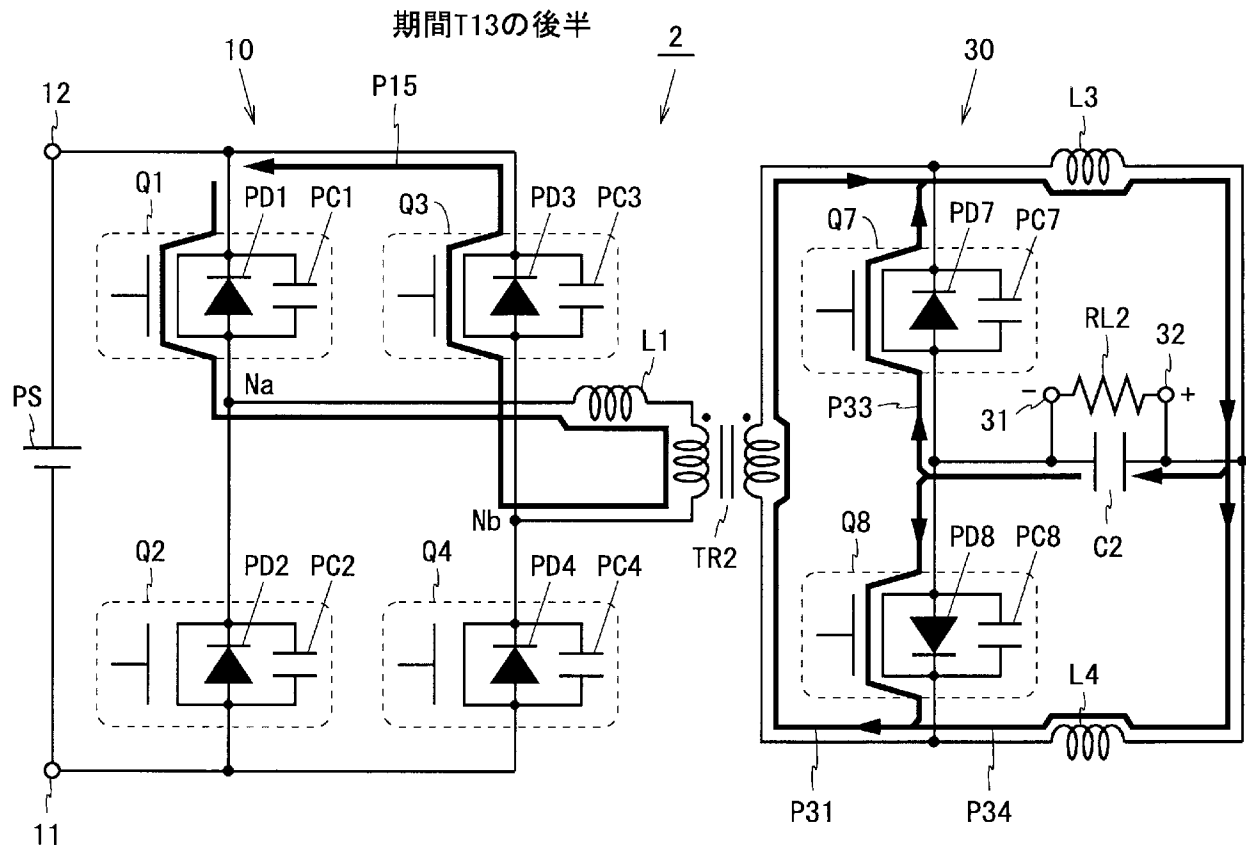
[図18]



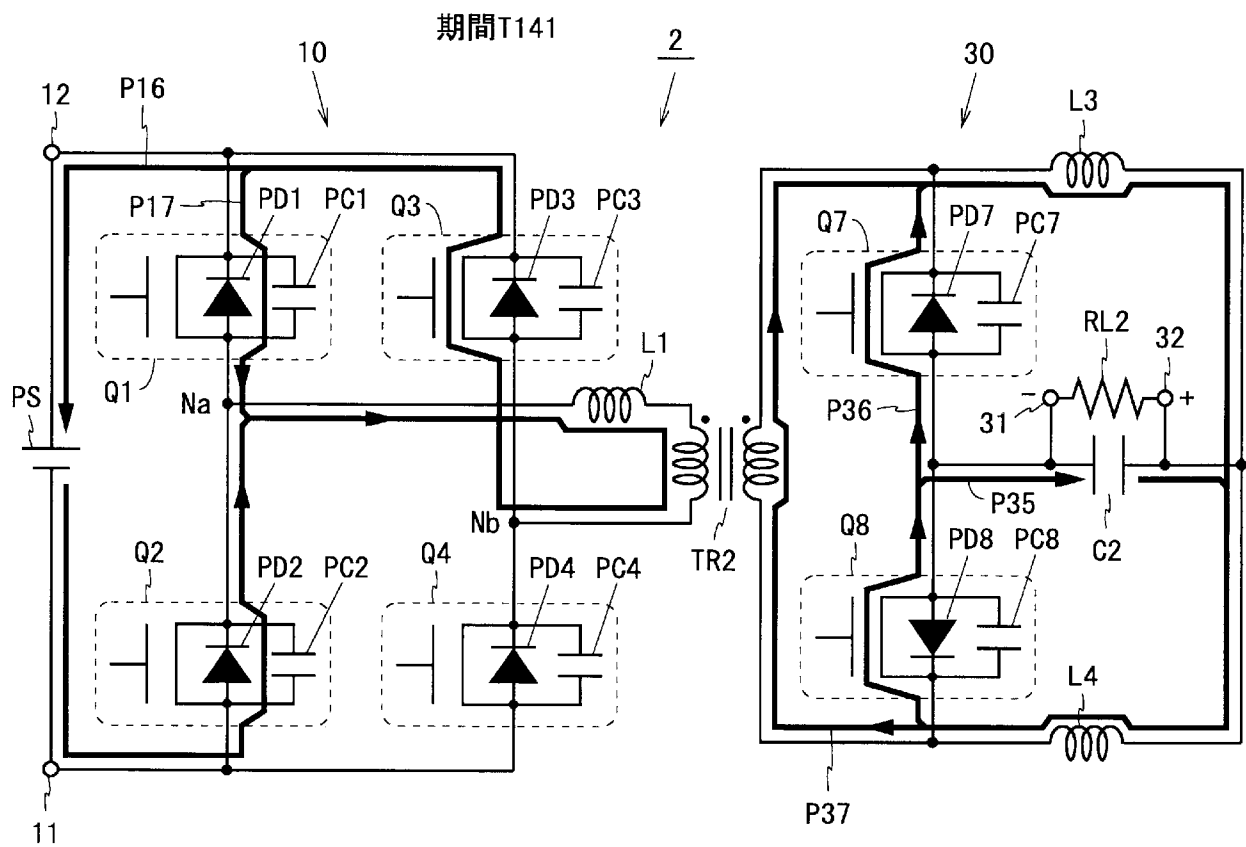
[図19]



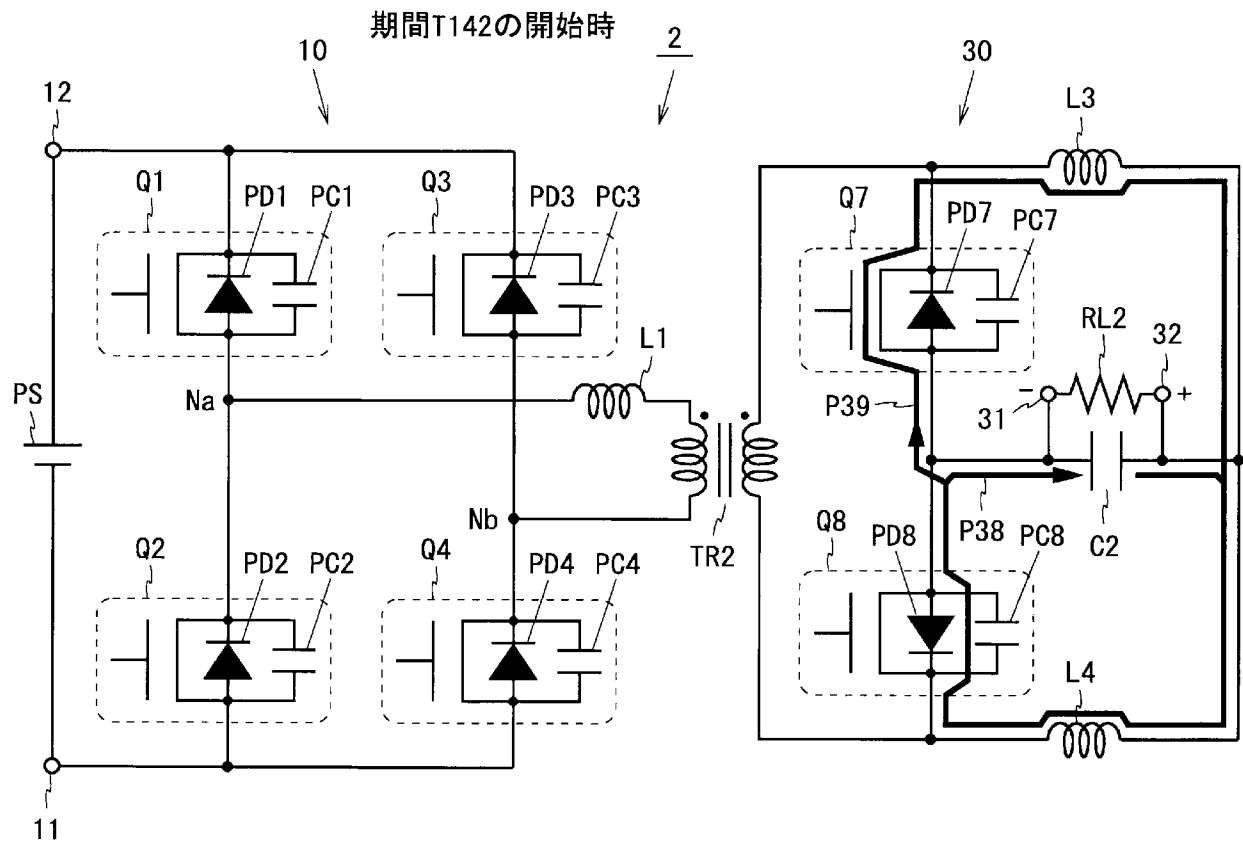
[図20]



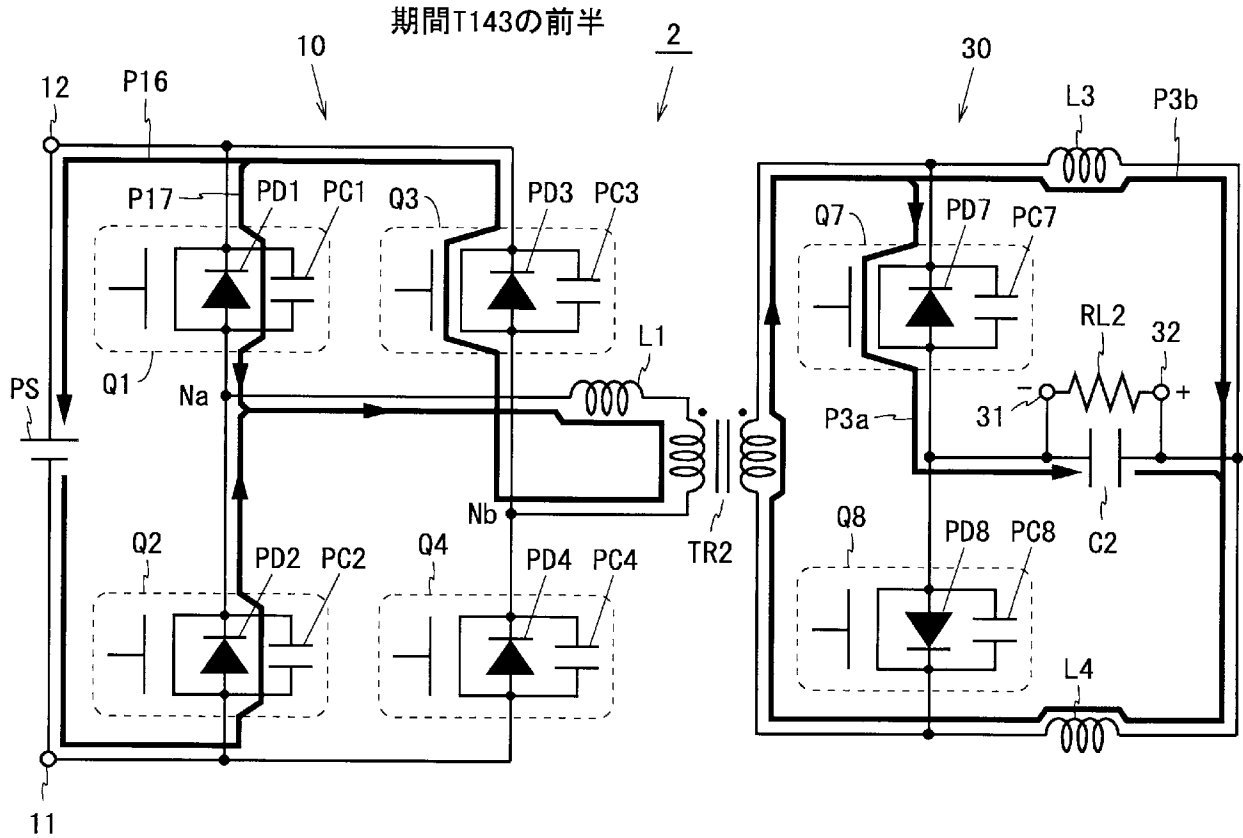
[図21]



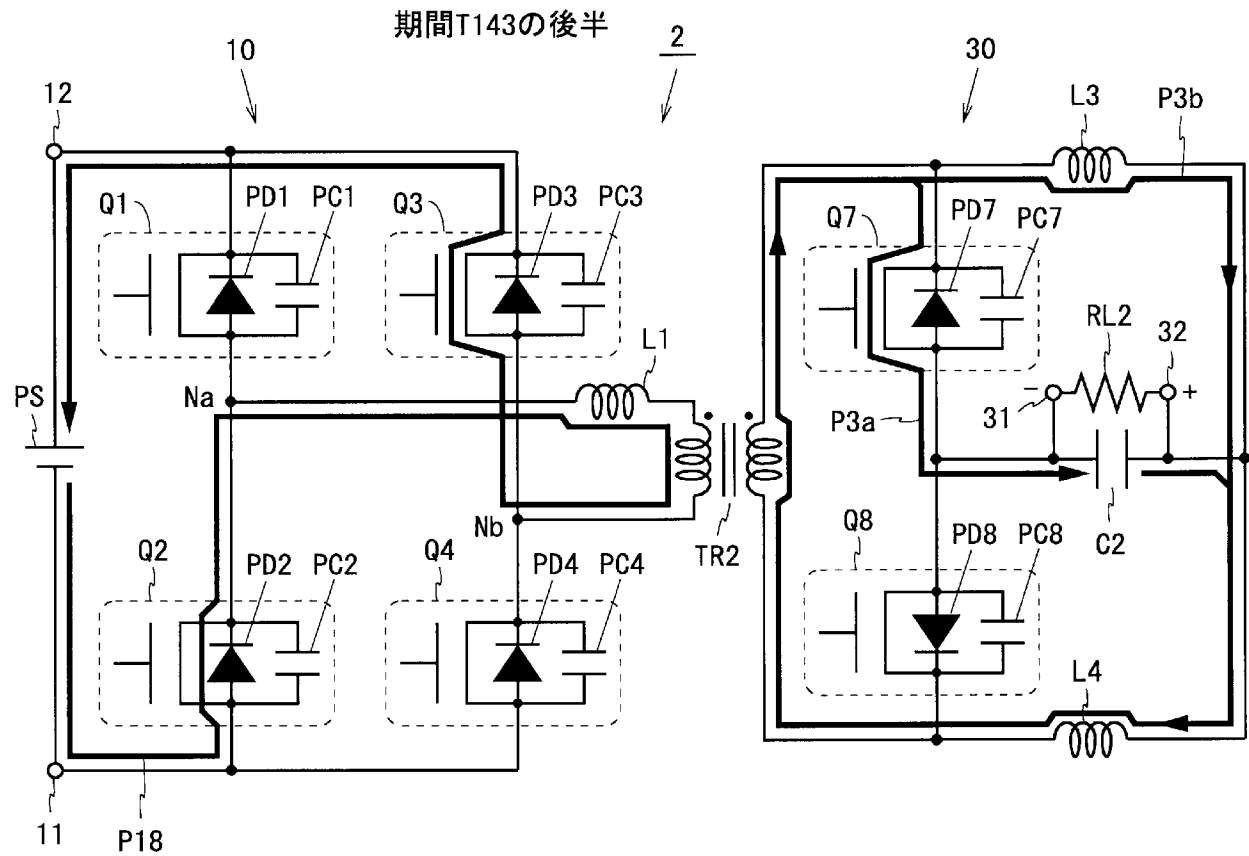
[図22]



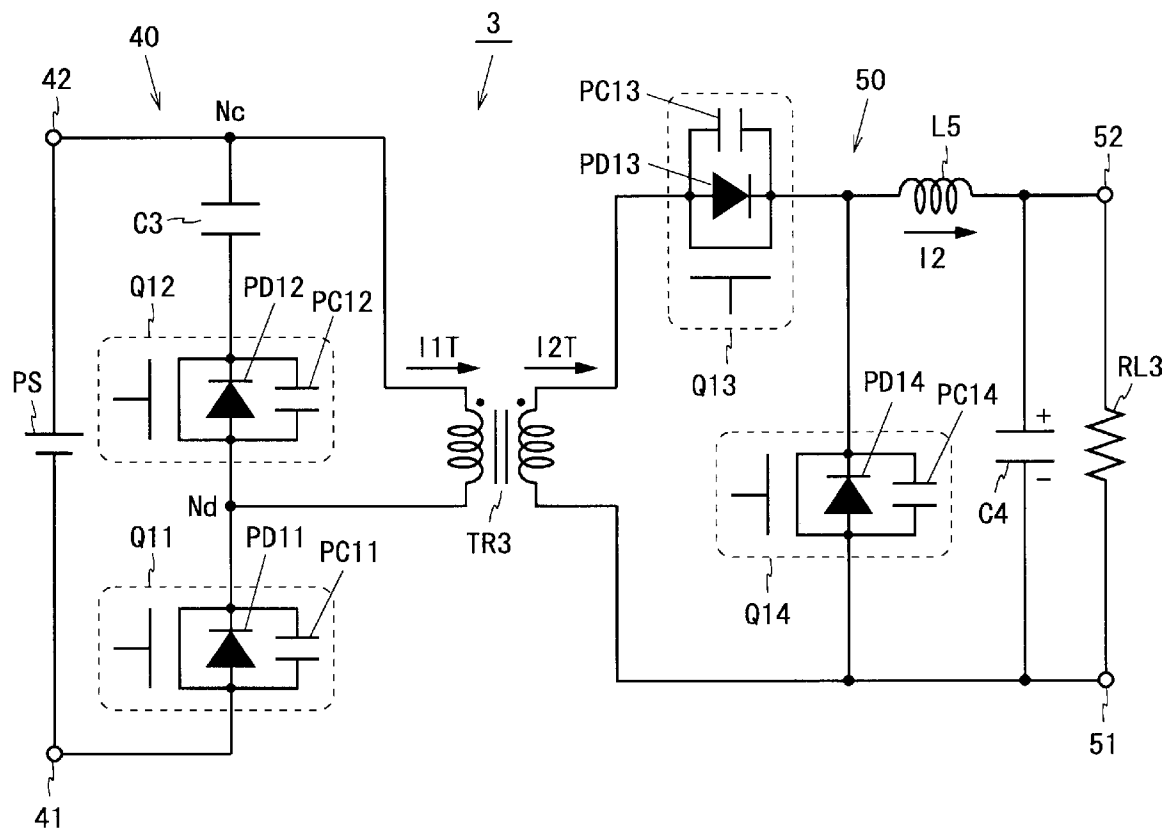
[図23]



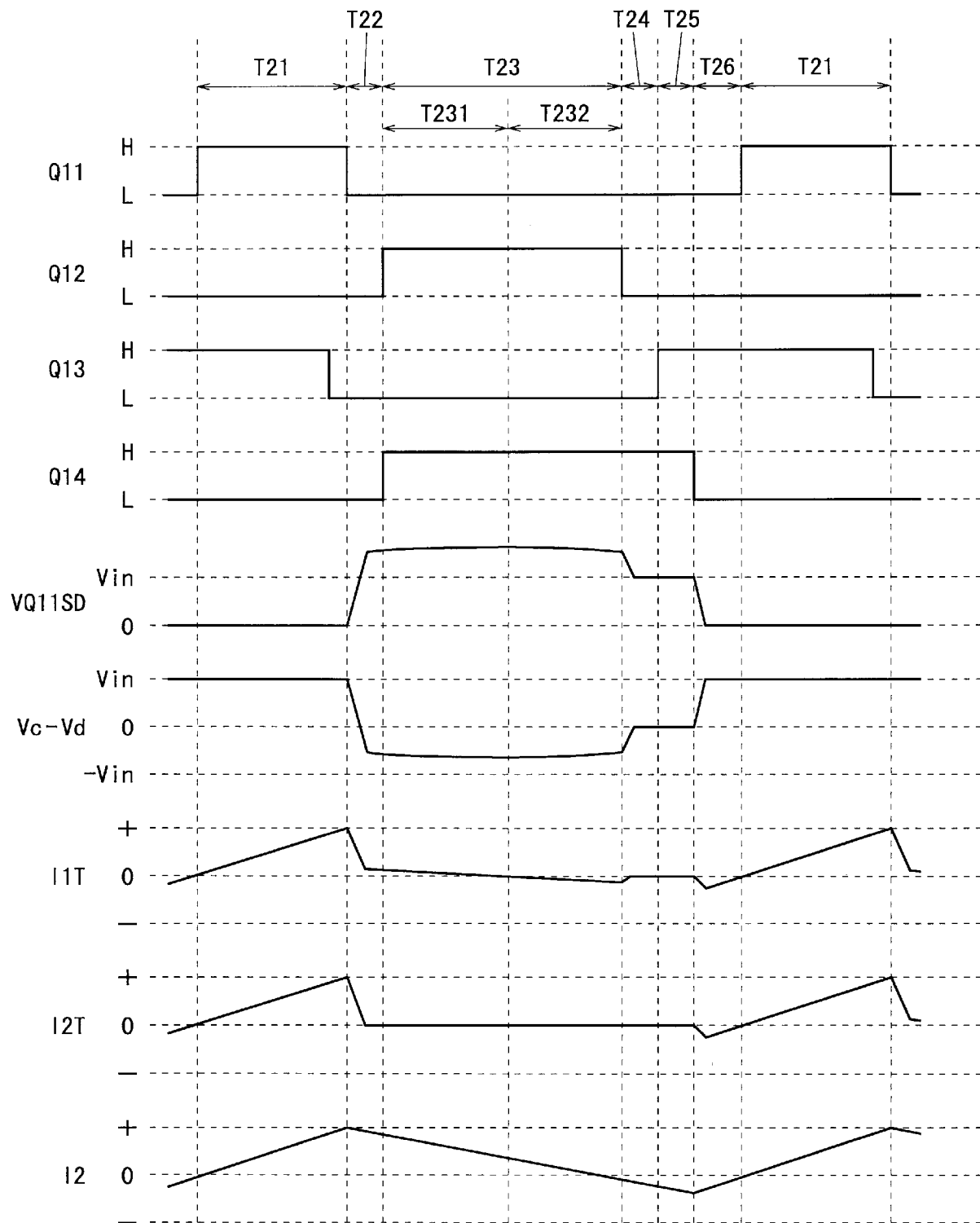
[図24]



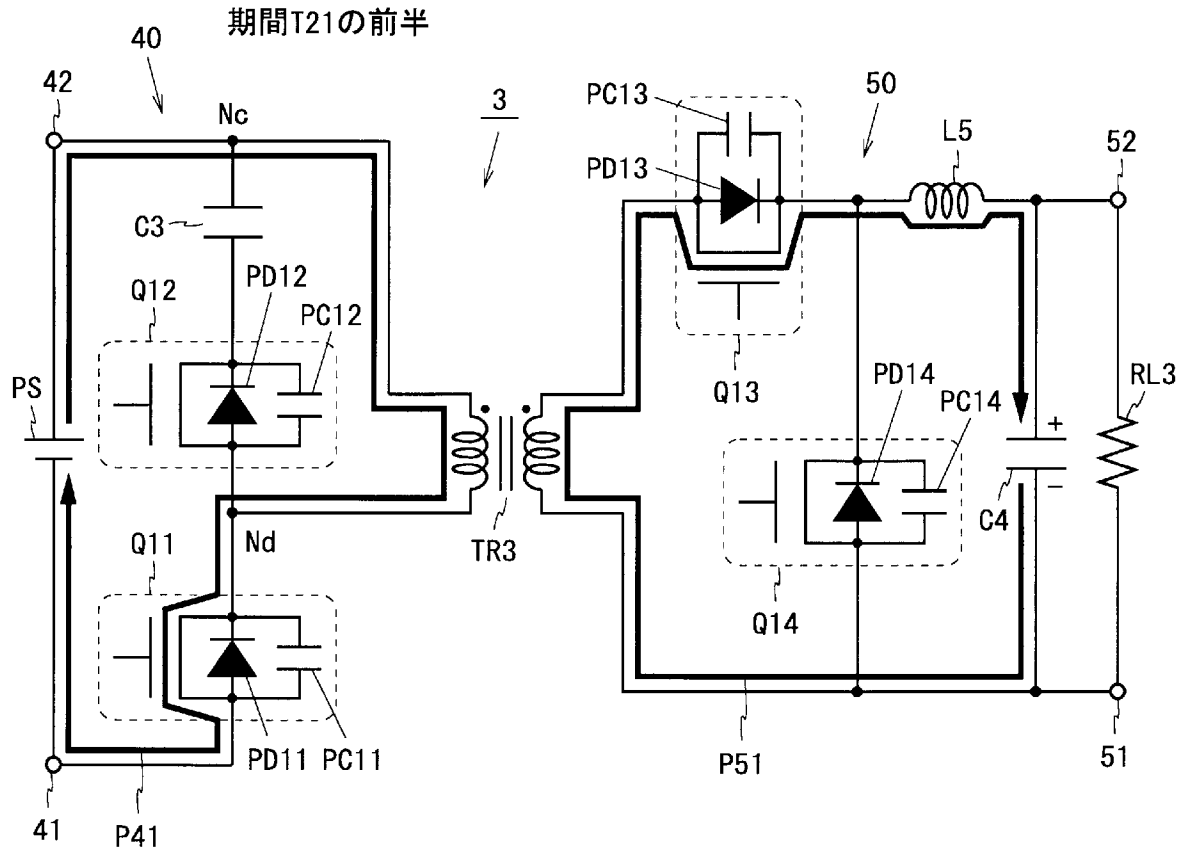
[図25]



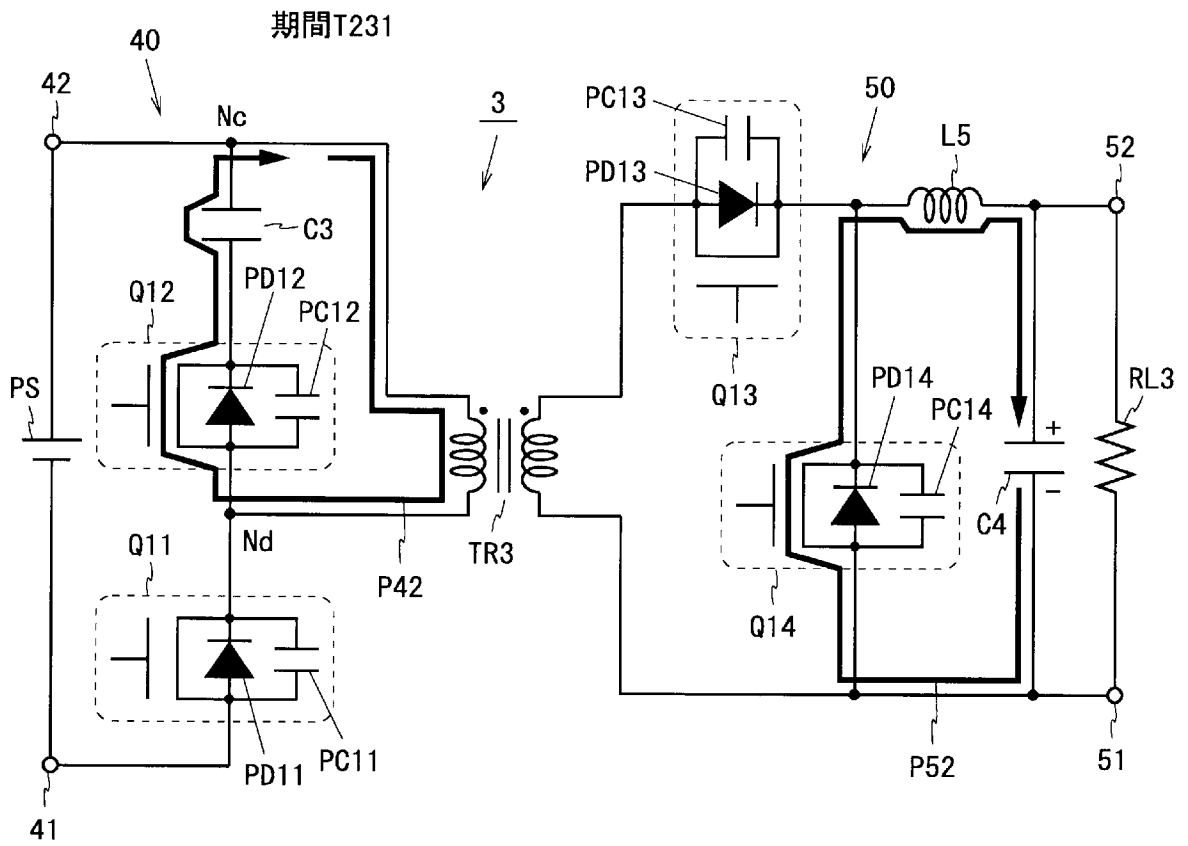
[図26]



[図27]



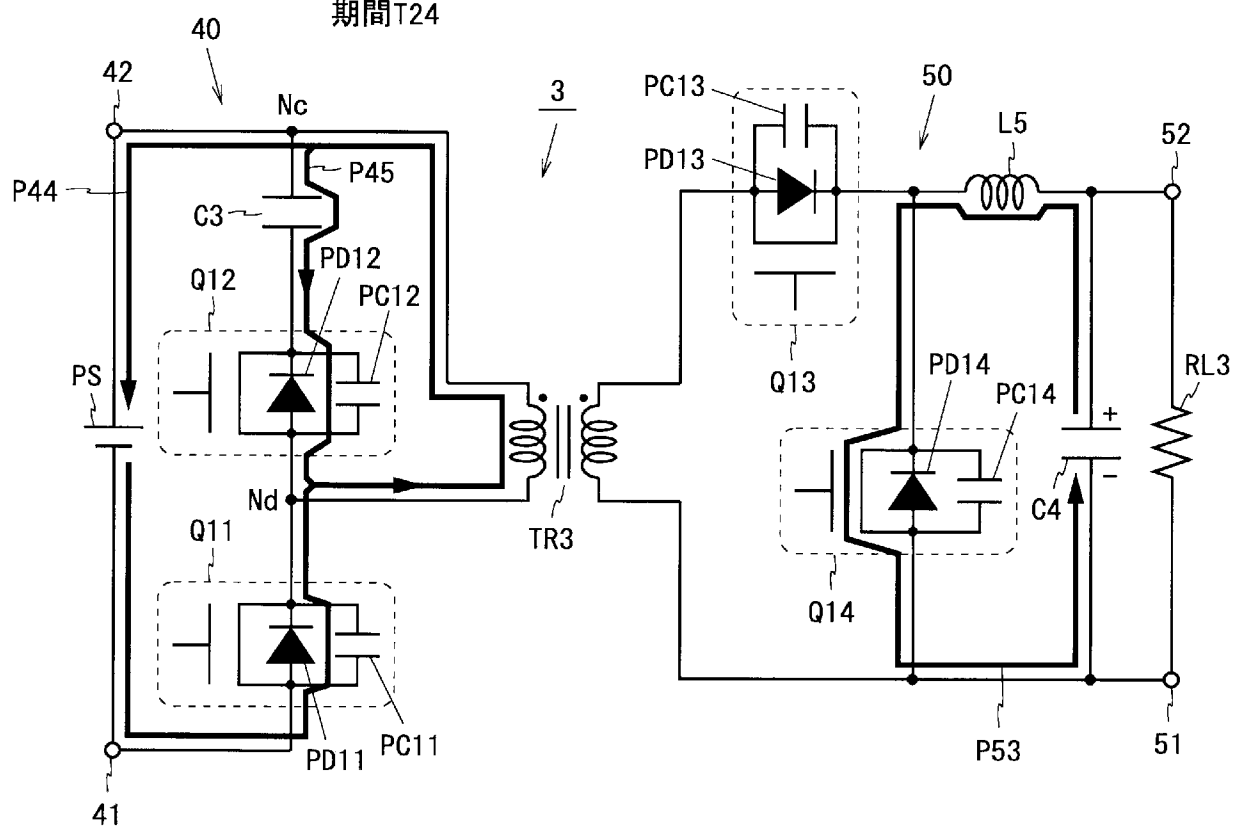
[図28]



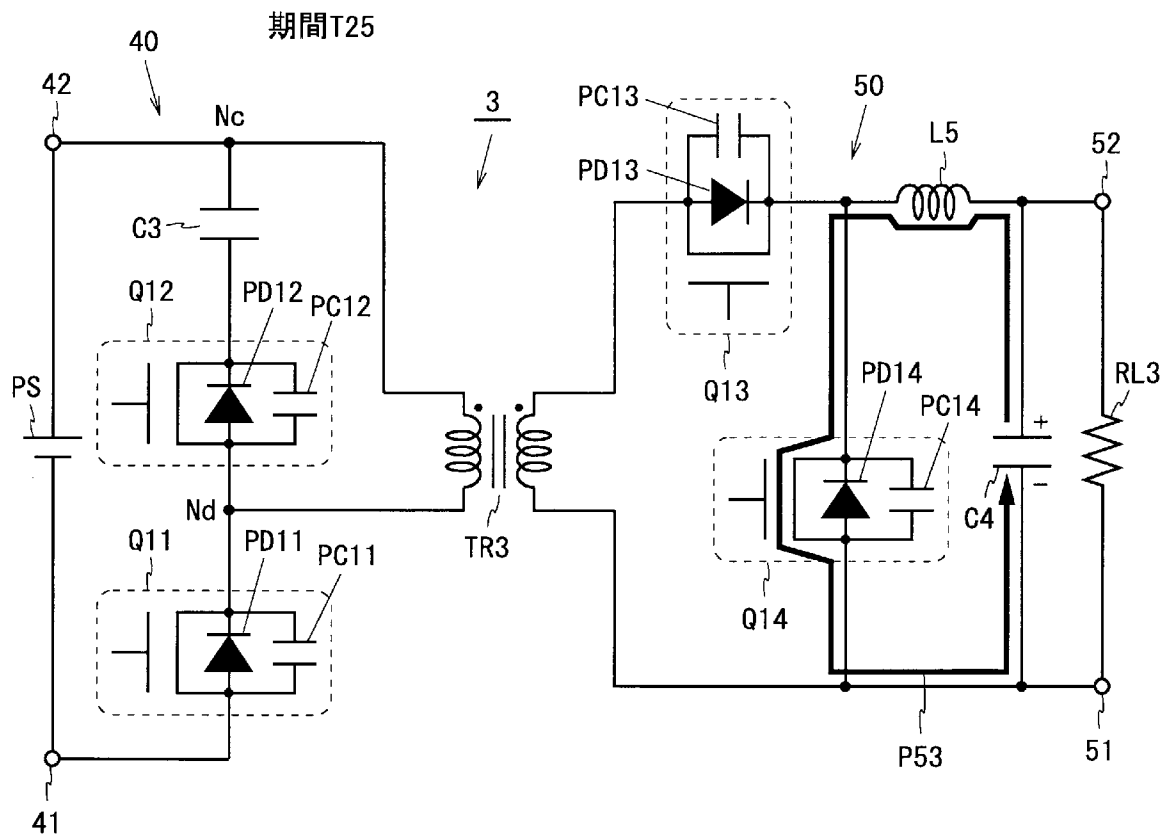
期間T232



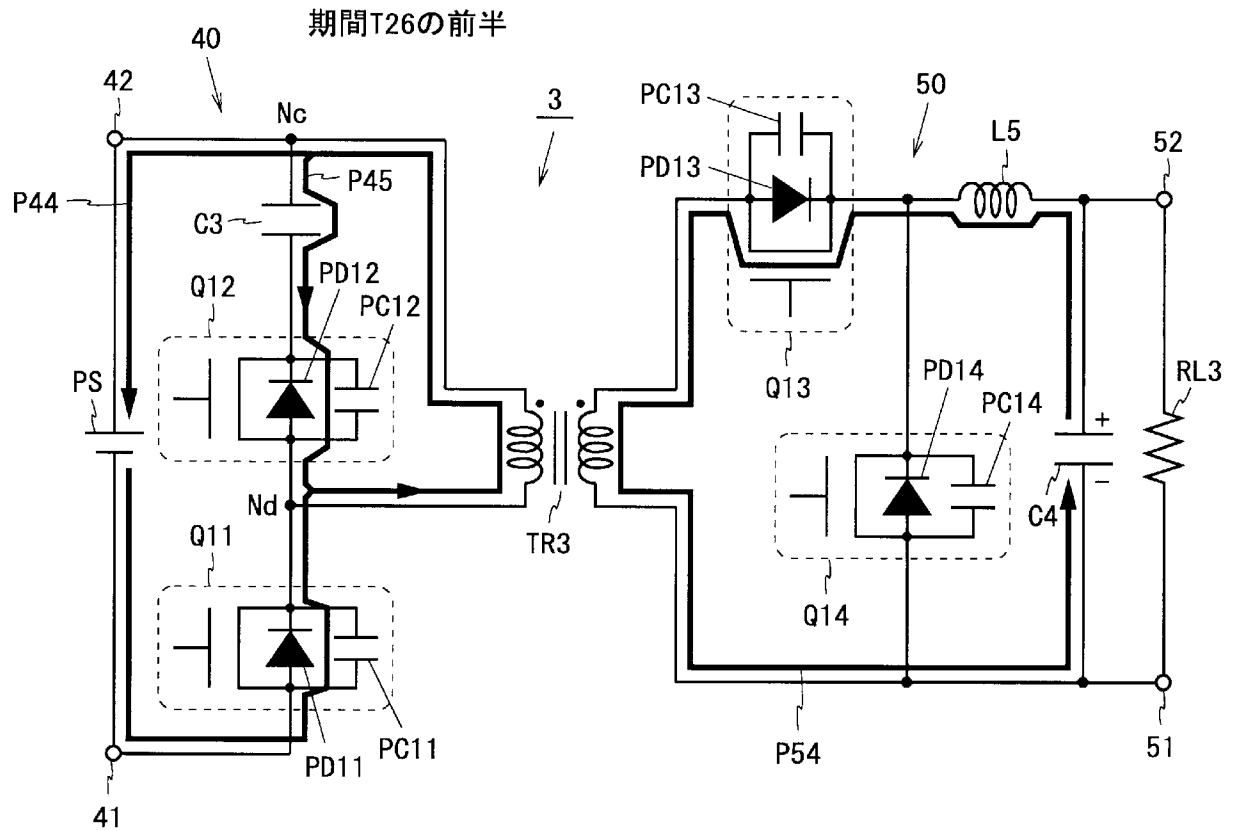
期間T24



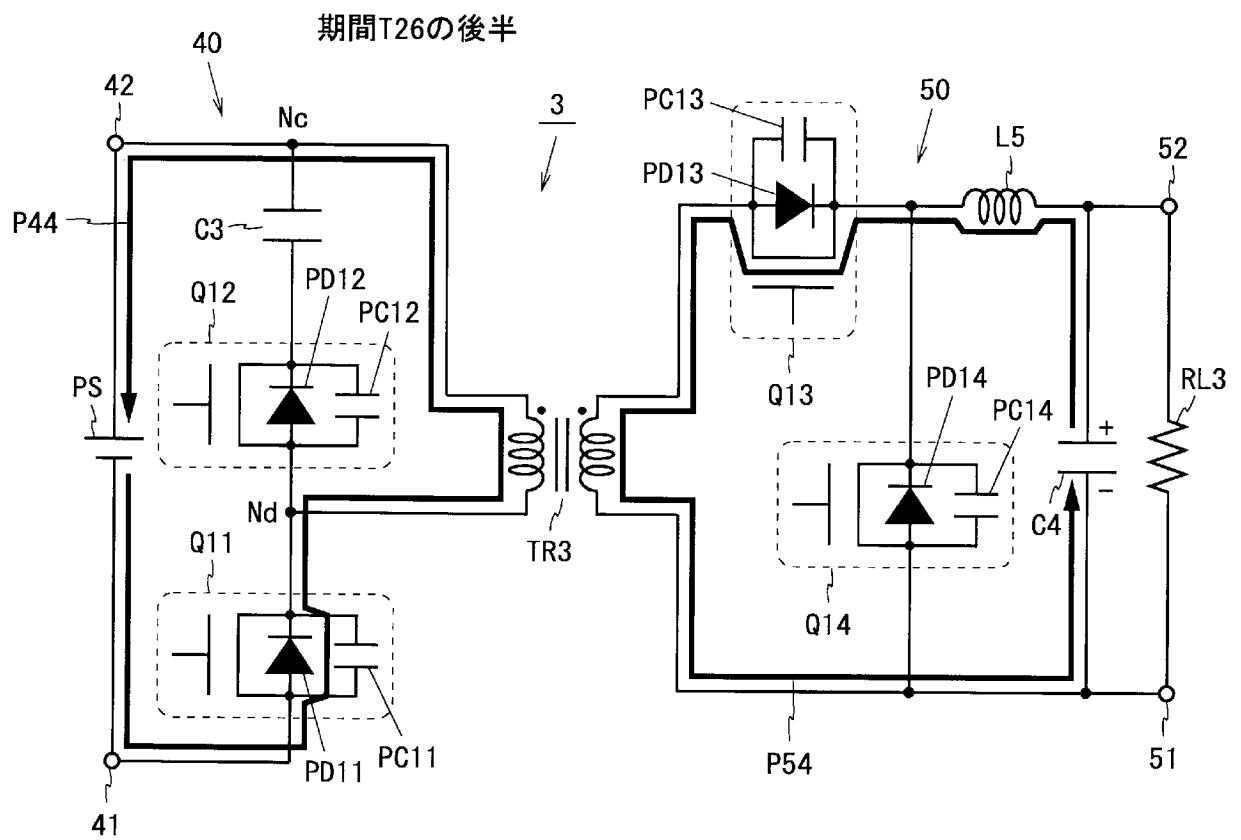
[図31]



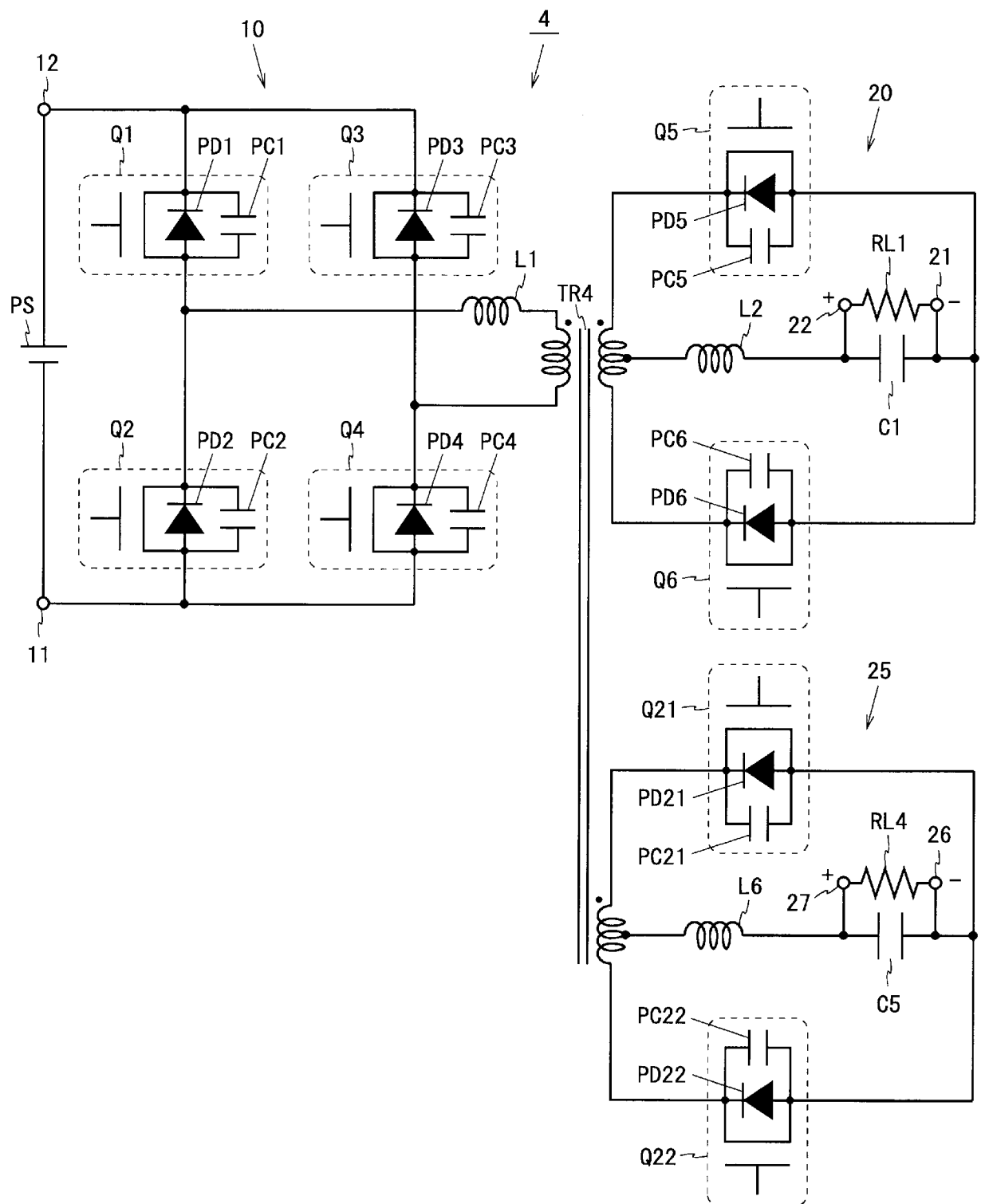
[図32]



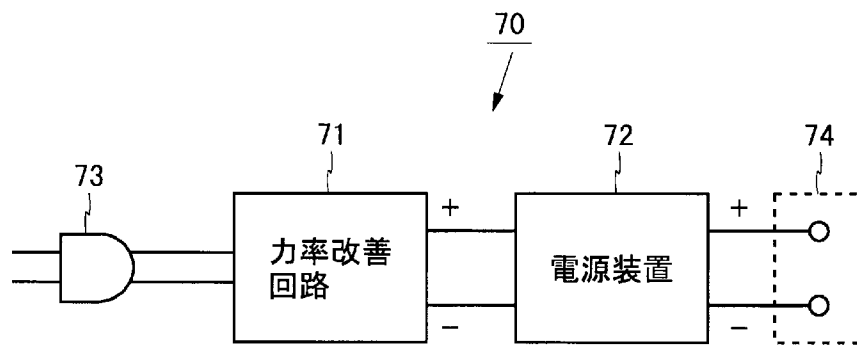
[図33]



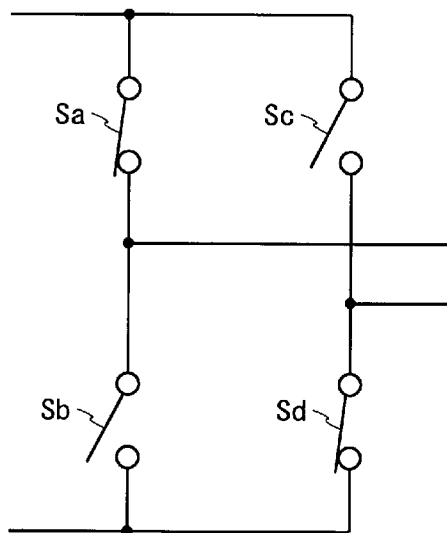
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/002615

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M3/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-180111 A (MITSUBISHI ELECTRIC CORP.) 25	1, 5, 7-8
Y	September 2014, paragraphs [0064]-[0099], fig. 6-10	6
A	(Family: none)	2-4
Y	JP 2002-354799 A (TDK CORPORATION) 06 December 2002, paragraphs [0051], [0053], fig. 4, 6 & US 2002/0191422 A1, paragraphs [0103], [0105], fig. 4, 6 & EP 1261122 A2 & CN 1388634 A	6
A	JP 2016-220423 A (SHINDENGEN ELECTRIC MFG. CO., LTD.) 22 December 2016, entire text, all drawings (Family: none)	1-8
A	JP 2003-52175 A (NECMIYAGI LTD.) 21 February 2003, entire text, all drawings & US 2002/0181253 A1, entire text, all drawings	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 February 2018 (28.02.2018)

Date of mailing of the international search report
13 March 2018 (13.03.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2014-180111 A（三菱電機株式会社）2014.09.25, 段落[0064] - [0099], [図6] - [図10] (ファミリーなし)	1, 5, 7-8 6 2-4
Y	JP 2002-354799 A（ティーディーケイ株式会社）2002.12.06, 段落[0051], [0053], [図4], [図6] & US 2002/0191422 A1, 段落[0103], [0105], 図4, 6 & EP 1261122 A2 & CN 1388634 A	6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.02.2018

国際調査報告の発送日

13.03.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

東 昌秋

5G

3139

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-220423 A (新電元工業株式会社) 2016. 12. 22, 全文, 全図 (ファミリーなし)	1-8
A	JP 2003-52175 A (宮城日本電気株式会社) 2003. 02. 21, 全文, 全図 & US 2002/0181253 A1, 全文, 全図	1-8