

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3691966号
(P3691966)

(45) 発行日 平成17年9月7日(2005.9.7)

(24) 登録日 平成17年6月24日(2005.6.24)

(51) Int.Cl.⁷

F I

H O 1 L 29/78

H O 1 L 29/78

3 O 1 S

H O 1 L 21/8242

H O 1 L 27/10

6 7 1 Z

H O 1 L 27/108

請求項の数 4 (全 9 頁)

(21) 出願番号	特願平10-200775	(73) 特許権者	000005223
(22) 出願日	平成10年7月15日(1998.7.15)		富士通株式会社
(65) 公開番号	特開2000-31482(P2000-31482A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年1月28日(2000.1.28)	(74) 代理人	100091672
審査請求日	平成15年7月29日(2003.7.29)		弁理士 岡本 啓三
		(72) 発明者	児島 学
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	河口 雅英

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板に第1導電型不純物を導入する工程と、
 前記半導体基板の上にゲート絶縁膜及びゲートを形成する工程と、
 前記ゲートの両側に露出する前記半導体基板の表面に元素をイオン注入して基板表層にダメージを与える工程と、
 前記ゲートの両側に露出する前記半導体基板の表面を熱酸化させて基板表面に酸化膜を形成し、該酸化膜中に半導体基板に導入された前記第1導電型不純物を取り込む工程と、
 前記ゲートの両側の半導体基板表層に第2導電型不純物を導入してソース・ドレインを形成する工程と
 を順番に実施することを特徴とする半導体装置の製造方法。

【請求項 2】

前記第1導電型不純物がホウ素であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記ホウ素は、10keV以下の注入エネルギーで前記半導体基板にイオン注入することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項 4】

前記基板表層にダメージを与えるためにイオン注入する元素は、Si、N、Ar及びGeからなる群から選択されたいずれか1種の元素であることを特徴とする請求項1に記載

の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOS (Metal Oxide Semiconductor) トランジスタを有する半導体装置の製造方法に関し、特にDRAM (Dynamic Random Access Memory) の製造に好適な半導体装置の製造方法に関する。

【0002】

【従来の技術】

図7(a)はDRAMのメモリセルの一例を示す断面図、図7(b)は同じくそのメモリセルの回路図である。 10

p型シリコン半導体基板51の上にはゲート酸化膜53を介してゲート54が形成されている。このゲート54の側部及び上部は絶縁膜56に覆われている。ゲート54の両側の半導体基板51の表層には、n型不純物が導入された一対の不純物領域(ソース・ドレイン)52が形成されている。これらのゲート54及び一対の不純物領域52により、図7(b)に示すMOSトランジスタTが構成されている。なお、ゲート54は、図7(a)の紙面垂直方向に延びており、図7(b)に示すワード線Wとなっている。

【0003】

一対の不純物領域52のうちの一方は下層電極57に接続されている。この下層電極57は一方の不純物領域52の上からゲート54を覆う絶縁膜56の上に延び出して形成されている。下層電極57の上には誘電体膜58及び上層電極59が形成されている。これらの電極57、59及び誘電体膜58により、図7(b)に示す容量Cが構成される。 20

【0004】

基板51の上側全面には、容量C等を覆う層間絶縁膜60が形成されている。そして、層間絶縁膜60上には配線61が形成されており、この配線61は層間絶縁膜60に形成されたコンタクトホールを介して他方の不純物領域52に接続されている。この配線61は、図7(b)のビット線Bに対応する。

このように、DRAMのメモリセルは1個のMOSトランジスタTと1個の容量Cとにより構成されている。そのため、高密度化が容易であり、小型でビットコストが安いメモリが実現できる。容量Cに蓄積された電荷の有無がデータの“0”と“1”とに対応して記憶される。 30

【0005】

【発明が解決しようとする課題】

ところで、DRAMでは容量Cに蓄積された電荷によってデータを記憶するが、容量Cに蓄積された電荷はpn接合部(不純物領域52と基板51とのpn接合部)からのリーク(接合リーク)によって徐々に失われる。このため、DRAMでは、一定の時間毎にデータを読み出して再度データを書込みするリフレッシュ動作を行っている。しかし、接合リークが多くなると、リフレッシュするまでの間にデータが失われ、誤動作となる。

【0006】

近年、半導体装置のより一層の高集積化が促進されており、DRAMを構成するMOSトランジスタも更なる微細化が要求されている。しかし、MOSトランジスタの微細化に伴ってpn接合が浅くなり、基板の不純物濃度も高くなるので、接合リークが増加する傾向がある。 40

なお、接合リークを低減するために、基板51に注入する不純物の濃度を低くすることも考えられるが、そうするとチャネル部の不純物濃度が低くなるので、所望のトランジスタ特性の半導体装置を製造することができない。特に微細化された半導体装置の場合は、しきい値を高くするために、チャネル部の不純物濃度を高くすることが必要である。

【0007】

本発明の目的は、MOSトランジスタを有する半導体装置において、MOSトランジスタを微細化しても接合リークの増加を抑制でき、所望のトランジスタ特性を得ることがで 50

きる半導体装置の製造方法を提供することである。

【0008】

【課題を解決するための手段】

上記した課題は、半導体基板に第1導電型不純物を導入する工程と、前記半導体基板の上にゲート絶縁膜及びゲートを形成する工程と、前記ゲートの両側に露出する前記半導体基板の表面に元素をイオン注入して基板表層にダメージを与える工程と、前記ゲートの両側に露出する前記半導体基板の表面を熱酸化させて基板表面に酸化膜を形成し、該酸化膜中に半導体基板に導入された前記第1導電型不純物を取り込む工程と、前記ゲートの両側の半導体基板表層に第2導電型不純物を導入してソース・ドレインを形成する工程とを順番に実施することを特徴とする半導体装置の製造方法により解決する。

10

【0010】

以下、作用について説明する。

本発明においては、MOSトランジスタのチャンネル部に含まれる不純物（例えば、ホウ素）のチャンネル深さ方向における不純物濃度分布のピーク値よりも、ソース・ドレイン部における前記不純物の不純物濃度分布のピーク値が低く設定されている。このため、pn接合部における低濃度側の不純物濃度が低くなり、接合リークが低減される。

【0011】

また、本発明方法においては、まず、半導体基板に、第1導電型不純物を導入する。この第1導電型不純物の導入によりチャンネル部の不純物濃度が決まる。その後、ゲート絶縁膜及びゲートを形成した後、ゲートの両側に露出する基板表面を熱酸化させて、ゲートの両側に酸化膜を形成する。このとき加えられる熱により不純物が基板内を拡散し、酸化膜の形成にともなって不純物が酸化膜に取り込まれる。これにより、酸化膜の下方の不純物濃度が減少し、チャンネル部における不純物濃度分布のピーク値よりも、ソース・ドレイン形成領域における不純物濃度が低くなる。その後、ゲートの両側に第2導電型不純物を導入してソース・ドレインを形成する。

20

【0012】

このようにして製造したMOSトランジスタは、ソース・ドレインと基板とのpn接合部における低濃度側の不純物（第1導電型不純物）の濃度が低いので、接合リークが低減される。また、チャンネル部の第1導電型不純物濃度が比較的高いので、所望のトランジスタ特性（しきい値）が得られる。

30

なお、前記第1導電型不純物として、B（ホウ素）を使用することができる。この場合、イオン注入エネルギーを10keV以下とすることにより、深さ方向のB濃度分布のピークを基板表面近傍とすることができて、基板に効率的にイオン注入することができる。また、前記酸化膜の形成の前に、Si、N、Ar及びGe等のように半導体基板にイオン注入しても不活性な元素をイオン注入して、基板の表層にダメージを与えておくことが好ましい。これにより、酸化膜の形成時に不純物が拡散しやすくなり、酸化膜の下方の不純物の濃度をより一層低減することができる。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

40

（第1の実施の形態）

図1は本発明の実施の形態の半導体装置（MOSトランジスタ）を示す断面図である。

【0014】

p型半導体基板11の表層には一対のソース・ドレイン12が相互に離隔して形成されている。これら一対のソース・ドレイン12の間、すなわちチャンネル部の上には、ゲート酸化膜13を介してゲート14が形成されている。このゲート14の両側には酸化シリコン又は窒化シリコンからなるサイドウォール15が形成されている。

【0015】

本実施の形態においては、半導体基板11にはp型不純物としてB（ホウ素）が導入されており、ソース・ドレイン12にはn型不純物としてAs（ヒ素）が導入されている。

50

図2(a), (b)は図1に矢印X及び矢印Yで示す方向における不純物濃度分布を示す図である。但し、図2(a), (b)において、横軸はいずれも半導体基板11の表面を原点として矢印X方向及び矢印Y方向の深さを示す。この図2(a), (b)に示すように、本実施の形態のMOSトランジスタでは、チャンネル部における深さ方向(矢印Xの部分)のB濃度分布のピーク値をNとすると、ソース・ドレイン部における深さ方向(矢印Yの部分)のB濃度分布のピーク値はNよりも低く設定されている。従って、pn接合部、すなわちn型ソース・ドレイン12の境界近傍におけるp型不純物(B)の濃度が低くなり、接合リークが低減される。一方、チャンネル部のB濃度が比較的高いので、所望のトランジスタ特性を得ることができる。

【0016】

10

以下、本実施の形態のMOSトランジスタの製造方法について説明する。

図3, 図4は本実施の形態のMOSトランジスタの製造方法を工程順に示す断面図である。

まず、図3(a)に示すように、MOSトランジスタのチャンネル部の不純物濃度を所望の濃度とするために、シリコン半導体基板11の上側全面にBをイオン注入する。イオン注入時の条件としては、例えば注入エネルギーが10keV、注入量が $1.0 \times 10^{13} \text{ cm}^{-2}$ とする。この場合、注入エネルギーが低いので、図2(a)に示すように、Bの不純物濃度分布のピークは基板表面の近くに位置する。

【0017】

次に、図3(b)に示すように、基板11の表面を熱酸化させて、厚さが4nmのゲート酸化膜13を形成する。そして、CVD法等によりゲート酸化膜13の上にポリシリコン膜14aを形成する。

20

次に、図3(c)に示すように、フォトリソグラフィ技術を使用してポリシリコン膜14aをパターニングし、ゲート14を形成する。そして、このゲート14をマスクとして基板11の表面にn型不純物としてAsをイオン注入し、ゲート14の両側の基板表層に低濃度不純物領域12aを自己整合的に形成する。このときのイオン注入時の条件としては、例えば注入エネルギーが10keV、注入量が $5.0 \times 10^{13} \text{ cm}^{-2}$ とする。

【0018】

その後、基板11の上側全面にシリコン窒化膜を60nmの厚さに形成し、異方性エッチングを施してゲート14の両側にのみシリコン窒化膜を残存させることにより、サイドウォール15を形成する。その後、ゲート14及びサイドウォール15に覆われていない部分のゲート酸化膜13をエッチングにより除去して、基板11の表面を露出させる。なお、サイドウォール15はシリコン酸化物により形成してもよい。しかし、上記のようにシリコン窒化物で形成することにより、デバイスの特性変動が生じにくくなる。

30

【0019】

次に、図4に示すように、ゲート14の両側に露出した基板表面、すなわち低濃度不純物領域12aの表面を熱酸化させて、厚さが約15nmの酸化膜16を形成する。このとき、酸化膜16の下方では不純物が拡散して酸化膜16に取り込まれ、その結果、酸化膜16の下方の不純物濃度が低下する。

次いで、熱処理を施して不純物領域12bを活性化する。この活性化熱処理により不純物領域12a, 12bがソース・ドレインとなり、MOSトランジスタが形成される。

40

【0020】

その後、従来と同様に、基板11の上側全面に SiO_2 を堆積させて層間絶縁膜を形成し、該層間絶縁膜にコンタクトホールを選択的に形成する。そして、基板11の上側全面に金属膜を形成し、該金属膜をパターニングして配線を形成する。この場合、必要に応じて酸化膜16を除去してもよい。このようにして、MOSトランジスタを有する半導体装置が完成する。

【0021】

本実施の形態においては、図4に示す工程において、ゲート14の両側の基板表面を熱酸化させて酸化膜16を形成する。このとき、Bの不純物濃度分布のピークが基板表面の近

50

くにあるために、不純物が酸化膜 16 に取り込まれて、B の不純物濃度分布のピーク値が減少する。これにより、チャンネル部における B の不純物濃度分布のピーク値よりも、ソース・ドレイン部における B の不純物濃度分布のピーク値が減少する（図 2（a）、（b）参照）。従って、n 型ソース・ドレインの境界近傍における p 型不純物の濃度が低くなり、接合リークが低減される。一方、チャンネル部の p 型不純物濃度は比較的高いので、しきい値等の特性を所望の特性とすることができる。

【0022】

従って、本実施の形態の MOS トランジスタを使用して DRAM のメモリセルを構成することにより、接合リークに起因するデータの消失が回避され、DRAM の信頼性が向上する。

10

なお、チャンネル不純物（B）のピークが基板表面に近すぎるとゲート酸化膜 13 の形成時に不純物がゲート酸化膜 13 に取り込まれて不純物濃度が減少する可能性があるが、近年の素子の微細化にともなってゲート酸化膜 13 は極めて薄く形成される傾向にあるので、ゲート酸化膜 13 に取り込まれる不純物の量は極めて少なく、実質的に無視することができる。

【0023】

図 5 は横軸に注入エネルギーをとり、縦軸にチャンネルの表面濃度（不純物濃度）をとって、ドーズ量を一定としたときの B の注入エネルギーとチャンネルの表面濃度の関係を示す図である。この図 5 からわかるように、注入エネルギーを低くすればチャンネル表面濃度は高くなるが、注入エネルギーを 10 keV 以下としてもチャンネル表面濃度の変化が小さくなる。このことから、B の注入エネルギーは 10 keV 以下とすることが効率的であるといえる。

20

【0024】

（第 2 の実施の形態）

図 6 は本発明の第 2 の実施の形態の半導体装置（MOS トランジスタ）の製造方法を示す図である。

まず、図 6（a）に示すように、第 1 の実施の形態と同様にして、半導体基板 11 の上側全面に B をイオン注入した後、基板 11 の上にゲート酸化膜 13、ゲート 14、サイドウォール 15 及び低濃度不純物領域 12a を形成する。そして、基板 11 の表面に Si、Ar、N 又は Ge のようにシリコン基板 11 の注入しても不活性な元素をイオン注入して、露出している部分の基板 11 の表面にダメージを与える。ここでは、Si をイオン注入したとする。

30

【0025】

次に、図 6（b）に示すように、ゲート 14 の両側の基板表面を熱酸化して、酸化膜 16 を形成する。このとき、半導体基板 11 の表面近傍の不純物（B）が熱により拡散して、酸化膜 16 の形成にともなって酸化膜 16 中に B が取り込まれ、酸化膜 16 の下方の B の濃度が減少する。本実施の形態においては、酸化膜 16 を形成する前に低濃度不純物領域 12a の表層に Si をイオン注入してダメージを与えているので、基板 11 中を不純物がより拡散しやすくなり、第 1 の実施の形態に比べて酸化膜 16 の下方の B の不純物濃度が更に減少する。

40

【0026】

その後、基板 11 の表層に As をイオン注入して高濃度不純物領域 12b を形成し、活性化のための熱処理を施す。そして、層間絶縁膜及び配線等を形成する。このようにして、MOS トランジスタが完成する。

本実施の形態においては、酸化膜 10 を形成する前に基板 11 の表面に Si、Ar、N 又は Ge 等の元素をイオン注入してゲート 14 の両側に露出した基板 11 の表層にダメージを与えるので、ソース・ドレイン部における深さ方向の B の不純物濃度のピーク値を第 1 の実施の形態に比べてより一層低減することができる。これにより、第 1 の実施の形態に比べて、接合リークが更に低減されるという利点がある。

【0027】

50

【発明の効果】

以上説明したように、本発明によれば、チャネル部に含まれる不純物について、チャネル部の深さ方向における不純物濃度分布のピーク値に比べてソース・ドレイン部の深さ方向における前記不純物の不純物濃度分布のピーク値が低く設定されているので、pn接合部における低濃度側不純物の濃度が低く、接合リークが低減される。また、チャネル部における前記不純物の濃度が比較的高いので、所望のトランジスタ特性を得ることができる。これにより、DRAM等の半導体装置の高密度化及び高信頼性が達成される。

【0028】

また、本発明方法においては、半導体基板に第1導電型不純物を導入し、ゲート絶縁膜及びゲートを形成した後、ゲートの両側に露出した半導体基板表面を熱酸化させて酸化膜を形成する。これにより、酸化膜の下方の不純物濃度が低下し、チャネル部の深さ方向における第1導電型不純物の不純物濃度分布とソース・ドレイン部の深さ方向における第1導電型不純物の不純物濃度分布とが異なったものとなり、所望のトランジスタ特性を得ることができるとともに、接合リークが低減される。

10

【図面の簡単な説明】

【図1】図1は本発明の実施の形態の半導体装置(MOSトランジスタ)を示す断面図である。

【図2】図2(a),(b)は図1に矢印X及び矢印Yで示す方向における不純物濃度分布を示す図である。

【図3】図3は本実施の形態のMOSトランジスタの製造方法を工程順に示す断面図(その1)である。

20

【図4】図4は本実施の形態のMOSトランジスタの製造方法を工程順に示す断面図(その2)である。

【図5】図5はドーズ量を一定としたときのBの注入エネルギーとチャネルの表面濃度の関係を示す図である。

【図6】図6は本発明の第2の実施の形態の半導体装置(MOSトランジスタ)の製造方法を示す図である。

【図7】図7(a)はDRAMのメモリセルの一例を示す断面図、図7(b)は同じくそのメモリセルの回路図である。

【符号の説明】

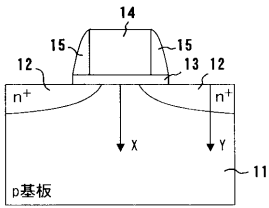
30

- 11, 51 半導体基板、
- 12, 52 ソース・ドレイン、
- 12a 低濃度不純物領域、
- 12b 高濃度不純物領域、
- 13, 53 ゲート酸化膜、
- 14, 54 ゲート、
- 15 サイドウォール、
- 16 酸化膜、
- 57 下層電極、
- 58 誘電体膜、
- 59 上層電極。

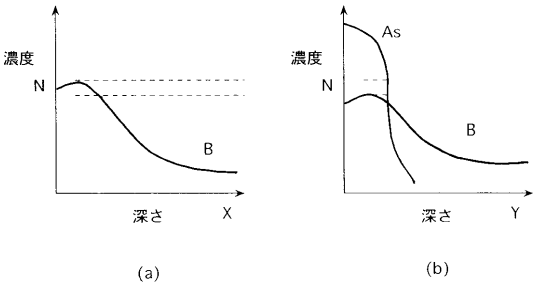
40

【図 1】

11: 基板 13: ゲート酸化膜
12: ソースドレイン 14: ゲート

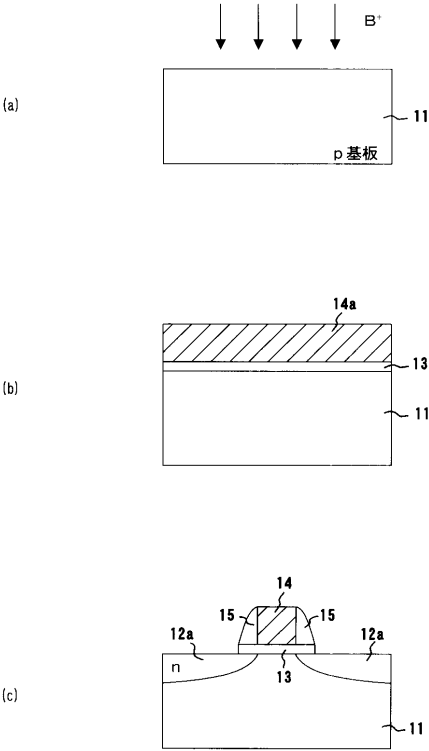


【図 2】

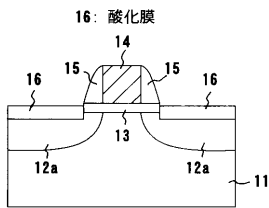


【図 3】

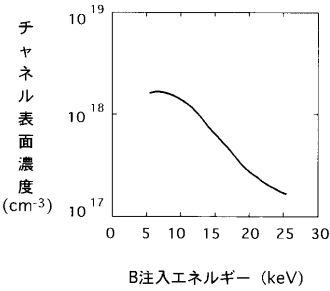
11: 基板 14: ゲート
13: ゲート酸化膜 15: サイドウォール



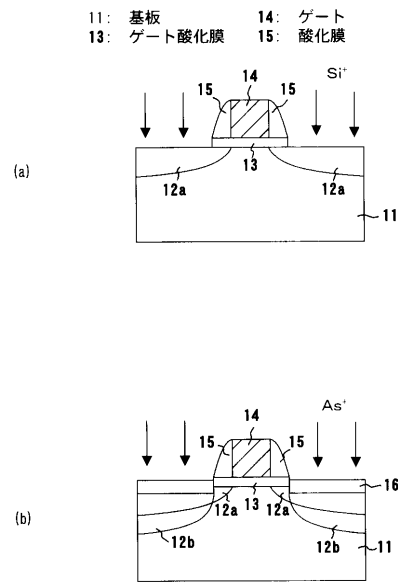
【図 4】



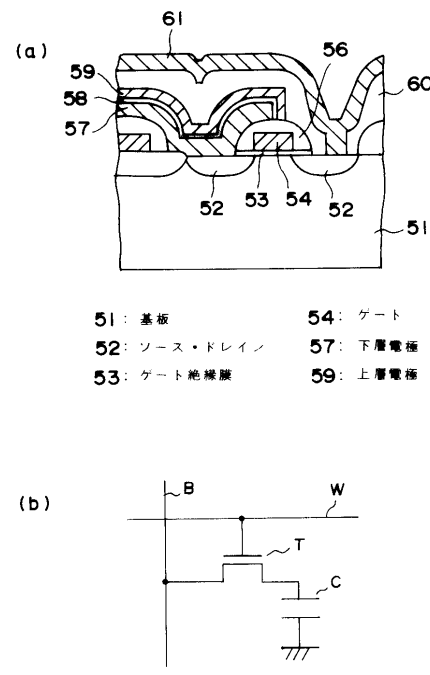
【図 5】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開平05 - 190566 (JP, A)
特開平03 - 101263 (JP, A)
特開平09 - 213655 (JP, A)
特開平09 - 320990 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/78
H01L 21/336
H01L 21/8242
H01L 27/108