

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2002-176350(P2002-176350A)

【公開日】平成14年6月21日(2002.6.21)

【出願番号】特願2000-372580(P2000-372580)

【国際特許分類第7版】

H 03K 19/0175

G 06F 1/12

【F I】

H 03K 19/00 101K

G 06F 1/04 340D

【手続補正書】

【提出日】平成16年10月27日(2004.10.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

クロック信号およびデータ信号がそれぞれ差動信号で入力される差動アンプを備え、上記クロック信号の立上りと立下りのそれぞれに同期して上記データ信号を内部に取り込む入力回路を有する半導体集積回路において、

上記入力回路には、上記クロック信号が入力される差動アンプが2個設けられ、これらの差動アンプの各正相入力端子と負相入力端子には前記差動クロック信号の正相信号と負相信号がそれぞれ逆の関係で入力されるとともに、両差動アンプからはともに正相側入力と同相或いは負相側入力と同相の信号がデータ取込み用のタイミング信号として出力されるように構成されていることを特徴とする半導体集積回路。

【請求項2】

上記クロック信号が入力される2個の差動アンプの差動増幅段は同一の回路構成であることを特徴とする請求項1記載の半導体集積回路。

【請求項3】

タイミング信号の立上り或いは立上りに基づいて上記データ信号をラッチする第1のラッチ回路と第2のラッチ回路が設けられ、これらのうち第1のラッチ回路には上記クロック信号が入力される2個の差動アンプのうちの一方の差動アンプより出力されたタイミング信号が入力され、第2のラッチ回路には他方の差動アンプより出力されたタイミング信号が入力されるように構成されていることを特徴とする請求項1又は2に記載の半導体集積回路。

【請求項4】

上記第1のラッチ回路および第2のラッチ回路はともに各々に入力されるタイミング信号の立上り、或いは立下りでデータ信号をそれぞれラッチするように構成されていることを特徴とする請求項1～3の何れかに記載の半導体集積回路。

【請求項5】

デジタル表示データが入力され、該表示データに基づき液晶駆動用信号を生成して出力する液晶駆動装置において、

請求項1～4の何れかに記載の入力回路が上記表示データを取り込む入力手段として設けられていることを特徴とする液晶駆動装置。

【請求項 6】

正相端子に正相クロックを受け、負相端子に負相クロックを受ける第一差動アンプと、負相端子に上記正相クロックを受け、正相端子に上記負相クロックを受ける第二差動アンプと、外部からのデータを受ける外部端子とを有し、

上記第一差動アンプから出力される第一クロック及び上記第二差動アンプから出力される第二クロックの立ち上がりエッジ又は立ち下がりエッジに同期して上記データを取り込む半導体集積回路。

【請求項 7】

上記第一差動アンプから出力される上記第一クロックにより上記データをラッチする第一ラッチと、上記第二差動アンプから出力される上記第二クロックにより上記データをラッチする第二ラッチとを有する請求項 6 に半導体集積回路。

【請求項 8】

上記外部端子は正相外部端子と負相外部端子とで構成され、上記データは小振幅差動信号インターフェースに入力されるよう形成されたものであり、上記データは正相データと負相データで構成され、上記正相データ及び負相データを上記正相外部端子と上記負相外部端子とを介して差動で受ける第三アンプを有する請求項 7 に記載の半導体集積回路。

【請求項 9】

上記第三アンプの出力データに基づいて液晶表示装置を駆動する液晶駆動回路を備える事を特徴とする請求項 8 に記載の半導体集積回路。

【請求項 10】

差動の外部クロックを入力する 2 個のクロック入力回路と、差動信号を受ける差動増幅段と該差動増幅段の出力に基づき出力信号を生成する出力段とが設けられた差動型の入力回路を備え、

これらのうち一方のクロック入力回路の中にある差動入力回路には、正相入力端子に外部クロックの正相信号が、負相入力端子に負相信号がそれぞれ入力され、他方のクロック入力回路の中にある差動入力回路には、正相入力端子に外部クロックの負相信号が、負相入力端子に正相信号がそれぞれ入力される一方、上記入力回路には 1 個の上記外部クロック毎に 2 個の入力信号がシリアルに入力され、且つ、これら 2 個の入力信号の取り込みタイミングが、一方のクロック入力回路の中にある差動入力回路の出力と、他方のクロック入力回路の中にある差動入力回路の出力とでそれぞれ与えられるように構成され、

上記 2 個のクロック入力回路を介して入力された 2 個のクロック信号は、共に立上り或いは立下りの何れか一方により、上記のタイミングを与えるように構成されていることを特徴とする液晶駆動装置。

【請求項 11】

1 個の上記外部クロック毎にシリアルに入力される上記 2 個の入力信号のうち一方をラッチする第 1 ラッチと他方をラッチする第 2 ラッチとを備え、

これら第 1 ラッチと第 2 ラッチの各ラッチタイミングが、上記 2 個のクロック入力回路を介して入力された上記一方のクロック入力回路の中にある上記差動入力回路の出力である上記クロック信号と、上記他方のクロック入力回路の中にある上記差動入力回路の出力である上記クロック信号に基づいてそれぞれ与えられるように構成されていることを特徴とする請求項 10 に記載の液晶駆動装置。