

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月19日(19.01.2017)



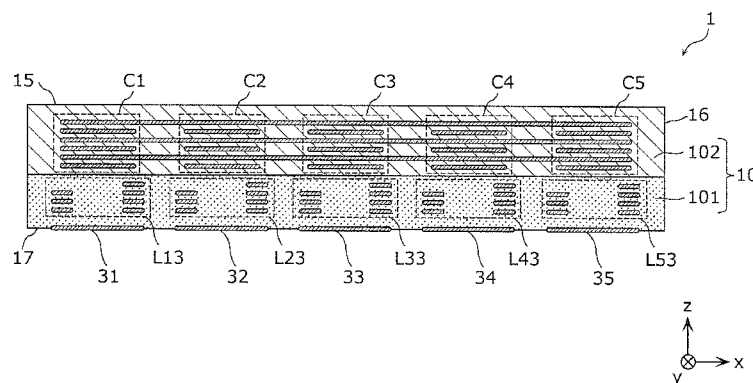
(10) 国際公開番号
WO 2017/010265 A1

- (51) 国際特許分類:
H03H 7/075 (2006.01) H01F 27/00 (2006.01)
H01F 17/00 (2006.01) H01G 4/40 (2006.01)
- (21) 国際出願番号: PCT/JP2016/068820
- (22) 国際出願日: 2016年6月24日(24.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-139234 2015年7月10日(10.07.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 矢▲崎▼ 浩和(YAZAKI, Hirokazu); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階 新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SURFACE MOUNTED FILTER AND SURFACE MOUNTED FILTER ARRAY

(54) 発明の名称: 表面実装型フィルタ及び表面実装型フィルタアレイ

図5



(57) Abstract: Provided is a surface mounted filter (3) comprising: a first I/O terminal (33), a second I/O terminal (43), and a GND terminal (50) that are provided on the surface of a laminate (10); and a filter circuit (23) that is built into the laminate (10) and that includes a coil element (L3) connected at one end to the first I/O terminal (33) and connected at the other end to the second I/O terminal (43), and a capacitor element (C3) connected at one end to the coil element (L3) and connected at the other end to the GND terminal (50). The first I/O terminal (33), the second I/O terminal (43), and the GND terminal (50) are planar electrode terminals provided on a mounting surface (17) of the laminate (10). The coil element (L3) is disposed on the mounting surface (17) side, and the capacitor element (C3) is disposed on a top surface (15) side. The capacitor element (C3) is connected to the GND terminal (50) via side surface electrodes (51, 52) provided on a side surface (16) of the laminate (10), or via a via hole electrode (522).

(57) 要約:

[続葉有]

WO 2017/010265 A1



積層体（１０）の表面に設けられた第一Ｉ／Ｏ端子（３３）、第二Ｉ／Ｏ端子（４３）及びＧＮＤ端子（５０）と、積層体（１０）に内蔵されており、一端が第一Ｉ／Ｏ端子（３３）、他端が第二Ｉ／Ｏ端子（４３）に接続されたコイル素子（Ｌ３）、及び、一端がコイル素子（Ｌ３）、他端がＧＮＤ端子（５０）に接続されたコンデンサ素子（Ｃ３）を含むフィルタ回路（２３）と、を備える表面実装型フィルタ（３）であって、第一Ｉ／Ｏ端子（３３）、第二Ｉ／Ｏ端子（４３）及びＧＮＤ端子（５０）は、積層体（１０）の実装面（１７）に設けられた平面電極端子であり、コイル素子（Ｌ３）が実装面（１７）側に、コンデンサ素子（Ｃ３）が天面（１５）側にそれぞれ配置されており、コンデンサ素子（Ｃ３）は、積層体（１０）の側面（１６）に設けられた側面電極（５１及び５２）、又は、ビアホール電極（５２２）を介してＧＮＤ端子（５０）に接続されている。

明 細 書

発明の名称：表面実装型フィルタ及び表面実装型フィルタアレイ 技術分野

[0001] 本発明は、積層体に内蔵されたコイル素子及びコンデンサ素子を備える表面実装型フィルタ及び表面実装型フィルタアレイに関する。

背景技術

[0002] 従来、複数の基材層を積層してなる積層体に内蔵されたコイル素子及びコンデンサ素子を備える表面実装型フィルタが知られている（特許文献1及び特許文献2など参照）。当該コイル素子は、複数の基材層にループ状面内導体を配置し、当該ループ状面内導体を、基材層を貫通するビアホール電極で接続することによって形成される。また、当該コンデンサ素子は、コンデンサ電極が形成された複数の絶縁体からなる基材層を積層することによって形成される。

[0003] 特許文献1及び特許文献2に開示された表面実装型フィルタでは、積層体における外部基板との実装面だけでなく、実装面の反対側の面である天面、及び、当該天面と、実装面とを結ぶ側面にも入出力端子が設けられている。これらの端子は実装面との接続だけでなく、実装面側に設けられたコンデンサ素子と、当該コンデンサ素子より天面側に設けられたコイル素子との接続、又は、コイル素子と実装面との接続にも用いられている。

先行技術文献

特許文献

[0004] 特許文献1：特開2005-229219号公報
特許文献2：特開2005-229434号公報

発明の概要

発明が解決しようとする課題

[0005] 表面実装型フィルタが用いられる携帯型端末では、近年、さらなる小型化及び薄型化が求められている。一方で、携帯型端末の高機能化に伴い、携帯

型端末内の実装基板に実装される部品点数も増大している。そのため、携帯型端末内の実装基板において高密度実装化が求められている。ところが、特許文献１及び特許文献２に開示された表面実装型フィルタでは、上述のとおり、入出力端子が、積層体の実装面だけでなく、側面及び天面にも設けられている。そのため、特許文献１及び特許文献２に開示された表面実装型フィルタを、高密度実装化された携帯型端末に用いる場合には、当該入出力端子が周辺の部品の導体と短絡するおそれがある。

[0006] 表面実装型フィルタの入出力端子と周辺の導体との短絡の発生を抑制するために、入出力端子を表面電極端子とする構成（すなわち、実装面のみに平面状の入出力端子を設ける構成）の採用が考えられる。しかしながら、入出力端子を表面電極端子とする場合には、積層体の天面側に設けられたコイル素子と、入出力端子とを接続するビアホール電極を設ける必要がある。当該ビアホール電極を用いる場合、コイル素子及びコンデンサ素子を、当該ビアホール電極を避けて形成する必要がある。そのため、特許文献１及び特許文献２に開示された表面実装型フィルタに比べて、コイル素子のインダクタンス及びコンデンサ素子の容量が減少する。つまり、積層体の内部のうち、ビアホール電極及びその周辺の部分を有効利用できない。

[0007] そこで、本発明は、周辺の導体との短絡の発生を抑制でき、かつ、積層体の内部に形成されるビアホール電極数を低減できる表面実装型フィルタ及び表面実装型フィルタアレイを提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の一態様に係る表面実装型フィルタは、複数の基材層を積層してなる積層体の表面に設けられた第一Ｉ／Ｏ端子、第二Ｉ／Ｏ端子及びＧＮＤ端子と、前記積層体に内蔵されており、一端が前記第一Ｉ／Ｏ端子、他端が前記第二Ｉ／Ｏ端子に接続されたコイル素子、及び、一端が前記コイル素子、他端が前記ＧＮＤ端子に接続されたコンデンサ素子を含むフィルタ回路と、を備える表面実装型フィルタであって、前記積層体の表面は、実装面と、前記実装面の反対側の面である天面と、前記実装

面と前記天面とを結ぶ側面と、を含み、前記第一 I / O 端子、前記第二 I / O 端子及び前記 GND 端子は、前記積層体の前記実装面に設けられた平面電極端子であり、前記コイル素子及び前記コンデンサ素子はそれぞれ前記複数の基材層のうち異なる基材層に設けられていて、前記コイル素子が前記実装面側に、前記コンデンサ素子が前記コイル素子より前記天面側にそれぞれ配置されており、前記コイル素子は、前記積層体の内部に設けられたビアホール電極を介して前記第一 I / O 端子及び前記第二 I / O 端子に接続されており、前記コンデンサ素子は、前記積層体の前記側面に設けられた側面電極、又は、前記積層体の内部に設けられたビアホール電極を介して前記 GND 端子に接続されている。

[0009] このように、第一 I / O 端子、第二 I / O 端子及び GND 端子は、実装面のみに設けられる。このため、表面実装型フィルタでは、周辺に配置された部品などとの短絡の発生を抑制できる。また、コイル素子を実装面側に設けることにより、コイル素子と第一 I / O 端子及び第二 I / O 端子との間に設けられるビアホール電極を削減できるため、積層体の内部に形成されるビアホール電極数を低減できる。このため、積層体の内部を有効利用して、コイル素子及びコンデンサ素子を形成することができる。

[0010] 上記表面実装型フィルタは、例えば、電子機器のプリント配線板に実装される。また、上記表面実装型フィルタは、例えば、プリント配線板に実装された後、電磁波を遮蔽するための金属ケースで覆われる。このような金属ケースで覆われる場合に、上記表面実装型フィルタにおいては、天面に端子が配置されていないため、仮に金属ケースが上記表面実装型フィルタの天面と接触しても、上記表面実装型フィルタの端子と金属ケースとが短絡することはない。したがって、上記表面実装型フィルタを用いることによって、天面に端子が配置された表面実装型フィルタを用いる場合より、金属ケースと上記表面実装型フィルタとの間のクリアランス量を低減することができる。このため、上記表面実装型フィルタは、小型化及び薄型化が要求される携帯電話、携帯情報端末などの携帯型電子機器に特に好適である。

- [0011] また、本発明の一態様に係る表面実装型フィルタにおいて、前記コイル素子は前記複数の基材層のうち、磁性体を主成分として含む基材層に設けられていてもよい。
- [0012] これにより、非磁性体を主成分として含む基材層に各コイル素子を設ける場合より、各コイル素子のインダクタンスを増大させることができる。
- [0013] また、本発明の一態様に係る表面実装型フィルタにおいて、前記コイル素子は、前記第一 I / O 端子に接続された第一コイルパターンと、前記第二 I / O 端子及び前記第一コイルパターンに接続され、かつ、前記積層体における積層方向からの平面視で前記第一コイルパターンに隣接配置された第二コイルパターンと、を含み、前記コンデンサ素子の前記一端は、前記第一コイルパターンと前記第二コイルパターンとの接続部に接続されてもよい。
- [0014] これにより、二つのコイル素子とそれら間に接続されたコンデンサ素子とを備えるフィルタ回路を有する表面実装型フィルタを実現できる。
- [0015] また、本発明の一態様に係る表面実装型フィルタにおいて、前記 GND 端子は直線状の形状を有し、前記第一 I / O 端子と前記第二 I / O 端子とは、前記 GND 端子に関して線対称に配置されてもよい。
- [0016] これにより、第一 I / O 端子と第二 I / O 端子との間に GND 端子が配置されるため、第一 I / O 端子と第二 I / O 端子と間のアイソレーションを向上させることができる。
- [0017] また、上記目的を達成するために、本発明の一態様に係る表面実装型フィルタアレイは、複数の基材層を積層してなる積層体の表面に設けられた第一 I / O 端子、第二 I / O 端子及び GND 端子と、前記積層体に内蔵されており、一端が前記第一 I / O 端子、他端が前記第二 I / O 端子に接続されたコイル素子、及び、一端が前記コイル素子、他端が前記 GND 端子に接続されたコンデンサ素子を含むフィルタ回路と、を備え、前記積層体の表面は、実装面と、前記実装面の反対側の面である天面と、前記実装面と前記天面とを結ぶ側面と、を含み、前記第一 I / O 端子、前記第二 I / O 端子及び前記 GND 端子は、前記積層体の前記実装面に設けられた平面電極端子であり、前

記コイル素子及び前記コンデンサ素子はそれぞれ前記複数の基材層のうち異なる基材層に設けられていて、前記コイル素子が前記実装面側に、前記コンデンサ素子が前記コイル素子より前記天面側にそれぞれ配置されており、前記コイル素子は、前記積層体の内部に設けられたビアホール電極を介して前記第一 I/O 端子及び前記第二 I/O 端子に接続されており、前記コンデンサ素子は、前記積層体の前記側面に設けられた側面電極、又は、前記積層体の内部に設けられたビアホール電極を介して前記 GND 端子に接続され、前記積層体には、複数組の前記第一 I/O 端子、前記第二 I/O 端子及び前記フィルタ回路が設けられ、複数組の前記第一 I/O 端子、前記第二 I/O 端子及び前記フィルタ回路は、前記積層体の長手方向に配列されている。

[0018] これにより、上記表面実装型フィルタと同様の効果を奏することができる。

[0019] また、本発明の一態様に係る表面実装型フィルタアレイにおいて、複数の前記コンデンサ素子の各々の電極のうち、前記 GND 端子に接続される電極は、複数の前記コンデンサ素子に共通の電極であってもよい。

[0020] これにより、コンデンサ素子の電極のうち GND 端子に接続される電極と、GND 端子との間を接続する導体の構成を簡素化することができる。またコンデンサ素子の電極のうち、GND 端子に接続される電極をコンデンサ素子毎に分離しなくてよいため、当該電極の構造を単純化することができる。

発明の効果

[0021] 本発明によれば、周辺の導体との短絡の発生を抑制でき、かつ、積層体の内部に形成されるビアホール電極数を低減できる表面実装型フィルタ及び表面実装型フィルタアレイを提供できる。

図面の簡単な説明

[0022] [図1]図1は、実施の形態1に係る表面実装型フィルタアレイの外観を示す斜視図である。

[図2]図2は、実施の形態1に係る表面実装型フィルタアレイの実装面を示す平面図である。

[図3]図3は、実施の形態1に係る表面実装型フィルタアレイ及び表面実装型フィルタの等価回路を示す回路図である。

[図4A]図4Aは、実施の形態1に係る表面実装型フィルタアレイを構成する各基材層及び各基材層に設けられた導体パターンの配置の一例を示す平面図である。

[図4B]図4Bは、実施の形態1に係る表面実装型フィルタアレイを構成する各基材層及び各基材層に設けられた導体パターンの配置の一例を示す平面図である。

[図5]図5は、実施の形態1に係る表面実装型フィルタアレイの断面構造の一例を概念的に示す図である。

[図6]図6は、実施の形態1に係る表面実装型フィルタアレイの断面構造の一例を概念的に示す図である。

[図7]図7は、実施の形態1に係る表面実装型フィルタアレイの断面構造の一例を概念的に示す図である。

[図8]図8は、比較例の表面実装型フィルタアレイの断面構造の一例を概念的に示す図である。

[図9]図9は、実施の形態2に係る表面実装型フィルタアレイの外観を示す斜視図である。

[図10]図10は、実施の形態2に係る表面実装型フィルタアレイの断面構造の一例を概念的に示す図である。

発明を実施するための形態

[0023] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置及び接続形態、製造工程、及び製造工程の順序などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさ又は大きさの比は

、必ずしも厳密ではない。

[0024] (実施の形態 1)

[1. 表面実装型フィルタアレイの概略構成]

まず、実施の形態 1 に係る表面実装型フィルタアレイの概略構成について図 1 及び図 2 を用いて説明する。

[0025] 図 1 は、本実施の形態に係る表面実装型フィルタアレイ 1 の外観を示す斜視図である。

[0026] 図 2 は、本実施の形態に係る表面実装型フィルタアレイ 1 の実装面 17 を示す平面図である。

[0027] 図 1 及び図 2 に示されるように、表面実装型フィルタアレイ 1 は、積層体 10 の表面に設けられた第一 I/O 端子 31～35、第二 I/O 端子 41～45 及び GND 端子 50 を備える。第一 I/O 端子、31～35、第二 I/O 端子 41～45 及び GND 端子 50 は、積層体 10 の実装面 17 に設けられた平面電極端子（つまり、LGA (Land Grid Array) 型電極端子）である。

[0028] 図 2 に示されるように、GND 端子 50 は直線状の形状を有し、第一 I/O 端子 31～35 と第二 I/O 端子 41～45 とは、GND 端子 50 に関して線対称に配置される。これにより、各第一 I/O 端子と各第二 I/O 端子との間に GND 端子 50 が配置されるため、アイソレーションを向上させることができる。

[0029] 積層体 10 は、図 4 A 及び図 4 B に示される複数の基材層 201～214 を積層してなる直方体の積層基板である。各基材層の詳細な構成については後述する。

[0030] 図 1 及び図 2 に示されるように、積層体 10 の表面は、実装面 17（図 1 及び図 2 における z 軸方向負側の端面）と、実装面 17 の反対側（つまり、積層体 10 の裏側）の面である天面 15 と、実装面 17 と天面 15 とを結ぶ側面 16 と、を含む。

[0031] 図 1 に示されるように、積層体 10 の側面 16 には、側面電極 52 が設け

られている。なお、図 1 及び図 2 には、示されないが、積層体 10 の側面電極 52 が設けられた側面 16 の反対側（つまり、図 1 の x 軸方向負側）の側面にも側面電極が設けられている。各側面電極は、積層体 10 の内部で GND 端子 50 と接続されている。

[0032] なお、図 1 及び図 2 では、表面実装型フィルタアレイ 1 の第一 I/O 端子及び第二 I/O 端子の個数をそれぞれ五つとしたが、当該個数は五つに限定されない。たとえば、第一 I/O 端子と第二 I/O 端子とを一つずつ備える表面実装型フィルタも本実施の形態の一態様に含まれる。

[0033] [2. 表面実装型フィルタアレイの回路構成]

続いて、本実施の形態に係る表面実装型フィルタアレイ 1 及び表面実装型フィルタの回路構成について図 3 を用いて説明する。

[0034] 図 3 は、本実施の形態に係る表面実装型フィルタアレイ 1 及び表面実装型フィルタ 3 の等価回路を示す回路図である。

[0035] また、図 3 に示されるように、表面実装型フィルタアレイ 1 は、積層体 10 に内蔵されたフィルタ回路 21～25 を備える。フィルタ回路 21～25 は、それぞれ、コイル素子 L1～L5、及び、コンデンサ素子 C1～C5 を含む。コイル素子 L1～L5 は、それぞれ、一端が第一 I/O 端子 31～35、他端が第二 I/O 端子 41～45 に接続されている。また、コンデンサ素子 C1～C5 は、それぞれ、一端がコイル素子 L1～L5 に、他端が GND 端子 50 に接続されている。より詳細には、コイル素子 L1～L5 は、それぞれ、第一コイルパターン L13、L23、L33、L43 及び L53 と、第二コイルパターン L14、L24、L34、L44 及び L54 とを含む。第一コイルパターン L13、L23、L33、L43 及び L53 は、それぞれ、第一 I/O 端子 31～35 に接続される。第二コイルパターン L14、L24、L34、L44 及び L54 は、それぞれ、第二 I/O 端子 41～45 及び第一コイルパターン L13、L23、L33、L43 及び L53 に接続される。コンデンサ素子 C1～C5 のコイル素子 L1～L5 に接続される一端は、それぞれ、第一コイルパターン L13、L23、L33、L43

及びL 5 3 と、第二コイルパターンL 1 4、L 2 4、L 3 4、L 4 4 及びL 5 4 との接続部に接続される。

[0036] 図3に示される各コイル素子及び各コンデンサ素子は、積層体10を構成する各基材層に設けられた導体によって形成される。当該導体については、後述する。

[0037] なお、図3では、表面実装型フィルタアレイ1が第一I/O端子、第二I/O端子及びフィルタ回路をそれぞれ五つずつ備える構成としたが、第一I/O端子、第二I/O端子及びフィルタ回路の個数は、五つに限定されない。たとえば、図3に示される第一I/O端子33、第二I/O端子43及びフィルタ回路23を一つずつ備える表面実装型フィルタ3も本実施の形態の一態様に含まれる。

[0038] [3. 各基材層の導体パターン構成]

続いて、本実施の形態に係る積層体10を構成する各基材層の導体パターンの構成について図4A及び図4Bを用いて説明する。

[0039] 図4A及び図4Bは、本実施の形態に係る表面実装型フィルタアレイ1を構成する各基材層及び各基材層に設けられた導体パターンの配置の一例を示す平面図である。図4A及び図4Bは、各基材層を実装面17側から見た平面図である。

[0040] 積層体10は、図4A及び図4Bの各平面図に示される基材層201～214から構成される。図4A及び図4Bでは、積層体10の実装面17側から積層順に、基材層201～214が示されている。

[0041] 図4Aの平面図(a)～(f)に示される基材層201～206は、磁性体を主成分として含む。基材層201～206は、例えば、磁性セラミックスなどで形成される。磁性セラミックスとしては、例えば、磁性フェライトセラミックスが用いられる。具体的には、酸化鉄を主成分とし、亜鉛、ニッケル及び銅のうち少なくとも1つ以上を含むフェライトが用いられ得る。

[0042] 図4Bの平面図(g)～(p)に示される基材層207～214は、非磁性体を主成分として含む。基材層207～214は、例えば、低透磁率又は

非磁性のセラミックスなどで形成される。非磁性のセラミックスとしては、例えば、非磁性フェライトセラミックスやアルミナを主成分とするアルミナセラミックスが用いられ得る。

[0043] 各基材層には、導体が設けられている。なお、図4 A及び図4 Bにおいて、ハッチングされた部分が、導体が設けられた部分を示す。当該導体によって、フィルタ回路20を構成する各コイル素子及び各コンデンサ素子が形成される。なお、図4 A及び図4 Bに示される実線及び点線の円は、ビアホール電極が設けられた位置を示す。ビアホール電極は、基材層を貫通する電極である。

[0044] 導体パターンの材料としては、特に銀を主成分とする金属または合金が好ましい。銀を主成分とする金属または合金は、基材層としてLTCCセラミックス(Low Temperature Co-fired Ceramics)を用いることにより、積層された基材層を比較的低い焼成温度で焼結できるため、融点が比較的低い銀を主成分とする金属または合金を用いることができる。また、導体パターンとして銀を主成分とする金属または合金を用いることにより、導体抵抗を低減することができ、例えば信号伝搬遅延などの特性を改善することができる。また、ビアホール電極の材料としては、例えば、導体パターンと同一の材料を用いることができる。

[0045] フィルタ回路21～25におけるコイル素子及びコンデンサ素子は、それぞれ異なる基材層に設けられていて、コイル素子が実装面17側に、コンデンサ素子がコイル素子より天面15側にそれぞれ配置されている。本実施の形態では、各コイル素子は、磁性体を主成分として含む基材層202～206に設けられる。これにより、非磁性体を主成分として含む基材層に各コイル素子を設ける場合より、各コイル素子のインダクタンスを増大させることができる。一方、各コンデンサ素子は、非磁性体を主成分として含む基材層207～213に設けられる。

[0046] 以下、積層体10を構成する各基材層について図4 A及び図4 Bを用いて説明する。

- [0047] 図4Aの平面図(a)に示されるように、基材層201には、各電極端子が形成される。各電極端子は、ビアホール電極によって基材層202の各導体パターンに接続される。
- [0048] 図4Aの平面図(b)に示されるように、基材層202には、導体パターン55及び221～230が設けられている。
- [0049] 導体パターン55は、GND端子50に接続される導体パターンであり、その長手方向(図4Aのx軸方向)の端部551及び552が基材層202の長手方向(図4Aのx軸方向)の端部に配置されている。端部551及び552は、それぞれ、積層体10の側面16に設けられた側面電極51及び52に接続される(側面電極51及び52については、図1及び後述の図6を参照)。
- [0050] 導体パターン221～225は、それぞれ、コイル素子L1～L5の各一端を形成する導体である。導体パターン221～225は、それぞれ、第一I/O端子31～35に接続される。また、導体パターン221～225は、それぞれ、ビアホール電極によって、基材層203の導体パターン231～235に接続される。
- [0051] 導体パターン226～230は、それぞれ、コイル素子L1～L5の各他端を形成する導体である。導体パターン226～230は、それぞれ、第二I/O端子41～45に接続される。また、導体パターン226～230は、それぞれ、ビアホール電極によって、基材層203の導体パターン236～240に接続される。
- [0052] 図4Aの平面図(c)～(e)に示されるように、基材層203～205には、各コイル素子を構成するループ状の導体パターンが形成されている。例えば、コイル素子L1については、基材層203の導体パターン231、基材層204の導体パターン241、及び、基材層205の導体パターン251が、コイル素子L1の第一コイルパターンL13を構成する。また、基材層203の導体パターン236、基材層204の導体パターン246、及び、基材層205の導体パターン256が、コイル素子L1の第二コイルパ

ターンL 1 4を構成する。なお、各導体パターン間は、ビアホール電極で接続される。

[0053] その他のコイル素子L 2～L 5についても同様に構成される。すなわち、基材層2 0 3の導体パターン2 3 2～2 3 5、基材層2 0 4の導体パターン2 4 2～2 4 5、及び、基材層2 0 5の導体パターン2 5 2～2 5 5が、それぞれ、コイル素子L 2～L 5の第一コイルパターンL 2 3、L 3 3、L 4 3及びL 5 3を構成する。また、基材層2 0 3の導体パターン2 3 7～2 4 0、基材層2 0 4の導体パターン2 4 7～2 5 0、及び、基材層2 0 5の導体パターン2 5 7～2 6 0が、それぞれ、コイル素子L 2～L 5の第二コイルパターンL 2 4、L 3 4、L 4 4及びL 5 4を構成する。

[0054] 図4 Aの平面図(c)～(e)に示されるように、各コイル素子の第一コイルパターン及び第二コイルパターンを構成する導体パターンは、図4 Aのy軸方向に隣接配置されている。つまり、各コイル素子は、第一コイルパターンと、積層体1 0における積層方向からの平面視で当該第一コイルパターンに隣接配置された第二コイルパターンと、を含む。

[0055] 図4 Aの平面図(f)に示されるように、基材層2 0 6には、各第一コイルパターンと各第二コイルパターンとの接続部を構成する導体パターン2 6 1～2 6 5が形成されている。基材層2 0 6に形成された導体パターン2 6 1～2 6 5は、それぞれ、第一コイルパターンL 1 3、L 2 3、L 3 3、L 4 3及びL 5 3と、第二コイルパターンL 1 4、L 2 4、L 3 4、L 4 4及びL 5 4との接続部を構成する。

[0056] 図4 Bの平面図(g)に示されるように、基材層2 0 7には、ビアホール電極2 7 1～2 7 5が形成されている。ビアホール電極2 7 1～2 7 5は、それぞれ、コンデンサ素子C 1～C 5の一端を構成する導体である。ビアホール電極2 7 1～2 7 5は、それぞれ、第一コイルパターンL 1 3、L 2 3、L 3 3、L 4 3及びL 5 3と、第二コイルパターンL 1 4、L 2 4、L 3 4、L 4 4及びL 5 4との接続部を構成する導体パターン2 6 1～2 6 5に接続される。

[0057] 図4Bの平面図(h)～(n)に示される基材層208～213には、各コンデンサ素子の電極を構成する導体パターンが形成されている。基材層208、210及び212に形成された導体パターンは、各コイル素子に接続される電極を構成する。一方、基材層209、211及び213に形成された導体パターンは、GND端子50に接続される電極を構成する。なお、基材層209、211及び213に形成された導体パターンは、積層体10の側面16に形成された側面電極51及び52を介してGND端子50に接続される。

[0058] 基材層208の導体パターン281～285は、それぞれ、基材層209のビアホール電極296～300を介して、基材層210の導体パターン301～305に接続される。基材層210の導体パターン301～305は、それぞれ、基材層211のビアホール電極316～320を介して、基材層212の導体パターン321～325に接続される。

[0059] また、基材層209の導体パターン291は、基材層210のビアホール電極306～309を介して、基材層211の導体パターン311に接続される。基材層211の導体パターン311は、基材層212のビアホール電極326～329を介して、基材層213の導体パターン331に接続される。

[0060] 導体パターン331は、側面電極51及び52を介してGND端子50に接続される導体パターンであり、その長手方向(図4Bのx軸方向)の端部3311及び3312が基材層213の長手方向(図4Bのx軸方向)の端部に配置されている。端部3311及び3312は、それぞれ、積層体10の側面16に設けられた側面電極51及び52に接続される。

[0061] 図4Bに示されるように、例えば、コンデンサ素子C1の電極のうちコイル素子L1に接続される電極は、基材層208の導体パターン281、基材層210の導体パターン301、及び、基材層212の導体パターン321から構成される。一方、コンデンサ素子C1の電極のうちGND端子50に接続される電極は、基材層209の導体パターン291、基材層211の導

体パターン 3 1 1、及び、基材層 2 1 3 の導体パターン 3 3 1 から構成される。

[0062] その他のコンデンサ素子 C 2 ～ C 5 についても同様に構成される。すなわち、コンデンサ素子 C 2 ～ C 5 の電極のうちコイル素子 L 2 ～ L 5 に接続される電極は、基材層 2 0 8 の導体パターン 2 8 2 ～ 2 8 5、基材層 2 1 0 の導体パターン 3 0 2 ～ 3 0 5、及び、基材層 2 1 2 の導体パターン 3 2 2 ～ 3 2 5 から構成される。また、コンデンサ素子 C 2 ～ C 5 の電極のうち G N D 端子 5 0 に接続される電極は、基材層 2 0 9 の導体パターン 2 9 1、基材層 2 1 1 の導体パターン 3 1 1、及び、基材層 2 1 3 の導体パターン 3 3 1 から構成される。このように、コンデンサ素子 C 1 ～ C 5 の電極のうち G N D 端子 5 0 に接続される電極を構成する導体パターンは、コンデンサ素子 C 1 ～ C 5 に共通の電極である。

[0063] 図 4 B の平面図 (p) に示される基材層 2 1 4 は、積層体 1 0 の天面を構成する基材層であり、導体パターンは形成されない。

[0064] 以上のような基材層を積層してなる積層体 1 0 は、図 4 A 及び図 4 B の配置に従って、導体が形成される予定位置に導体ペーストを配置した非磁性又は磁性の複数のセラミックグリーンシートを準備し、積層の順に重ねて未焼成積層体ブロックに一体化し、当該未焼成積層体ブロックを一括して焼成することにより形成される。なお、未焼成積層体ブロックの状態において、積層体 1 0 の側面 1 6 に対応する位置に、側面電極 5 1 及び 5 2 を形成する導体が設けられる。また、未焼成積層体ブロックの状態において、焼成する前に転写シートから各第一 I / O 端子、各第二 I / O 端子及び G N D 端子 5 0 を形成する導体を転写してもよい。

[0065] [4 . 表面実装型フィルタアレイの断面構造]

続いて、上述のように各基材層を積層してなる積層体 1 0 の内部構造の概要について、図 5 ～ 7 を用いて説明する。

[0066] 図 5 ～ 7 は、本実施の形態に係る表面実装型フィルタアレイ 1 の断面構造の一例を概念的に示す図である。図 5 ～ 7 は、それぞれ、図 1 に示される V

ーV断面、V IーV I断面及びV I IーV I I断面の構造を示す。なお、各図は、表面実装型フィルタアレイ1の断面構造をあくまで概念的に示す図であり、実際の断面構造を必ずしも正確に示す図ではない。

[0067] 図5に示されるように、第一I/O端子31～35、第一コイルパターンL13、L23、L33、L43及びL53、並びに、コンデンサ素子C1～C5は、積層体10の長手方向に配列される。また、図示されないが、同様に、第二I/O端子41～45、並びに、第二コイルパターンL14、L24、L34、L44及びL54も、積層体10の長手方向に配列される。つまり、積層体10には、五組の第一I/O端子及び第二I/O端子、並びに、フィルタ回路が設けられ、当該複数组の第一I/O端子及び第二I/O端子、並びに、フィルタ回路は、積層体10の長手方向に配列される。

[0068] 図5～7に示されるように、各コイル素子及び各コンデンサ素子はそれぞれ積層体10を構成する基材層のうち異なる基材層に設けられている。各コイル素子は、積層体10のうち、磁性体を主成分として含む積層体部分101に設けられ、各コンデンサ素子は、積層体10のうち、非磁性体を主成分として含む積層体部分102に設けられる。

[0069] 図6に示されるように、各コンデンサ素子の電極のうちGND端子50に接続される電極を構成する導体パターン331は、積層体10の側面16に設けられた側面電極51及び52を介してGND端子50に接続される。より詳細には、導体パターン331は、積層体10の側面16に設けられた側面電極51及び52、導体パターン55、並びに、ビアホール電極502を介して、GND端子50に接続される。

[0070] これにより、本実施の形態に係る表面実装型フィルタアレイ1では、各コンデンサ素子とGND端子50とを接続するために、各コイル素子及び各コンデンサ素子が設けられた基材層を貫通するビアホール電極を用いなくてもよい。このため、各コイル素子及び各コンデンサ素子が設けられた基材層を有効利用して、それぞれ、最大限のインダクタンス及び容量を得ることができる。さらに、本実施の形態では、実装面17以外に設けられる表面電極は

、GND端子50に接続される側面電極51及び52のみであり、各第一I/O端子、各第二I/O端子及びGND端子50は、実装面17のみに設けられる。さらに、側面16のうち側面電極51及び52の占める部分は一部だけでよい。このため、表面実装型フィルタアレイ1では、周辺に配置された部品などとの短絡の発生を抑制できる。

[0071] また表面実装型フィルタアレイ1は、例えば、電子機器のプリント配線板に実装される。また、表面実装型フィルタアレイ1は、例えば、プリント配線板に実装された後、電磁波を遮蔽するための金属ケースで覆われる。このような金属ケースで覆われる場合に、表面実装型フィルタアレイ1においては、天面に端子が配置されていないため、仮に金属ケースが上記表面実装型フィルタの天面と接触しても、表面実装型フィルタアレイ1の端子と金属ケースとが短絡することがない。したがって、表面実装型フィルタアレイ1を用いることによって、天面に端子が配置された表面実装型フィルタアレイを用いる場合より、金属ケースと表面実装型フィルタアレイ1との間のクリアランス量を低減することができる。このため、表面実装型フィルタアレイ1は、小型化及び薄型化が要求される携帯電話、携帯情報端末などの携帯型電子機器に特に好適である。

[0072] 図7に示されるように、第一コイルパターンL33及び第二コイルパターンL34は、それぞれ、積層体10の内部に設けられたビアホール電極503及び504を介して第一I/O端子33及び第二I/O端子34に接続されている。ここで、ビアホール電極503及び504は、各基材層で導体パターンと導通させる電極である。つまり、導体パターンを形成する際に、ビアホール電極503及び504を回避する必要がない。そのため、ビアホール電極503及び504は、各コイル素子のインダクタンスを制限しない。このように、本実施の形態に係る表面実装型フィルタアレイ1では、各コイル素子が形成される積層体部分101において、導体パターンの形状を制限するビアホール電極が存在しない。したがって、表面実装型フィルタアレイ1では、積層体10内部を最大限に有効利用して、コイル素子を形成するこ

とができる。つまり、表面実装型フィルタアレイ 1 では、積層体 10 内部で取り得る最大のインダクタンスを有するコイル素子を形成できる。

[0073] なお、図 7 に示されるように、表面実装型フィルタアレイ 1 は、非磁性体を主成分として含む積層体部分 102 において、二つのビアホール電極 506 及び 508 を備える。なお、図 4 B に示される基材層を用いる表面実装型フィルタアレイ 1 では、コンデンサ素子一つ当たりのビアホール電極の個数は、必ずしも二つではない。ここでは、本実施の形態の概念を説明するために、コンデンサ素子一つ当たりのビアホール電極の個数が二つである例を示す。

[0074] これらのビアホール電極 506 及び 508 は、コンデンサ素子 C3 の電極を形成する導体パターン間を接続するための電極である。そのため、これらのビアホール電極 506 及び 508 は、コンデンサ素子 C3 の電極を形成する導体パターン間を積層体 10 の内部で接続する場合には、最低限必要とされるビアホール電極である。つまり、表面実装型フィルタアレイ 1 では、積層体部分 102 において形成されるビアホール電極数は、最低限に抑制されている。これにより、表面実装型フィルタアレイ 1 では、積層体 10 の内部を最大限に有効利用してコンデンサ素子を形成することができる。つまり、表面実装型フィルタアレイ 1 では、積層体 10 内部で取り得る最大の容量を有するコンデンサ素子を形成できる。

[0075] ここで、本実施の形態に係る表面実装型フィルタアレイ 1 の効果を説明するために、比較例の表面実装型フィルタアレイについて図 8 を用いて説明する。

[0076] 図 8 は、比較例の表面実装型フィルタアレイ 1 p の断面構造の一例を概念的に示す図である。図 8 に示される断面構造は、図 7 に示される本実施の形態に係る表面実装型フィルタアレイ 1 の断面構造に対応する。

[0077] 図 8 に示されるように、比較例の表面実装型フィルタアレイ 1 p は、本実施の形態に係る表面実装型フィルタアレイ 1 と同様に、積層体 10 p の実装面 17 p に設けられた、第一 I/O 端子 33 p、第二 I/O 端子 43 p 及び

GND端子50pを備える。また、表面実装型フィルタアレイ1pは、積層体10pに内蔵されたコイル素子L3p及びコンデンサ素子C3pを含むフィルタ回路を備える。ここで、コイル素子L3pは、第一コイルパターンL33p及び第二コイルパターンL34pを備える。なお、図示されないが、表面実装型フィルタアレイ1pには、本実施の形態に係る表面実装型フィルタアレイ1と同様に、五つのフィルタ回路が設けられる。

[0078] 図8に示されるように、表面実装型フィルタアレイ1pでは、積層体10pのうち非磁性体を主に含む積層体部分102pが実装面17p側に設けられ、磁性体を主に含む積層体部分101pが天面15p側に配置されている。これに伴い、表面実装型フィルタアレイ1pでは、各コンデンサ素子は実装面17p側に配置され、各コイル素子は天面15p側に配置されている。

[0079] 図8に示されるように、表面実装型フィルタアレイ1pでは、以上のような構成を有することに伴い、少なくとも五つのビアホール電極511～515を備える。ビアホール電極511及び512は、それぞれ、第一コイルパターンL33p及び第二コイルパターンL34pと第一I/O端子33p及び第二I/O端子43pとを接続する電極である。ビアホール電極513及び514は、それぞれ、コンデンサ素子C3pの各電極を構成する導体パターン間を接続する電極である。ビアホール電極515は、コイル素子L3pとコンデンサ素子C3pとを接続する電極である。

[0080] ビアホール電極511～515は、導体パターンと導通させることなく、当該導体パターンが形成された基材層を貫通するビアホール電極である。つまり、表面実装型フィルタアレイ1pでは、各基材層に導体パターンを形成する場合に、ビアホール電極511～515を避けて形成する必要がある。このため、ビアホール電極511～515を備えることに起因して、各コイル素子のインダクタンス、及び、各コンデンサ素子の容量が制限される。

[0081] 一方、本実施の形態に係る表面実装型フィルタアレイ1では、図7に示されるように、導体パターンと導通させることなく、当該導体パターンが形成された基材層を貫通するビアホール電極として、二つのビアホール電極50

6及び508だけを備える。

[0082] 本実施の形態に係る表面実装型フィルタアレイ1においては、各コイル素子を実装面17側に設けること、及び、側面電極51及び52を設けることにより、ビアホール電極数の削減を実現している。つまり、各コイル素子を実装面17側に設けることにより、各コイル素子と各第一I/O端子及び各第二I/O端子との間に設けられるビアホール電極を削減している。また、側面電極51及び52を設けることにより、各コンデンサ素子とGND端子50とを接続するビアホール電極を削減している。

[0083] (実施の形態2)

次に、実施の形態2に係る表面実装型フィルタアレイについて説明する。本実施の形態では、表面実装型フィルタアレイと周辺に配置された部品などとの短絡の発生をさらに低減するために、積層体の実装面以外に電極を設けない例を示す。以下、本実施の形態に係る表面実装型フィルタアレイと、実施の形態1に係る表面実装型フィルタアレイ1との相違点を中心に説明する。

[0084] 図9は、本実施の形態に係る表面実装型フィルタアレイ1aの外観を示す斜視図である。

[0085] 図10は、本実施の形態に係る表面実装型フィルタアレイ1aの断面構造の一例を概念的に示す図である。図10は、図9に示されるX-X断面の構造を示す。なお、図9は、表面実装型フィルタアレイ1aの断面構造をあくまで概念的に示す図であり、実際の断面構造を必ずしも正確に示す図ではない。

[0086] 図10に示されるように、本実施の形態に係る表面実装型フィルタアレイ1aは、実施の形態1に係る表面実装型フィルタアレイ1と同様に、積層体10aの実装面17aに設けられたGND端子50aを備える。なお、図示されないが、表面実装型フィルタアレイ1aの実装面17aには、表面実装型フィルタアレイ1と同様に、五組の第一I/O端子及び第二I/O端子が設けられる。

[0087] 表面実装型フィルタアレイ 1 a は、表面実装型フィルタアレイ 1 と同様に、積層体 1 0 a の内蔵されたコンデンサ素子 C 1 a ~ C 5 a を備える。コンデンサ素子 C 1 a ~ C 5 a は、積層体 1 0 a の天面 1 5 a 側の非磁性体を主成分として含む積層体部分 1 0 2 a に配置されている。また、図示されないが、表面実装型フィルタアレイ 1 a は、表面実装型フィルタアレイ 1 と同様に、積層体 1 0 a の内蔵された五つのコイル素子を備える。当該五つのコイル素子は、積層体 1 0 a の実装面 1 7 a 側の磁性体を主成分として含む積層体部分 1 0 1 a に配置されている。このように、表面実装型フィルタアレイ 1 a には、本実施の形態に係る表面実装型フィルタアレイ 1 と同様に、コイル素子及びコンデンサ素子を含む五つのフィルタ回路が設けられる。

[0088] 本実施の形態に係る表面実装型フィルタアレイ 1 a は、図 9 に示されるように、積層体 1 0 a の側面 1 6 a に側面電極が形成されていない点、及び、積層体 1 0 a の内部にビアホール電極 5 2 2 が設けられている点において、実施の形態 1 に係る表面実装型フィルタアレイ 1 と相違する。

[0089] 本実施の形態では、積層体 1 0 a の実装面 1 7 a 以外の表面に電極が設けられないため、表面実装型フィルタアレイ 1 a と周辺に配置された部品などとの短絡の発生をさらに低減することができる。

[0090] なお、本実施の形態に係る表面実装型フィルタアレイ 1 a は、実施の形態 1 に係る表面実装型フィルタアレイ 1 と比べて、ビアホール電極が一つ多いが、それでもなお、図 8 に示される比較例の表面実装型フィルタアレイ 1 p より、ビアホール電極の個数は少ない。このように、本実施の形態に係る表面実装型フィルタアレイ 1 a においても、積層体 1 0 a の内部を有効利用してコイル素子及びコンデンサ素子を形成することができる。

[0091] (変形例)

以上、本発明の実施の形態に係る表面実装型フィルタアレイについて説明したが、本発明は、個々の実施の形態には限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発

明の一つ又は複数の態様の範囲内に含まれてもよい。

[0092] 例えば、上記各実施の形態では、各コイル素子は第一コイルパターン及び第二コイルパターンを含むが、各コイル素子は、一つのコイルパターンだけを含む構成でもよい。この構成においては、各コンデンサ素子は、対応するコイル素子の一方端に接続されてもよいし、コイルパターンの途中に接続されてもよい。

[0093] また、上記各実施の形態においては、GND端子50は直線状の形状を有し、各第一I/O端子と各第二I/O端子とは、GND端子に関して線対称に配置されたが、各端子の配置及び形状はこれに限定されない。各端子の配置及び形状は任意に定められてよい。

[0094] また、上記各実施の形態において、コンデンサ素子の各々の電極のうち、GND端子に接続される電極は、複数のコンデンサ素子に共通の電極であったが、必ずしも共通の電極でなくてもよい。

産業上の利用可能性

[0095] 本発明は、コイル素子及びコンデンサ素子を内蔵した表面実装型フィルタ又は表面実装型フィルタアレイとして、電子機器に広く利用できる。本発明の表面実装型フィルタ又は表面実装型フィルタアレイは、小型化及び薄型化が要求される携帯電話、携帯情報端末などの携帯型電子機器に特に好適である。

符号の説明

[0096] 1、1 a、1 p 表面実装型フィルタアレイ
3 表面実装型フィルタ
10、10 a、10 p 積層体
15、15 a、15 p 天面
16、16 a 側面
17、17 a、17 p 実装面
21～25 フィルタ回路
31～35、33 p 第一I/O端子

4 1 ~ 4 5、4 3 p 第二 I / O 端子

5 0、5 0 a、5 0 p GND 端子

5 1、5 2 側面電極

5 5、2 2 1 ~ 2 6 5、2 8 1 ~ 2 8 5、2 9 1、3 0 1 ~ 3 0 5、3
1 1、3 2 1 ~ 3 2 5、3 3 1 導体パターン

5 6、2 7 1 ~ 2 7 5、2 9 6 ~ 3 0 0、3 0 6 ~ 3 0 9、3 1 6 ~ 3
2 0、3 2 6 ~ 3 2 9、5 0 2 ~ 5 0 4、5 0 6、5 0 8、5 1 1 ~ 5 1 5
、5 2 2 ビアホール電極

1 0 1、1 0 1 a、1 0 1 p、1 0 2、1 0 2 a、1 0 2 p 積層体
部分

2 0 1 ~ 2 1 4 基材層

5 5 1、5 5 2、3 3 1 1、3 3 1 2 端部

C 1 ~ C 5、C 1 a ~ C 5 a、C 3 p コンデンサ素子

L 1 ~ L 5、L 3 p コイル素子

L 1 3、L 2 3、L 3 3、L 3 3 p、L 4 3、L 5 3 第一コイルパ
ターン

L 1 4、L 2 4、L 3 4、L 3 4 p、L 4 4、L 5 4 第二コイルパ
ターン

請求の範囲

- [請求項1] 複数の基材層を積層してなる積層体の表面に設けられた第一 I / O 端子、第二 I / O 端子及び G N D 端子と、
- 前記積層体に内蔵されており、一端が前記第一 I / O 端子、他端が前記第二 I / O 端子に接続されたコイル素子、及び、一端が前記コイル素子、他端が前記 G N D 端子に接続されたコンデンサ素子を含むフィルタ回路と、を備える表面実装型フィルタであって、
- 前記積層体の表面は、実装面と、前記実装面の反対側の面である天面と、前記実装面と前記天面とを結ぶ側面と、を含み、
- 前記第一 I / O 端子、前記第二 I / O 端子及び前記 G N D 端子は、前記積層体の前記実装面に設けられた平面電極端子であり、
- 前記コイル素子及び前記コンデンサ素子はそれぞれ前記複数の基材層のうち異なる基材層に設けられていて、前記コイル素子が前記実装面側に、前記コンデンサ素子が前記コイル素子より前記天面側にそれぞれ配置されており、
- 前記コイル素子は、前記積層体の内部に設けられたビアホール電極を介して前記第一 I / O 端子及び前記第二 I / O 端子に接続されており、
- 前記コンデンサ素子は、前記積層体の前記側面に設けられた側面電極、又は、前記積層体の内部に設けられたビアホール電極を介して前記 G N D 端子に接続されている
- 表面実装型フィルタ。
- [請求項2] 前記コイル素子は前記複数の基材層のうち、磁性体を主成分として含む基材層に設けられている
- 請求項 1 に記載の表面実装型フィルタ。
- [請求項3] 前記コイル素子は、前記第一 I / O 端子に接続された第一コイルパターンと、前記第二 I / O 端子及び前記第一コイルパターンに接続され、かつ、前記積層体における積層方向からの平面視で前記第一コイ

ルパターンに隣接配置された第二コイルパターンと、を含み、前記コンデンサ素子の前記一端は、前記第一コイルパターンと前記第二コイルパターンとの接続部に接続される

請求項 1 又は 2 に記載の表面実装型フィルタ。

[請求項4] 前記 GND 端子は直線状の形状を有し、前記第一 I/O 端子と前記第二 I/O 端子とは、前記 GND 端子に関して線対称に配置される

請求項 1 ～ 3 のいずれか 1 項に記載の表面実装型フィルタ。

[請求項5] 複数の基材層を積層してなる積層体の表面に設けられた第一 I/O 端子、第二 I/O 端子及び GND 端子と、

前記積層体に内蔵されており、一端が前記第一 I/O 端子、他端が前記第二 I/O 端子に接続されたコイル素子、及び、一端が前記コイル素子、他端が前記 GND 端子に接続されたコンデンサ素子を含むフィルタ回路と、を備え、

前記積層体の表面は、実装面と、前記実装面の反対側の面である天面と、前記実装面と前記天面とを結ぶ側面と、を含み、

前記第一 I/O 端子、前記第二 I/O 端子及び前記 GND 端子は、前記積層体の前記実装面に設けられた平面電極端子であり、

前記コイル素子及び前記コンデンサ素子はそれぞれ前記複数の基材層のうち異なる基材層に設けられていて、前記コイル素子が前記実装面側に、前記コンデンサ素子が前記コイル素子より前記天面側にそれぞれ配置されており、

前記コイル素子は、前記積層体の内部に設けられたビアホール電極を介して前記第一 I/O 端子及び前記第二 I/O 端子に接続されており、

前記コンデンサ素子は、前記積層体の前記側面に設けられた側面電極、又は、前記積層体の内部に設けられたビアホール電極を介して前記 GND 端子に接続され、

前記積層体には、複数組の前記第一 I/O 端子、前記第二 I/O 端

子及び前記フィルタ回路が設けられ、

複数組の前記第一 I / O 端子、前記第二 I / O 端子及び前記フィルタ回路は、前記積層体の長手方向に配列されている

表面実装型フィルタアレイ。

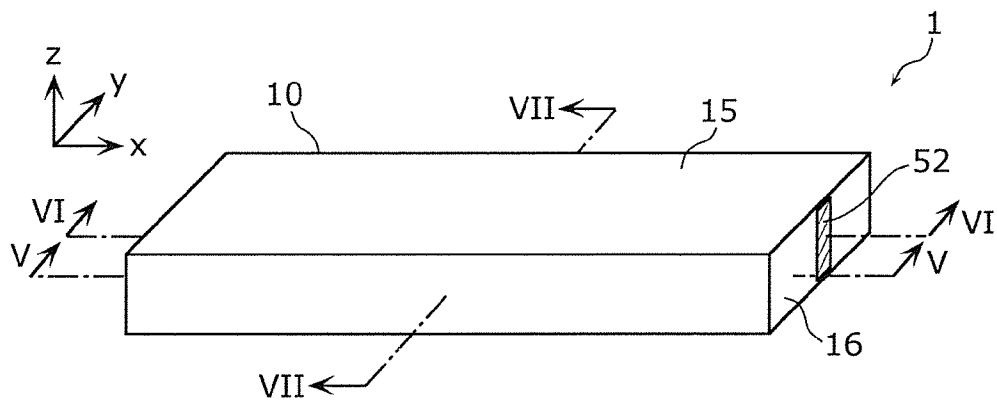
[請求項6]

複数の前記コンデンサ素子の各々の電極のうち、前記 GND 端子に接続される電極は、複数の前記コンデンサ素子に共通の電極である

請求項 5 に記載の表面実装型フィルタアレイ。

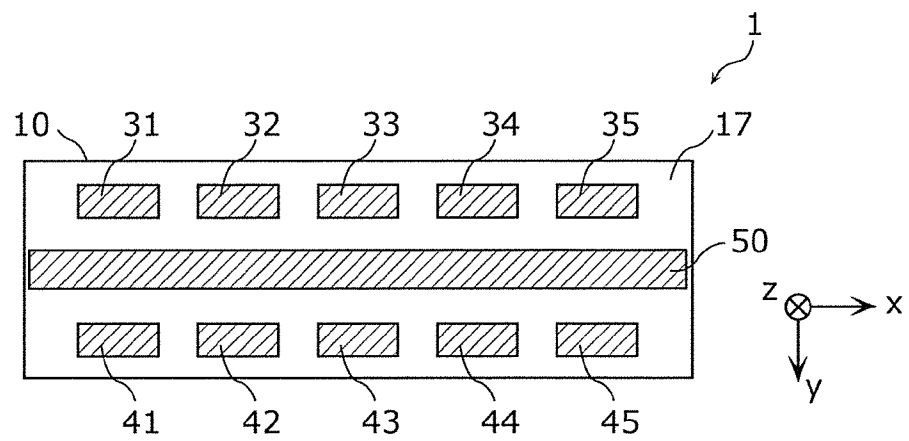
[図1]

図1



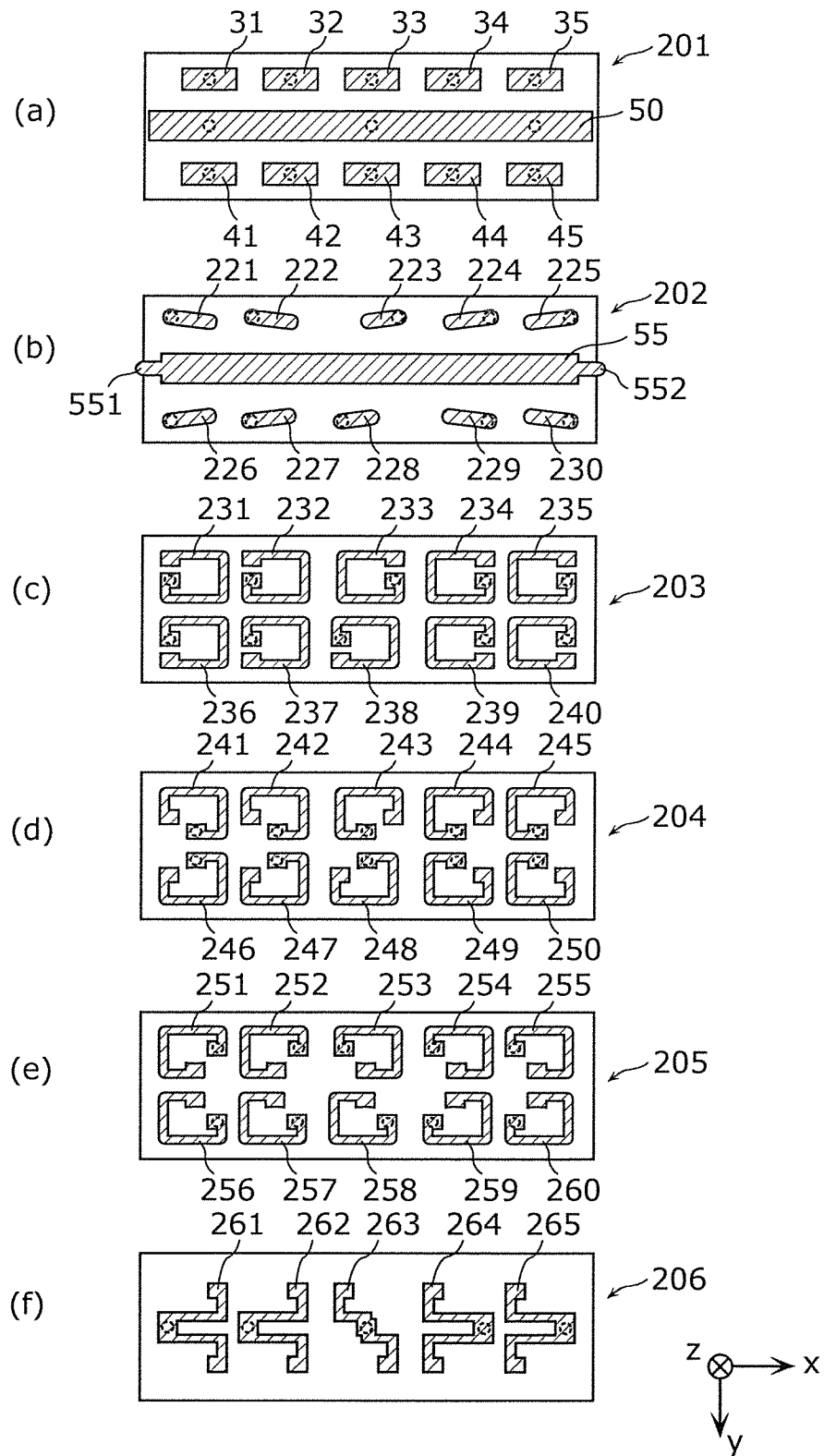
[図2]

図2



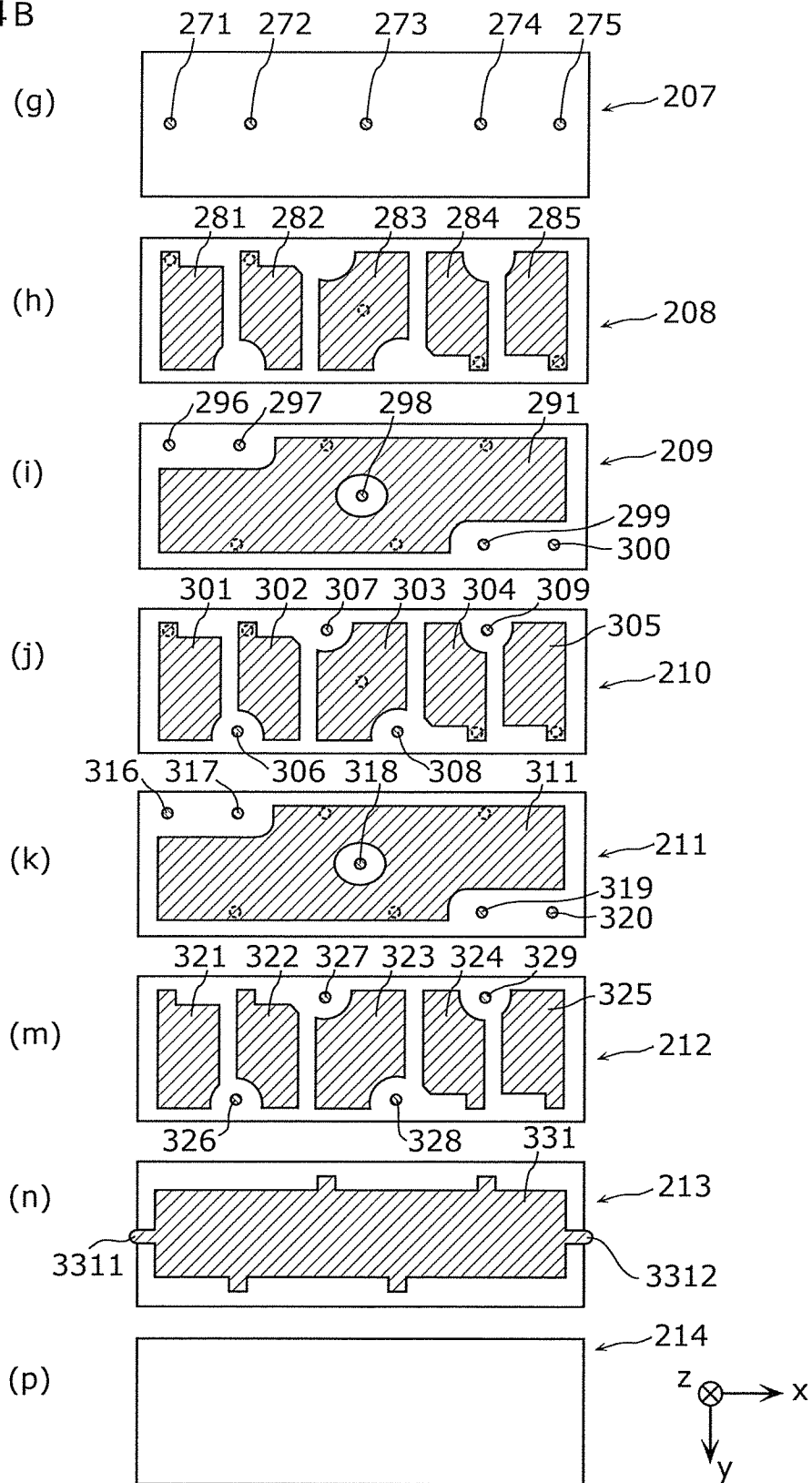
[図4A]

図4A



[図4B]

図4B



[図6]

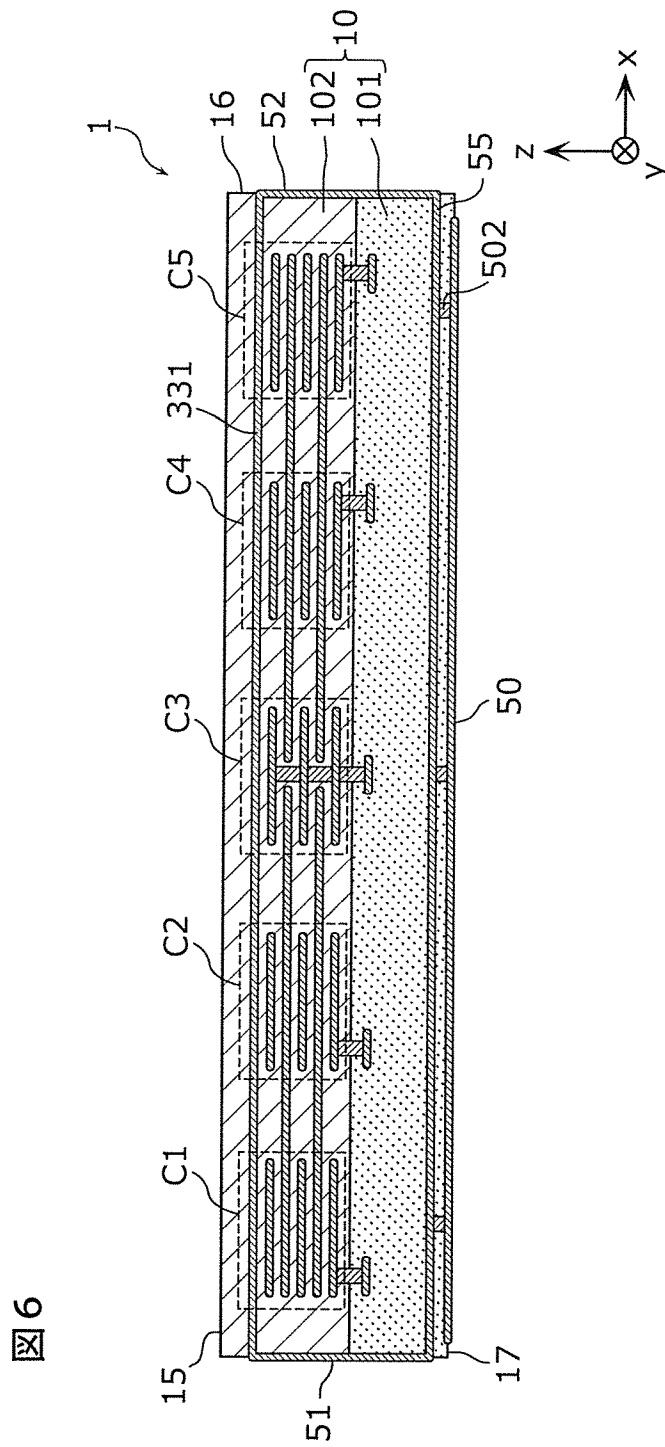
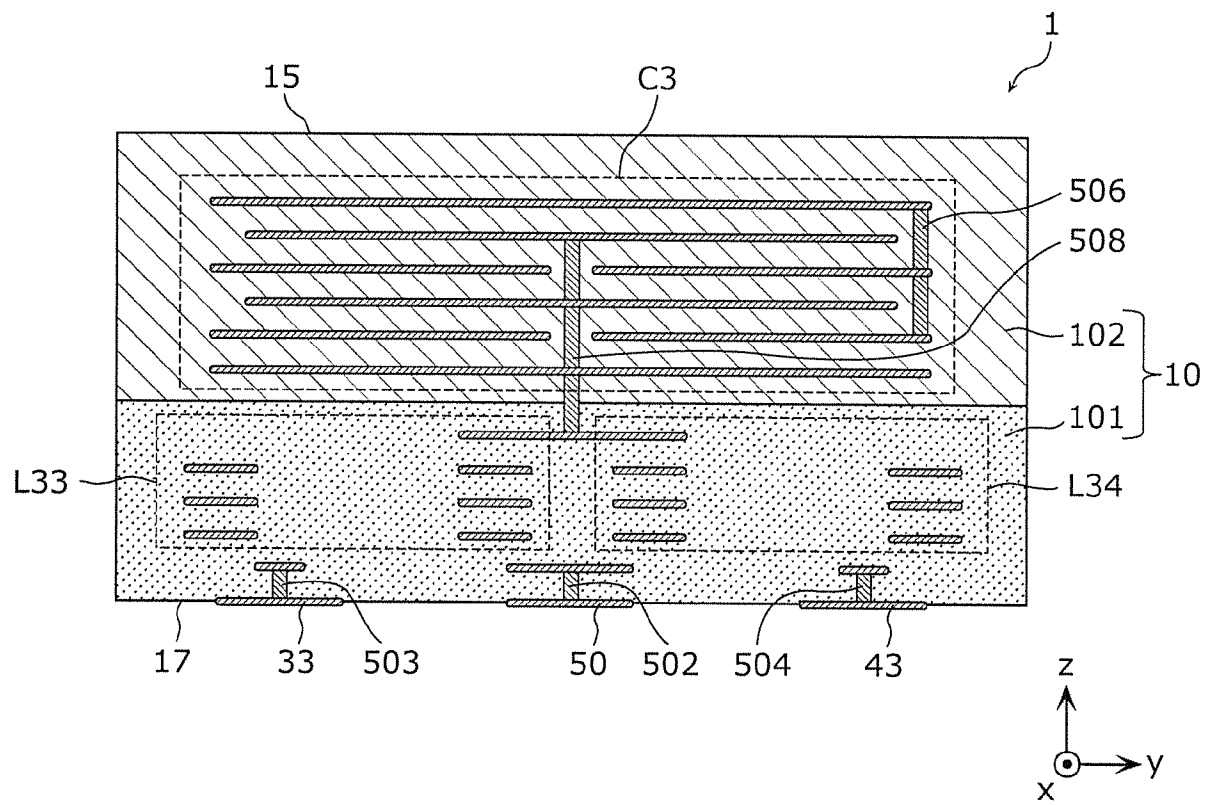
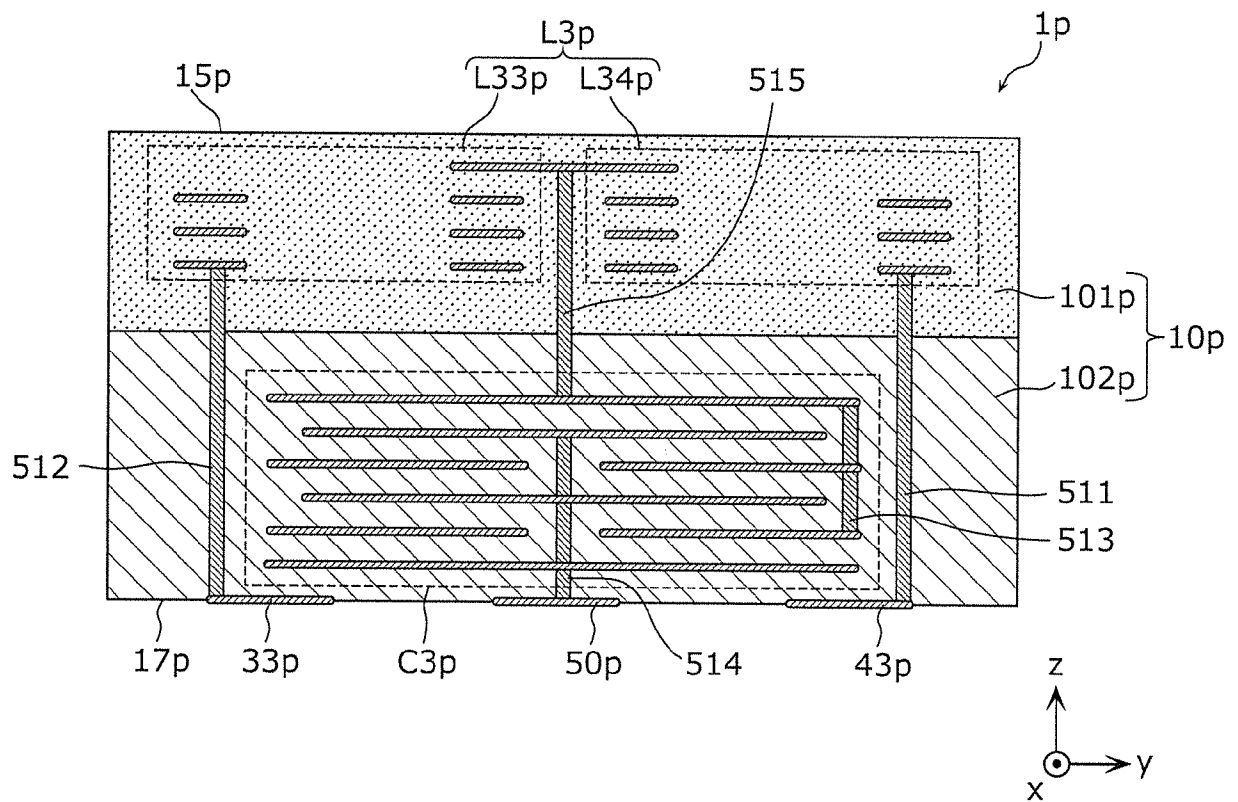


图 7



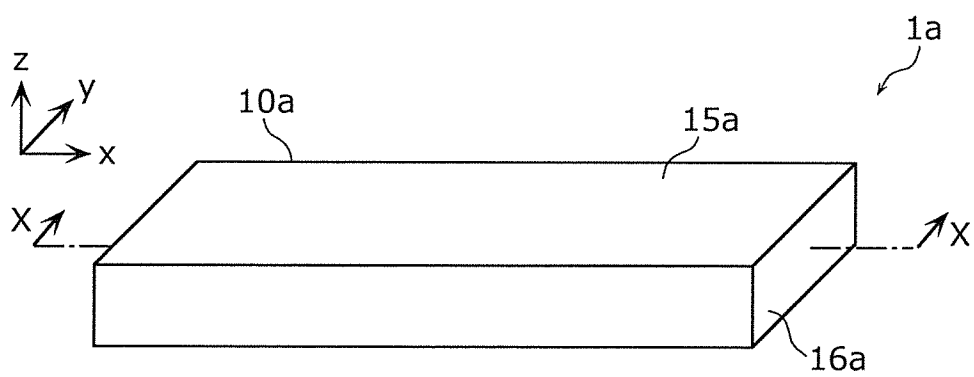
[図8]

図8

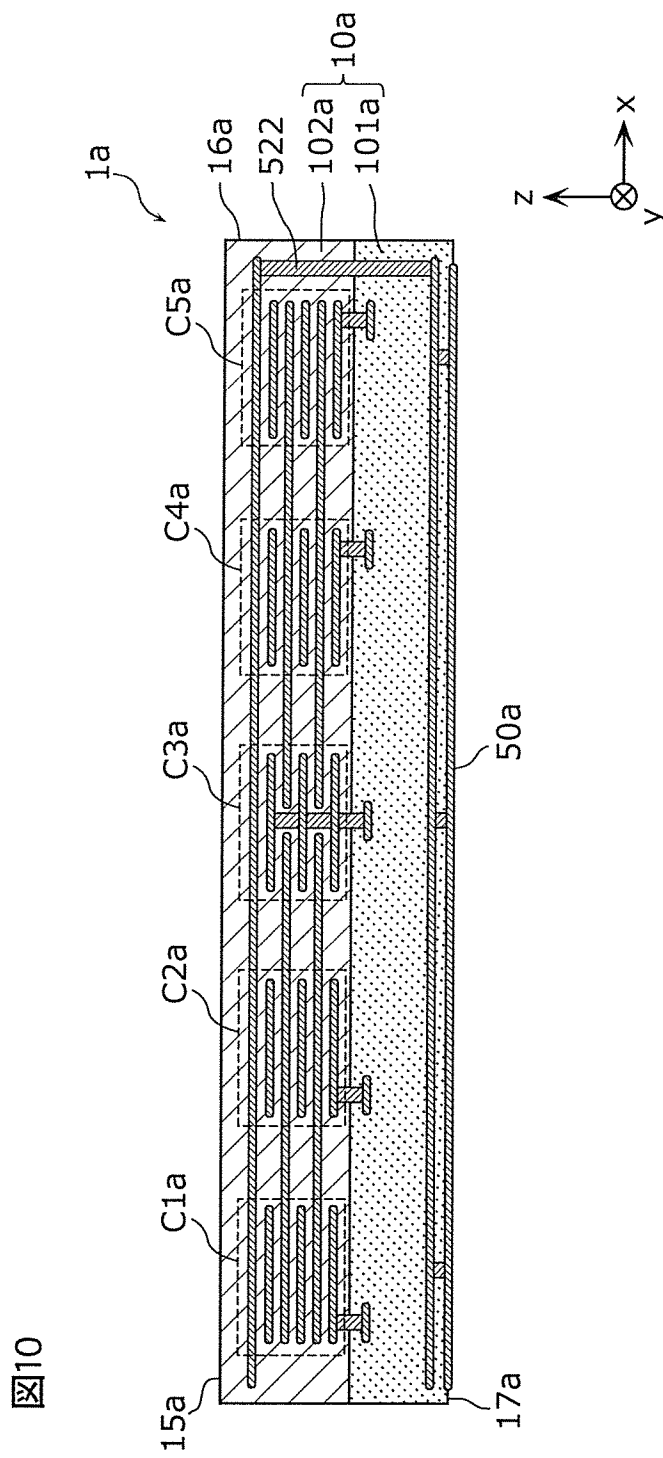


[図9]

図9



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/068820

A. CLASSIFICATION OF SUBJECT MATTER

H03H7/075(2006.01)i, H01F17/00(2006.01)i, H01F27/00(2006.01)i, H01G4/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H7/075, H01F17/00, H01F27/00, H01G4/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-103229 A (TDK Corp.), 13 April 1999 (13.04.1999), paragraphs [0042], [0050] to [0051] (Family: none)	1 2-6
Y	JP 2007-19101 A (TDK Corp.), 25 January 2007 (25.01.2007), paragraph [0027] (Family: none)	2-4
Y	JP 11-283833 A (Murata Mfg. Co., Ltd.), 15 October 1999 (15.10.1999), paragraphs [0021] to [0028] (Family: none)	4-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
30 August 2016 (30.08.16)

Date of mailing of the international search report
13 September 2016 (13.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/068820

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-62986 A (Murata Mfg. Co., Ltd.), 18 March 2010 (18.03.2010), paragraphs [0016] to [0025] (Family: none)	6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H7/075(2006.01)i, H01F17/00(2006.01)i, H01F27/00(2006.01)i, H01G4/40(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H7/075, H01F17/00, H01F27/00, H01G4/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 11-103229 A（ティーディーケイ株式会社）1999.04.13, 段落 [0042], [0050] - [0051]（ファミリーなし）	1 2-6
Y	JP 2007-19101 A（TDK株式会社）2007.01.25, 段落 [0027]（ファミリーなし）	2-4
Y	JP 11-283833 A（株式会社村田製作所）1999.10.15, 段落 [0021] - [0028]（ファミリーなし）	4-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

30.08.2016

国際調査報告の発送日

13.09.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 正明

5W

4241

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-62986 A (株式会社村田製作所) 2010.03.18, 段落 [0 0 1 6] - [0 0 2 5] (ファミリーなし)	6