

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4792062号
(P4792062)

(45) 発行日 平成23年10月12日(2011.10.12)

(24) 登録日 平成23年7月29日(2011.7.29)

(51) Int.Cl.

F 1

GO6F 21/24	(2006.01)	GO6F 12/14	560D
GO6F 12/00	(2006.01)	GO6F 12/00	550A
GO6K 19/07	(2006.01)	GO6F 12/00	597U
GO6K 19/073	(2006.01)	GO6K 19/00	N
GO6F 3/08	(2006.01)	GO6K 19/00	P

請求項の数 14 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2008-151012 (P2008-151012)
(22) 出願日	平成20年6月9日(2008.6.9)
(62) 分割の表示	特願2004-219179 (P2004-219179) の分割
原出願日	平成16年7月27日(2004.7.27)
(65) 公開番号	特開2008-276793 (P2008-276793A)
(43) 公開日	平成20年11月13日(2008.11.13)
審査請求日	平成20年6月9日(2008.6.9)

(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(74) 代理人	100108855 弁理士 蔵田 昌俊
(74) 代理人	100091351 弁理士 河野 哲
(74) 代理人	100088683 弁理士 中村 誠
(74) 代理人	100109830 弁理士 福原 淑弘
(74) 代理人	100075672 弁理士 峰 隆司
(74) 代理人	100095441 弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】メモリカードおよびメモリカードに搭載されるコントローラ

(57) 【特許請求の範囲】

【請求項1】

処理装置からの第1のコマンドを受け付ける第1のインターフェースと、データの消去が可能な不揮発性メモリチップに対し、前記第1のインターフェースにて受け付けた前記第1のコマンドに対応する第2のコマンドを出力する第2のインターフェースと、

前記不揮発性メモリチップにおいてデータを保持可能な通常領域のうち、前記不揮発性メモリチップに含まれる複数の領域の位置情報を含む制御情報格納領域の制御情報を除き、ユーザデータを消去させるためのユーザデータイレーズコマンドを、前記第2のコマンドとして前記第2のインターフェースより出力する制御回路と

を具備し、前記通常領域は、少なくとも前記制御情報格納領域、一般データ領域、及び該一般データ領域内のデータの引っ越し書き込みに使用するスペアブロックとしての代替ブロック領域を含み、

前記ユーザデータイレーズコマンドによって、前記一般データ領域及び前記代替ブロック領域内のデータを含む前記ユーザデータの全てが消去されることを特徴とするコントローラ。

【請求項2】

前記制御回路は、前記位置情報を基づいて、前記一般データ領域及び前記代替ブロック領域のアドレスを算出し、該アドレスを用いて前記一般データ領域及び前記代替ブロック領域内の全データを消去する

ことを特徴とする請求項 1 記載のコントローラ。

【請求項 3】

前記通常領域は、複数のメモリセルの集合であるブロック単位で消去可能であり、

前記ユーザデータイレーズコマンドは、アドレス入力コマンド、ブロックアドレス、及び消去コマンドを含むコマンドセットであり、

前記制御回路は、消去すべき前記ユーザデータが含まれる領域のブロックアドレスを算出して、算出したブロックアドレスの数だけ、前記ユーザデータイレーズコマンドを発行する

ことを特徴とする請求項 2 記載のコントローラ。

【請求項 4】

10

前記通常領域は、複数のメモリセルの集合であるブロック単位で消去可能であり、

前記ユーザデータイレーズコマンドは、アドレス入力コマンド、ブロックアドレス、及び消去コマンドを含むコマンドセットであり、

前記制御回路は、消去すべき前記ユーザデータが含まれる領域のブロックアドレスを算出して、算出したブロックアドレスの数だけ、前記アドレス入力コマンド及び前記ブロックアドレスを発行し、最後に前記消去コマンドを発行する

ことを特徴とする請求項 2 記載のコントローラ。

【請求項 5】

20

前記制御情報格納領域の保持する制御情報には、前記位置情報の他に、前記メモリカードに関するファームウェア、及び前記ファームウェアを制御するための初期値データが含まれる

ことを特徴とする請求項 1 記載のコントローラ。

【請求項 6】

データの消去が可能な不揮発性メモリチップと、

処理装置からの第 1 のコマンドを受け付ける第 1 のインターフェース、前記メモリチップに対し、前記第 1 のインターフェースにて受け付けた前記第 1 のコマンドに対応する第 2 のコマンドを出力する第 2 のインターフェース、および、前記第 2 のインターフェースより、前記第 2 のコマンドとして、前記不揮発性メモリチップにおいてデータを保持可能な通常領域のうち、前記不揮発性メモリチップに含まれる複数の領域の位置情報を含む制御情報格納領域の制御情報を除き、ユーザデータを消去させるためのユーザデータイレーズコマンドを出力する制御回路、を含むカード用コントローラと

30

を具備し、前記通常領域は、少なくとも前記制御情報格納領域、一般データ領域、及び該一般データ領域内のデータの引っ越し書き込みに使用するスペアブロックとしての代替ブロック領域を含み、

前記ユーザデータイレーズコマンドによって、前記一般データ領域及び前記代替ブロック領域内のデータを含む前記ユーザデータの全てが消去されることを特徴とするメモリカード。

【請求項 7】

40

前記制御回路は、前記位置情報に基づいて、前記一般データ領域及び前記代替ブロック領域のアドレスを算出し、該アドレスを用いて前記一般データ領域及び前記代替ブロック領域内の全データを消去する

ことを特徴とする請求項 6 記載のメモリカード。

【請求項 8】

前記通常領域は、複数のメモリセルの集合であるブロック単位で消去可能であり、

前記ユーザデータイレーズコマンドは、アドレス入力コマンド、ブロックアドレス、及び消去コマンドを含むコマンドセットであり、

前記制御回路は、消去すべき前記ユーザデータが含まれる領域のブロックアドレスを算出して、算出したブロックアドレスの数だけ、前記ユーザデータイレーズコマンドを発行する

ことを特徴とする請求項 7 記載のメモリカード。

50

【請求項 9】

前記通常領域は、複数のメモリセルの集合であるブロック単位で消去可能であり、

前記ユーザデータタイレスコマンドは、アドレス入力コマンド、ブロックアドレス、及び消去コマンドを含むコマンドセットであり、

前記制御回路は、消去すべき前記ユーザデータが含まれる領域のブロックアドレスを算出して、算出したブロックアドレスの数だけ、前記アドレス入力コマンド及び前記ブロックアドレスを発行し、最後に前記消去コマンドを発行する

ことを特徴とする請求項 7 記載のメモリカード。

【請求項 10】

前記制御情報格納領域の保持する制御情報には、前記位置情報の他に、前記メモリカードに関するファームウェア、及び前記ファームウェアを制御するための初期値データが含まれる

ことを特徴とする請求項 6 記載のメモリカード。

【請求項 11】

前記ユーザデータタイレスコマンドは、前記ユーザデータが格納されるユーザデータ領域内の、少なくとも有効なユーザデータを、ブロック単位の指定に応じて一括して消去させるものであることを特徴とする請求項 6 に記載のメモリカード。

【請求項 12】

前記ユーザデータタイレスコマンドは、前記ユーザデータを、範囲の指定に応じて一括して消去させるものであることを特徴とする請求項 6 に記載のメモリカード。

10

【請求項 13】

前記不揮発性メモリチップは、前記ユーザデータのブロック単位での消去が可能な N A N D 型フラッシュメモリであることを特徴とする請求項 6 に記載のメモリカード。

【請求項 14】

前記不揮発性メモリチップは、複数の N A N D 型フラッシュメモリチップを含み、

前記複数の N A N D 型フラッシュメモリチップは、それぞれ、コマンドラインを含む信号線を共有するとともに、前記ユーザデータが一括して消去されることを特徴とする請求項 6 に記載のメモリカード。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、メモリカードおよびメモリカードに搭載されるコントローラに関するもので、特に、フラッシュメモリなどの不揮発性の半導体メモリを用いたメモリカードの制御方法に関する。

【背景技術】**【0002】**

通常、メモリカードをフォーマットする場合、ファイル管理情報のみを初期化し、ファイル本体のデータ（たとえば、ユーザデータ）はそのままにしておくことが多い。この場合、ファイル本体のデータは消去されていないので、復元される可能性がある。したがって、ファイル管理情報だけではなく、ファイル本体のデータも消去した方が、機密保持上は望ましい。

40

【0003】

たとえば、従来の S D メモリカードには、指定されたブロック領域内のデータを消去するためのブロック消去コマンドが定義されている。しかしながら、従来のブロック消去コマンドはユーザデータ領域のブロック範囲を指定してデータの消去を行うものであり、ブロック範囲の指定が煩雑である、あるいは、代替メモリブロック領域のデータの消去が行えないという問題があった。

【0004】

また、メモリカードまたはフラッシュメモリにおいては、複数のブロック領域の各アドレスを指定して同時に消去するマルチブロック消去のためのコマンド（たとえば、特許文

50

献 1 参照) や、先頭のブロック領域のアドレスとブロック領域の数(サイズ)とから連続する複数のブロック領域(消去の範囲)を指定して同時に消去する範囲指定消去のためのコマンド(たとえば、特許文献 2 参照)などが定義されているものもある。

【 0 0 0 5 】

しかしながら、ファイル本体のデータを完全に消去するには、いずれの場合もホスト機器の操作が煩雑になるため、操作の効率化が求められていた。

【 0 0 0 6 】

最近では、チップイレーズという機能を可能にするコマンドが定義されているフラッシュユーメモリもある(たとえば、特許文献 3 参照)。しかし、このチップイレーズコマンドの場合、ファイル本体のデータだけを消去することができず、フォーマットには適さないものであった。

【特許文献 1】米国特許 5,418,752

【特許文献 2】特開平 11-224492 号公報

【特許文献 3】特開平 5-274215 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

本発明は、上記の問題点を解決すべくなされたもので、その目的は、煩雑な操作を必要とすることなく、データ管理情報を除く、ユーザデータを簡単に消去することができ、メモリカードの継続使用を可能にしつつ、機密保持が容易に可能なメモリカードおよびメモリカードに搭載されるコントローラを提供することにある。

【課題を解決するための手段】

【 0 0 0 8 】

本願発明の一態様によれば、処理装置からの第 1 のコマンドを受け付ける第 1 のインターフェースと、データの消去が可能な不揮発性メモリチップに対し、前記第 1 のインターフェースにて受け付けた前記第 1 のコマンドに対応する第 2 のコマンドを出力する第 2 のインターフェースと、前記不揮発性メモリチップにおいてデータを保持可能な通常領域のうち、前記不揮発性メモリチップに含まれる複数の領域の位置情報を含む制御情報格納領域の制御情報を除き、ユーザデータを消去させるためのユーザデータイレーズコマンドを、前記第 2 のコマンドとして前記第 2 のインターフェースより出力する制御回路とを具備し、前記通常領域は、少なくとも前記制御情報格納領域、一般データ領域、及び該一般データ領域内のデータの引っ越し書き込みに使用するスペアブロックとしての代替ブロック領域を含み、前記ユーザデータイレーズコマンドによって、前記一般データ領域及び前記代替ブロック領域内のデータを含む前記ユーザデータの全てが消去されるコントローラが提供される。

【発明の効果】

【 0 0 1 0 】

上記の構成により、処理装置からの第 1 のコマンドの入力に応じて、少なくとも有効なユーザデータを消去するためのイレーズコマンドを自動的に生成できるようになる結果、煩雑な操作を必要とすることなく、データ管理情報を除く、ユーザデータを簡単に消去することができ、メモリカードの継続使用を可能にしつつ、機密保持が容易に可能なメモリカードおよびメモリカードに搭載されるコントローラを提供できる。

【発明を実施するための最良の形態】

【 0 0 1 1 】

以下、本発明の実施の形態について図面を参照して説明する。

【 0 0 1 2 】

[第 1 の実施形態]

図 1 は、この発明の第 1 の実施形態にしたがった、メモリカードとその処理装置とを示すものである。なお、ここでは、メモリカードが S D (S e c u r e D i g i t a l) メモリカードであり、処理装置がデジタルカメラである場合を例に説明する。

10

20

30

40

50

【0013】

ホスト機器であるデジタルカメラ100のボディ101には、SDメモリカード200が装着されるスロット103が設けられている。また、上記ボディ101内には、ホスト側コントローラ105が設けられている。

【0014】

ホスト側コントローラ105は、装着されるSDメモリカード200にアクセスするための機能を備えている。つまり、ホスト側コントローラ105は、上記SDメモリカード200に対するユーザデータ（この例の場合、デジタル画像）の書き込みおよび読み出しを制御する。また、ホスト側コントローラ105は、たとえばSDメモリカード200をフォーマットする際に、SDメモリカード200に対して、ユーザデータ消去コマンド（第1のコマンド）を発行する。このユーザデータ消去コマンドは、たとえば、ユーザデータをファイル本体のデータとした場合のファイル管理情報の初期化とともに、すべてのユーザデータを完全に消去するためのシリアルな信号である。なお、ホスト側コントローラ105は、デジタル画像を撮影したり表示したりするための機能を備えていてもよいし、ホスト側コントローラ105とは異なるチップのプロセッサでそのような処理をするようにしてもよい。

10

【0015】

図2は、上記したSDメモリカード200の基本構成を示すものである。なお、ここでは、フラッシュメモリが、1つのNAND型フラッシュメモリ（第1のNAND型フラッシュメモリ）からなる場合について説明する。

20

【0016】

SDメモリカード200は、デジタルカメラ100のスロット103に装着されることにより電源の供給を受けて動作し、ホスト側コントローラ105からのアクセスに応じた処理を行う。すなわち、SDメモリカード200は、PCB（Printed Circuit Board）基板上に実装された、NAND型フラッシュメモリ210およびカード側コントローラ220を有している。

【0017】

NAND型フラッシュメモリ210は、たとえば、通常の消去がブロック（複数ページ）単位で行われる不揮発性の半導体メモリである。また、このNAND型フラッシュメモリ210は、たとえば、ページと称する単位で、データの書き込みおよび読み出しが行われるようになっている。そして、本実施形態のNAND型フラッシュメモリ210はユーザデータイレーズという機能を備えており、すべてのユーザデータ（たとえば、ユーザデータをファイル本体のデータとした場合のファイル管理情報を含む）を完全に消去することが可能となっている。なお、NAND型フラッシュメモリ210の詳細については後述する。

30

【0018】

カード側コントローラ220は、NAND型フラッシュメモリ210内の物理状態を管理するものとして構築されている。たとえば、論理ブロックアドレスと物理ブロックアドレスとの対応を示す論理変換テーブルや、各物理ブロックが既にある論理ブロックに割り当てられているかを示すテーブルを保持する。このカード側コントローラ220には、制御回路となるCPU（Central Processing Unit）221、第2のインターフェースであるフラッシュメモリインターフェース（I/F）222、第1のインターフェースであるホストインターフェース（I/F）223、バッファRAM（Random Access Memory）224、および、レジスタとしてのSRAM（Static RAM）225が搭載されている。

40

【0019】

フラッシュメモリインターフェース222は、カード側コントローラ220とNAND型フラッシュメモリ210との間のインターフェース処理を行うものである。フラッシュメモリインターフェース222とNAND型フラッシュメモリ210とは、各種の信号線（たとえば、電源Vdd、グランドVss、I/O、Ready・/Busy、コマンドラッチ

50

イネーブル C L E、アドレスラッチャイネーブル A L E、チップイネーブル / C E、リードイネーブル / R E、および、ライトイネーブル / W Eなど)で接続されている。また、フラッシュメモリインタフェース 222 には、ECC (Error Checking & Correction Code) 回路 226 が設けられている。なお、信号名の前にスラッシュ (/) が付されているのは、その信号がローアクティブであることを示す。たとえば、チップイネーブル / C E はローレベルの際にNAND型フラッシュメモリをイネーブルにする。

【0020】

ホストインタフェース 223 は、カード側コントローラ 220 とホスト側コントローラ 105 との間のインタフェース処理を行うものである。ホストインタフェース 223 は、後述する複数の信号ピンを介して、各種の信号(たとえば、電源 Vdd、グランド Vss、データ、カード検出、クロック、および、コマンドなど)を入力または出力するようになっている。

【0021】

バッファ RAM 224 は、ホスト側コントローラ 105 から送られてくるデータをNAND型フラッシュメモリ 210 へ書き込む際に、一定量のデータ(たとえば、8ページ分)を一時的に記憶したり、NAND型フラッシュメモリ 210 から読み出されるデータをホスト側コントローラ 105 へ送り出す際に、一定量のデータを一時的に記憶したりするものである。また、バッファ RAM 224 は、CPU 221 の作業エリアとしても使用される。

【0022】

CPU 221 は、SDメモリカード 200 の全体的な動作を司るものである。CPU 221 は、たとえば、SDメモリカード 200 が電源供給を受けた際に、NAND型フラッシュメモリ 210 内に格納されているファームウェア (CPU を制御するためのプログラム) をSRAM 225 上にロードして所定の処理を実行することにより、各種のテーブルをバッファ RAM 224 上に作成したり、ホスト側コントローラ 105 からの書き込みコマンド、読み出しコマンド、通常の消去コマンドを受けてNAND型フラッシュメモリ 210 上の所定の処理を実行したり、バッファ RAM 224 を介したデータ転送処理を制御したりする。

【0023】

なお、ファームウェアの全体、あるいは、一部をNAND型フラッシュメモリからSRAM にロードせず、コントローラ内に設けたROMに格納しておき、このROM上のプログラムを実行するようにすることも可能である。

【0024】

また、ホスト側コントローラ 105 からのユーザデータ消去コマンドを受けた場合、CPU 221 は、たとえば、NAND型フラッシュメモリ 210 に格納されている、ユーザデータをファイル本体のデータとした場合のファイル管理情報を含む、すべてのユーザデータの消去を可能にするためのユーザデータイレーズコマンド(第2のコマンド)を生成し、フラッシュメモリインタフェース 222 よりNAND型フラッシュメモリ 210 に出力する。

【0025】

SRAM 225 は、CPU 221 により制御される制御プログラムや初期値などを格納するためのメモリである。

【0026】

ECC 回路 226 は、NAND型フラッシュメモリ 210 に書き込むデータ、および、NAND型フラッシュメモリ 210 から読み出したデータに対し、誤り訂正処理を施すものである。

【0027】

図3は、上記NAND型フラッシュメモリ 210 の構成を示すものである。たとえば、NAND型フラッシュメモリ 210 内のメモリセルアレイ(メモリ領域) 210a は、一

10

20

30

40

50

般に、ROM (Read Only Memory) 領域 210b と通常領域 210c とに分けられる。ROM 領域 210b は、NAND 型フラッシュメモリ 210 を制御するのに必要な情報（たとえば、データのプログラミングや消去に利用する高電圧のトリミングに関する情報、リダンダンシ処理のためのアドレス情報および NAND 型フラッシュメモリ 自体の制御プログラムなど）を記憶するための、ユーザおよびカード側コントローラ 220 が利用できない領域（非ユーザデータ領域）である。通常領域 210c は、ユーザおよびカード側コントローラ 220 が利用可能なメモリ空間である。

【0028】

上記通常領域 210c は、たとえば、制御情報格納領域（非ユーザデータ領域）210d とユーザデータ領域 210e とに分けられる。制御情報格納領域 210d は、機密データ領域 210g および管理データ領域 210h を含んでいる。機密データ領域 210g は機密データを格納するための領域であり、この領域 210g には、たとえば、暗号化に用いる鍵情報や認証時に使用するカード固有の機密データ（SDメモリカード 200 のセキュリティ情報やメディアIDなど）が保存されている。管理データ領域 210h は、主に SDメモリカード 200 に関する管理情報を格納するための領域であり、この領域 210h には、たとえば、ファームウェア、ファームウェアを制御するための初期値データ、レジスタの初期値データ、NAND 型フラッシュメモリ 210 の各領域の位置情報など（あるいはその一部）が格納されている。

【0029】

ユーザデータ領域 210e は、この SDメモリカード 200 を使用するユーザが自由にアクセスおよび利用することが可能な、ユーザデータ（この例の場合、デジタル画像をファイル本体のデータとした場合のファイル管理情報を含む）を格納するための領域であり、たとえば、保護データ領域 210f と一般データ領域 210i と代替ブロック領域 210j とを備えている。保護データ領域 210f は重要なデータを格納するための領域であり、たとえば、SDメモリカード 200 が装着されるデジタルカメラ 100 との相互認証により、デジタルカメラ 100 の正当性が証明された場合にのみアクセスが可能となる領域である。代替ブロック領域 210j は、一般データ領域 210i における不良セルをブロック単位で置換（リダンダント）するための領域である。また、代替ブロック領域 210j は、フラッシュメモリ固有の引越し書き込みなどの際のスペアブロックとしても利用される。

【0030】

ここで、上記 NAND 型フラッシュメモリ 210 は、データの書き込みおよび読み出しがページ（たとえば、2112 Byte あるいは 512 Byte）という単位で行われる。また、通常の消去は、複数のページを含むブロック（たとえば、128 kBByte あるいは 16 kBByte）という単位で行われる。さらに、フォーマット時には、たとえば、ユーザデータ領域 210e の全ブロック領域のデータ、つまり、すべてのユーザデータを完全に消去することが可能となっている（所謂、ユーザデータイレーズ機能）。

【0031】

さらに、本実施形態において使用される NAND 型フラッシュメモリ 210 は、たとえば、約 90 nm（ナノメートル）の配線幅を有する。あるいは、70 nm 未満の配線幅を有するものを使用することも可能である。NAND 型フラッシュメモリ 210 の容量としては、たとえば、1 つのチップで 2 GB（ギガビット）以上のものを使用することが可能である。このような NAND 型フラッシュメモリ 210 の場合、配線材料として、たとえば Cu（銅）を含むものを使用することが可能である。

【0032】

なお、SDメモリカード 200 に搭載される NAND 型フラッシュメモリ 210 は、たとえば、FAT ファイルシステムにより管理される。

【0033】

また、上記 NAND 型フラッシュメモリ 210 としては、一つのメモリセルに 1 ビットの情報を記憶する 2 値メモリであってもよいし、一つのメモリセルに 2 ビット以上の情報

10

20

30

40

50

を記憶する多値メモリであってもよい。さらに、上記NAND型フラッシュメモリ210および上記カード側コントローラ220は、同一のLSI (Large Scale Integrated Circuit) 基板上に実装されていてもよい。

【0034】

図4は、上記したSDメモリカード200の基本構成を示すものである。SDメモリカード200は、上記ホスト側コントローラ105とのコントロール(通信)のための複数(この例の場合、ピンP1～P9の9つ)の信号ピン230を備えている。各ピンP1～P9は、ホストインターフェース223を介して、カード側コントローラ220と電気的に接続されている。

【0035】

一例として、ピンP1は、データ信号(DAT3)用およびカード検出(CD)信号用として割り当てられている。ピンP2はコマンド(CMD)用、ピンP4は電源Vdd用、ピンP5はクロック信号(CLK)用として、それぞれ割り当てられている。ピンP3およびピンP6は、グランドVss用として割り当てられている。ピンP7, P8, P9は、それぞれ、データ信号(DAT0, 1, 2)用として割り当てられている。

【0036】

図5は、上記したSDメモリカード200の、設定可能な動作モードとピンアサインとの関係を示すものである。本実施形態において、SDメモリカード200は3つの動作モード、たとえばSD4bitモード、SD1bitモード、および、SPIモードを備えている。すなわち、SDメモリカード200の動作モードは、SDモードとSPIモードとに大別される。SDモードの場合、デジタルカメラ100のホスト側コントローラ105からのバス幅変更コマンドによって、SDメモリカード200は、SD4bitモードまたはSD1bitモードに設定される。

【0037】

ここで、4つのデータ信号用のピンP1(DAT3), P7(DAT0), P8(DAT1), P9(DAT2)に着目すると、4ビット幅単位でデータ転送を行うSD4bitモードでは、4つのデータ信号用のピンP1, P7, P8, P9のすべてがデータ転送に用いられる。一方、1ビット幅単位でデータ転送を行うSD1bitモードでは、データ信号用のピンP7のみがデータ転送に使用される。データ信号用のピンP8, P9についてはまったく使用されない。また、データ信号およびカード検出用のピンP1は、たとえば、SDメモリカード200からホスト側コントローラ105への非同期割り込みなどのために使用される。

【0038】

SPIモードでは、データ信号用のピンP7が、SDメモリカード200からホスト側コントローラ105へのデータ信号線(DATA OUT)として用いられる。コマンド(CMD)用のピンP2は、ホスト側コントローラ105からSDメモリカード200へのデータ信号線(DATA IN)として用いられる。データ信号用のピンP8, P9については、まったく使用されない。

【0039】

また、SPIモードでは、データ信号およびカード検出用のピンP1は、ホスト側コントローラ105からSDメモリカード200へのチップセレクト信号(CS)の送信に用いられる。

【0040】

このような構成において、SDメモリカード200は、デジタルカメラ100のスロット103に装着されることにより、信号ピン230を介して、ホスト側コントローラ105との間の通信を行う。たとえば、SDメモリカード200のNAND型フラッシュメモリ210にデータを書き込む場合、カード側コントローラ220は、ホスト側コントローラ105からピンP5に与えられるクロック信号に同期させて、ピンP2に与えられる書き込みコマンドをシリアルな信号として取り込む。つまり、ホスト側コントローラ105からの各コマンドは、ピンP2のみを介して、カード側コントローラ220にシリアルに

10

20

30

40

50

入力される。

【0041】

ここで、NAND型フラッシュメモリ210とカード側コントローラ220との間の通信について、さらに説明する。カード側コントローラ220は、たとえば8ビットのI/O線(I/O1～I/O8)を介して、NAND型フラッシュメモリ210との間の通信を行う。たとえば、NAND型フラッシュメモリ210にデータを書き込む場合、カード側コントローラ220は、NAND型フラッシュメモリ210に対し、フラッシュメモリインターフェース222から、I/O1～I/O8を介して、データ入力コマンド(80H)、カラムアドレス、ページアドレス、データ、および、プログラムコマンド(10H)を順に入力する。

10

【0042】

ただし、上記コマンド(80H)の「H」は16進数を示すものであり、実際には、「1000000000」という8ビットの信号がI/O1～I/O8に与えられる。つまり、フラッシュメモリインターフェース222とは、複数ビットにより定義されるコマンドをパラレルに出力するものである。また、フラッシュメモリインターフェース222およびNAND型フラッシュメモリ210をつなぐI/O線は、コマンドとデータとで共有されている。

【0043】

このように、デジタルカメラ100のホスト側コントローラ105とSDメモリカード200との間の通信を行なうインターフェース(ホストインターフェース223)と、NAND型フラッシュメモリ210とカード側コントローラ220との間の通信を行なうインターフェース(フラッシュメモリインターフェース222)とは、通信の方式が異なるものとなっている。

20

【0044】

以下に、上記した構成におけるユーザデータイレイズ機能、つまり、デジタルカメラ100に装着されたSDメモリカード200の、NAND型フラッシュメモリ210に格納されているすべてのユーザデータを完全に消去する場合の方法について、いくつか説明する。

【0045】

<実施例1>

30

図6は、ユーザデータ領域210e内のすべてのユーザデータを、ブロック単位で繰返し消去する場合の方法について示すものである。

【0046】

たとえば、SDメモリカード200をフォーマットするに際して、デジタルカメラ100のホスト側コントローラ105からユーザデータ消去コマンドが出力されたとする。このユーザデータ消去コマンドは、信号ピン230を介して、SDメモリカード200内にシリアルに入力される。

【0047】

すると、SDメモリカード200のカード側コントローラ220は、ホストインターフェース223を介して、そのユーザデータ消去コマンドを取り込む。そして、CPU221による、ユーザデータイレイズコマンドの生成を行う。この生成されたユーザデータイレイズコマンドは、フラッシュメモリインターフェース222から、8ビットのI/O線を介して、NAND型フラッシュメモリ210にパラレルに出力される。

40

【0048】

この実施例1の場合、CPU221は、たとえば、管理データ領域210hに格納されている、NAND型フラッシュメモリ210の各領域の位置情報を元に、ユーザデータが格納されている各ブロック領域のアドレスを求める。そして、得たアドレスにより指定される各ブロック領域内のデータを繰り返し消去するためのユーザデータイレイズコマンド、たとえば図6に示す、アドレス入力コマンド(60H)、ブロックアドレス(B-Add)、および、消去コマンド(D0H)からなるユーザデータイレイズコマンドを、プロ

50

ックごとに自動的に生成する。つまり、この実施例 1において、ユーザデータイレーズコマンドの生成は、ユーザデータが格納されているブロック領域の数（最大で、ユーザデータ領域 210e 内の全ブロック領域の数（n））に応じて繰り返される。たとえば、消去ブロックサイズが 16 kByte の NAND 型フラッシュメモリを利用して、1024 ブロックのユーザデータ領域に対して連續して消去動作を行った場合、1.6 GByte に相当するユーザデータが消去されることになる。

【0049】

ユーザデータイレーズコマンドを入力した NAND 型フラッシュメモリ 210 は、ユーザデータ領域 210e 内のすべてのユーザデータ（上記ファイル管理情報を含む）を、ブロック単位で繰り返し消去する。すなわち、NAND 型フラッシュメモリ 210 は、たとえば図 6 に示すように、コマンドラッチャイネーブル CLE が“ハイ（H）”、アドレスラッチャイネーブル ALE が“ロウ（L）”、チップイネーブル / CE（0）が“L”、リードイネーブル / RE が“H”となっている状態で、ライトイネーブル / WE が“L”から“H”に立ち上がる際のエッジに応答して、I/O 線上のコマンド（60H）～をラッチする。そして、消去コマンド（D0H）を取り込むと、対応するブロック領域内のデータを消去するユーザデータイレーズ動作をスタートし、Ready・/ Busy（R・/ B）を“L”にする。こうして、ユーザデータ領域 210e 内のすべてのユーザデータが消去されるまで、上記の動作を繰り返す。これにより、SD メモリカード 200 のフォーマットにおいて、ファイル管理情報の消去（初期化）のみならず、ユーザデータをも簡単に消去することが可能となる。

10

20

【0050】

上記したように、デジタルカメラ 100 の簡単な操作により、ユーザデータ領域 210e 内のユーザデータをブロック単位で繰り返し消去することが可能となる。すなわち、デジタルカメラ 100 からのユーザデータ消去コマンドに応じて、すべてのユーザデータの消去を容易に可能とするためのユーザデータイレーズコマンドを自動的に生成できるようになっている。これにより、ユーザデータ領域 210e 内のすべてのユーザデータを簡単に消去することが可能となる。したがって、SD メモリカード 200 をフォーマットした後においては、たとえ第三者によるユーザデータの復元が試みられたとしても、漏洩などからユーザデータを保護できるものである。

30

【0051】

なお、テスト工程によりブロック領域内の所定の冗長部（たとえば、最初のページの冗長ビット）にあらかじめ書き込まれた、不良ブロックか否かを示す識別フラグに応じて、不良ブロック領域内のデータの消去を行わないようにした場合には、そのフラグを残すことが可能となるため、イレーズ動作後のフラグの再書き込みが不要となるといったメリットもある。

【0052】

< 実施例 2 >

図 7 は、ユーザデータ領域 210e 内のすべてのユーザデータを一括して（同時に）消去する場合の方法について示すものである。ここでは、イレーズ処理を行う範囲の指定を、ブロック単位で繰り返すようにした場合を例に説明する。

40

【0053】

たとえば、SD メモリカード 200 をフォーマットするに際して、デジタルカメラ 100 のホスト側コントローラ 105 からユーザデータ消去コマンドが出力されたとする。すると、SD メモリカード 200 のカード側コントローラ 220 は、信号ピン 230 およびホストインターフェース 223 を介して、そのユーザデータ消去コマンドをシリアルに取り込む。そして、CPU 221 による、ユーザデータイレーズコマンドの生成を行う。

【0054】

この実施例 2 の場合、CPU 221 は、たとえば、管理データ領域 210h に格納されている、NAND 型フラッシュメモリ 210 の各領域の位置情報を元に、ユーザデータが格納されている各ブロック領域のアドレスを求める。そして、得たアドレスにより指定さ

50

れる各ブロック領域内のデータを一括して消去するためのユーザデータイレーズコマンド、たとえば図7に示す、アドレス入力コマンド(60H)およびブロックアドレス(B-Add)からなるコマンドをブロック領域ごとに繰り返し生成するとともに、最後に、消去コマンド(D0H)が付加されてなるユーザデータイレーズコマンドを自動的に生成する。つまり、この実施例2においては、アドレス入力コマンド(60H)およびブロックアドレス(B-Add)からなるコマンドの生成が、ユーザデータが格納されているブロック領域の数(最大で、ユーザデータ領域210e内の全ブロック領域の数(n))に応じて繰り返される。

【0055】

CPU221により生成されたユーザデータイレーズコマンドが、フラッシュメモリインターフェース222から、8ビットのI/O線を介して、NAND型フラッシュメモリ210にパラレルに出力されることにより、NAND型フラッシュメモリ210は、ユーザデータ領域210e内のすべてのユーザデータ(上記ファイル管理情報を含む)を一括して消去する。すなわち、NAND型フラッシュメモリ210は、たとえば図7に示すように、コマンドラッチャイネーブルCLEが“ハイ(H)”、アドレスラッチャイネーブルALEが“ロウ(L)”、チップイネーブル/CE(0)が“L”、リードイネーブル/REが“H”となっている状態で、ライトイネーブル/WEが“L”から“H”に立ち上がる際のエッジに応答して、I/O線上のコマンド(60H)～を順にラッチする。こうして、I/O線上のコマンド(60H)～がすべてラッチされるまで、上記の動作を繰り返す。そして、消去コマンド(D0H)を取り込むと、対応する各ブロック領域内のデータを一括して消去するユーザデータイレーズ動作をスタートし、Ready・/Busy(R・/B)を“L”にする。

【0056】

この実施例2のような方法によっても、上述した実施例1の場合と同様に、SDメモリカード200のフォーマットにおいて、ファイル管理情報の消去(初期化)のみならず、ユーザデータをも簡単に消去することが可能である。

【0057】

また、この実施例2の場合も、ユーザデータのうち、たとえばファイル管理情報だけを消去せずに残したり、不良ブロック領域内の有効でないデータはあらかじめ消去しないようにして有効なデータだけを消去するようにするなど、汎用性が高く、効率のよいイレイズ動作を容易に可能とする。

【0058】

<実施例3>

図8は、ユーザデータ領域210e内のすべてのユーザデータを一括して消去する場合の他の方法について示すものである。ここでは、イレイズ処理を行う範囲の指定に、ブロック領域の数(ブロックサイズ)を用いるようにした場合を例に説明する。

【0059】

たとえば、SDメモリカード200をフォーマットするに際して、デジタルカメラ100のホスト側コントローラ105からユーザデータ消去コマンドが出力されたとする。すると、SDメモリカード200のカード側コントローラ220は、信号ピン230およびホストインターフェース223を介して、そのユーザデータ消去コマンドをシリアルに取り込む。そして、CPU221による、ユーザデータイレーズコマンドの生成を行う。

【0060】

この実施例3の場合、CPU221は、たとえば、管理データ領域210hに格納されている、NAND型フラッシュメモリ210の各領域の位置情報を元に、ユーザデータが格納されている先頭のブロック領域のアドレス(スタートアドレスSA)と、その先頭のブロック領域から最終のブロック領域までのブロック領域の数(ブロックサイズBS)とを求める。そして、得たスタートアドレスとブロックサイズとにより連続して指定される範囲内の各ブロック領域内のデータを一括して消去するためのユーザデータイレーズコマンド、たとえば図8に示す、サイズ入力コマンド(CM0)、ブロックサイズ(BS)、

10

20

30

40

50

アドレス入力コマンド(C M 1)、スタートアドレス(S A)、および、指定範囲消去コマンド(C M 2)からなるユーザデータイレーズコマンドを自動的に生成する。

【 0 0 6 1 】

C P U 2 2 1 により生成されたユーザデータイレーズコマンドが、フラッシュメモリインターフェース 2 2 2 から、8ビットの I / O 線を介して、N A N D 型フラッシュメモリ 2 1 0 にパラレルに出力されることにより、N A N D 型フラッシュメモリ 2 1 0 は、ユーザデータ領域 2 1 0 e 内のすべてのユーザデータ(上記ファイル管理情報を含む)を一括して消去する。すなわち、N A N D 型フラッシュメモリ 2 1 0 は、たとえば図 8 に示すように、コマンドラッチャブル C L E が“ハイ(H)”、アドレスラッチャブル A L E が“ロウ(L)”、チップイネーブル / C E (0)が“L”、リードイネーブル / R E が“H”となっている状態で、ライトイネーブル / W E が“L”から“H”に立ち上がる際のエッジに応答して、I / O 線上のコマンド(C M 0)～をラッチャする。そして、範囲指定消去コマンド(C M 2)を取り込むと、指定された範囲内の全ブロック領域内のデータを一括して消去するユーザデータイレーズ動作をスタートし、R e a d y ～ / B u s y (R ～ / B)を“L”にする。

【 0 0 6 2 】

この実施例 3 のような方法によっても、上述した実施例 1, 2 の場合と同様に、S D メモリカード 2 0 0 のフォーマットにおいて、ファイル管理情報の消去(初期化)のみならず、ユーザデータをも簡単に消去することが可能である。

【 0 0 6 3 】

なお、この実施例 3 のさらに別の方法として、ブロックサイズ(B S)の代わりに、ユーザデータが格納されている最終のブロック領域のアドレス(エンドアドレス)によって、イレーズ処理を行う範囲を指定するようにした場合にも、同様に実施することが可能である。

【 0 0 6 4 】

なお、上述した実施例 1 ～ 3 においては、1つのN A N D 型フラッシュメモリ 2 1 0 を例に、ユーザデータ領域 2 1 0 e 内のユーザデータを消去する場合の方法について説明した。これに限らず、たとえばメモリチップが、複数のN A N D 型フラッシュメモリからなる場合にも、同様に実施できる。

【 0 0 6 5 】

また、ユーザデータ領域 2 1 0 e 内のユーザデータだけを消去する場合について説明した。これに限らず、場合によっては、ユーザデータ領域 2 1 0 e のみでなく、必要に応じて、制御情報格納領域 2 1 0 d を含む、カード側コントローラ 2 2 0 が利用可能な通常領域 2 1 0 c 内のデータをすべて(または、選択的に)消去できるようにすることも容易に可能である。

【 0 0 6 6 】

また、ブロック領域のアドレスやサイズなどによって消去の範囲を指定することなく、特定のコマンドを自動的に生成することにより、ユーザデータ領域 2 1 0 e 内の全ブロック領域を消去の範囲としてイレーズ動作を行うことも可能である。

【 0 0 6 7 】

さらに、ユーザデータの消去はフォーマット時に限らず、必要に応じて実施できることは勿論である。

【 0 0 6 8 】

[第 2 の 実 施 形 態]

図 9 は、この発明の第 2 の実施形態にしたがった、N A N D 型フラッシュメモリの他の構成例を示すものである。なお、ここでは、図 2 に示した構成において、メモリチップが、複数(この例の場合、4つ)のN A N D 型フラッシュメモリからなる場合について説明する。また、N A N D 型フラッシュメモリが備えるチップイレーズという機能(たとえば、特開平 5 - 2 7 4 2 1 5 号公報参照)を利用して、ユーザデータを消去するようにした場合を例に説明する。

10

20

30

40

50

【0069】

すなわち、NAND型フラッシュメモリ210は、4つのNAND型フラッシュメモリチップ(NAND Flash 0~3)211, 212, 213, 214を含んでいる。4つのNAND型フラッシュメモリチップ211~214には、それぞれ、チップイネーブル/CE0~/CE3が独立に与えられている。これに対し、電源Vdd、グランドVss、I/O、Ready~/Busy、コマンドラッチャイネーブルCLE、アドレスラッチャイネーブルALE、リードイネーブル/RE、および、ライトイネーブル/WEなどの信号線は、4つのNAND型フラッシュメモリチップ211~214によって共有されている。なお、図9では、電源Vdd、グランドVss、I/O、Ready~/Busy、コマンドラッチャイネーブルCLE、アドレスラッチャイネーブルALE、リードイネーブル/RE、および、ライトイネーブル/WEなどの信号線を、便宜上、1本の信号線として示している。10

【0070】

本実施形態の場合、NAND型フラッシュメモリチップ(第1のNAND型フラッシュメモリチップ)211は、たとえば図10(a)に示すように、そのメモリ領域210aが、ROM領域210bと、制御情報格納領域(非ユーザデータ領域)210dおよびユーザデータ領域210eからなる通常領域210cと、に分けられている。一方、NAND型フラッシュメモリチップ(第2のNAND型フラッシュメモリチップ)212~214は、たとえば図10(b)に示すように、そのメモリ領域210aのすべてがユーザデータ領域210eとして割り当てられている。20

【0071】

図11は、上記した構成において、NAND型フラッシュメモリ210内のユーザデータを一括して消去する場合の方法について示すものである。なお、チップイレーズという機能は、本来、カード側コントローラ220からのチップイレーズコマンドに応じて、カード側コントローラ220が利用可能な、通常領域210c内のデータをすべて消去するものである。

【0072】

たとえば、SDメモリカード200をフォーマットするに際して、デジタルカメラ100のホスト側コントローラ105からユーザデータ消去コマンドが出力されたとする。すると、SDメモリカード200のカード側コントローラ220は、信号ピン230およびホストインターフェース223を介して、そのユーザデータ消去コマンドをシリアルに取り込む。そして、CPU221による、チップイレーズコマンドの生成を行う。30

【0073】

この例の場合、CPU221は、たとえば、NAND型フラッシュメモリチップ211~214の、通常領域210c内のすべてのデータを一括して消去するためのチップイレーズコマンド、たとえば図11に示す、コマンド(30H)の繰り返しからなるチップイレーズコマンド(30H-30H)を自動的に生成する。そして、生成したチップイレーズコマンド(30H-30H)を、フラッシュメモリインターフェース222から、8ビットのI/O線を介して、NAND型フラッシュメモリチップ211を除く、NAND型フラッシュメモリチップ212~214にパラレルに出力する。40

【0074】

これにより、NAND型フラッシュメモリチップ212~214は、たとえば図11に示すように、コマンドラッチャイネーブルCLEが“ハイ(H)”、アドレスラッチャイネーブルALEが“ロウ(L)”、チップイネーブル/CE1~/CE3が“L”、リードイネーブル/REが“H”となっている状態で、ライトイネーブル/WEが“L”から“H”に立ち上がる際のエッジに応答して、I/O線上のコマンド(30H)をラッチする。そして、2つ目のコマンド(30H)を取り込むと、NAND型フラッシュメモリチップ212~214は、通常領域210cに相当する、ユーザデータ領域210eの全ブロック領域内のユーザデータを一括して消去するチップイレーズ動作をスタートし、Ready~/Busy(R~/B)を“L”にする。50

【0075】

一方、NAND型フラッシュメモリチップ211は、たとえば図11に示すように、チップイネーブル/CE0が“H”となっている。そのため、NAND型フラッシュメモリチップ211は、チップイレーズコマンド(30H-30H)を取り込まない。つまり、NAND型フラッシュメモリチップ211に対応するチップイネーブル/CE0を“H”的まとすることにより、NAND型フラッシュメモリチップ211でのチップイレーズコマンド(30H-30H)の取り込みを禁止する。その結果、NAND型フラッシュメモリチップ211を除く、NAND型フラッシュメモリチップ212～214においてのみ、チップイレーズ動作が行われる。

【0076】

10

この実施形態によれば、SDメモリカード200のフォーマットに際して、NAND型フラッシュメモリチップ211の制御情報格納領域210d内に格納されている、機密データ(機密データ領域210g)、および、カード情報(管理データ領域210h)などを喪失することなしに、NAND型フラッシュメモリチップ212～214のユーザデータ領域210e内に格納されている、ユーザデータ(ファイル管理情報を含む)だけを簡単に消去することが可能である。

【0077】

ただし、NAND型フラッシュメモリチップ211のユーザデータ領域210e内に格納されているユーザデータは消去されずに残るので、重要なユーザデータは、NAND型フラッシュメモリチップ212～214に格納するようにする。こうすることによって、セキュリティ上の問題も解決できる。

20

【0078】

このように、ファームウェアなどを格納するNAND型フラッシュメモリチップ211以外の、ユーザデータのみを格納するNAND型フラッシュメモリチップ212～214に対してのみ、チップイレーズコマンドを与えるようにすることで、ファームウェアなどのCPU221の制御に必要なデータはそのままに、ユーザデータだけを消去できるようになる。すなわち、このチップイレーズという機能を利用することによっても、デジタルカメラ100の簡単な操作により、NAND型フラッシュメモリチップ212～214におけるユーザデータの消去が容易に可能である。

【0079】

30

なお、ファームウェアなどの必要なデータを含め、NAND型フラッシュメモリチップ211～214におけるユーザデータの消去を行う場合には、チップイレーズコマンドの出力時に、対応するチップイネーブル/CE0～/CE3をすべて“L”にすればよい。

【0080】

また、チップイレーズコマンドは、4つのNAND型フラッシュメモリチップ211～214に同時に与えることも、順番を決めて与えることも可能であるし、4つのNAND型フラッシュメモリチップ211～214に対して選択的に与えることも容易に可能である。

【0081】

40

また、ファームウェアなどを格納するNAND型フラッシュメモリチップ211と、ユーザデータのみを格納するNAND型フラッシュメモリチップ212～214とを備える構成においては、たとえば、NAND型フラッシュメモリチップ212～214に対してはチップイレーズコマンドを、NAND型フラッシュメモリチップ211に対しては、上述の実施例1～3に示したユーザデータイレーズコマンドを、それぞれ与えることも可能である。この場合、NAND型フラッシュメモリチップ211～214にそれぞれ格納されているすべてのユーザデータを完全に、かつ、効率よく消去することが可能となる。

【0082】

このような構成とした場合においても、上述した第1の実施形態の場合と同様に、SDメモリカード200のフォーマットにおいて、ファイル管理情報の消去(初期化)のみならず、ユーザデータをも簡単に消去することが可能である。

50

【 0 0 8 3 】

また、ユーザデータの消去はフォーマット時に限らず、必要に応じて実施できることは勿論である。

【 0 0 8 4 】

また、SDメモリカード200を利用可能なホスト機器（処理装置）としては、上述のデジタルカメラに限らず、たとえば図12に示すように、カメラ付きの携帯電話110であってもよい。

【 0 0 8 5 】

携帯電話110のボディ111には、SDメモリカード200が装着されるスロット113が設けられている。また、上記ボディ111内には、ホスト側コントローラ115が設けられている。ホスト側コントローラ115は、装着されるSDメモリカード200にアクセスするための機能を備え、上記SDメモリカード200に対するユーザデータ（この例の場合、デジタル画像や電話番号などの個人情報）の書き込みおよび読み出しを制御する。また、ホスト側コントローラ115は、たとえばSDメモリカード200をフォーマットする際に、SDメモリカード200に対して、ユーザデータ消去コマンド（第1のコマンド）を発行する。

【 0 0 8 6 】

これに対し、SDメモリカード200は、たとえば第1および第2の実施形態に示したように、ユーザデータイレーズコマンドまたはチップイレーズコマンドを自動的に生成し、少なくとも有効なユーザデータの消去を実行する。

【 0 0 8 7 】

すなわち、SDメモリカード200を利用する携帯電話110においては、たとえば第1および第2の実施形態の場合と同様に、携帯電話110に対するユーザによる直接の簡単な操作に応じて、SDメモリカード200に格納されているユーザデータを容易に消去することが可能となる。これにより、個人情報などのユーザデータの流出を未然に防止でき、機密保持が容易に可能となるものである。

【 0 0 8 8 】

なお、この携帯電話110の場合、携帯電話110に対するユーザによる直接の操作によらず、たとえば、通信機能を利用した遠隔操作により、ユーザデータの消去を行うことも可能である。たとえば、SDメモリカード200が装着されたままの状態でユーザが携帯電話110を紛失などした場合、その携帯電話110に対して送出される、ユーザから連絡を受けた通信事業者からの特定の信号を受信することにより、ホスト側コントローラ115からSDメモリカード200に、ユーザデータ消去コマンドが発行されるようすればよい。

【 0 0 8 9 】

このように、ユーザデータの消去はフォーマット時に限らず、必要に応じて実施できることは勿論である。

【 0 0 9 0 】

また、ホスト機器（処理装置）の実施形態としては、デジタルカメラや携帯電話に限らず、たとえば、PC（パーソナルコンピュータ）またはカード用のリーダ／ライタであってもよい。

【 0 0 9 1 】

いずれの実施形態においても、効率よくユーザデータ領域のデータを消去するために、非セキュアな一般データ領域のデータとセキュアな保護データ領域のデータとを一括消去する例を示した。しかし、別の実施形態としては、セキュアな領域のデータを消去する場合、属性情報（CSD）などにもとづいて、セキュアな領域へのアクセスが可能なホスト機器からのアクセスが可能な状態でのみ、ユーザデータ消去コマンドを受け付けるようになることも考えられる。これにより、本来は、セキュアな領域にアクセスできないホスト機器によって、セキュアな領域のデータが消去されるのを防ぐことが可能となる。なお、この場合、一般データ領域のデータを消去するコマンドと保護データ領域のデータを消去

10

20

30

40

50

するコマンドとを、それぞれ別のコマンドにすることも考えられる。

【0092】

カードに格納されたユーザデータの漏洩を防止するためには、ホスト機器からの1つのコマンドに応答して、できる限り多くのユーザデータを消去するのが一つの方法である。たとえば、ホスト機器からの1つのコマンドに応答して、カードがすべてのユーザデータを消去するのではなく、カードが少なくともNAND型フラッシュメモリの50消去ブロック以上のユーザデータを消去するようにすることも可能である。なお、ユーザデータが誤って一括消去されるのを防止するため、ホスト側コントローラが少なくとも2回以上、繰り返しカードに対してユーザデータ消去コマンドを送出するようにしてもよい。

【0093】

10

また、上述した各実施形態において、ユーザデータの消去に要する時間を、ユーザに知らしめるようにしてもよい。一般に、ユーザデータの消去に要する時間は、使用するNAND型フラッシュメモリ210の特性、ユーザデータ領域210eのサイズ、カード側コントローラ220が採用する消去の方式などによってさまざまである。そこで、目安となる時間を、たとえば属性情報(CSD)として、あらかじめNAND型フラッシュメモリ210内に格納しておくことにより、ユーザデータの消去に要する時間を容易に通知することが可能となる。

【0094】

さらに、本願発明は、SDメモリカードのみに限定されるものではない。

【0095】

20

その他、本願発明は、上記(各)実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記(各)実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各)実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題(の少なくとも1つ)が解決でき、発明の効果の欄で述べられている効果(の少なくとも1つ)が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0096】

30

【図1】本発明の第1の実施形態にしたがった、デジタルカメラとSDメモリカードとを例に示す構成図。

【図2】図1に示したSDメモリカードの構成例を示すブロック図。

【図3】SDメモリカードにおける、NAND型フラッシュメモリの構成例を示す図。

【図4】SDメモリカードの基本構成を示す図。

【図5】SDメモリカードの設定可能な動作モードとピンアサインとの関係を示す図。

【図6】実施例1にかかる、イレーズ動作を説明するために示すタイミングチャート。

【図7】実施例2にかかる、イレーズ動作を説明するために示すタイミングチャート。

【図8】実施例3にかかる、イレーズ動作を説明するために示すタイミングチャート。

【図9】本発明の第2の実施形態にしたがった、NAND型フラッシュメモリの他の構成例を示すブロック図。

40

【図10】図9のNAND型フラッシュメモリの、各メモリチップの構成例を示す図。

【図11】第2の実施形態にかかる、イレーズ動作を説明するために示すタイミングチャート。

【図12】携帯電話とSDメモリカードとを例に示す構成図。

【符号の説明】

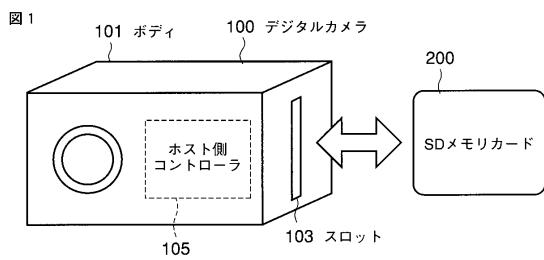
【0097】

100...デジタルカメラ、105...ホスト側コントローラ、110...携帯電話、115...ホスト側コントローラ、200...SDメモリカード、210...NAND型フラッシュメモリ、210a...メモリ領域、210b...ROM領域、210c...通常領域、210d...

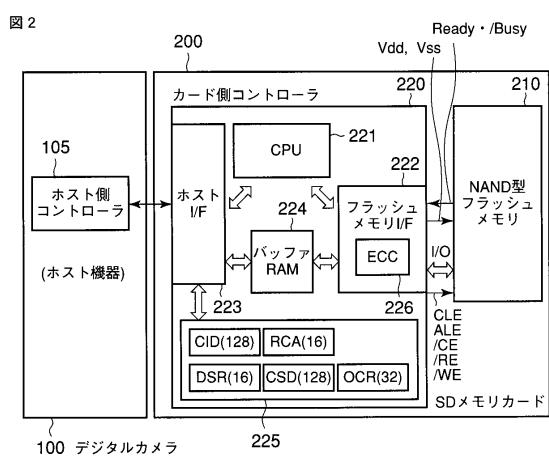
50

制御情報格納領域、210e...ユーザデータ領域、211, 212, 213, 214...NAND型フラッシュメモリチップ、220...カード側コントローラ、221...CPU、222...フラッシュメモリインターフェース、223...ホストインターフェース、230...信号ピン。

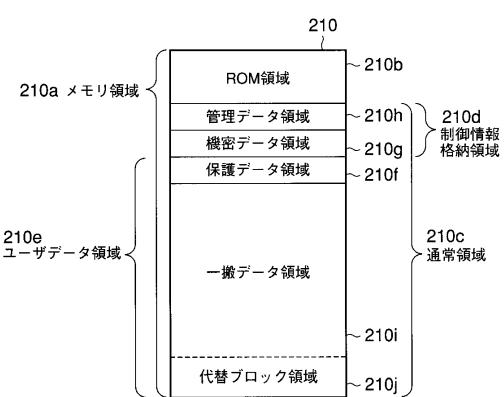
【図1】



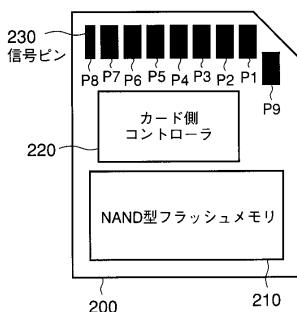
【図2】



【図3】



【図4】

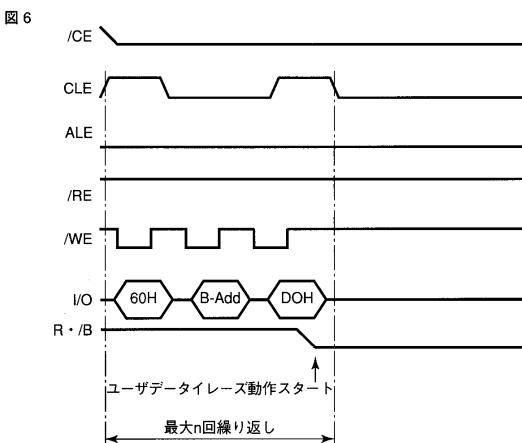


【図5】

図5

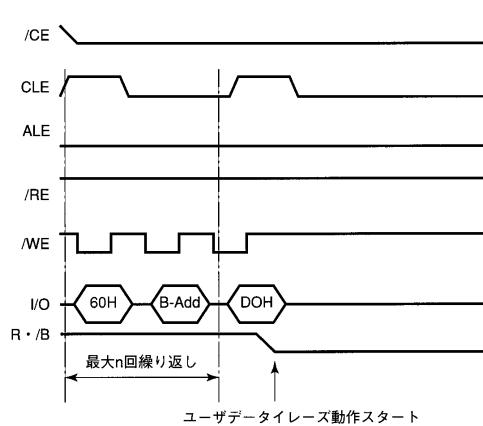
動作モード	ピン名	内容
SDモード 4bit	DAT3 DAT2 DAT1 DAT0 CMD CLK	CD/DATA DATA DATA DATA コマンド/レスポンス クロック
SDモード 1bit	DAT3 DAT2 DAT1 DAT0 CMD CLK	予約 非使用 非使用 DATA コマンド/レスポンス クロック
SPIモード	DAT3 DAT2 DAT1 DAT0 CMD CLK	チップセレクトCS 非使用 非使用 DATA OUT DATA IN クロック

【図6】



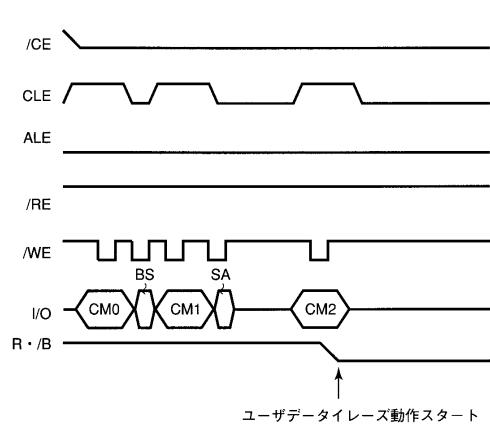
【図7】

図7

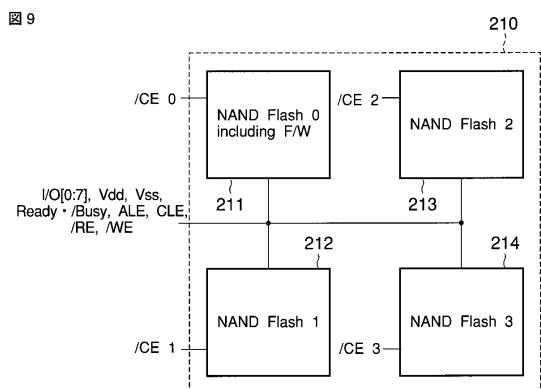


【図8】

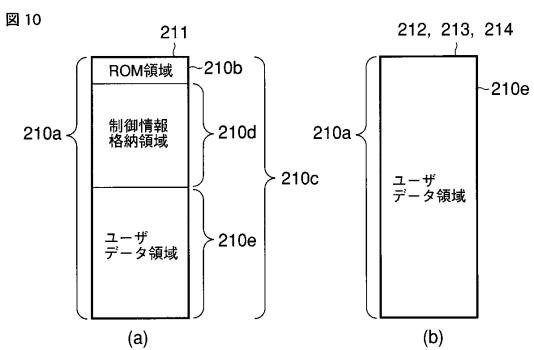
図8



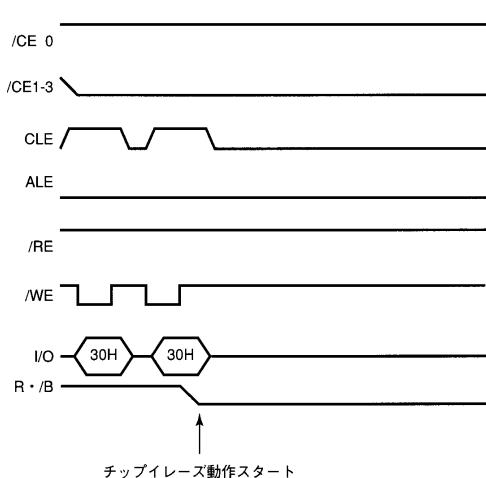
【図 9】



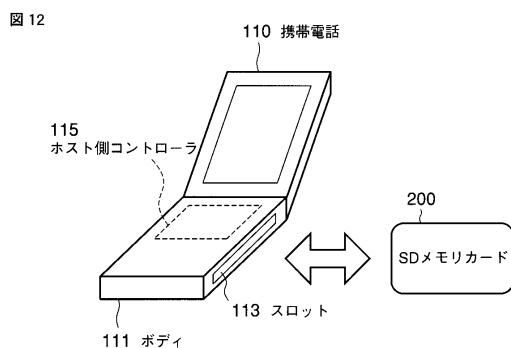
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.CI.

F I

G 0 6 F 3/08

C

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100101812
弁理士 勝村 紘

(74)代理人 100092196
弁理士 橋本 良郎

(74)代理人 100100952
弁理士 風間 鉄也

(74)代理人 100070437
弁理士 河井 将次

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(74)代理人 100127144
弁理士 市原 卓三

(74)代理人 100141933
弁理士 山下 元

(72)発明者 伊藤 隆文
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 坂本 広幸
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 藤本 曜久
東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

(72)発明者 初見 通仁
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 市川 武宜

(56)参考文献 特開2004-54904 (JP, A)
特開平7-98991 (JP, A)
特開2000-66949 (JP, A)
特開平11-53248 (JP, A)

特開2000-195279 (JP, A)
特開2003-233994 (JP, A)
特開2002-342164 (JP, A)
特開2004-126909 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 06 F	21 / 24
G 06 F	3 / 08
G 06 F	12 / 00
G 06 K	19 / 07
G 06 K	19 / 073