



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0147990

(43) 공개일자 2014년12월31일

(51) 국제특허분류(Int. Cl.)

G06F 1/06 (2006.01)

(21) 출원번호 10-2013-0071283

(22) 출원일자 2013년06월21일

심사청구일자 2013년06월21일

(71) 출원인

부경대학교 산학협력단

부산광역시 남구 신선로 365 (용당동, 부경대학교)

(72) 발명자

최영식

부산 부산진구 백양대로300번길 20, 210동 303호 (개금동, 신개금엘지아파트)

남정훈

부산 남구 동명로146번길 112-1, (용호동)

(74) 대리인

특허법인이상

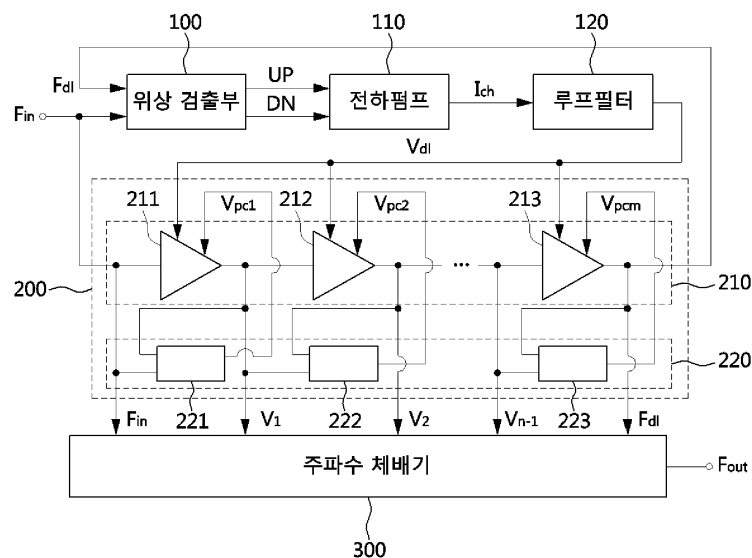
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 지연 고정 루프를 이용하는 클럭 발생기

(57) 요약

지연 고정 루프를 이용하는 클럭 발생기가 개시된다. 클럭 발생기의 지연 고정 루프에는 위상지연을 수행하고, 지터 성분에 의한 위상의 변경을 상쇄하기 위한 전압제어 지연단이 구비된다. 전압제어 지연단은 입력신호에 대한 지연동작을 수행하며, 지연동작은 루프필터의 출력신호 및 각각의 지연 스테이지에서 발생하는 위상변화신호의 변동을 통해 수행된다. 위상변화신호는 지연 스테이지의 입력신호와 출력신호에서의 위상의 변화가 특정의 레벨을 가진 전압의 형태로 변환된 것이며, 이를 통해 지연기에서 발생하는 지터 성분 등은 빠르게 제거된다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 C-D-2012-0381

부처명 지식경제부

연구관리전문기관 한국전자통신연구원

연구사업명 시스템반도체 설계인력양성

연구과제명 Analog IC 설계 : PLL/PMIC

기 여 율 1/1

주관기관 한국전자통신연구원

연구기간 2013.01.01 ~ 2013.11.30

특허청구의 범위

청구항 1

입력신호 및 지연출력신호를 비교하여 위상차를 검출하여 업-신호 또는 다운-신호를 형성하기 위한 위상검출부;
 상기 위상검출부의 상기 업-신호 또는 상기 다운-신호에 따른 충방전 전류를 형성하기 위한 전하펌프;
 상기 전하펌프의 충방전 전류에 따른 지연제어신호를 형성하기 위한 루프필터;
 상기 지연제어신호에 상응하여 상기 입력신호에 대한 지연동작을 통해 상기 지연출력신호를 생성하고, 위상변화신호를 통해 지연동작에서 발생하는 지터 또는 노이즈 성분에 따른 위상변화를 보정하는 전압제어 지연단; 및
 상기 전압제어 지연단의 각 스테이지마다 지연되는 신호들을 수신하여 펄스 신호를 형성하고, 이를 합성하여 출력신호를 형성하는 주파수 체배기를 가지는 클럭 발생기.

청구항 2

제1항에 있어서, 상기 전압제어 지연단은,
 상기 지연제어신호 또는 상기 위상변화신호를 수신하여 상기 입력신호에 대한 지연동작을 수행하기 위해 복수개의 지연기들을 가지는 지연부;
 상기 지연기의 입력신호와 출력신호를 수신하고, 위상차에 비례하는 상기 위상변화신호를 생성하기 위한 위상전압 변환부를 포함하는 것을 특징으로 하는 클럭 발생기.

청구항 3

제2항에 있어서, 상기 위상전압 변환부는 복수개의 위상전압 변환기를 가지고, 상기 각각의 위상전압 변환기는 이에 상응하는 상기 지연기의 입력신호와 출력신호를 수신하고,
 상기 지연기의 입력신호와 출력신호의 위상차가 증가하는 경우, 상기 위상변화신호의 레벨을 상승시키며,
 상기 지연기의 입력신호와 출력신호의 위상차가 감소하는 경우, 상기 위상변화신호의 레벨을 하강시키는 것을 특징으로 하는 클럭 발생기.

청구항 4

제3항에 있어서, 상기 위상전압 변환기는,
 충방전 동작을 통해 상기 위상변화신호를 생성하기 위한 전압변환부; 및
 상기 지연기의 입력신호와 출력신호에 대한 논리 연산을 통해 제1 스위칭 제어신호, 제2 스위칭 제어신호 및 게이트 제어신호를 생성하여 상기 전압변환부의 충방전 동작을 제어하기 위한 제어신호 생성부를 포함하는 것을 특징으로 하는 클럭 발생기.

청구항 5

제4항에 있어서, 상기 전압 변환부는,
 상기 제어신호 생성부는,
 상기 지연기의 입력신호와 출력신호에 대한 논리곱 연산을 수행하여, 상기 게이트 제어신호를 생성하는 제1 엔드 게이트;
 상기 게이트 제어신호를 수신하고, 제1 지연회로를 통해 상기 게이트 제어신호가 반전되고 지연된 신호와 논리곱 연산을 수행하여 상기 제1 스위칭 제어신호를 생성하는 제2 엔드 게이트; 및
 상기 제1 지연회로를 거친 신호가 반전된 신호 및 이를 제2 지연회로를 통해 지연하고 반전한 신호에 대한 논리곱 연산을 수행하여 상기 제2 스위칭 제어신호를 생성하는 제3 엔드 게이트를 포함하는 것을 특징으로 하는 클럭 발생기.

청구항 6

제5항에 있어서, 상기 전압변환부는,

상기 지연기의 입력신호와 출력신호 중 어느 하나가 로우레벨 상태인 경우 충전동작을 수행하여 상기 위상변화 신호의 레벨을 상승시키는 것을 특징으로 하는 클럭 발생기.

청구항 7

제2항에 있어서, 상기 주파수 체배기는,

상기 각각의 지연기의 입력신호 또는 출력신호의 에지를 검출하고, 이를 펄스 신호로 변환하기 위한 에지 검출부; 및

상기 펄스 신호를 수신하고 온/오프 동작에 따라 상기 펄스 신호의 시차에 상응하는 출력신호를 생성하기 위한 펄스신호 합성부를 포함하는 것을 특징으로 하는 클럭 발생기.

청구항 8

제1항에 있어서, 상기 전압제어 지연단은,

상기 지연제어신호 또는 상기 위상변화신호를 수신하여 상기 입력신호에 대한 지연동작을 수행하기 위해 복수개의 지연기들을 가지는 지연부;

상기 지연기의 입력신호와 출력신호를 수신하고, 위상차에 비례하는 신호를 생성하기 위한 복수개의 위상전압 변환기들을 가지는 위상전압 변환부; 및

서로 인접한 상기 위상전압 변환기들의 출력에 대한 평균연산을 수행하여 상기 위상변화신호를 생성하기 위한 복수개의 평균값 검출기를 가지는 평균값 검출부를 포함하는 것을 특징으로 하는 클럭 발생기.

명세서

기술분야

[0001] 본 발명은 지연 고정 루프를 이용하는 클럭 발생기에 관한 것으로, 더욱 상세하게는 지터 성분이 제거되거나 저감된 클럭 발생기에 관한 것이다.

배경기술

[0002] 최근, 컴퓨터 등의 시스템의 동작속도가 증가함에 따라, 안정적인 동작을 유지하기 위한 클럭 발생기가 요구되고 있다. 특히, 통신 시스템과 중앙처리장치, 메모리 등과 같은 전자 시스템에서 클럭 발생기는 매우 중요한 요소이다. 고속 프로세싱의 경우, 디지털 회로의 동작 속도와 일치하는 높은 주파수의 클럭 신호가 요구된다.

[0003] 그러나, 실리콘 기반의 반도체 제조공정을 통해 형성되는 칩들 사이의 인터페이스를 통해서 노이즈나 지터 성분이 제거된 클럭 신호를 생성하는 것은 매우 어려우며, 외부로부터 클럭 신호를 수신하여 칩 내부에서 이를 처리하는 회로가 요구된다. 통상적으로 이러한 내부 클럭의 발생기로서 위상 고정 루프(Phase-Locked Loop)가 많이 이용된다.

[0004] 통상적인 위상 고정 루프는 VCO(Voltage Controlled Oscillator)를 이용하는 페루프 피드백 구조를 가진다. 이는 고차 시스템이 되므로 설계가 어려우며 안정적인 동작 시에도 온도 등의 외부 변수에 의해 루프의 대역폭이 변경되는 문제가 있다. 또한, 고정 시간(Lock-in time)이 느리며, VCO 등에서 지터 성분이 축적되는 단점이 있다.

[0005] 따라서, 지연 고정 루프 자체에서 지터 또는 노이즈 성분에 의한 위상의 변화를 감지하고, 이를 제거하여 안정적인 고정 상태를 확보하여 노이즈 또는 지터 성분이 제거된 클럭 발생기가 요청된다 할 것이다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 기술적 과제는 내부에서 발생하는 지터 성분 등을 감지하고 이를 보상하는 지연 고정

루프를 이용하는 클럭 발생기를 제공하는데 있다.

과제의 해결 수단

[0007]

상술한 과제를 달성하기 위한 본 발명은, 입력신호 및 지연출력신호를 비교하여 위상차를 검출하여 업-신호 또는 다운-신호를 형성하기 위한 위상검출부; 상기 위상검출부의 상기 업-신호 또는 상기 다운-신호에 따른 충방전 전류를 형성하기 위한 전하펌프; 상기 전하펌프의 충방전 전류에 따른 지연제어신호를 형성하기 위한 루프필터; 상기 지연제어신호에 상응하여 상기 입력신호에 대한 지연동작을 통해 상기 지연출력신호를 생성하고, 위상변화신호를 통해 지연동작에서 발생하는 지터 또는 노이즈 성분에 따른 위상변화를 보정하는 전압제어 지연단; 및 상기 전압제어 지연단의 각 스테이지마다 지연되는 신호들을 수신하여 펄스 신호를 형성하고, 이를 합성하여 출력신호를 형성하는 주파수 체배기를 가지는 클럭 발생기를 제공한다.

발명의 효과

[0008]

상술한 본 발명에 따르면, 클럭 발생기는 전압제어 지연단을 가지고, 위상변화 전압변환부에서 지연기에서 발생하는 지터 등에 기인한 위상의 변화를 보정한다. 이는 클럭 발생기의 동작시 지터나 노이즈 등으로 인해 위상이 변화하는 현상을 보상하고, 출력신호의 지터를 감소시킨다. 또한, 입력신호 또는 내부 회로에서 동작의 흔들림을 통해 발생하는 노이즈나 지터를 빠르게 제거하여 원활한 주파수 체배 동작을 수행할 수 있다.

도면의 간단한 설명

[0009]

- 도 1은 본 발명의 바람직한 실시예에 따른 클럭 발생기를 도시한 블록도이다.
- 도 2는 본 발명의 바람직한 실시예에 따른 상기 도 1의 위상검출부를 도시한 회로도이다.
- 도 3은 본 발명의 실시예에 따라 상기 도 1의 전하펌프와 루프필터의 동작을 설명하기 위한 회로도이다.
- 도 4는 본 발명의 바람직한 실시예에 따른 상기 도 1의 전압제어 지연단을 도시한 블록도이다.
- 도 5는 본 발명의 바람직한 실시예에 따라 상기 도 4의 지연기를 도시한 회로도이다.
- 도 6은 본 발명의 실시예에 따른 상기 도 4의 위상전압 변환기를 도시한 회로도이다.
- 도 7은 본 발명의 실시예에 따른 상기 도 6의 위상전압 변환기의 동작을 설명하기 위한 타이밍도이다.
- 도 8은 본 발명의 바람직한 실시예에 따른 상기 도 1의 주파수 체배기를 도시한 블록도이다.
- 도 9는 본 발명의 실시예에 따른 상기 도 8의 에지 검출기를 도시한 회로도 및 타이밍도이다.
- 도 10은 본 발명의 실시예에 따른 펄스신호 합성부를 도시한 회로도이다.
- 도 11은 본 발명의 실시예에 따라 상기 도 10의 펄스신호 합성부의 동작을 설명하기 위한 타이밍도이다.
- 도 12는 본 발명의 바람직한 실시예에 따른 다른 클럭 발생기를 도시한 블록도이다.
- 도 13은 본 발명의 바람직한 실시예에 따라 상기 도 12의 전압제어 지연단을 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010]

본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0011]

다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0012] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0013] 실시예
- [0014] 도 1은 본 발명의 바람직한 실시예에 따른 클럭 발생기를 도시한 블록도이다.
- [0015] 도 1을 참조하면, 본 발명의 클럭 발생기는 위상검출부(100), 전하펌프(110), 루프필터(120), 전압제어 지연단(200) 및 주파수 체배기(300)를 가진다.
- [0016] 위상검출부(100)는 입력되는 2개의 신호들 Fin 및 Fd1을 비교하고, 2개의 신호들 Fin 및 Fd1의 위상과 주파수 차이를 동시에 검출한다. 예컨대, 주기적인 입력신호 Fin과 전압제어 지연단(200)의 출력신호인 지연출력신호 Fd1은 위상검출부(100)에서 비교된다. 입력되는 2개의 신호들 Fin 및 Fd1의 비교동작을 통해 위상검출부(100)는 업-신호 UP와 다운-신호 DN을 출력한다. 상기 업-신호 UP 및 다운-신호 DN는 2개의 입력신호들의 위상차에 상응하는 펄스폭을 가진다. 또한, 업-신호 UP 및 다운-신호 DN는 2개의 입력신호의 위상의 비교에 따라 선택적으로 활성화될 수 있다.
- [0017] 예컨대, 입력신호 Fin의 위상이 지연출력신호 Fd1보다 빠를 경우, 그 위상차에 상응하는 펄스폭을 가지는 업-신호 UP를 활성화한다. 또한, 입력신호 Fin의 위상이 지연출력신호 Fd1보다 느릴 경우, 그 위상차에 상응하는 펄스폭을 가지는 다운-신호 DN을 활성화한다.
- [0018] 이외에 상기 위상검출부의 동작은 입력신호 Fin의 위상이 지연출력신호 Fd1보다 느릴 경우, 업-신호 UP를 활성화할 수도 있다.
- [0019] 상기 위상검출부(100)의 2개의 출력신호들인 업-신호 UP와 다운-신호 DN은 전하펌프(110)에 입력된다. 전하펌프(110)는 업-신호 UP 또는 다운-신호 DN에 따라 충전 전류 Ich를 형성한다. 형성된 충전 전류 Ich는 루프필터(120)를 충전 또는 방전한다.
- [0020] 예컨대, 활성화된 업-신호 UP에 의해 전하펌프(110)는 루프필터(120)를 충전하고, 충전동작에 의해 루프필터(120)의 출력신호인 지연제어신호 Vd1의 전압은 상승한다. 또한, 활성화된 다운-신호 DN에 의해 전하펌프(110)는 루프필터(120)를 방전하고, 방전동작에 의해 루프필터(120)의 출력신호인 지연제어신호 Vd1의 레벨은 하강한다.
- [0021] 이외에 업-신호 UP와 다운-신호 DN의 활성화에 따른 충전 동작은 달리 일어날 수 있다. 즉, 업-신호 UP의 활성화 구간에서 전하펌프(110)는 루프필터(120)에 대한 충전동작을 수행할 수 있으며, 다운-신호 DN의 활성화 구간에서 전하펌프(110)는 루프필터(120)에 대한 방전동작을 수행할 수도 있다.
- [0022] 전압제어 지연단(200)은 위상 지연을 발생시키며, 입력신호 Fin의 위상을 지연시키고, 위상이 지연된 지연출력신호 Fd1을 생성한다.
- [0023] 상기 전압제어 지연단(200)은 지연제어신호 Vd1 및 위상변화신호 Vpc를 수신하고, 수신된 지연제어신호 Vd1 및 위상변화신호 Vpc에 따른 지연동작을 수행한다. 이를 위해 상기 전압제어 지연단(200)은 지연부(210) 및 위상변화 전압변환부(220)를 가진다.
- [0024] 지연부(210)는 루프필터(120)의 출력인 지연제어신호 Vd1 및 위상변화 전압변환부(220)의 출력인 위상변화신호 Vpc가 제어신호로 인가된다. 또한, 지연부(210)는 복수개의 지연기(211, 212, 213)로 구성되며, 각각의 지연기(211, 212, 213)에는 이전 단계의 지연기의 출력신호가 입력된다. 특히, 루프필터(120)의 출력인 지연제어신호 Vd1은 각각의 지연기(211, 212, 213)에 공통으로 인가되며, 지연부(210)의 실질적인 지연시간을 결정한다.
- [0025] 위상변화 전압변환부(220)는 위상고정(phase lock)이 수행된 이후, 잡음 또는 외부요인으로 인해 변동되는 위상변화를 감지하고, 위상변화에 비례하는 위상변화신호 Vpc를 형성한다. 즉, 변동되는 위상변화가 증가하는 경우, 위상변화신호 Vpc의 레벨은 증가하고, 위상변화가 감소되는 경우, 위상변화신호 Vpc의 레벨은 감소한다. 형성된 위상변화신호 Vpc는 지연부(210)에 인가되어 지연부(210)의 위상변화를 보상한다. 이를 위해 위상변화 전압변환부(220)는 복수개의 위상전압 변환기(221, 222, 223)를 가진다. 상기 위상전압 변환기(221, 222, 223)는 각각의 지연기(211, 212, 213)에 대응하여 복수개로 배치됨이 바람직하다. 또한, 위상전압 변환기(221, 222, 223)는 현재 스테이지의 지연기의 입력 및 출력을 수신하고, 위상의 변화에 따른 충전 동작을 통해 각각의 위상변화신호 Vpc를 생성한다.

- [0026] 주파수 체배기(300)는 지연부(210)를 구성하는 각각의 지연기(211, 212, 213)의 입력신호 또는 출력신호를 수신하고, 수신된 신호의 에지를 감지하여 펄스신호를 생성하고, 펄스 합성을 통한 주파수 체배 동작을 수행하여 이를 출력신호 Fout 으로 형성한다.
- [0027] 도 2는 본 발명의 바람직한 실시예에 따른 상기 도 1의 위상검출부를 도시한 회로도이다.
- [0028] 도 2를 참조하면, 위상검출부는 제1 플립플롭(101), 제2 플립플롭(102) 및 리셋부(103)를 가진다.
- [0029] 제1 플립플롭(101) 및 제2 플립플롭(102)은 D 타입의 플립플롭으로 구성된다. 또한, 제1 플립플롭(101) 및 제2 플립플롭(102)의 D 단자에는 하이레벨의 신호가 입력되고, CP 단자에는 소정의 주파수를 가지는 입력신호 Fin 및 전압제어 지연단의 출력신호인 지연출력신호 Fd1이 입력된다. 상기 지연출력신호 Fd1은 입력신호 Fin에 비해 소정의 타이밍이 지연된 신호이다. 예컨대, 제1 플립플롭(101)의 CP 단자에는 입력신호 Fin이 인가되고, 제2 플립플롭(102)의 CP 단자에는 지연출력신호 Fd1이 입력된다.
- [0030] 제1 플립플롭(101)과 제2 플립플롭(102)은 D 타입의 구성을 가지므로 CP 단자의 입력이 로직 "1"일 경우에만 D 단자의 입력이 출력단자 Q로 반영된다.
- [0031] 또한, 제1 플립플롭(101)과 제2 플립플롭(102)의 출력은 리셋부(103)에 입력된다. 상기 도 2에서 리셋부(103)는 논리곱 연산을 수행하는 AND 게이트로 개시되나, 실시의 형태에 따라 상기 리셋부(103)는 NOR 게이트 등 다양한 논리조합으로 구성될 수 있다. 즉, 리셋부(103)의 논리조합의 양상은 설계자의 의도에 따라 다양하게 변경가능하다 할 것이다.
- [0032] 만일, 입력신호 Fin의 위상이 지연출력신호 Fd1의 위상보다 빠른 경우, 입력신호 Fin이 하이레벨이고 지연출력신호 Fd1이 로우레벨인 구간에서 제1 플립플롭(101)은 하이레벨인 로직 "1"을 출력하고, 제2 플립플롭(102)은 로우레벨인 로직 "0"을 출력한다. 만일, 입력신호 Fin 및 지연출력신호 Fd1이 공통으로 하이레벨인 구간에서는 2개의 플립플롭들(101, 102)의 출력은 하이레벨인 로직 "1"을 출력하고, 리셋부(103)는 2개의 플립플롭들(101, 102)을 리셋하여 Q 단자에는 로직 "0"이 출력된다.
- [0033] 따라서, 상기 도 2의 구성은 입력신호 Fin의 위상이 지연출력신호 Fd1의 위상보다 앞서는 경우, 위상차에 해당하는 하이레벨을 업-신호 UP로 출력한다. 또한, 입력신호 Fin의 위상이 지연출력신호 Fd1의 위상보다 느린 경우, 다운-신호 DN이 하이레벨로 활성화되고, 업-신호 UP는 로우레벨로 전환된다.
- [0034] 또한, 실시의 형태에 따라서 상기 리셋부(103)는 NOR 게이트로 구성될 수 있다. 따라서, 업-신호 UP의 양상과 다운-신호 DN의 양상은 리셋부(103)를 구성하는 게이트의 종류에 따라 달라질 수 있다.
- [0035] 도 3은 본 발명의 실시예에 따라 상기 도 1의 전하펌프와 루프필터의 동작을 설명하기 위한 회로도이다.
- [0036] 도 3을 참조하면, 전하펌프(110)는 2개의 전류원들 Ip, In과 2개의 스위치들 S1, S2를 가진다. 또한, 루프필터(120)는 필터 커패시터 Clf를 가진다.
- [0037] 소스 전류원 Ip은 양의전원전압 VDD와 제1 스위치 S1 사이에 연결되고, 제1 스위치 S1은 소스 전류원 Ip와 지연 제어신호 Vd1 사이에 연결된다. 또한, 싱크 전류원 In은 접지와 제2 스위치 S2 사이에 연결되며, 제2 스위치 S2는 지연제어신호 Vd1과 싱크 전류원 In 사이에 연결된다. 제1 스위치 S1은 업-신호 UP에 의해 온/오프 동작을 수행하며, 제2 스위치 S2는 다운-신호 DN에 따라 온/오프 동작을 수행한다.
- [0038] 업-신호 UP가 활성화되는 경우, 제1 스위치 S1은 온된다. 따라서, 소스 전류원 Ip로부터 루프필터(120)의 필터 커패시터 Clf를 향한 충전동작이 수행되고, 지연제어신호 Vd1의 레벨은 증가한다. 또한, 다운-신호 DN가 활성화되는 경우, 제2 스위치 S2는 온되고, 싱크 전류원 In으로부터 루프필터(120)의 필터 커패시터 Clf에 대한 방전 동작이 수행된다. 따라서, 지연제어신호 Vd1의 레벨은 감소한다.
- [0039] 또한, 위상검출부에 입력되는 입력신호 Fin과 지연출력신호 Fd1의 위상이 일치하거나 일정한 범위에서 위상고정(phase lock)이 이루어지면 위상검출부를 구성하는 리셋부는 리셋 신호를 활성화할 수 있다. 따라서, 업-신호 UP와 다운-신호 DN는 동시에 하이레벨 또는 로우레벨로 전환된다. 업-신호 UP 및 다운-신호 DN가 공통으로 하이레벨을 가지는 경우, 제1 스위치 S1과 제2 스위치 S2는 온되고, 소스 전류원 Ip로부터 싱크 전류원 In으로 전류 경로가 형성된다. 소스 전류원 Ip가 공급하는 전류량과 싱크 전류원 In에서 발생하는 전류량이 동일하다고 가정한다면, 필터 커패시터 Clf에는 충전방전 동작이 발생되지 않는다. 따라서 지연제어신호 Vd1의 레벨은 변하지 않는다. 또한, 업-신호 UP와 다운-신호 DN가 리셋 동작에 의해 공통으로 로우레벨을 가지는 경우에는 제1 스위치 S1과 제2 스위치 S2는 공통으로 오프 상태가 될 수 있다. 이를 통해 지연제어신호 Vd1은 일정한 레벨로 고정될

수 있다.

- [0040] 즉, 위상검출부에 입력되는 입력신호 Fin 과 지연출력신호 $Fd1$ 이 일정한 범위 이내에서 위상이 고정되는 상태(lock-in stage)가 되는 경우, 지연제어신호 $Vd1$ 의 레벨은 변하지 않고 일정한 레벨을 가질 수 있다.
- [0041] 도 4는 본 발명의 바람직한 실시예에 따른 상기 도 1의 전압제어 지연단을 도시한 블록도이다.
- [0042] 도 4를 참조하면, 전압제어 지연단은 지연부(210)와 위상변화 전압변환부(220)를 가진다.
- [0043] 지연부(210)는 상호간에 직렬연결된 복수개의 지연기들(211, 212, 213)로 구성된다. 각각의 지연기(211, 212, 213)에는 지연제어신호 $Vd1$ 및 위상변화 전압변환부(220)의 출력인 위상변화신호 Vpc 가 인가된다. 인가되는 지연제어신호 $Vd1$ 및 위상변화신호 Vpc 에 의해 각각의 지연기(211, 212, 213)의 지연시간은 결정된다. 즉, 지연제어신호 $Vd1$ 및 위상변화신호 Vpc 는 지연기(211, 212, 213)의 지연동작을 결정하는 제어신호로 사용된다.
- [0044] 또한, 위상변화 전압변환부(220)는 서로 직렬연결된 복수개의 위상전압 변환기들(221, 222, 223)을 가진다. 각각의 위상전압 변환기(221, 222, 223)는 지연기(211, 212, 213)와 상응하여 배치된다. 예컨대, 하나의 지연기에는 하나의 위상전압 변환기가 구비된다. 각각의 위상전압 변환기에는 이에 대응하는 지연기의 입력신호 및 출력신호가 입력된다. 또한, 위상전압 변환기의 출력신호인 지연제어신호 $Vd1$ 은 지연기의 지연시간을 제어하는데 사용된다.
- [0045] 도 5는 본 발명의 바람직한 실시예에 따라 상기 도 4의 지연기를 도시한 회로도이다.
- [0046] 도 5를 참조하면, 지연기는 제1 전압제어 저항부(215), 제2 전압제어 저항부(216) 및 지연소자(217)를 가진다.
- [0047] 제1 전압제어 저항부(215)와 제2 전압제어 저항부(216)는 상호간에 동일한 회로 구성을 가진다. 또한, 제1 전압제어 저항부(215)에는 지연제어신호 $Vd1$ 이 인가되고, 제2 전압제어 저항부(216)에는 위상변화신호 Vpc 가 인가된다. 또한, 지연소자(217)에는 이전 스테이지의 지연소자의 출력 또는 입력신호 Fin 이 차동신호 IN 및 $/IN$ 의 형태로 입력된다.
- [0048] 각각의 전압제어 저항부(215, 216)에 인가되는 지연제어신호 $Vd1$ 또는 위상변화신호 Vpc 에 의해 지연소자(217)의 지연시간은 결정될 수 있다. 지연시간의 결정은 지연소자(217)를 흐르는 바이어스 전류량의 조절을 통해 달성될 수 있다.
- [0049] 제1 전압제어 저항부(215)는 NMOS 트랜지스터들 $QN1$, $QN2$ 및 $QN3$ 을 가지고, PMOS 트랜지스터 $QP1$ 을 가진다. 트랜지스터 $QP1$ 은 다이오드 연결되고, 트랜지스터 $QN3$ 도 다이오드 연결된 구성이다. 또한, 트랜지스터 $QN1$ 및 $QN2$ 의 게이트 단자에는 지연제어신호 $Vd1$ 이 인가된다. 지연제어신호 $Vd1$ 이 낮은 레벨을 가지는 경우, 트랜지스터 $QN1$ 및 $QN2$ 를 흐르는 전류량도 낮은 값을 가진다. 따라서, 트랜지스터 $QP1$ 의 게이트 단자의 전압은 높은 레벨을 가진다. 또한, 높은 레벨을 가지는 트랜지스터 $QP1$ 의 게이트 단자의 전압에 의해 지연소자(217)의 전송 게이트 $QX1$ 및 $QX2$ 를 흐르는 바이어스 전류는 낮은 값을 가지며, 입력신호들 IN 및 $/IN$ 이 지연되는 시간은 증가한다. 또한, 지연제어신호 $Vd1$ 이 높은 값을 가지는 경우, 입력신호 IN 및 $/IN$ 이 지연되는 시간은 감소된다. 지연된 신호는 차동신호인 Vm 및 $/Vm$ 의 형태로 출력되고, 이는 다음 스테이지의 지연기의 입력으로 사용된다.
- [0050] 이러한 동작은 제2 전압제어 저항부(216) 및 지연소자(217)의 동작에서도 동일하게 발생된다. 즉, 위상변화신호 Vpc 가 증가하면, 입력신호 IN 및 $/IN$ 의 지연시간은 감소되며, 위상변화신호 Vpc 가 감소하면, 입력신호 IN 및 $/IN$ 의 지연시간은 증가한다.
- [0051] 도 6은 본 발명의 실시예에 따른 상기 도 4의 위상전압 변환기를 도시한 회로도이다.
- [0052] 도 6을 참조하면, 위상전압 변환기는 전압변환부(225) 및 제어신호 생성부(226)를 가진다.
- [0053] 도 7은 본 발명의 실시예에 따른 상기 도 6의 위상전압 변환기의 동작을 설명하기 위한 타이밍도이다.
- [0054] 도 6 및 도 7을 참조하면, 전압변환부(225)는 충방전 동작을 통해 위상변화신호 Vpc 를 생성한다. 또한, 제어신호 생성부(226)는 위상전압 변환기의 입력신호 $Vn-1$ 및 Vn 에 대한 논리 연산을 통해 스위칭 제어신호들 $SG1$, $SG2$ 및 게이트 제어신호 $SC1$ 을 생성한다.
- [0055] 먼저, 입력신호 $Vn-1$ 의 위상이 Vn 의 위상보다 빠르다고 가정한다. 예컨대, 입력신호 $Vn-1$ 은 상기 도 4에서 제1 지연기(211)의 출력이라 가정하고, 다른 입력신호 Vn 은 제2 지연기(212)의 출력이라 가정한다. 따라서, 상기 도 6에 개시된 위상전압 변환기는 상기 도 4에서 제2 위상전압 변환기(222)에 해당한다 할 것이다. 따라서, 신호 $Vn-1$ 의 위상은 신호 Vn 보다 빠르게 설정된다.

- [0056] 신호 V_{n-1} 및 V_n 은 제어신호 생성부(226)의 제1 엔드 게이트(AND GATE)(2261)로 입력된다. 상기 제1 엔드 게이트(2261)는 논리곱 연산을 통해 게이트 제어신호 SC1을 생성한다. 상기 게이트 제어신호 SC1은 신호 V_{n-1} 및 V_n 이 하이레벨일 경우에 한해, 하이레벨이 된다. 또한, 2개의 입력신호들 중 어느 하나가 로우레벨이면 게이트 제어신호 SC1은 로우레벨이 된다.
- [0057] 또한, 게이트 제어신호 SC1은 제2 엔드 게이트(2262)의 일단에 입력되고, 제2 엔드 게이트(2262)의 타단에는 소정시간 지연된 후, 반전된 형태로 입력된다. 제2 엔드 게이트(2262)의 타단에 입력되는 신호 V_x 는 제1 지연회로(2264)에 의해 소정 시간동안 지연된 신호이다. 예컨대, 버퍼와 인버터의 구성에 의한 지연에 의해 소정시간 지연된다. 따라서, 제2 엔드 게이트(2262)에 인가되는 신호 V_x 의 지연의 정도는 버퍼 또는 인버터의 구성에 따라 다양하게 변경될 수 있다. 제2 엔드 게이트(2262)는 제1 스위칭 제어신호 SG1을 형성한다. 상기 제1 스위칭 제어신호 SG1은 제2 엔드 게이트(2262)에서의 지연시간을 무시한다면, 게이트 제어신호 SC1과 이의 지연되고 반전된 신호 V_x 가 하이레벨인 구간에서 하이레벨로 활성화된다. 결국, 제2 엔드 게이트(2262)의 출력인 제1 스위칭 제어신호 SG1은 게이트 제어신호 SC1이 지연된 기간 동안 하이레벨을 출력한다.
- [0058] 입력신호 V_x 는 제3 엔드 게이트(2263)로 인가된다. 먼저, 신호 V_x 는 인버터에 의해 반전되고 일정시간 지연되어 신호 V_y 를 형성하고, 제3 엔드 게이트(2263)의 일단에 인가된다. 또한, 신호 V_y 는 버퍼와 인버터 등으로 구성된 제2 지연회로(2265)에 의해 소정시간 지연되고 반전되어 제3 엔드 게이트(2263)의 타단에 입력된다. 따라서, 제3 엔드 게이트(2263)는 신호 V_y 및 이의 지연되고 반전된 신호에 대한 논리곱 연산을 통해 제2 스위칭 신호 SG2를 형성한다.
- [0059] 상술한 과정을 통해 형성된 게이트 제어신호 SC1 및 스위칭 제어신호들 SG1, SG2는 전압 변환부(225)에 인가된다.
- [0060] 전압 변환부(225)의 PMOS 트랜지스터인 QP2의 게이트 단자에는 게이트 제어신호 SC1이 입력되고, NMOS 트랜지스터인 QN4의 게이트 단자에는 제2 스위칭 제어신호 SG2가 입력된다. 게이트 제어신호 SC1이 로우레벨인 구간에서 트랜지스터 QP2는 턴온되고, 제2 스위칭 제어신호 SG2에 의해 트랜지스터 QN3은 오프된다. 따라서, 턴온된 트랜지스터 QP2를 통해 전류는 커패시터 C_x 로 흐르고 커패시터 C_x 의 전압은 상승한다.
- [0061] 타이밍 상으로 제1 스위칭 제어신호 SG1이 제2 스위칭 제어신호 SG2보다 빠른 위상을 가진다. 따라서, 커패시터 C_x 의 충전 동작 이후에는 제2 스위칭 제어신호 SG2에 의해 충전 스위치 SCH가 온된다. 온 상태인 충전 스위치 SCH를 통해 커패시터 C_x 의 충전전압은 커패시터 C_y 로 전달된다. 즉, 커패시터 C_x 에 충전된 전하는 턴온된 충전 스위치 SCH를 통해 커패시터 C_y 로 전달되고, 커패시터 C_y 의 전압인 위상변화신호 V_{pc} 는 상승된다.
- [0062] 또한, 제1 스위칭 제어신호 SG1이 로우레벨이며, 제2 스위칭 제어신호 SG2가 하이레벨인 구간에서는 트랜지스터 QN4는 턴온되고, 커패시터 C_x 에 충전된 전하는 트랜지스터 QN4를 통해 접지로 방전된다.
- [0063] 상술한 위상전압 변환기의 동작에서 지연기의 입력신호 및 출력신호의 위상차는 위상변화신호 V_{pc} 의 레벨의 변화를 유발한다. 즉, 상기 도 7의 타이밍도에서 지연기의 입력신호와 출력신호의 위상이 변경되어 위상차가 줄어드는 경우, 게이트 제어신호 SC1이 로우레벨인 구간은 감소한다. 이는 커패시터 C_x 에 충전되는 시간의 감소를 의미하고, 위상변화신호 V_{pc} 의 감소를 유발한다. 또한, 지연기의 입력신호 및 출력신호의 위상차가 증가하는 경우, 게이트 제어신호 SC1이 로우레벨인 구간은 증가한다. 따라서, 커패시터 C_x 에 충전되는 시간은 증가하고, 위상변화신호 V_{pc} 는 증가한다.
- [0064] 위상변화신호 V_{pc} 가 증가하는 경우, 상기 도 5의 지연기는 차동신호로 입력되는 신호의 지연시간을 감소시킨다. 따라서, 지연기를 통해 증가된 입력신호와 출력신호 사이의 지연시간은 위상변화신호 V_{pc} 의 증가에 의해 감소되고, 위상변화신호 V_{pc} 에 의해 일정한 지연시간을 가지도록 셋팅된다.
- [0065] 또한, 위상변화신호 V_{pc} 가 감소하는 경우, 상기 도 5의 지연기는 입력신호의 지연시간을 증가시킨다. 따라서, 지연기를 통해 감소된 입력신호와 출력신호 사이의 지연시간은 위상변화신호 V_{pc} 의 감소에 의해 증가되고, 위상변화신호 V_{pc} 에 의해 일정한 지연시간을 가지도록 셋팅된다.
- [0066] 즉, 각각의 지연기는 지연제어신호 V_{d1} 의 레벨 또는 위상변화신호 V_{pc} 의 레벨에 따라 지연시간을 결정한다.
- [0067] 즉, 위상변화 전압변환부는 지연부의 지연기에서 발생하는 원치않는 지터 또는 노이즈 성분에 따른 위상의 변화를 감지하고, 이를 전압으로 변환하여 지연기가 정상적인 지연시간을 가지고 동작할 수 있도록 한다.
- [0068] 도 8은 본 발명의 바람직한 실시예에 따른 상기 도 1의 주파수 체배기를 도신한 블록도이다.

- [0069] 도 8을 참조하면, 주파수 체배기는 에지 검출부(310) 및 펄스신호 합성부(320)를 가진다. 에지 검출부(310)는 복수개의 에지 검출기들(311, 312, 313)을 가지고, 각각의 에지 검출기들(311, 312, 313)은 지연기의 입력신호 또는 출력신호의 에지를 검출하고, 이를 펄스 신호 P1, P2, ..., Pn로 변환한다.
- [0070] 또한, 펄스신호 합성부(320)는 펄스 신호 P1, P2, ..., Pn에 따른 온/오프 동작을 통해 펄스 신호의 시차에 상응하는 출력신호 Fout을 생성한다.
- [0071] 도 9는 본 발명의 실시예에 따른 상기 도 8의 에지 검출기를 도시한 회로도 및 타이밍도이다.
- [0072] 도 9를 참조하면, 신호 Vm이 하이레벨로 천이되어 엔드 게이트에 인가된다. 또한, 신호 Vm은 인버터에 의해 반전되고, 인버터의 반전동작에 따라 소정시간 지연되어 엔드 게이트에 입력된다. 따라서, 인버터의 지연시간에 상응하는 구간에서 엔드 게이트는 하이레벨의 펄스 Px를 출력한다.
- [0073] 도 10은 본 발명의 실시예에 따른 펄스신호 합성부를 도시한 회로도이다.
- [0074] 도 11은 본 발명의 실시예에 따라 상기 도 10의 펄스신호 합성부의 동작을 설명하기 위한 타이밍도이다.
- [0075] 도 10 및 도 11을 참조하면, 펄스신호 합성부는 PMOS의 로딩 트랜지스터 MP1 및 다수개의 합성 트랜지스터들 MN1, ..., MNn을 가진다.
- [0076] 로딩 트랜지스터 MP1의 게이트 단자는 접지된다. 따라서, 로딩 트랜지스터 MP1은 턴온된 상태를 유지한다.
- [0077] 또한, 합성 트랜지스터들 MN1, ..., MNn 각각은 서로 병렬연결된다. 합성 트랜지스터 MP1의 게이트 단자에는 에지 검출부(310)의 출력신호인 펄스 신호 P1, ..., Pn가 인가된다.
- [0078] 먼저, 제1 에지 검출기(311)의 출력신호인 펄스 P1이 하이레벨인 구간에서 제1 합성 트랜지스터 MN1은 턴온된다. 제1 합성 트랜지스터 MN1의 턴온에 따라 다른 합성 트랜지스터들의 동작과 무관하게 출력단은 로우레벨을 형성한다.
- [0079] 또한, 제1 에지 검출기(311)의 출력이 로우레벨이고, 제2 에지 검출기(312)의 출력이 하이레벨로 천이되지 않은 구간에서는 모든 합성 트랜지스터들은 오프 상태를 유지한다. 따라서, 출력은 하이레벨로 천이된다.
- [0080] 이후에 제2 에지 검출기(312)의 출력이 하이레벨로 천이되면, 제2 로딩 트랜지스터 MN2는 턴온되고, 다른 로딩 트랜지스터들의 상태와 무관하게 출력은 로우레벨로 천이된다.
- [0081] 결국, 펄스신호 합성부는 각각의 합성 트랜지스터들 MN1, MN2, ..., MNn의 게이트 단자에 입력되는 에지 검출기(311, 312, 313)의 출력신호 P1, P2, ..., Pn가 하이레벨인 구간에서 로우레벨로 천이되고, 에지 검출기의 출력이 로우레벨인 구간에서는 하이레벨로 천이된다. 이를 통해 에지 검출기의 출력신호에 따른 주파수의 체배 동작이 수행된다.
- [0082] 도 12는 본 발명의 바람직한 실시예에 따른 다른 클럭 발생기를 도시한 블록도이다.
- [0083] 도 12를 참조하면, 위상검출부(100), 전하펌프(110), 루프필터(120) 및 주파수 체배기(300)의 구성은 상기 도 1에서 설명된 바와 동일하며, 동일한 구성과 동작을 가진다.
- [0084] 다만, 상기 도 12에서 전압제어 지연단(200)은 평균값 검출부(230)를 더 포함한다. 평균값 검출부(230)는 지연기(211, 212, 213) 또는 위상전압 변환기(221, 222, 223)와 상응하여 배치되는 평균값 검출기들(231, 232, 233)을 가진다.
- [0085] 각각의 평균값 검출기(231, 232, 233)에는 이에 상응하는 위상전압 변환기의 출력 및 인접한 위상전압 변환기의 출력이 입력되고, 평균값으로 연산되어 위상변화신호 Vpc로 형성된다.
- [0086] 예컨대, 제2 평균값 검출기(232)에는 제1 위상전압 변환기(221)의 출력 및 제2 위상전압 변환기(222)의 출력이 입력되며, 평균값의 연산을 통해 출력은 제2 지연기(212)에 제2 위상변화신호 Vpc2로 인가된다.
- [0087] 또한, 상기 지연기 및 위상전압 변환기의 구성 및 동작은 상기 도 5 내지 도 7에서 설명된 바와 동일하다.
- [0088] 도 13은 본 발명의 바람직한 실시예에 따라 상기 도 12의 전압제어 지연단을 도시한 블록도이다.
- [0089] 도 13을 참조하면, 도 4를 참조하면, 전압제어 지연단은 지연부(210), 위상변화 전압변환부(220) 및 평균값 검출부(230)를 가진다.
- [0090] 지연부(210)는 상호간에 직렬연결된 복수개의 지연기들(211, 212, 213)로 구성된다. 각각의 지연기(211, 212,

213)에는 지연제어신호 V_{d1} 및 위상변화 전압변환부(220)의 출력인 위상변화신호 V_{pc} 가 인가된다. 인가되는 지연제어신호 V_{d1} 및 위상변화신호 V_{pc} 에 의해 각각의 지연기(211, 212, 213)의 지연시간은 결정된다. 즉, 지연제어신호 V_{d1} 및 위상변화신호 V_{pc} 는 지연기(211, 212, 213)의 지연동작을 결정하는 제어신호로 사용된다.

[0091]

또한, 위상변화 전압변환부(220)는 서로 직렬연결된 복수개의 위상전압 변환기들(221, 222, 223)을 가진다. 각각의 위상전압 변환기(221, 222, 223)는 지연기(211, 212, 213)와 상응하여 배치된다. 예컨대, 하나의 지연기에는 하나의 위상전압 변환기가 구비된다. 각각의 위상전압 변환기(221, 222, 223)에는 이에 대응하는 지연기(211, 212, 213)의 입력신호 및 출력신호가 입력된다. 또한, 위상전압 변환기의 출력신호는 평균값 검출부(230)에서 인접한 위상전압 변환기의 출력신호와와 평균연산을 통해 위상변화신호 V_{pc} 로 형성된다.

[0092]

평균값 검출부(230)는 인접한 위상전압 변환기로부터의 출력신호를 수신하고, 적어도 2개의 위상전압 변환기들의 출력신호들에 대한 평균연산을 수행하여 위상변화신호 V_{pc} 를 형성한다. 이를 위해 평균값 검출부(230)는 각각의 위상전압 변환기(221, 222, 223)에 상응하는 복수개의 평균값 검출기들(231, 232, 233)을 가진다. 각각의 평균값 검출기(231, 232, 233)는 인접하는 위상전압 변환기들의 출력신호에 대한 평균연산에 따른 위상변화신호 V_{pc} 를 형성한다. 형성된 위상변화신호 V_{pc} 는 전술된 바대로 각각의 지연기(211, 212, 213)의 지연시간을 조절한다.

[0093]

상술한 본 발명에서 클럭 발생기는 전압제어 지연단을 가지고, 위상변화 전압변환부에서 지연기에서 발생하는 지터 등에 기인한 위상의 변화를 보정한다. 이는 클럭 발생기의 동작시 지터나 노이즈 등으로 인해 위상이 변화하는 현상을 보상하고, 출력신호의 지터를 감소시킨다. 또한, 입력신호 또는 내부 회로에서 동작의 흔들림을 통해 발생하는 노이즈나 지터를 빠르게 제거하여 원활한 주파수 체배 동작을 수행할 수 있다.

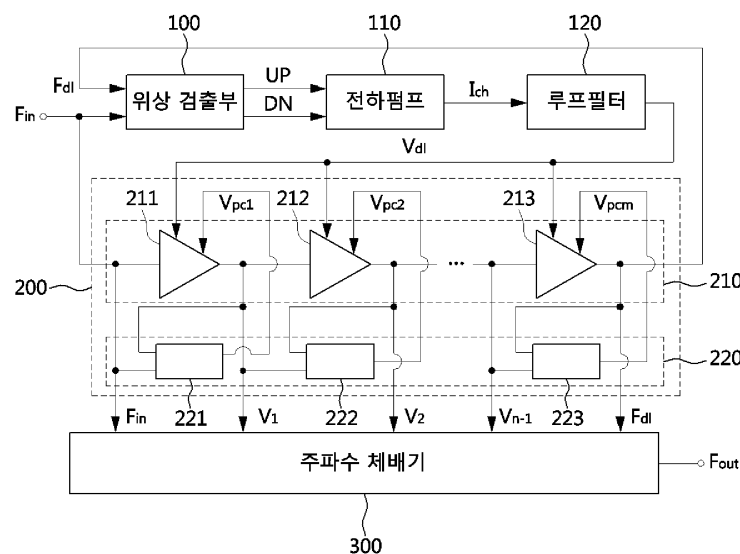
부호의 설명

[0094]

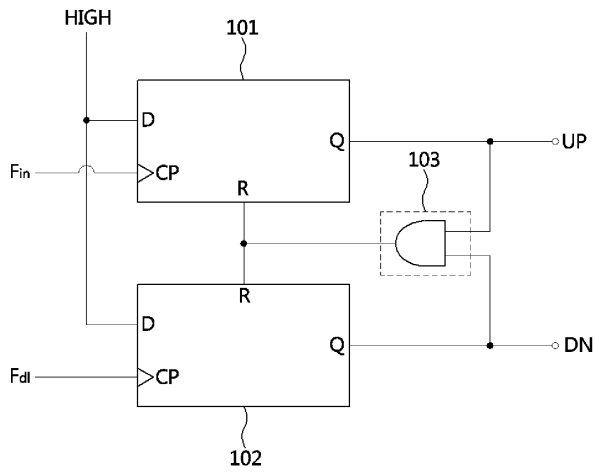
100 : 위상검출부	110 : 전하펌프
120 : 루프필터	200 : 전압제어 지연단
210 : 지연부	220 : 위상변화 전압변환부
230 : 평균값 검출부	300 : 주파수 체배기
310 : 에지 검출부	320 : 펄스신호 합성부

도면

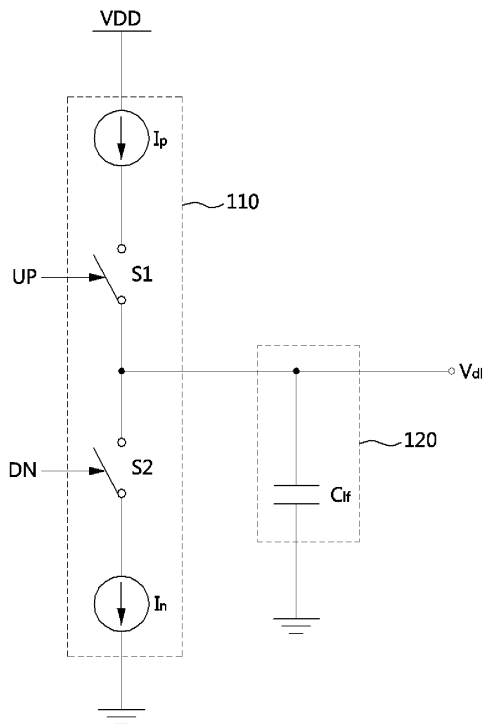
도면1



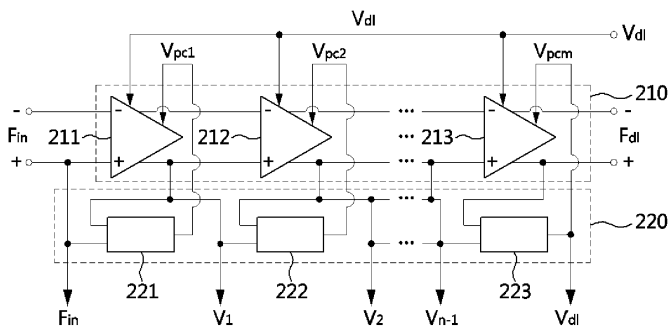
도면2



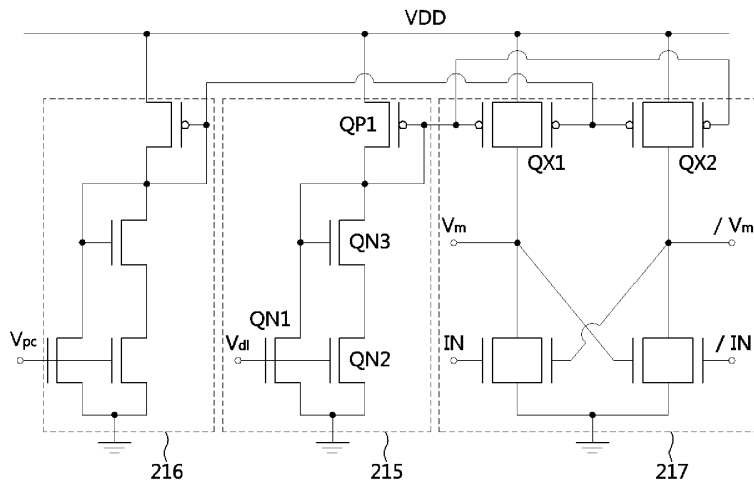
도면3



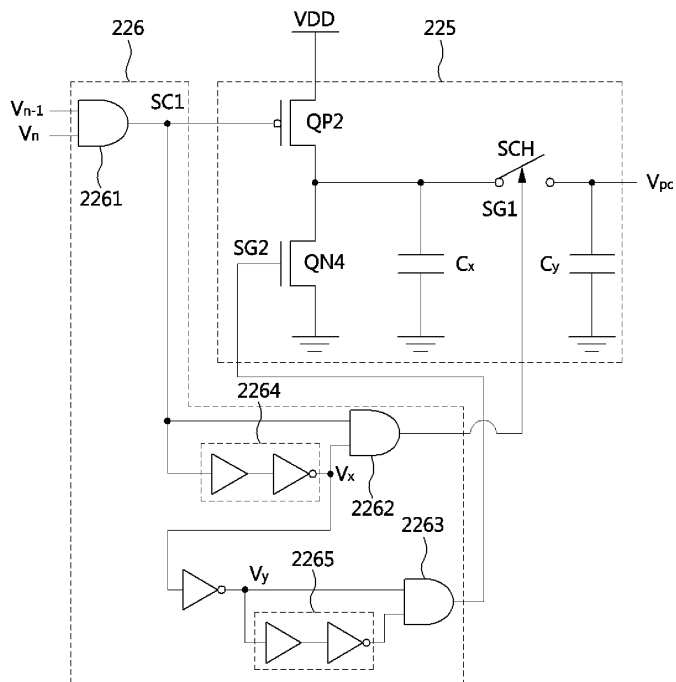
도면4



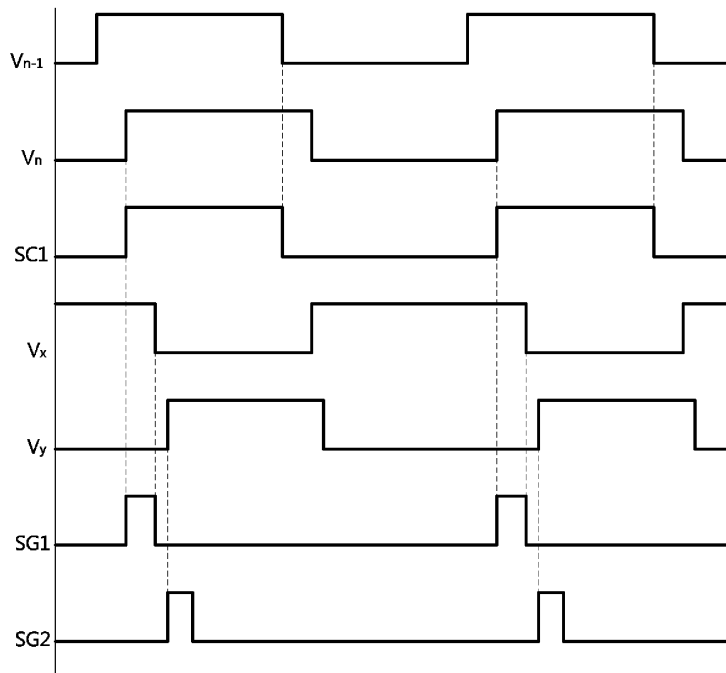
도면5



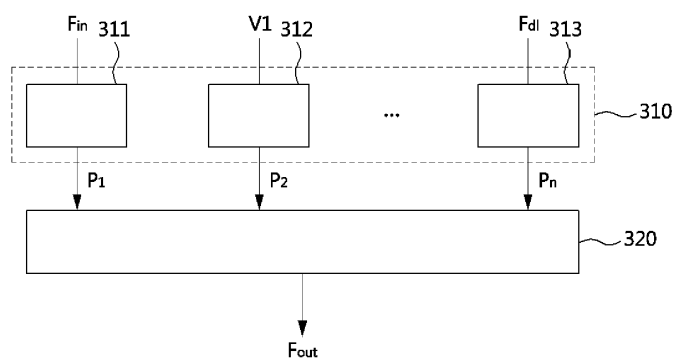
도면6



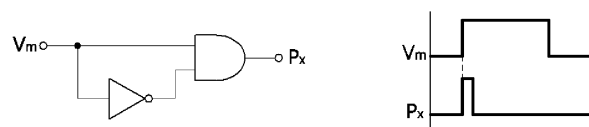
도면7



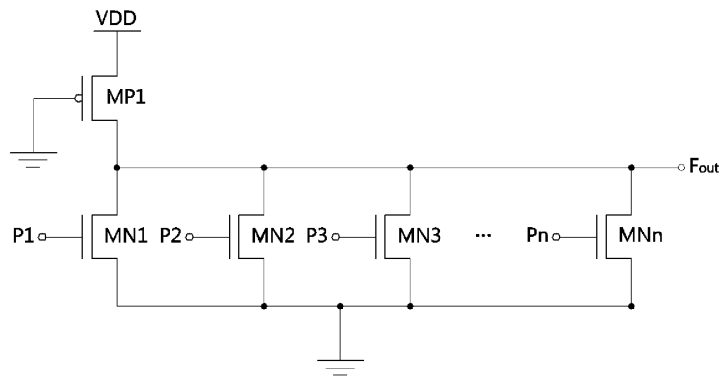
도면8



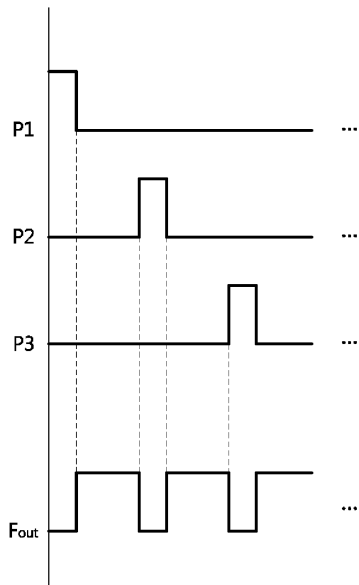
도면9



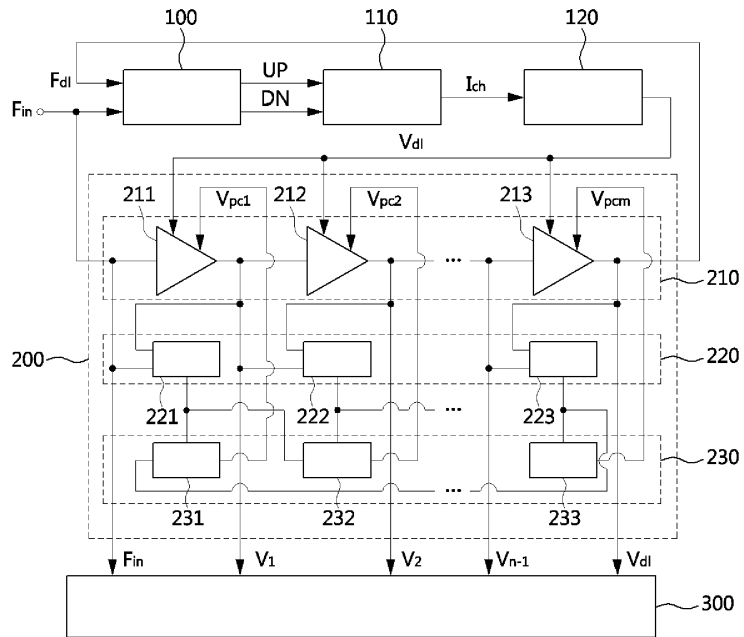
도면10



도면11



도면12



도면13

