

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
 G02F 1/133

(11) 공개번호 10-2005-0027136
 (43) 공개일자 2005년03월17일

(21) 출원번호 10-2005-7001601
 (22) 출원일자 2005년01월28일
 번역문 제출일자 2005년01월28일
 (86) 국제출원번호 PCT/IB2003/003220
 국제출원출원일자 2003년07월16일

(87) 국제공개번호 WO 2004/013836
 국제공개일자

(30) 우선권주장 0217709.5 2002년07월31일 영국(GB)
 (71) 출원인 코닌클리즈케 필립스 일렉트로닉스 엔.브이.
 네덜란드 엔엘-5621 베에이 아인드호펜 그로네보드세베그 1

(72) 발명자 에드워즈마틴제이
 영국 알에이치1 5에이치에이 서레이 레드힐 크로스 오크 레인 필립
 스인텔렉츄얼 프로퍼티 앤드 스탠다드
 아이레스존알에이
 영국 알에이치1 5에이치에이 서레이 레드힐 크로스 오크 레인 필립
 스인텔렉츄얼 프로퍼티 앤드 스탠다드

(74) 대리인 김창세
 김원준

심사청구 : 없음

(54) 어레이 디바이스 및 액정 디스플레이 구동 방법

명세서

기술분야

본 발명은 어레이 디바이스, 특히 액티브 매트릭스 디스플레이 디바이스의 픽셀에 사용하는 스위칭 회로에 관한 것이다.

배경기술

액티브 매트릭스 디스플레이에는 통상 로우 및 컬럼 내에 배치된 픽셀들의 어레이를 포함한다. 각각의 픽셀로 이루어진 로우는 로우 내의 픽셀들의 박막 트랜지스터의 게이트에 접속되는 로우 도체를 공유한다. 각각의 픽셀로 이루어진 컬럼은 픽셀 구동 신호가 공급되는 컬럼 도체를 공유한다. 로우 도체 상의 신호는 트랜지스터가 온 또는 오프로 되는 지의 여부를 판정하며, 트랜지스터가 온으로 되는 경우에, 로우 도체 상의 하이 전압 펄스에 의해 컬럼 도체로부터의 신호가 액정 재료의 영역(또는 다른 용량성 디스플레이 셀)으로 전달 될 수 있으며, 이에 따라 재료의 광 전달 특성이 변한다.

로우 전극 펄스의 제거 후에도 액정 재료 상에 전압이 유지될 수 있도록 하기 위해, 부가적인 저장 캐패시터를 픽셀 구성의 일부로서 제공하는 것이 공지되어 있다.

액티브 매트릭스 디스플레이 디바이스의 프레임(필드) 주기는 단기간에 픽셀로 이루어진 로우가 어드레스될 것을 요구하며, 따라서 액정 재료를 원하는 전압 레벨로 충전 또는 방전하기 위해 트랜지스터의 전류 구동 능력을 요구한다. 이 전류 요건을 만족시키기 위해, 박막 트랜지스터에 공급된 게이트 전압은 큰 전압 스윙을 필요로 한다. 예를 들면, 저온 폴리실리콘 트랜지스터를 사용하는 디스플레이에서, 최소 로우 구동 전압은 약 -2V이고, 최대 로우 구동 전압은 약 15V이다. 이것은 트랜지스터가 액정 재료를 충분히 빨리 충전 또는 방전시키기 위해 요구된 소스-드레인 전류를 제공하는데 충분하게 바이어스되도록 보장한다.

로우 도체 내의 큰 전압 스윙에 대한 요건은 고전압 소자를 사용하여 구현되는 로우 구동 회로를 요구한다. 이것은 결국 비교적 높은 전력 소비를 가져온다.

또한, 액티브 매트릭스 디스플레이 내의 픽셀의 밝기를 제어하기 위해 디지털 데이터를 사용하는 것이 점점 더 흥미를 끌고 있다. 액티브 매트릭스 디스플레이의 픽셀 내에 동적 메모리를 통합하는 것이 또한 제안되었는데, 여기서는 각 픽셀에 대한 디지털 데이터 값이 그 픽셀에 저장된다. 디스플레이의 픽셀 내에 공급되거나 또는 저장된 디지털 데이터는 다수의 상이한 신호 전압 과정 중 하나를 선택하도록 사용될 수 있다. 그러면 선택된 과정은, 예를 들어 액티브 매트릭스 LCD의 경우에는 화소와 같은 디스플레이 소자를 직접 또는 간접적으로 구동하도록 사용될 수 있다.

도 1은 두 신호 전압 과정 중 하나를 데이터 전압 입력 상태에 따라서 회로의 출력에 접속될 수 있도록 하는 하나의 가능한 구성을 도시하고 있다. 신호를 디스플레이 소자로 라우팅하는데 사용되는 경우에, 이들 신호 중 한 신호는 디스플레이 소자를 어두운 상태로 스위칭되도록 하는 반면에 다른 신호는 디스플레이 소자를 밝은 상태로 스위칭할 수도 있다. 실제 회로에서는, 스위치가 박막 트랜지스터로 교체된다.

디스플레이의 픽셀 내의 회로에 이용가능한 영역은 픽셀의 크기에 의해 제한되고, 투과형 디스플레이의 경우에는, 디스플레이를 통한 광의 통과가 회로에 의해 차단되는 픽셀의 영역을 최소화할 필요성에 의해 제한된다. 요구된 트랜지스터의 수를 최소화하는 스위칭 회로의 예는 도 2에 도시되어 있다. 출력 신호는 액정 디스플레이 소자에 직접 접속될 수 있다.

이 회로에서, 신호 전압(1)에 접속된 스위치는 n형 TFT로 구현되고, 신호 전압(2)에 접속된 스위치는 p형 TFT로 구현된다. n형 및 p형 디바이스의 보완적인 동작은, 적절한 데이터 전압 레벨에 의해 회로가 두 상태 사이에서 스위칭될 수 있다는 것을 의미한다. 한 상태에서는, n형 디바이스가 도통되고 p형 디바이스가 도통되지 않으며, 다른 상태에서는, n형 디바이스가 도통되지 않고 p형 디바이스가 도통된다.

이 회로의 동작을 설명하기 위해, 회로에 인가되는 구동 전압 과정의 두 예 및 두 상태 사이에서 트랜지스터를 스위칭하는데 요구되는 데이터 전압 레벨을 고려할 수 있다.

가능한 전압 과정의 제 1 예가 도 3에 도시되어 있다. 이 예에서는, 교류 전압 과정이 입력 신호 1에 인가된다고 가정한다. 이 과정은 두 전압 레벨, 즉 0V와 V_{DR} 사이에서 스위칭된다. $0.5V_{DR}$ 의 일정한 전압이 입력 신호 2에 인가된다. 데이터 전압 입력에 인가된 전압은 처음에는 로우 레벨(V_{DL})이며, 그 후 하이 레벨(V_{DH})로 스위칭된다. 데이터 전압이 로우인 경우에, 신호 2가 회로의 출력 단자로 전송된다. 데이터 전압이 하이인 경우에는, 신호 1이 회로의 출력 단자로 전송된다. V_{DL} 의 최대 허용치와 V_{DH} 의 최소 허용치를 결정하는 조건은 아래 표 1에 요약되어 있다.

표 1.

데이터 전압	TFT 스위칭에 요구된 조건	요구된 데이터 전압에 대한 방정식	지정된 조건에 대한 값	요구된 데이터 전압
V_{DH}	n-형 TFT 온	$V_{DH} \geq V_{DR} + V_{non}$	$\geq 13V$	13V
	p-형 TFT 오프	$V_{DH} \geq 0.5V_{DR} - V_{poff}$	$\geq 4.5V$	
V_{DL}	n-형 TFT 오프	$V_{DL} \leq 0 - V_{noff}$	$\leq 0V$	0V
	p-형 TFT 온	$V_{DL} \leq 0.5V_{DR} + V_{pon}$	$\leq 0.5V$	

이 표에서, V_{non} 은 디바이스를 충분히 도통시키는데 요구된 n형 TFT 상의 게이트-소스 전압이고, V_{noff} 는 디바이스를 충분히 도통되지 않게 하는데 요구된 n형 TFT 상의 게이트-소스 전압이다. V_{pon} 및 V_{poff} 는 p형 TFT에 대한 등가 파라미터이다. 데이터 전압 레벨은 $V_{non} = 4V$, $V_{pon} = -4V$, $V_{noff} = 0V$, $V_{poff} = 0V$, $V_{DR} = 9V$ 인 조건에 대해 계산되었다. 이들 값은 저온 폴리-Si TFT 및 트위스티드 네마티 액정 디스플레이 소자에 요구되는 통상적인 값이다. 하이 레벨 데이터 전압의 최소 값은 신호 1 입력에 인가된 전압이 최고 레벨인 경우에 n형 TFT가 도통을 유지하도록 보장할 필요성에 의해 결정된다. 로우 레벨 데이터 전압의 최대 값은 신호 1에 인가된 전압이 최저 레벨인 경우에도 n형 TFT가 도통되지 않는 상태를 유지하도록 보장할 필요성에 의해 결정된다. 요구되는 데이터 전압의 진폭은 13V 이상으로 크다. 이러한 높은 값은 디스플레이의 전력 소비를 증가시키므로 바람직하지 않다.

가능한 과정의 제 2 예는 도 4에 도시되어 있다. 이 예에서, 보완적인 교류 전압 과정이 회로의 두 신호 입력부에 인가된다. 이들 과정은 이른바 공통 전극 구동 방안에 적절할 수도 있는데, 여기서 교류 전압이 디스플레이의 공통 전극에 인가된다. 따라서, 신호 1이 픽셀을 밝은 상태로 구동시키는데 필요한 신호이고, 신호 2가 픽셀을 어두운 상태로 구동하는데 필요한 신호일 수도 있다(이에 대해서는 상세히 후술함). 데이터 전압은 다시 로우 레벨로부터 하이 레벨로 되고, 데이터 전압이 로우일 때 출력 신호는 신호 2와 같고, 데이터 전압이 하이일 때 신호 1과 같다. 데이터 전압의 요구된 값을 정의하는 조건은 표 2에 나타나 있다. V_{non} , V_{noff} , V_{pon} 및 V_{poff} 의 값은 제 1 예에서와 동일하며, V_{DR} 은 4.5V의 값을 갖는다.

표 2.

데이터 전압	TFT 스위칭에 요구된 조건	요구된 데이터 전압에 대한 방정식	지정된 조건에 대한 값	요구된 데이터 전압
V_{DH}	n-형 TFT 온	$V_{DH} \geq V_{DR} + V_{non}$	$\geq 8.5V$	8.5V
	p-형 TFT 오프	$V_{DH} \geq V_{DR} - V_{poff}$	$\geq 4.5V$	
V_{DL}	n-형 TFT 오프	$V_{DL} \leq 0 - V_{noff}$	$\leq 0V$	-4V
	p-형 TFT 온	$V_{DL} \leq 0 + V_{pon}$	$\leq -4V$	

요구되는 데이터 전압의 진폭은 n형 또는 p형 TFT를 온으로 하는데 필요한 전압에 의해 결정된다. 데이터 전압의 최소 하이 레벨은 신호 1이 최대 레벨에 있을 때 n형 디바이스를 온으로 하는데 필요한 레벨이다. 데이터 전압의 최대 로우 레벨은 신호 2가 최소 전압 레벨에 있을 때 p형 디바이스를 온으로 하는데 필요한 레벨이다. 요구된 데이터 전압 진폭은 다시 12.5V 이상으로 비교적 크다.

회로의 출력 신호가 액정 디스플레이 소자를 구동하는데 사용되면, 디스플레이의 공통 전극은 신호 2와 동일한 진폭 및 위상을 갖지만 dc 전압 레벨은 조정된 교류 신호를 운반한다. 그러면, 디스플레이 소자 양단에 나타나는 전압은 스위칭 회로의 출력 신호와 신호 2 사이의 차로부터 유도된다. 이 전압은 데이터 전압이 로우일 때 0의 피크대 피크 전압을 가지며, 데이터 전압이 하이일 때 $2V_{DR}$ 이다.

데이터 전압 내의 스윙이 감소될 수 있다면, 이것은 전력 소모를 줄일 수 있을 것이다. 이것은 예를 들면, 저전력 대기 모드에 적합할 것이다.

발명의 상세한 설명

본 발명에 따르면, 픽셀들의 어레이를 포함하는 디바이스에 있어서, 각각의 픽셀은 픽셀 요소를 포함하고 스위칭 회로와 관련되며, 스위칭 회로는 적어도 두 입력 중 하나를 픽셀 요소로 선택적으로 라우팅하고, 적어도 두 입력 각각과 픽셀 요소 사이에 접속된 적어도 제 1 및 제 2 스위칭 트랜지스터를 포함하며, 각각의 스위칭 트랜지스터는 트랜지스터의 게이트에 인가된 데이터 신호에 의해 제어되고, 각각의 스위칭 트랜지스터용의 데이터 신호는 입력들 중 적어도 하나의 입력의 데이터 과정에 의존하여 결정된 사전 결정된 타이밍으로 스위칭 트랜지스터의 게이트로 라우팅되며, 스위칭 트랜지스터 중 적어도 하나의 트랜지스터의 게이트와 스위칭 트랜지스터의 출력부 사이에 용량 접속(C_B)이 제공되는 디바이스가 제공된다.

본 발명은 부트스트래핑 기법을 이용하여 스위칭 트랜지스터를 올바르게 스위칭하도록 하기 위해 필요한 데이터 전압 범위를 감소시킬 수 있다. 특히, 스위칭 트랜지스터를 스위칭 온 또는 오프시키기 위해 데이터 신호 인가 타이밍을 제어함으로써, 입력 신호 중 적어도 하나의 전압 레벨을 사용하여 각 스위칭 트랜지스터를 통해 부트스트래핑 캐패시터("용량 접속")로의 용량 결합을 제공할 수 있다.

스위치와 관련하여 입력과 출력 "사이에 접속된(connected between)"이란 용어는, 스위치의 출력이 출력부에 직접 연결되는 것을 나타내는 것이 아니라, 단순히 스위치의 출력이 직접 또는 다른 스위치 또는 용량 접속을 통해 출력부에 결합된다는 것을 나타낸다. 실제로, 스위칭 회로가 다수의 신호 중 한 신호를 픽셀 요소로 라우팅하기 위한 것이기 때문에, 출력은 결국 픽셀 요소이지만, 스위칭 트랜지스터와 픽셀 요소 사이에는 다른 구성요소가 있다.

본 발명의 어레이 디바이스는 적어도 두 입력 중 하나를 픽셀 요소로 선택적으로 라우팅하기 위해 각 픽셀에 접속된 스위칭 회로를 포함할 수 있다. 그러나, 스위칭 회로는 완전히 픽셀 영역 내로 접속되는 대신에 주위 어드레스 회로 내에 부분적으로 제공될 수도 있고, 스위칭 회로가 어드레스 회로 내에 완전히 제공될 수도 있다.

각 스위칭 트랜지스터용의 데이터 신호는 각 스위칭 트랜지스터용의 데이터 신호의 인가 타이밍을 제어하는 전환 스위치에 의해 스위칭 트랜지스터의 게이트로 라우팅될 수 있고, 용량 접속이 각 스위칭 트랜지스터의 출력과 각 스위칭 트랜지스터의 게이트 사이에 제공된다. 전환 스위치는 트랜지스터 게이트가 데이터 신호의 인가 후에 플로팅하도록 한다.

용량 접속은 예를 들어 각 스위칭 트랜지스터의 게이트와 스위칭 회로의 공통 출력 사이에 제공된다.

제 1 및 제 2 스위칭 트랜지스터의 게이트는 함께 접속될 수도 있으며, 용량 접속은 게이트와 공통 출력 사이에 접속된 캐패시터를 포함한다. 이런 방식으로, 부트스트래핑 캐패시터는 두 입력 사이에 공유될 수 있다. 제 1 스위칭 트랜지스터는 n형 트랜지스터이고, 제 2 스위칭 트랜지스터는 p형 트랜지스터일 수 있다. 따라서 단일 데이터 신호가 두 스위칭 트랜지스터 모두의 게이트에 인가되어, 동시에 한 트랜지스터는 온으로 전환시키고 다른 트랜지스터는 오프로 전환시킬 수 있어, 데이터 신호의 온 및 오프 레벨 사이의 전압 스윙을 감소시킬 수 있다.

대신에, 용량 접속은 각 스위칭 트랜지스터와 공통 출력 사이에 접속된 각각의 캐패시터를 포함할 수도 있다. 그러면, 각각의 트랜지스터는 개별적으로 스위칭 가능할 수도 있다.

회로는 n 개의 입력부를 포함하고, 여기서 n은 2보다 크며, n 개의 입력 각각과 픽셀 요소 사이에 접속된 제 1 내지 제 n 스위칭 트랜지스터를 포함하고, 각 스위칭 트랜지스터용의 데이터 신호는 픽셀 요소에 각각의 입력을 라우팅하기 위해 스위칭 트랜지스터 각각이 턴온되도록 선택된다. 이것은 n 개 중 하나의 선택 회로를 제공한다. 이 구성에서, 몇몇 스위칭 트랜지스터는 n형이고 다른 트랜지스터는 p형이며, 또는 이들 모두 동일할 수도 있다.

이 회로는 n 개의 입력부를 포함하고, 상기 n 개의 입력부 각각과 두 개의 중간 출력부 중 하나 사이에 접속된 제 1 내지 제 n 스위칭 트랜지스터를 포함하고, 각각의 스위칭 트랜지스터용의 상기 데이터 신호는 상기 스위칭 트랜지스터의 반이 턴온되어 제 1 선택된 입력을 하나의 중간 출력부로 라우팅하고 제 2 선택된 입력을 다른 중간 출력부로 라우팅하도록 선택된다. 이 구성은 두 출력을 병렬로 제공하며, 각 채널에 대해 선택된 입력을 갖는다. 이것은 제어 신호로서 이진 워드를 사용하여 제어기 회로에 대한 구축 블록을 형성할 수 있다. 예를 들어, 추가적인 스위칭 회로가 중간 출력 입력 중 한 입력을 공통 출력, 즉 핵심으로 선택적으로 라우팅할 수 있으며, 이것은 2 비트 워드에 의해 제어된 네 개의 선택기 중 하나를 제공할 수 있다.

본 발명의 디바이스는 액티브 매트릭스 디스플레이 디바이스일 수 있다. 이 디스플레이에는 핵심들로 이루어진 어레이를 포함할 수도 있으며, 각각의 핵심은 두 개의 전압 구동 레벨 중 하나를 공통 출력으로 라우팅하는 본 발명의 스위칭 회로와, 공통 출력부와 핵심의 액정 셀 사이의 제 1 선택 스위치와, 아날로그 핵심 데이터 라인과 핵심의 액정 셀 사이의 제 2 선택 스위치를 포함한다.

이 구성에서, 스위칭 회로는 저 전압이 요구되는 동작의 저 전력 모드에서 밝음과 어두움 사이에서 선택될 수 있다. 이 동작 모드는 제 1 선택 스위치에 의해 선택된다. 그러나, 디스플레이에는 또한 일반적인 아날로그 모드에서 사용될 수 있으며, 이 모드는 제 2 선택 스위치에 의해 선택된다.

두 전압 구동 레벨 중 어느 한 레벨이 공통 출력으로 라우팅되는지를 선택하는 상기 제어 신호가 아날로그 핵심 데이터 라인 상에 제공되어, 두 동작 모드 사이에서 공유된다.

본 발명은 또한 적어도 두 입력부 중 하나를 핵심들로 이루어진 어레이를 포함하는 디바이스의 핵심 내의 핵심 요소로 라우팅하는 방법에 있어서, 적어도 두 입력부 각각과 핵심 요소 사이에 접속된 적어도 제 1 및 제 2 스위칭 트랜지스터의 게이트에 데이터 신호를 인가하여 제 1 및 제 2 스위칭 트랜지스터 중 선택된 하나를 턴온하고, 제 1 및 제 2 스위칭 트랜지스터 중 다른 하나를 턴오프함으로써 각각의 입력부를 핵심으로 라우팅하는 단계를 포함하고, 데이터 신호의 인가 타이밍은 두 입력부 중 적어도 한 입력부 상의 신호에 따라서 선택되고, 용량 접속이 적어도 하나의 스위칭 트랜지스터의 게이트와 스위칭 트랜지스터의 출력 사이에 제공되고, 상기 타이밍은 용량 접속이 스위칭 트랜지스터를 턴온 및 턴오프하는데 요구된 전압 사이의 데이터 신호 내의 요구된 전압 스윙을 감소시키는 방법을 제공한다.

이 방법은 액정 디스플레이의 구동에 사용될 수 있다. 제 1 모드에서, 아날로그 핵심 구동 신호는 디스플레이의 각 핵심으로 스위칭될 수 있고(정상 모드), 제 2 모드에서, 본 발명의 방법은 각 입력 상의 두 핵심 구동 신호(밝음 또는 어두움) 중 하나를 디스플레이의 각 핵심으로 라우팅하는데 사용될 수 있다.

이하에서는 첨부한 도면을 참조하여 본 발명의 예를 상세히 설명한다.

도면의 간단한 설명

도 1은 두 입력 중 하나의 입력을 선택하는 기준의 스위칭 회로를 개략적으로 도시한 도면.

도 2는 도 1의 회로의 구현을 도시한 도면.

도 3 및 4는 도 2의 회로를 제어하기 위한 여러 파형을 도시한 도면.

도 5는 액티브 매트릭스 액정 디스플레이에 대한 기준의 핵심 구성의 일례를 도시한 도면.

도 6은 로우 및 컬럼 구동 회로를 포함하는 디스플레이 디바이스를 도시한 도면.

도 7은 본 발명의 스위칭 회로의 제 1 예를 도시한 도면.

도 8 및 9는 도 7의 회로를 제어하기 위한 여러 파형을 도시한 도면.

도 10은 본 발명의 스위칭 회로의 제 2 예를 도시한 도면.

도 11은 본 발명의 스위칭 회로의 제 3 예를 도시한 도면.

도 12는 액티브 매트릭스 디스플레이의 핵심 내에 사용된 본 발명의 회로의 제 1 예를 도시한 도면.

도 13은 액티브 매트릭스 디스플레이의 핵심 내에 사용된 본 발명의 회로의 제 2 예를 도시한 도면.

도 14는 액티브 매트릭스 디스플레이의 핵심 내에 사용된 본 발명의 회로의 제 3 예를 도시한 도면.

실시예

도 5는 액티브 매트릭스 액정 디스플레이를 위한 종래의 핵심 구성을 도시한 도면이다. 디스플레이에는 로우 및 컬럼으로 핵심들의 어레이로서 구성된다. 핵심으로 이루어진 각각의 로우는 공통 로우 도체(10)를 공유하고, 핵심으로 이루어진 각각의 컬럼은 공통 컬럼 도체(12)를 공유한다. 각각의 핵심은 박막 트랜지스터(14) 및 컬럼 도체(12)와 공통

전극(18) 사이에 직렬로 연결된 액정 셀(16)을 포함한다. 트랜지스터(14)는 로우 도체(10) 상에 제공된 신호에 의해 온 및 오프로 스위칭된다. 따라서 로우 도체(10)는 픽셀로 이루어진 관련 로우의 각각의 트랜지스터(14)의 게이트(14a)에 접속된다. 각각의 픽셀은 또한 한 단부가 다음 로우 전극 또는 선행 로우 전극 또는 별개의 캐패시터 전극에 접속되는 저장 캐패시터(20)를 포함한다. 이 캐패시터(20)는 트랜지스터(14)가 오프로 된 후에도 액정 셀(16) 양단에 신호가 유지되도록 구동 전압을 저장한다.

액정 셀(6)을 원하는 전압까지 구동시켜 필요한 그레이 레벨(단순히 블랙 또는 화이트)을 얻기 위해, 적절한 신호가 로우 도체(10) 상에 로우 어드레스 펄스와 동기하여 컬럼 도체(12) 상에 제공된다. 이 로우 어드레스 펄스는 박막 트랜지스터(14)를 턴온하며, 이것에 의해 컬럼 도체(12)가 액정 셀을 원하는 전압으로 충전할 수 있으며, 또한 저장 캐패시터(20)를 동일 전압으로 충전할 수 있다. 로우 어드레스 펄스의 끝에서, 트랜지스터(14)는 턴오프되며, 저장 캐패시터(20)는 다른 로우가 어드레스될 때 셀(16) 양단의 전압을 유지한다. 저장 캐패시터(20)는 액정 누설의 효과를 감소시키고 액정 셀 캐패시턴스의 전압 의존성으로 인한 픽셀 캐패시턴스에서의 백분율 변화를 감소시킨다.

로우는, 모든 로우가 하나의 프레임 주기에 어드레스되고 다음 프레임 주기에 리프레시되도록 순차적으로 어드레스된다.

도 6에 도시된 바와 같이, 로우 어드레스 신호는 로우 구동기 회로(30)에 의해 디스플레이 픽셀의 어레이(34)에 제공되고, 픽셀 구동 신호는 컬럼 어드레스 회로(32)에 의해 디스플레이 픽셀의 어레이(34)에 제공된다.

비정질 실리콘 또는 다결정 실리콘 박막 디바이스로서 구현되는 박막 트랜지스터(14)를 통해 충분한 전류가 흐르기 위해서는, 높은 게이트 전압이 사용되어야 한다. 특히, 트랜지스터가 턴온되는 기간은 대략 디스플레이가 리프레시되어야 하는 총 프레임 주기를 로우의 수로 나눈 것과 같다. 오프 상태에서 작은 누설 전류를 제공하기 위해 온 상태와 오프 상태의 게이트 전압은 폴리실리콘 디스플레이에 대해 약 12 볼트 차이가 나며, 이용 가능한 시간 내에 액정 셀(16)을 충전 또는 방전시키기 위해 온 상태에서 충분한 전류가 흐른다.

도 7은 두 개의 가능한 상태 사이에서 회로를 구동시키는데 요구된 신호에 대한 전압 스윙이 감소되는 본 발명에 따른 제 1 스위치 장치를 도시한 것이다. 어레이 디바이스로의 스위칭 회로의 실사를 이하에 상세히 설명한다.

도시되어 있는 바와 같이, 캐패시터(C_B)는 데이터 전압 노드(40)와 출력 신호 노드(43) 사이에 접속된다. 두 개의 스위칭 트랜지스터(50)는 극성 유형이 반대이다. 데이터 전압이 전환 스위치(42)에 의해 데이터 전압 노드(40)에 인가될 때, 입력 신호는 온으로 되는 TFT 상에 존재하는 게이트-소스 전압을 최대화하는 전압 레벨로 유지된다. 이것은 n형 TFT의 입력에 접속된 신호(신호 1)가 가장 낮은 전압 레벨에 있어야 하고, p형 TFT의 입력에서의 신호(신호 2)가 가장 높은 전압 레벨에 있어야 한다는 것을 의미한다. 그러면, 데이터 전압 노드는 전환 스위치(42)에 의해 데이터의 소스로부터 격리되고 데이터 전압은 캐패시터(C_B) 상에 유지된다. 출력 신호 전압의 임의의 변화는 데이터 전압 노드 상으로 결합되어 도통되어 있는 디바이스의 게이트-소스 전압을 유지한다. 이것의 이점은 위 분석에 사용된 두 세트의 예시적인 파형을 고려함으로써 예증될 수 있다.

도 8은 도 3의 파형이 부트스트랩 캐패시터(C_B)를 사용하는 도 7의 픽셀 구성에 맞게 수정될 수 있는지를 보여준다. 새로운 파형인 "전송 데이터(transfer data)"이 추가되었다. 이 신호가 하이인 경우에, 데이터 전압 레벨은 데이터 소스로부터 데이터 전압 노드(40)로 전송된다. 이 신호가 로우인 경우에, 데이터 전압 노드(40)는 소스로부터 격리된다. 이 기능은 도 7에 도시된 바와 같은 TFT 스위치를 사용하여 획득될 수 있다. 캐패시터(C_B)를 스위칭 회로에 도입하면 데이터 전압 노드 상에 나타나는 전압 파형을 수정하는 효과가 있다. n형 디바이스 상의 스위치에 요구된 데이터 전압은, 신호 1 입력부에 존재하는 전압이 최소 레벨에 있을 때 데이터 전압이 데이터 소스로부터 전환되는 경우에 최소화될 수 있다. 따라서, "전송 데이터" 파형 내의 제 2 펄스는 "신호 1" 파형 내의 홈에 대응하도록 타이밍이 맞추어진다.

두 트랜지스터의 스위칭을 위해 요구된 데이터 전압 레벨은 표 3에 요약되어 있다.

표 3.

데이터 전압	TFT 스위칭에 요구된 조건	요구된 데이터 전압에 대한 방정식	지정된 조건에 대한 값	요구된 데이터 전압
V_{DH}	n-형 TFT 온	$V_{DH} \geq 0 + V_{non}$	$\geq 4V$	4.5V
	p-형 TFT 오프	$V_{DH} \geq 0.5V_{DR} - V_{poff}$	$\geq 4.5V$	
V_{DL}	n-형 TFT 오프	$V_{DL} \leq 0 - V_{non}$	$\leq 0V$	0V
	p-형 TFT 온	$V_{DL} \leq 0.5V_{DR} + V_{pon}$	$\leq 0.5V$	

p형 디바이스에 대한 스위칭 조건은 C_B 가 존재하지 않는 이전의 경우로부터 변경되지 않는다. 그러나, n형 트랜지스터를 온으로 하는데 요구된 높은 데이터 전압 레벨은 이제 감소한다. 데이터 전압이 데이터 전압 노드로 전달될 때 신호 1은 0V이며, 따라서 V_{non} 의 데이터 전압이 n형 디바이스를 온으로 하는데 충분하다. 신호 1에 인가된 전압이 레벨(V_{DR})로 변하면, 데이터 전압 노드가 이제 데이터 소스로부터 격리되기 때문에, 이 전압의 변화는 C_B 에 의해 데이터 전압 노드 상에 결합된다. TFT의 게이트 상의 전압은 약 $V_{DH} + V_{DR}$ 로 증가하는데, 이것은 n형 디바이스가 소스와 드레인 단자에서의 전압 증가에도 불구하고 도통 상태를 유지하는 것을 보장한다. 이 부트스트랩 효과의 결과는 n형 디바이스를 스위칭하는데 필요한 고 레벨 데이터 전압이 단지 4V라는 것이다. 이것은 p형 디바이스를 비도통 상태로 유지하는데 필요한 고 레벨 전압보다 더 낮으며, 따라서 이 예에 사용된 특정 값에 대해 요구된 최소

하이 데이터 전압 레벨이 4.5V이다. 실제로는, C_B 의 부트스트랩 효과는 데이터 전압 노드에서 다른 캐패시턴스의 존재로 인해 완벽하지 않을 것이다. 이를 캐패시턴스의 효과에 의해 트랜지스터의 게이트 상의 전압의 변화는 소스상의 전압의 변화보다 더 작아진다. 따라서, 신호 전압이 증가함에 따라 게이트-소스 전압이 증가하며, 트랜지스터는 보다 적게 도통하게 된다. 이것은 이 단순한 분석에 의해 예측되는 것보다 약간 더 높은 데이터의 사용을 필요로 할 수도 있다.

이 예는 캐패시터(C_B)를 스위칭 회로에 도입하고 신호 전압이 최적 레벨에 도달할 때 데이터 전압을 데이터 전압 노드에 전달한 후에 그 노드를 격리시킴으로써, 요구된 데이터 전압 범위 내의 실질적인 감소가 이루어질 수 있으며, 따라서 디스플레이의 전력 소비가 감소될 수 있음을 나타낸다.

도 9는 도 4의 과정이 부트스트랩 캐패시터(C_B)를 사용하는 도 7의 픽셀 구성에 맞게 수정될 수 있다. "전송 데이터" 과정은 다시 데이터 전압이 데이터 전압 노드에 전달되는 시간을 나타낸다. 신호 1이 최소 레벨에 있고, 신호 2가 최대 레벨에 있는 경우에 데이터 전압을 데이터 전압 노드로 전달하면, p형 및 n형 TFT를 스위칭하는데 필요한 하이 및 로우 데이터 전압 레벨 사이의 차를 감소시키는 것이 가능하다. 이전의 예에서와 같이, C_B 의 효과는 출력 전압의 변화를 데이터 전압 노드에 결합시킨 후에 데이터 전압으로부터 데이터 전압 노드를 격리시키는 것이다. 데이터 전압이 처음에 로우 레벨(V_{DL})에 있는 경우에, 신호 2가 최소 값이 되면, 출력 구동 전압은 동일 레벨로 떨어지고, 캐패시터(C_B)는 이 전압의 변화를 데이터 전압 노드에 결합시킨다. 이 때문에 p형 디바이스는 도통 상태로 유지된다. 데이터 전압이 처음에 하이 레벨에 있는 경우에, 신호 1이 최대 값으로 되면 출력 구동 전압은 동일 레벨로 상승하고, 캐패시터(C_B)는 이 전압의 변화를 데이터 전압 노드에 결합시켜 n형 디바이스가 도통 상태로 유지되게 한다. C_B 를 포함하는 스위칭 회로에 대한 데이터 전압의 요건은 표 4에 요약되어 있다.

표 4.

데이터 전압	TFT 스위칭에 요구된 조건	요구된 데이터 전압에 대한 방정식	지정된 조건에 대한 값	요구된 데이터 전압
V_{DH}	n-형 TFT 온	$V_{DH} \geq 0 + V_{non}$	$\geq 4V$	4V
	p-형 TFT 오프	$V_{DH} \geq V_{DR} - V_{poff}$	$\geq 3.5V$	
V_{DL}	n-형 TFT 오프	$V_{DL} \leq 0 - V_{noff}$	$\leq 0V$	-0.5V
	p-형 TFT 온	$V_{DL} \leq V_{DR} + V_{pon}$	$\leq -0.5V$	

상술한 조건에 대한 요구된 데이터 전압 진폭은 입력 구동 과정이 스위칭될 때 n형 및 p형 TFT가 도통을 유지할 필요성에 의해 결정된다. 데이터 신호 진폭은 또한 캐패시터(C_B)의 도입에 의해 4.5V의 값까지 실질적으로 감소한다.

본 발명의 이 실시예는 p형 또는 n형 박막 트랜지스터를 사용하여 신호를 선택하거나, 라우팅하거나 또는 멀티플렉싱하는 방법을 제공한다. 스위칭 트랜지스터의 출력 신호가 게이트에 용량 결합하는 부트스트랩 효과에 의해 비교적 낮은 데이터 또는 제어 신호 전압이 트랜지스터를 제어하는데 사용될 수 있다. 회로의 올바른 동작을 위해서는 몇몇 신호 특성을 알아야 하는데, 이것은 통과하는 신호 전압이 p형 및 n형 디바이스에 대해 최대(최대 포지티브) 또는 최소(최대 네거티브) 전압 레벨에 있는 경우에 제어 데이터를 트랜지스터에 전달하는 것이 바람직하기 때문이다. 이 방법은 스위치를 제어하는데 사용된 신호의 전압 범위를 최소로 한다.

TFT에 의해 통과된 신호 전압이 V_{min} 의 최소 레벨 및 V_{max} 의 최대 레벨을 가지면, 종래의 방법 및 제안된 부트스트랩된 방법을 사용하여 디바이스를 스위칭하는데 요구된 데이터 또는 제어 전압 레벨은 n형 디바이스에 대해서는 표 5에 나타낸 바와 같고, p형 디바이스에 대해서는 표 6에 나타낸 바와 같다. 데이터 전압 노드의 총 캐패시턴스에 대한 부트스트랩 캐패시터(C_B)의 비는 k_B 와 같다고 가정한다.

표 5.

데이터 전압	TFT 스위칭에 요구된 조건	부트스트랩 없는 데이터 전압	부트스트랩을 갖는 데이터 전압에 대한 방정식
하이 레벨	n-형 TFT 온	$V_{DH} \geq V_{max} + V_{non}$	$V_{DH} \geq V_{max} + V_{non} - k_B(V_{max} - V_{min})$
로우 레벨	n-형 TFT 오프	$V_{DL} \leq V_{min} - V_{noff}$	$V_{DL} \leq V_{min} - V_{noff}$

표 6.

데이터 전압	TFT 스위칭에 요구된 조건	부트스트래핑 없는 데이터 전압	부트스트래핑을 갖는 데이터 전압에 대한 방정식
로우 레벨	n-형 TFT 온	$V_{DL} \leq V_{min} + V_{pon}$	$V_{DL} \leq V_{min} + V_{pon} + K_B(V_{max} - V_{min})$
하이 레벨	n-형 TFT 오프	$V_{DH} \geq V_{max} - V_{poff}$	$V_{DH} \geq V_{max} - V_{poff}$

위의 예는 부트스트래핑 기법이 두 신호 선택 함수 중 하나에 적용될 수 있다는 것을 보여준다. 그러나, 본 발명은 스위칭 트랜지스터의 다른 구성에도 적용될 수 있다.

도 10은 네 개의 선택 회로 중 하나의 예를 도시하고 있다. 제어 신호 "데이터 1" 내지 "데이터 4"는 네 개의 스위칭 트랜지스터(50) 중 하나를 터온하는 방식으로 발생된다. 동일한 유형의 트랜지스터가 사용될 수도 있지만, p형 및 n형 TFT 스위치의 조합이 도 10에 도시된 바와 같이 사용될 수 있다.

도 11은 2 비트 전압 선택기의 일례이다. 이것은 직렬 연결된 스위칭 트랜지스터를 이용하여 디코딩 및 신호 스위칭 기능을 제공한다.

스위칭 회로는 4 개의 입력("신호 0" 내지 "신호 3")을 가지며, 2 비트 제어 신호(D0, D1)에 의해 이들 중 하나가 선택된다. 회로는 두 개의 총(52, 54)을 갖는다. 제 1 총(52)은 입력들을 중 하나와 중간 출력들(56, 58) 중 하나 사이에 접속된 제 1 내지 제 4 스위칭 트랜지스터(50a-50d)를 갖는다. 제 1 총(52)은 2 비트 워드의 비트들 중 하나(D0)에 의해 제어되며, 이 비트는 입력 신호들 중 어느 두 개의 입력 신호가 중간 출력으로 라우팅될지를 결정한다. 제 2 총(54)은 중간 출력 중 하나를 출력 신호로서 선택적으로 라우팅하며, 제어 신호의 다른 비트(D1)에 의해 제어된다. 따라서 도 11의 회로는 둘 중 하나의 선택회로의 캐스케이드(cascade)로서 형성된다.

본 발명의 회로는 수많은 애플리케이션에 사용될 수 있다. 본래, 애플리케이션은 입력 신호 파형이 미리 파악할 것을 요구하며, 따라서 "전송 데이터" 신호의 타이밍이 부트스트랩 캐페시터의 용량 결합을 이용하도록 선택될 수 있다. 본 발명은 스위칭 전압 레벨을 감소시킬 수 있으며, 멀티플렉서 회로 및 어레이 유형의 회로 구성의 범위에 사용될 수 있다.

본 발명의 회로는 특히 픽셀 설계에 통합되는 액티브 매트릭스 디스플레이 디바이스에 사용하는 것이 바람직하다. 그러면 이 회로는 예를 들어 저 전력 2진 디스플레이 모드에 있어서 두 개의 밝기 레벨 사이에서 선택을 할 수 있다. 본 발명은 또한 전술한 바와 같이 집적 메모리 특성을 갖는 디스플레이에 특히 적합하다.

본 발명의 회로를 이용하는 AMLCD 용의 픽셀 회로의 일례가 도 12에 도시되어 있다. 픽셀은 도 5의 표준 픽셀 회로를 포함하며, 도 5에서와 동일한 구성요소에 대해서는 동일한 참조 번호가 사용된다. 이들 구성요소는 일반적인 유사 구동 모드에서 픽셀이 동작할 수 있게 한다. 이것은 제 1 동작 모드로서 고려될 수도 있다.

픽셀은 또한 도 7을 참조하여 설명한 것에 대응하는 스위칭 회로(60)를 포함한다. 또한, 도 7에서와 동일한 구성요소에 대해서는 동일 참조 번호가 사용된다. 이 스위칭 회로(60)는 모든 픽셀들 사이에 공유된 두 개의 구동 전압 레벨 "Vdrive1" 및 "Vdrive2" 사이의 선택을 가능하게 한다. 스위칭 트랜지스터의 게이트에 데이터 신호를 인가하는 타이밍을 제어하는 전환 스위치(42)는 픽셀들로 이루어진 로우 사이에 공유되는 "Data_address" 라인에 의해 제어된다. 선택된 구동 신호는 "Pixel_refresh" 라인(그 기능은 아래에 설명함)에 의해 제어되는 제 1 선택 스위치(64)에 의해 스위칭 회로(60)와 액정 셀(16) 사이에 결합된다. 트랜지스터(14)는 제 2 트랜지스터로서 간주될 수도 있으며, 이들 전환 스위치는 픽셀의 어느 부분(아날로그 또는 이진 부분)이 액정 셀(16)에 구동 신호를 공급하는지를 규정한다.

따라서, 픽셀은 두 모드로 동작할 수 있다. 제 1 아날로그 모드에서는, Pixel_refresh 전극이 로우 레벨에서 유지되어 디스플레이 소자가 제 1 전환 스위치(64)에 의해 스위칭 회로(60)로부터 격리된다. 제 2 동작 모드에서는, 디지털 데이터 신호가 컬럼(12)에 인가된다. 포지티브 진행 펄스를 Data_address 라인에 인가하는 것에 의해, 1 비트의 데이터가 컬럼(12)으로부터 데이터 전압 노드(40)로 전송된다. 이것은 전환 스위치(42)를 터온하며, 부트스트래핑 캐페시터(C_B)를 충전시킨다.

부트스트래핑 캐페시터는 픽셀 내에서 디지털 데이터가 저장되는 캐페시터로서 작동할 수 있다. 위에서 논의한 바와 같이, 스위칭 트랜지스터(50)를 스위칭하는데 필요한 디지털 데이터 전압의 범위를 최소화하기 위해, 신호(Vdrive1)가 최소 전압 레벨에 있고 신호(Vdrive2)가 최대 전압 레벨에 있는 경우에 데이터 전송이 이루어진다(도 9를 참조하여 설명한 바와 같이). 데이터가 데이터 전압 노드로 전송된 후에, 하나의 스위칭 트랜지스터(50)는 도통 상태가 되고, 다른 디바이스는 비도통 상태로 된다. 따라서, 두 신호(Vdrive1, Vdrive2) 중 하나가 스위칭 회로의 출력(62)에 나타난다.

포지티브 진행 펄스를 Pixel_refresh 라인에 인가하고 제 1 전환 스위치(64)를 터온함으로써, 이 구동 신호는 디스플레이 소자에 주기적으로, 예를 들어 20ms마다 인가된다.

전술한 바와 같이, 부트스트래핑 캐페시터는 집적 메모리 소자로서 기능할 수 있다. 특히, 두 신호 입력 중 어느 신호 입력이 공통 출력으로 스위칭되는 지에 따라서 캐페시터는 여러 레벨로 충전된다. 액티브 매트릭스 디스플레이 디바이스의 전력 소비의 상당한 부분이 비디오 신호 소스로부터 디스플레이 디바이스의 픽셀로 비디오 정보를 전달하는 것과 관련되는 집적 메모리 특성이 제안되었다. 디스플레이 디바이스의 픽셀이 무한한 기간 동안 비디오 정보를

저장할 수 있다면, 이 전력 구성요소는 감소될 수 있다. 이 경우에, 픽셀의 디스플레이 출력(밝기) 상태에 아무런 변화가 요구되지 않을 때 새로운 비디오 정보를 갖는 픽셀의 어드레싱이 중지될 수 있다.

액티브 매트릭스 디스플레이 디바이스의 픽셀에 메모리를 포함하면, 화상이 변할 때 데이터가 디스플레이 픽셀로만 송신되면 되기 때문에 정지 화상 디스플레이가 허용될 때 전력을 감소시킬 수 있으며, 따라서 외부 회로에서 그리고 디스플레이 픽셀에 대한 접속과 관련된 캐패시턴스를 구동하는 중에 보다 적은 전력이 소비된다. 본 발명의 픽셀 회로는 어드레싱 전압 레벨을 감소시키는 이 저 전력 모드에서 블랙 및 화이트 이미지가 디스플레이되는 것을 가능하게 한다.

캐패시터가 메모리 소자로서 사용될 때, 스위치(64) 및 C_B 가 1 비트의 동적 메모리 셀을 효과적으로 형성하므로, C_B 에 유지되는 디지털 데이터는 주기적으로 리프레시되어야 한다. 이 리프레싱은 외부 메모리로부터 컬럼 구동 회로 및 디스플레이의 컬럼 전극을 통해 외부 메모리로부터 데이터를 전송함으로써 달성될 수 있다. 또는 이것은, 트랜지스터(14, 64)를 통해 컬럼 전극에 저장된 데이터를 판독하고 데이터 신호를 버퍼하기 위해 트랜지스터(50)에 의해 형성된 스위칭 회로를 이용함으로써 달성될 수도 있다. 어느 경우든, 부트스트래핑 기법에 의한 디지털 데이터 신호의 진폭의 감소는 디스플레이의 컬럼에 인가되어야 하는 디지털 신호의 진폭을 감소시킬 것이며, 따라서 디스플레이의 전력 소비를 감소시킬 것이다.

디지털 데이터를 리프레시하는 주파수는 캐패시터(C_B)의 값 및 전환 트랜지스터(42)를 통한 누설 전류에 의존한다. 5Hz 내지 30Hz 범위의 주파수가 통상 이용가능하다.

이상의 실시예에서, 스위칭 회로는 적어도 두 개의 구동 전압 중 하나를 선택하는데 사용되며, 이들에게 공통 출력을 제공한다. 그러나, 부트스트래핑 기법은 본 발명의 스위칭 장치를 사용하는 단 하나의 구동 전압 입력을 갖는 AMLCD 픽셀 회로에 적용될 수 있다. 도 13은 이 목적을 위한 도 12의 변형예이다. 도 13에서, 동일한 구성요소에 대해서는 동일한 참조번호가 도 12에서와 같이 사용된다.

도 13의 회로는 도 12의 회로와 유사한 방식으로 작동될 수 있지만, 부트스트랩 캐패시터(C_B)에 저장된 데이터에 의해 제어된 하나의 스위칭 트랜지스터(50)만 갖고 있다. 컬럼 데이터 전압이 하이이고, 전환 스위치(42)에 의해 스위칭 트랜지스터(50)로 라우팅되는 경우에, 스위칭 트랜지스터(50)가 온으로 된다. pixel_refresh 라인이 하이로 되면, 전환 스위치(64)를 통해 픽셀이 Vdrive1 레벨로 충전된다.

컬럼 데이터 전압이 로우인 경우, 스위칭 트랜지스터(50)는 턴오프되고, pixel_refresh 라인이 하이로 되면 픽셀 전압은 변하지 않고 유지된다. 픽셀을 어두운 상태 또는 밝은 상태로 전환하는데 필요한 제 2 픽셀 구동 전압 레벨은 픽셀 캐패시턴스의 프리차킹을 이용하여 픽셀에 인가될 수 있다. 픽셀은 프리차지 전압(예를 들면, 도 12의 픽셀 회로의 예에서 Vdrive2와 유사함)을 디스플레이의 컬럼에 인가하고 전환 스위치(64) 앞의 픽셀 어드레스 트랜지스터(14)를 간단히 턴온함으로써 프리차지된다. 이런 방법으로, 만약 컬럼 데이터 전압이 하이이면, 픽셀 전극 상의 결과의 전압은 Vdrive1이 되지만, 컬럼 데이터 전압이 로우이면 픽셀 전극 상의 결과의 전압은 프리차지 전압(Vdrive2)이 된다.

이런 방법으로, 픽셀이 어드레스되기 전에 Vdrive2의 프리차지가 픽셀에 인가된다. 만약 컬럼 데이터 전압이 하이이면 이것은 무시되는 반면에 컬럼 전압이 로우이면, Vdrive2가 픽셀 상에 유지된다. 픽셀 어드레스 상태 동안에, 트랜지스터(14)는 턴오프된다.

도 13의 회로에서, 트랜지스터(50)는 디지털 스위칭 회로의 스위칭 트랜지스터 중 하나로서 작동하고, 트랜지스터(14)는 다른 하나의 스위칭 트랜지스터로서 작동한다. 이들은 직접적인 공통 출력을 공유하지는 않지만, 각 입력부와 사실상 공통 출력인 공통 LC 셀(16) 사이에 효과적으로 접속된다. 청구범위는 이에 따라 구성된다.

이 경우에, 데이터 신호의 인가 타이밍은, 도 8에서 신호 1에 대응하는 Vdrive1 신호의 최소 전압으로 Data_address 펄스를 조절함으로써 컬럼 데이터의 요구 전압 스윙을 감소시킨다. 이와 유사하게, 픽셀 어드레스 트랜지스터(14)를 통해 픽셀로 전달하기 위해 컬럼에 인가된 프리차지 전압이 도 8의 신호 2에 대응할 수도 있다.

위 예에서, 부트스트랩 캐패시터는 각 스위칭 트랜지스터의 게이트와 공통 출력 사이에 접속된다. 그러나, 입력 신호를 선택하는 스위칭 트랜지스터의 출력이 공통 출력 노드에 직접 접속되지 않는 몇몇 상황이 있을 수도 있다. 도 14의 회로는 디지털-아날로그 변환기를 포함한다. 픽셀이 트랜지스터(T1)를 사용하여 어떠한 전압으로 프리차지되지만 그 다음에 픽셀 전압이 Vdrive1로부터 변환기 캐패시터(C_C)를 통해 픽셀에 결합됨으로써 변경될 수 있다는 점에서, 이것은 도 13의 회로와 유사한 방식으로 동작한다.

픽셀에 결합된 전압의 크기는 캐패시터(C_B) 상의 데이터 전압에 의존한다. 스위칭 트랜지스터의 출력은 부가적인 직렬 접속 캐패시터를 통해 공통 출력 노드에 접속된다. 이들은 "데이터" 라인 상의 디지털 워드로부터 디지털-아날로그 변환을 제공한다.

본 발명을 이루는 기본적인 기법은, 디지털 제어 또는 데이터 신호의 상태에 따라서 신호를 라우팅하거나 선택하는 회로를 생성하기 위해 p형 트랜지스터의 조합, n형 트랜지스터의 조합 또는 이들 둘의 조합을 사용하기에 바람직한 임의의 상황에 매우 넓게 적용될 수 있다. 위에서 약술한 바와 같이, 이 기법은 픽셀 내에 접속된 동적 메모리가 밝기를 조절하는데 사용되는 디스플레이에서 사용하는 것에 있어서 특히 흥미롭다.

"로우" 및 "컬럼"이란 용어는 상세한 설명 및 청구범위에서 다소 임의적이다. 이를 용어는 공통 접속부를 공유하는 요소들의 직교 라인을 갖는 요소들의 어레이가 있다는 것을 나타낸다. 로우는 일반적으로 디스플레이의 측면으로

연장되는 것으로 간주되며, 컬럼은 상부에서 하부로 연장되는 것으로 간주되며, 이들 용어의 사용이 이러한 점에 한정되는 것은 아니다.

본 발명의 다른 특징들은 당업자들에게 자명할 것이다.

(57) 청구의 범위

청구항 1.

픽셀들의 어레이를 포함하는 디바이스에 있어서,

각각의 픽셀은 픽셀 요소(16)를 포함하고 스위칭 회로(60)와 관련되며,

상기 스위칭 회로(60)는 적어도 두 입력(Vdrive1, Vdrive2; Vdrive1, 12) 중 하나를 상기 픽셀 요소(16)로 선택적으로 라우팅하고, 상기 적어도 두 입력 각각과 상기 픽셀 요소 사이에 접속된 적어도 제 1 및 제 2 스위칭 트랜지스터(50; 14, 50)를 포함하며,

각각의 스위칭 트랜지스터는 상기 트랜지스터의 게이트에 인가된 데이터 신호에 의해 제어되고,

각각의 스위칭 트랜지스터용의 상기 데이터 신호는 상기 입력들 중 적어도 하나의 입력의 상기 데이터 파형에 의존하여 결정된 사전 결정된 타이밍으로 상기 스위칭 트랜지스터의 게이트로 라우팅되며,

상기 스위칭 트랜지스터 중 적어도 하나의 트랜지스터의 게이트와 상기 스위칭 트랜지스터의 출력부 사이에 용량 접속(C_B)이 제공되는

디바이스.

청구항 2.

제 1 항에 있어서,

각각의 스위칭 트랜지스터용의 상기 데이터 신호는 각각의 스위칭 트랜지스터(50)용의 상기 데이터 신호의 인가 타이밍을 제어하는 전환 스위치(42)에 의해 상기 스위칭 트랜지스터의 게이트로 라우팅되고,

용량 접속(C_B)이 각각의 스위칭 트랜지스터(50)의 게이트와 각각의 스위칭 트랜지스터의 출력부(62) 사이에 제공되는

디바이스.

청구항 3.

제 2 항에 있어서,

용량 접속(C_B)이 각각의 스위칭 트랜지스터(50)의 게이트와 상기 스위칭 회로의 출력부(62) 사이에 제공되는

디바이스.

청구항 4.

제 1 항 내지 3 항 중 어느 한 항에 있어서,

상기 제 1 및 제 2 스위칭 트랜지스터(50)의 게이트는 서로 접속되며, 상기 용량 접속은 상기 게이트와 상기 스위칭 회로의 출력부(62) 사이에 접속된 캐페시터를 포함하는

디바이스.

청구항 5.

제 4 항에 있어서,

상기 제 1 스위칭 트랜지스터(50)는 n형 트랜지스터이고, 상기 제 2 스위칭 트랜지스터(50)는 p형 트랜지스터인
디바이스.

청구항 6.

제 1 항 내지 3 항 중 어느 한 항에 있어서,

상기 용량 접속은 각각의 스위칭 트랜지스터의 게이트와 상기 스위칭 회로의 출력부(62) 사이에 접속된 각각의 캐리에이터를 포함하는

디바이스.

청구항 7.

제 6 항에 있어서,

n 개의 입력부를 포함하고, 여기서 n 은 2보다 크며,

n 개의 입력부(신호1-신호4) 각각과 상기 픽셀 요소 사이에 접속된 제 1 내지 제 n 스위칭 트랜지스터(50)를 포함하고,

각 스위칭 트랜지스터용의 상기 데이터 신호는 상기 스위칭 트랜지스터 각각이 턴온되어 각각의 입력을 상기 픽셀 요소(16)로 라우팅하도록 선택되는

디바이스.

청구항 8.

제 7 항에 있어서,

상기 스위칭 트랜지스터 중 적어도 하나는 n 형이고, 상기 스위칭 트랜지스터 중 적어도 하나는 p 형인

디바이스.

청구항 9.

제 7 항에 있어서,

모든 스위칭 트랜지스터는 동일 극성 유형인

디바이스.

청구항 10.

제 6 항에 있어서,

n 개의 입력부를 포함하고,

상기 n 개의 입력부(신호0-신호3) 각각과 두 개의 중간 출력부(56, 58) 중 하나 사이에 접속된 제 1 내지 제 n 스위칭 트랜지스터(50a-50d)를 포함하고,

각각의 스위칭 트랜지스터용의 상기 데이터 신호는 상기 스위칭 트랜지스터의 반이 턴온되어 제 1 선택된 입력을 하나의 중간 출력부(56)로 라우팅하고 제 2 선택된 입력을 다른 중간 출력부(58)로 라우팅하도록 선택되는

디바이스.

청구항 11.

제 10 항에 있어서,

상기 중간 출력부(56, 58) 중 하나를 상기 픽셀 요소로 선택적으로 라우팅하는 스위칭 회로(54)를 더 포함하는

디바이스.

청구항 12.

제 1 항 내지 5 항 중 어느 한 항에 있어서,

상기 픽셀 요소가 액정 셀을 포함하는 액티브 매트릭스 액정 디스플레이 디바이스를 포함하고, 각각의 픽셀은 두 개의 전압 구동 레벨(Vdrive1, Vdrive2) 중 하나를 상기 픽셀 요소(16)로 라우팅하는 상기 스위칭 회로(60)를 포함하는

디바이스.

청구항 13.

제 12 항에 있어서,

상기 스위칭 회로(60)의 상기 공통 출력부(62)와 상기 픽셀(16)의 상기 액정 셀 사이의 제 1 선택 스위치(64)와,

아날로그 픽셀 데이터 라인(12)과 상기 픽셀의 상기 액정 셀(16) 사이의 제 2 선택 스위치(14)를 더 포함하는

디바이스.

청구항 14.

제 13 항에 있어서,

상기 두 전압 구동 레벨은 상기 액정 셀을 블랙 및 화이트 상태로 구동시키는 전압을 포함하는

디바이스.

청구항 15.

제 13 항 또는 14 항에 있어서,

상기 두 전압 구동 레벨 중 어느 한 레벨이 상기 픽셀 요소로 라우팅되는지를 선택하는 상기 제어 신호가 상기 아날로그 픽셀 데이터 라인(12) 상에 제공되는

디바이스.

청구항 16.

제 15 항에 있어서,

각각의 스위칭 트랜지스터(50)용의 상기 데이터 신호는 각각의 스위칭 트랜지스터(50)용의 상기 데이터 신호의 인가 타이밍을 제어하는 전환 스위치(42)에 의해 상기 스위칭 트랜지스터의 게이트로 라우팅되고,

용량 접속(C_B)이 각각의 스위칭 트랜지스터(50)의 게이트와 각각의 스위칭 트랜지스터의 출력부(62) 사이에 제공되며,

상기 전환 스위치(42)가 상기 아날로그 픽셀 데이터 라인(12)과 상기 제 1 및 제 2 스위칭 트랜지스터(50)의 게이트 사이에 제공되는

디바이스.

청구항 17.

제 12 항에 있어서,

상기 스위칭 트랜지스터(50) 중 적어도 하나의 출력부와 상기 픽셀의 상기 액정 셀 사이의 제 1 선택 스위치(64)와,

아날로그 픽셀 데이터 라인(12)과 상기 픽셀의 상기 액정 셀 사이의 제 2 선택 스위치(14)를 더 포함하는

디바이스.

청구항 18.

제 17 항에 있어서,

상기 제 2 선택 스위치(14)는 상기 제 1 및 제 2 스위칭 트랜지스터 중 나머지 하나를 포함하는 디바이스.

청구항 19.

제 18 항에 있어서,

제 1 모드에서, 제 2 선택 스위치(14)는 상기 아날로그 핵셀 데이터 라인(12)으로부터 상기 액정 셀(16)로 두 개의 디지털 핵셀 신호 중 한 신호를 제공하고,

제 2 모드에서 제 2 선택 스위치(14)는 상기 아날로그 핵셀 데이터 라인(12)으로부터 상기 액정 셀(16)로 아날로그 핵셀 신호를 제공하는

디바이스.

청구항 20.

적어도 두 입력 중 하나를 핵셀들로 이루어진 어레이를 포함하는 디바이스의 핵셀 내의 핵셀 요소로 라우팅하는 방법에 있어서,

상기 적어도 두 입력(신호1-신호4) 각각과 상기 핵셀 요소(16) 사이에 접속된 적어도 제 1 및 제 2 스위칭 트랜지스터(50)의 게이트에 데이터 신호를 인가하여 상기 제 1 및 제 2 스위칭 트랜지스터(50) 중 선택된 하나를 턴온하고, 상기 제 1 및 제 2 스위칭 트랜지스터(50) 중 다른 하나를 턴오프함으로써 상기 각각의 입력을 상기 핵셀(16)로 라우팅하는 단계를 포함하고,

상기 데이터 신호의 인가 타이밍은 상기 두 입력 중 적어도 한 입력 상의 신호에 따라서 선택되고,

용량 접속(C_B)이 적어도 하나의 스위칭 트랜지스터(50)의 게이트와 상기 스위칭 트랜지스터의 출력부 사이에 제공되고,

상기 타이밍은 상기 용량 접속이 스위칭 트랜지스터를 턴온 및 턴오프하는데 요구된 전압 사이에서 데이터 신호 내의 상기 요구된 전압 스윙을 감소시키도록 제어되는

방법.

청구항 21.

액정 디스플레이를 구동시키는 방법에 있어서,

제 1 모드에서, 아날로그 핵셀 구동 신호를 상기 디스플레이의 각 핵셀로 스위칭하는 단계와,

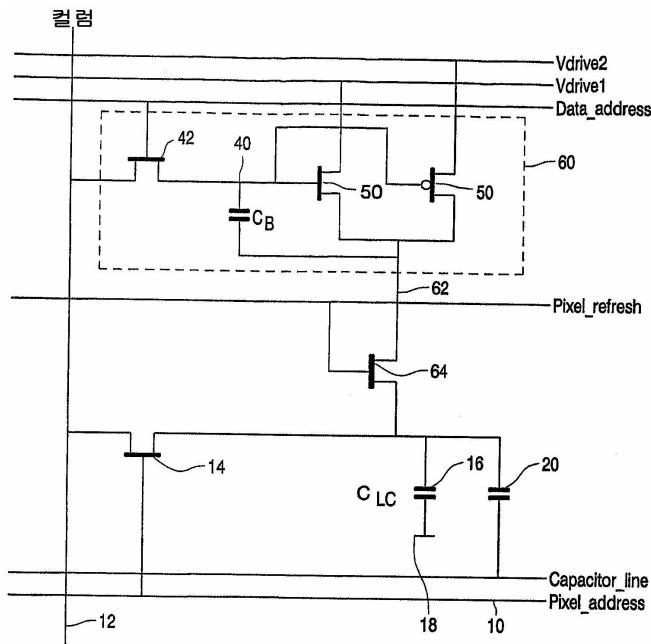
제 2 모드에서, 각 입력 상의 두 개의 핵셀 구동 신호 중 하나를 상기 디스플레이의 각 핵셀로 라우팅하는 단계 -이 제 2 모드에서의 각 핵셀에 대한 라우팅 단계는 제 20항의 방법을 이용함- 를 포함하는

액정 디스플레이 구동 방법.

요약

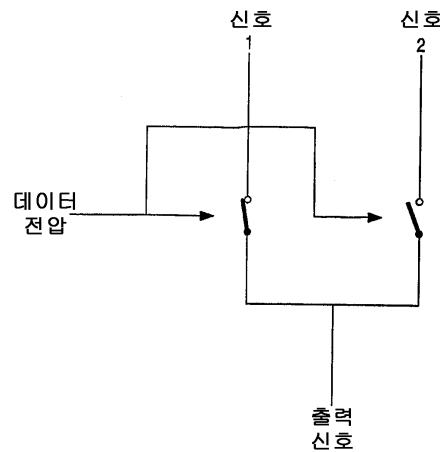
본 발명에 따른 어레이 디바이스는 적어도 두 입력 중 하나를 핵셀 요소로 선택적으로 라우팅하기 위해 각 핵셀 내에 스위칭 회로를 구비한다. 스위칭 트랜지스터는 적어도 두 입력 각각과 핵셀 요소 사이에 접속된다. 스위칭 트랜지스터의 동작 타이밍은 입력 중 적어도 하나의 데이터 파형에 따라서 결정되고, 용량 접속이 스위칭 트랜지스터 중 적어도 하나의 게이트와 스위칭 트랜지스터의 출력 사이에 제공된다. 이것은 부트스트래핑 기법을 이용하여 스위칭 트랜지스터가 올바르게 스위칭하도록 요구되는 데이터 전압 범위를 감소시킬 수 있다. 특히, 스위칭 트랜지스터를 온 또는 오프로 전환시키기 위해 데이터 신호의 인가 타이밍을 조절함으로써, 각 스위칭 트랜지스터를 통해 부트스트래핑 캐패시터에 용량 결합을 제공하는데, 입력 신호 중 적어도 하나의 전압 레벨이 사용될 수 있다.

대표도

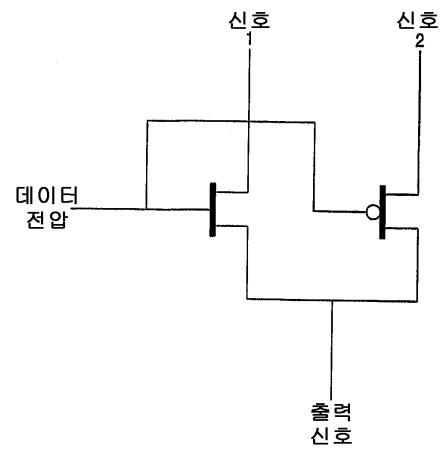


도면

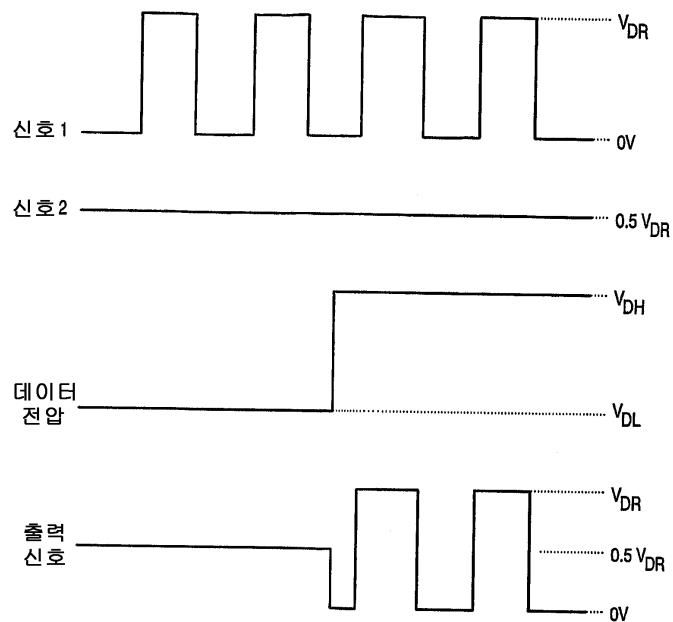
도면1



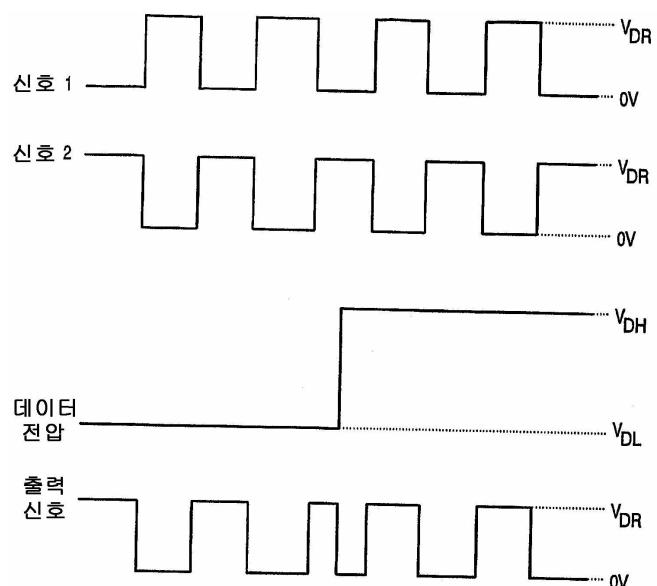
도면2



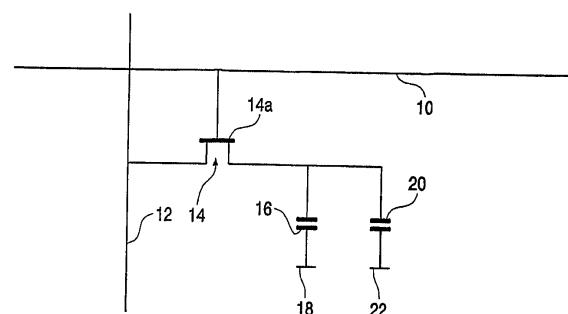
도면3



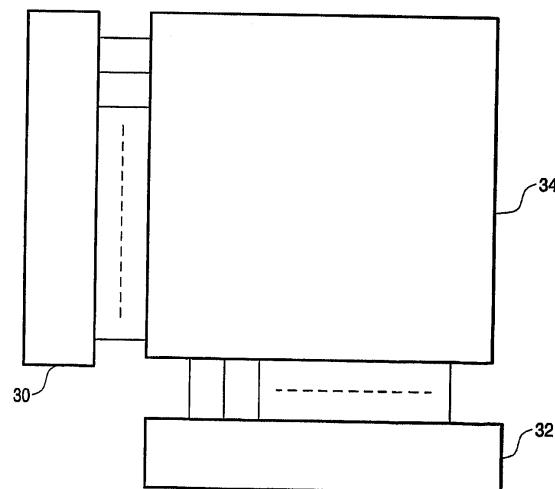
도면4



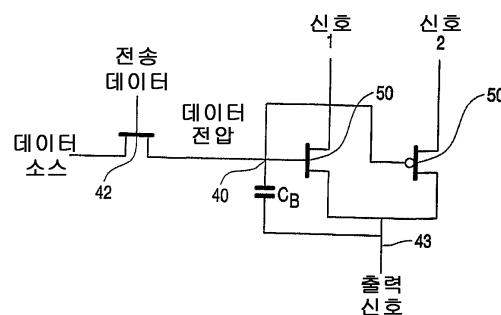
도면5



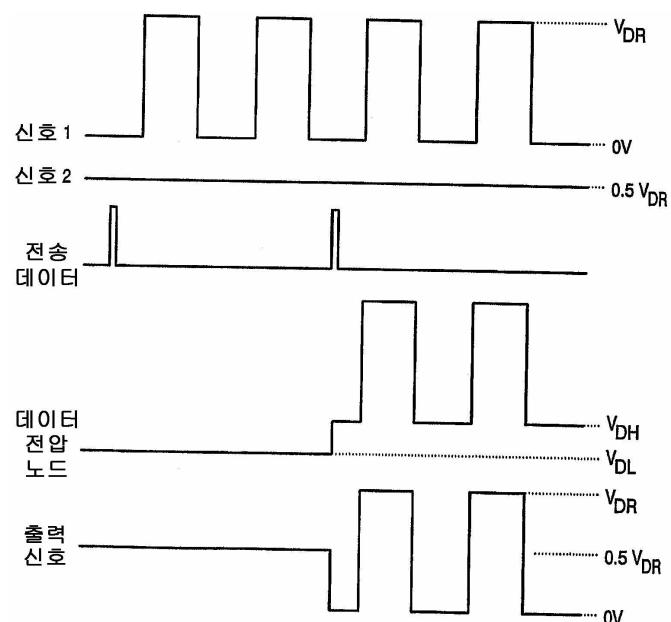
도면6



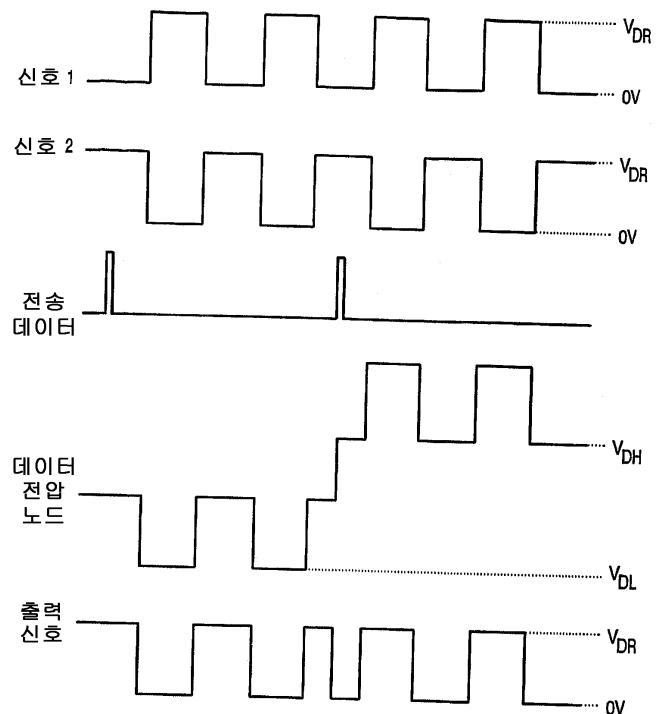
도면7



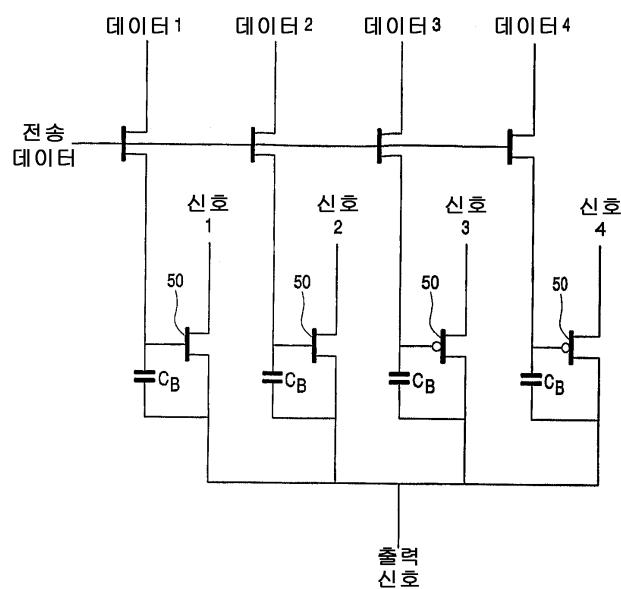
도면8



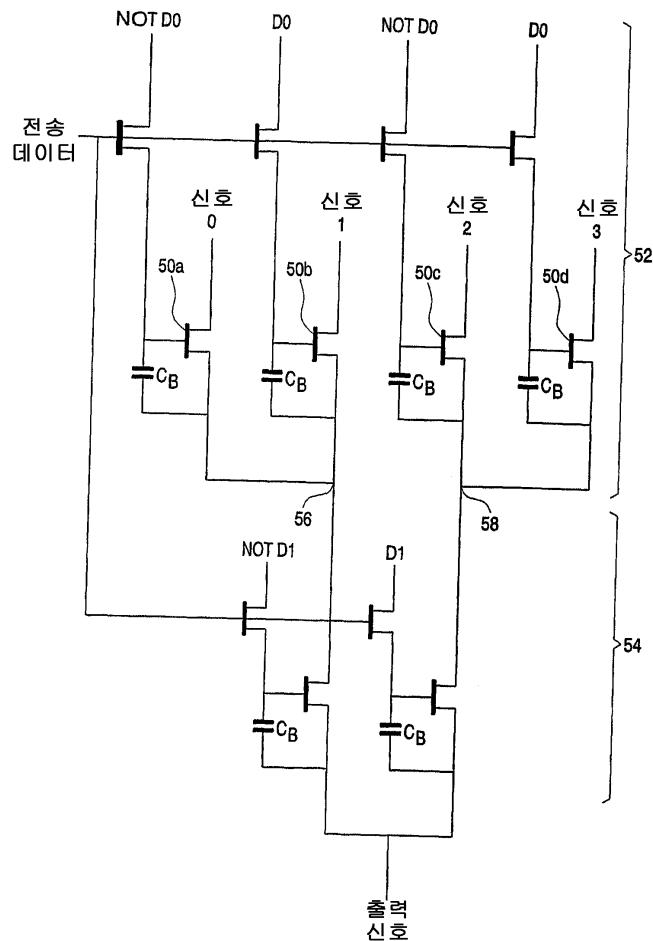
도면9



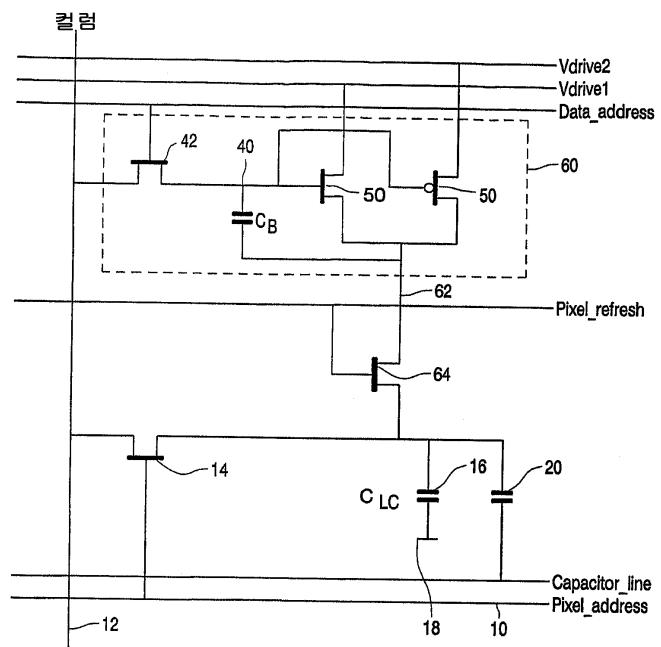
도면10



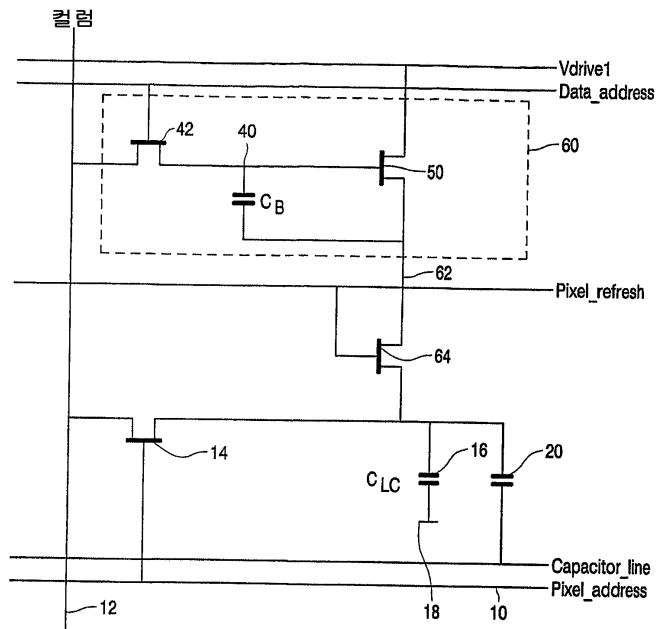
도면11



도면12



도면13



도면14

