

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3618567号
(P3618567)

(45) 発行日 平成17年2月9日(2005.2.9)

(24) 登録日 平成16年11月19日(2004.11.19)

(51) Int.Cl.⁷
H03K 3/354
H03B 5/08

F I
H03K 3/354 B
H03B 5/08 A

請求項の数 2 (全 9 頁)

(21) 出願番号	特願平11-32526	(73) 特許権者	398038580
(22) 出願日	平成11年2月10日(1999.2.10)		ヒューレット・パッカード・カンパニー
(65) 公開番号	特開平11-355105		HEWLETT-PACKARD COM
(43) 公開日	平成11年12月24日(1999.12.24)		PANY
審査請求日	平成13年4月17日(2001.4.17)		アメリカ合衆国カリフォルニア州パロアル
(31) 優先権主張番号	022464		ト ハノーバー・ストリート 3000
(32) 優先日	平成10年2月12日(1998.2.12)	(74) 代理人	100063897
(33) 優先権主張国	米国(US)		弁理士 古谷 馨
		(74) 代理人	100076680
			弁理士 溝部 孝彦
		(74) 代理人	100087642
			弁理士 古谷 聡

最終頁に続く

(54) 【発明の名称】 信号制御発振器用に配列された遅延要素

(57) 【特許請求の範囲】

【請求項1】

リング発振器を提供するために、閉リング配列で相互接続された複数の能動遅延要素から成る装置であって、各々の能動遅延要素が、
反転型及び非反転型の遅延入力及び出力 (IN、バーIN、OUT、バーOUT)、一対の電流源入力 (101、103)、及び一対の負荷入力 (105、107) を有する差動トランジスタ対と、
前記差動トランジスタ対の電流源入力 (101、103) に結合され、第一の制御信号 (VC0_N) によって制御される第一の信号制御電流源と、
前記差動トランジスタ対の電流源入力 (101、103) に結合され、第一のバイアス信号 (BIAS_N) によって制御される第二の信号制御電流源と、及び
各々が前記差動トランジスタ対の負荷入力のそれぞれ一つと結合され、各々が第二の制御信号 (VC0_P) 及び第二のバイアス信号 (BIAS_P) によって制御される、第一及び第二の信号制御能動負荷とを含む、装置。

【請求項2】

リング発振器を提供するため、閉リング配列で相互接続された複数の能動遅延要素を準備するステップであって、各々の能動遅延要素が、第一の制御信号を受信するように適合された信号制御電流源の個々の対を含むとともに、第二の制御信号を受信するように適合された信号制御負荷の個々の対を含む、ステップと、
前記発振器の発信周波数を制御するために、前記第一及び第二の制御信号の双方を一緒に粗調整することにより、前記信号制御電流源と前記信号制御負荷を粗調整するステップと

、及び

前記発振器の発振の立ち上がり時間及び立ち下がり時間の対称性を制御するために、前記第一及び第二の制御信号の相互に対する微調整により、前記信号制御電流源と前記信号制御負荷を微調整するステップとを含む、方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に、閉リング状に相互接続された多数の遅延要素を有するタイプの発振器に関するものであり、特に、発振の周波数を変えるために遅延が信号によって制御される発振器に関するものである。

10

【0002】

【従来の技術】

従来の技術において、様々なリング発振器が知られている。インバータが遅延要素として利用され、閉リング状に相互接続される。それぞれの遅延要素の遅延量は、それぞれのインバータに関する寄生容量の充電に供し得る電流の流れを制御することにより、制御される。

【0003】

リング発振器の設計には様々な問題がある。いくつかの従来技術の発振器設計においては、高周波動作が制限される。他のいくつかの発振器設計では、その発振器の製造に採用された工程のばらつきに関連して、発振周波数又は振幅が広範囲にわたって変化してしまう。さらに他の発振器設計は、電源の変動に対し実質的な反応性を持ち、非対称の立ち上がり時間及び立ち下がり時間を有してしまう。

20

【0004】

リング発振器に求められるのは、製造工程のばらつき及び電源の変動による発振周波数の広がり及び振幅の広がりを制限すると共に、高周波動作、及び実質的に対称の立ち上がり及び立ち下がり時間を提供することである。

【0005】

【発明が解決しようとする課題】

本発明による発振器は、製造工程のばらつき及び電源の変動による発振周波数の広がり及び振幅の広がりを制限すると共に、高周波動作、及び実質的に対称の立ち上がり及び立ち下がり時間を提供する。

30

【0006】

【課題を解決するための手段】

簡潔に一般的な用語で言うと、本発明は、各々がそれぞれの差動トランジスタ対を含む一連の能動遅延要素から成るリング型信号制御発振器を含む。差動トランジスタ対の入力及び出力は、閉リング状に相互接続され、それぞれの遅延要素の遅延により決定される周波数で発振を発生する。差動トランジスタ対は更に、遅延要素の遅延量を制御する為の一对の電流源入力と、遅延量を安定させる為の一对の負荷入力をも有する。

【0007】

能動遅延要素については、第一及び第二の信号制御電流源の各々が、差動トランジスタ対の電流源入力のそれぞれ一つに結合している。例えば、第一及び第二の信号制御電流源の各々が、差動トランジスタ対の電流源入力のそれぞれ一つに結合したチャンネル端子を持つトランジスタを含む。第一の信号制御電流源は、第一の信号制御電流源を制御する為の第一の制御信号を受信するよう構成されている。第二の信号制御電流源は、第二の信号制御電流源を制御する為の第一のバイアス信号を受信するよう構成されている。これらの電流源は、第一及び第二の信号制御電流源のトランジスタが、整合する同じ型のトランジスタ配列でもって同様に構成されているという意味において「整合」している。

40

【0008】

更に遅延要素は、各々が差動トランジスタ対の負荷入力のそれぞれ一つに結合した第一及び第二の信号制御能動負荷を含んでいる。第一及び第二の信号制御能動負荷は、第二の制

50

御信号及び第二のバイアス信号を受信するように構成されている。

【0009】

本発明のその他の態様及び長所は、発明の原理を示す例として添付された図と共に以下の詳細な説明により明らかとなるであろう。

【0010】

【発明の実施の形態】

図1は、本発明の好適な実施例のブロック図である。本発明は、各々がソース結合差動トランジスタ対をそれぞれ含む一連の能動遅延要素から成るリング型の信号制御発振器を含む。図1に示されるように、好適な実施例では「能動遅延要素 1」で始まり「能動遅延要素 2n+1」で終わる、奇数個の能動遅延要素が使われている。能動遅延要素の数として好ましいのは、3個から7個の能動遅延要素である。

10

【0011】

図1に示されるように、各々の差動トランジスタ対は、IN、バーIN、OUT、及びバーOUTの、反転型と非反転型両方の遅延入力及び出力を有する。差動トランジスタ対の入力及び出力は、図示の通り閉リング状に相互接続されて、各々の遅延要素の遅延により決定される周波数で発振を発生する。図示されるように、各々のソース結合差動トランジスタ対は、一对の電流源入力(101、103)を有し、また更に一对の負荷入力(105、107)を有している。

【0012】

能動遅延要素については、第一及び第二の信号制御電流源が各々、ソース結合差動トランジスタ対の電流源入力(101、103)のそれぞれ一つと結合している。第一の信号制御電流源は、第一の信号制御電流源を制御する第一の制御信号(VCO_N)を受信するように構成されている。更に、後に本文中でより詳細を論じるが、本発明は第一及び第二の制御信号両方を好都合に含んでおり、従って第一および第二の信号を相互に関連させて調整することにより、発振器の立ち上がりおよび立ち下がり時間に有益な対称性を提供する。

20

【0013】

第二の信号制御電流源は、第二の信号制御電流源を制御する第一のバイアス信号(BIAS_N)を受信するように構成されている。後に本文中でより詳細を論じるが、本発明は第一および第二のバイアス信号両方を好都合に含んでおり、従って製造工程のばらつき及び電源の変動に関連した発振器の発振周波数の広がりや振幅の広がりを有利に抑制する。

30

【0014】

好適な実施例において、第一及び第二のバイアス信号の両方が使われ、これらはカレントミラー(図示せず)と結合させることにより実質的に一定に保たれている。好適な実施例において、カレントミラー及び発振器の全ての部品は、集積回路製造技術を用いて一枚のモノリシック半導体基板上に作られている。従って、カレントミラーの製造工程のばらつきは、発振器の他の部品の製造工程のばらつきと同様となることになる。

【0015】

更に遅延要素は、各々がソース結合差動トランジスタ対の負荷入力のそれぞれ一つと結合された第一及び第二の信号制御能動負荷を含む。図1に示されるように、第一及び第二の信号制御能動負荷は第二の制御信号(VCO_P)及び第二のバイアス信号(BIAS_P)を受信するように構成されている。

40

【0016】

図2は、本発明の好適な実施例のより詳細な図を示す。図2中の破線は図1に関連して本文において上述した機能ブロックを示す。好適な実施例において、第一の信号制御電流源は、ソース結合トランジスタの電流源入力の一つ(101)と結合したドレインを有するトランジスタ(115)を含む。トランジスタ(115)は、ゲートが第一の制御信号(VCO_N)と結合したN形MOSFETが好ましい。従って、好適な実施例では、第一の制御信号(VCO_N)は、N形MOSFETを制御する為に使われる。

【0017】

50

図2に示されるように、第一及び第二の電流源は、第一及び第二の信号制御電流源のトランジスタが、整合する同じドーパント型のトランジスタ配列でもって同様に構成されているという意味において「整合」している。特に、好適な実施例では、第一及び第二の信号制御電流源は、両方ともN形MOSFETを含む。

【0018】

第一の信号制御電流源と同様に、第二の信号制御電流源も、ソース結合差動トランジスタ対の第二の電流源入力の一つ(103)と結合したドレインを有するトランジスタ(125)を含んでいる。トランジスタ(125)は、第一のバイアス信号(BIAS_N)と結合するゲートを有する。第一のバイアス信号(BIAS_N)は、発振器の製造ばらつきによるN形MOSFETの動作を安定化する為に使われる。

10

【0019】

好適な実施例では、第一の信号制御能動負荷は一对のドレイン結合トランジスタから成り、この対の一つは第二の制御信号(VCO_P)と結合したゲートを有し、もう一方は第二のバイアス信号(BIAS_P)と結合したゲートを有している。同様に、第二の信号制御能動負荷はもう一对のドレイン結合トランジスタから成り、この対の一つは第二の制御信号(VCO_P)と結合したゲートを有し、この対のもう一方は第二のバイアス信号(BIAS_P)と結合したゲートを有している。第一及び第二の信号制御能動負荷のトランジスタは全て同一型であり、P形MOSFETであるのが好ましい。従って、好適な実施例において第二の制御信号(VCO_P)はP形MOSFETを制御することとなる。第二のバイアス信号(BIAS_P)は、発振器の製造ばらつきによるP形MOSFETの動作を安定化させる。

20

【0020】

本発明は、奇数個の能動遅延要素を利用した発振器に限られたものではない。図3に示される代替の実施例においては、「能動遅延要素 1」に始まり「能動遅延要素 2n」で終わる偶数個の能動遅延要素が使われている。この代替の実施例における好ましい能動遅延要素の数は、2個から6個の能動遅延要素である。特に注目すべきは、偶数個の能動遅延要素で発振を行う為に最後の能動遅延要素(能動遅延要素 2n)の出力(OUT及びバーOUT)が逆配置されていることである。

【0021】

図4は、本発明の高周波発振の対称的な立ち上がり及び立ち下がり時間を、シミュレーションによる予測に基づいて表わした図である。図4の水平軸はナノ秒単位の時間を表わす。図4の垂直軸は供給電圧(V_{DD})に基づいて正規化された振幅を表わす。本文中で前記した通り、そして図4で示される通り、本発明は第一及び第二の制御信号(VCO_N、VCO_P)を好都合に含んでおり、従って第一及び第二の制御信号を相互に関連させて調整することで発振器の立ち上がり及び立ち下がり時間に有益な対称性を提供する。

30

【0022】

第一及び第二の制御信号を変化させると、各々の遅延要素の遅延量が変わり、これにより発振器の周波数が変化する。第一及び第二の制御信号両方一緒の粗調整は発振器の発振周波数を制御する為に行われる。第一及び第二の制御信号の相互に対する微調整は発振器の発振の立ち上がり及び立ち下がり時間の対称性を制御する為に行われる。

40

【0023】

図5は、本発明の製造工程のばらつきに対する発振周波数の限定的な広がりを示す図である。図5の水平軸は、供給電圧(V_{DD})に正規化されたスケールにおける一制御信号の値を表わす。図5の垂直軸は、シミュレーションにより予測された対応する本発明の発振周波数をギガヘルツで表わしている。図5における第一の線(1)は、製造工程のばらつき要因が発振周波数を遅くするものであった場合の、正規化された制御信号に対する周波数のシミュレーション予測を示す。図5における第二の線(2)は、製造工程のばらつき要因が発振周波数を早めるものであった場合の、正規化された制御信号に対する周波数のシミュレーション予測を示す。本文中で前に述べたように、また、図5に示されるように、本発明は第一及び第二のバイアス信号両方を好都合に含んでおり、従って製造工程のば

50

らつきに関連した発振器の発振周波数の広がりをも有利に制限するものである。同様に、第一及び第二のバイアス信号は、製造工程のばらつきに関連した発振器の振幅の広がりをも有利に制限するものである。

【0024】

図6は、電源の変動に対する本発明の発振周波数の限定的な広がりを示す図である。図6の水平軸は、供給電圧 (V_{DD}) に正規化されたスケールにおける一制御信号の値を表わす。図6の垂直軸は、シミュレーションにより予測された対応する本発明の発振周波数をギガヘルツで表わしている。図6における第一の線(1)は、電源電圧 (V_{DD}) が1.6Vの低供給値の場合の正規化された制御信号に対する周波数のシミュレーション予測を示す。図6における第二の線(2)は、電源電圧 (V_{DD}) が1.8Vの公称供給値の場合の正規化された制御信号に対する周波数のシミュレーション予測を示す。図6における第三の線(3)は、電源電圧 (V_{DD}) が2.0Vの高供給値の場合の正規化された制御信号に対する周波数のシミュレーション予測を示す。本文中で前に述べたように、また、図6に示されるように、本発明は第一及び第二のバイアス信号両方を好都合に含んでおり、従って電源の変動に関連した発振器の発振周波数の広がりをも有利に制限するものである。同様に、第一及び第二のバイアス信号は、電源ノイズのような小さな電源の変動に関連した発振器の振幅の広がりをも有利に制限するものである。

10

【0025】

これまで述べて来たように、本発明は、製造工程のばらつきや電源の変動に関連した発振周波数の広がりや振幅の広がりをも制限する一方、実質的に対称の立ち上がり及び立ち下がり時間を有する発振器を提供するものである。本発明の特定の実施例に関して記述及び図示したが、本発明は記述及び図示されたような特定の形又は、部品の配列に限られたものではなく、本発明の範囲及び思想からそれることなく様々な修正と変更が加えられるものである。従って、本発明は、請求項の範囲内において、特に記述及び図示した以外の別の方法でも実施出来るものである。

20

【0026】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

【0027】

1. リング発振器を提供するため、閉リング配列で相互接続された複数の能動遅延要素から成る装置であって、各々の能動遅延要素が、反転及び非反転型両方の遅延入力及び出力を有し、更に一対の電流源入力(101、103)と一対の負荷入力(105、107)をも有する差動トランジスタ対と、各々が差動トランジスタ対の電流源入力のそれぞれ一つと結合した第一及び第二の信号制御電流源と、各々が差動トランジスタ対の負荷入力のそれぞれ一つと結合した第一及び第二の信号制御能動負荷とを含む遅延要素である、前記装置。

30

【0028】

2. 第一の信号制御電流源が、差動トランジスタ対の電流源入力の一つと結合したチャンネル端子を持つトランジスタを含む上記1の装置。

40

【0029】

3. 第一の信号制御電流源が、第一の信号制御電流源を制御するための第一の制御信号を受信するように構成されている上記1の装置。

【0030】

4. 第一の信号制御電流源が、第一の制御信号と結合したゲートを持つトランジスタを含む上記2の装置。

【0031】

5. 第二の信号制御電流源が、差動トランジスタ対の電流源入力の一つと結合したチャンネル端子を持つトランジスタを含む上記1の装置。

【0032】

50

6. 第二の信号制御電流源が、第二の信号制御電流源を制御するための第一のバイアス信号を受信するように構成されている上記1の装置。

【0033】

7. 第二の信号制御電流源が、第一のバイアス信号と結合したゲートを持つトランジスタを含む上記6の装置。

【0034】

8. 第一及び第二の信号制御電流源が、整合する配列に構成されたトランジスタを含む上記1の装置。

【0035】

9. 第一及び第二の信号制御電流源が、整合するドーパント型のトランジスタを含む上記1の装置。 10

【0036】

10. 第一の信号制御能動負荷が、第二の制御信号と第二のバイアス信号を受信するように構成されている上記1の装置。

【0037】

【発明の効果】

本発明による発振器は、上述のように構成したので、製造工程のばらつき及び電源の変動による発振周波数の広がり及び振幅の広がりを制限すると共に、高周波動作、及び実質的に対称の立ち上がり及び立ち下がり時間を提供することが可能となる。

【図面の簡単な説明】 20

【図1】本発明の好適な一実施例のブロック図である。

【図2】本発明の好適な実施例のより詳細を示す図である。

【図3】本発明の代替の実施例のブロック図である。

【図4】本発明の発振器の対称的な立ち上がり及び立ち下がり時間を示す線図である。

【図5】本発明の、製造工程のばらつきに対する発振周波数の限定的な広がりを示す線図である。

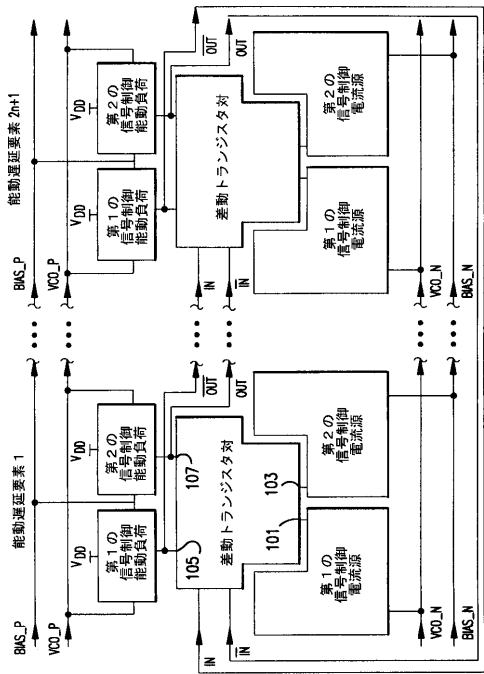
【図6】本発明の、電源の変動による発振周波数の限定的な広がりを示す線図である。

【符号の説明】

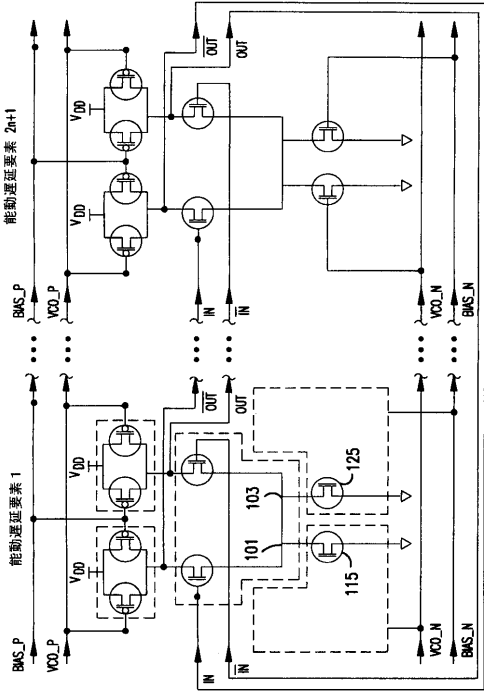
101, 103 電流源入力

105, 107 負荷入力 30

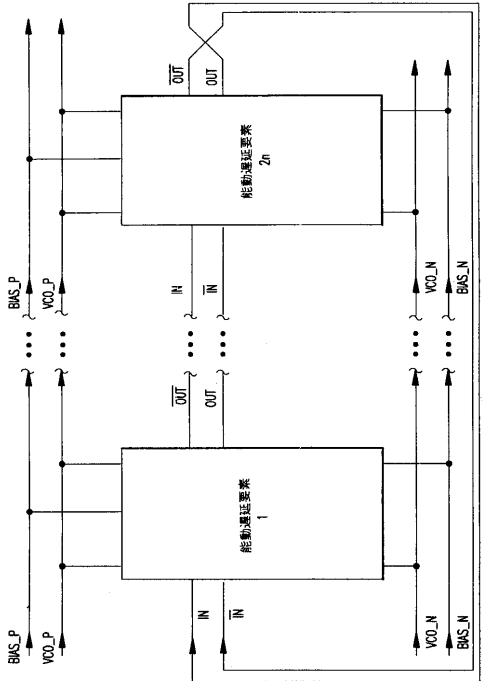
【図 1】



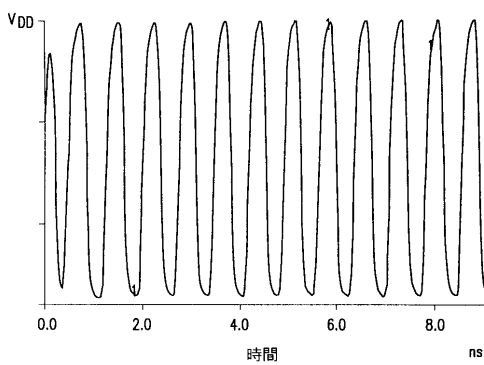
【図 2】



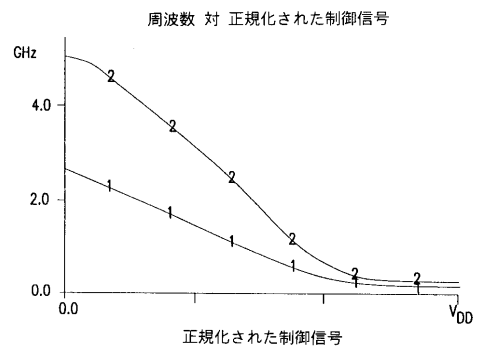
【図 3】



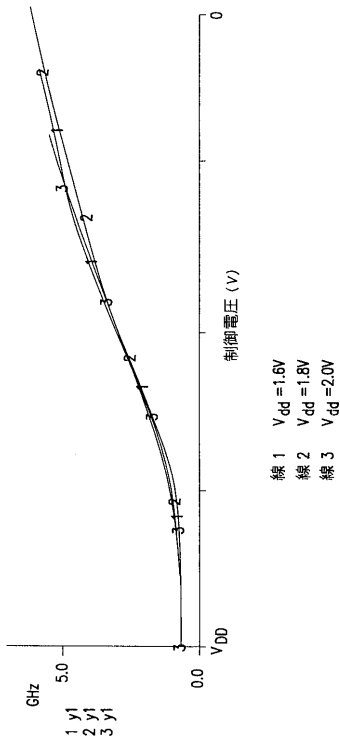
【図 4】



【図 5】



【図 6】



フロントページの続き

- (72)発明者 リ・チン・サイ
アメリカ合衆国コロラド州80525, フォート・コリンズ, レッド・オーク・コート・1411
- (72)発明者 ジョニー・キュー・ツァン
アメリカ合衆国コロラド州80525, フォート・コリンズ, レッド・オーク・コート・1122
- (72)発明者 デイビッド・ビー・ホーレンベック
アメリカ合衆国コロラド州80526, フォート・コリンズ, タナジャー・ストリート・4113

審査官 石井 研一

- (56)参考文献 特開平07-183803 (JP, A)
特開平10-022794 (JP, A)
特開平11-112298 (JP, A)
特開平01-032515 (JP, A)
特開平01-161904 (JP, A)
特開平07-074592 (JP, A)
特開平07-038348 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H03K 3/354