



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0129922
(43) 공개일자 2016년11월09일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/08 (2006.01)
H01L 29/423 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/7813 (2013.01)
H01L 29/0878 (2013.01)
- (21) 출원번호 10-2016-7030727(분할)
- (22) 출원일자(국제) 2010년10월28일
심사청구일자 2016년11월02일
- (62) 원출원 특허 10-2012-7012344
원출원일자(국제) 2010년10월28일
심사청구일자 2014년03월21일
- (85) 번역문제출일자 2016년11월02일
- (86) 국제출원번호 PCT/US2010/054586
- (87) 국제공개번호 WO 2011/059782
국제공개일자 2011년05월19일
- (30) 우선권주장
61/255,660 2009년10월28일 미국(US)
12/824,075 2010년06월25일 미국(US)

- (71) 출원인
비췌이-실리코닉스
미국 95054 캘리포니아주 산타 클라라 로렐우드
로드 2201
- (72) 발명자
티필네니, 나베엔
미합중국 캘리포니아 95054 산타 클라라 236번지
700 에그뉴 로드
패트타나야크, 데바, 엔.
미합중국 캘리포니아 95070 사라토가 19123 브로
크헤븐 드라이브
- (74) 대리인
제일특허법인

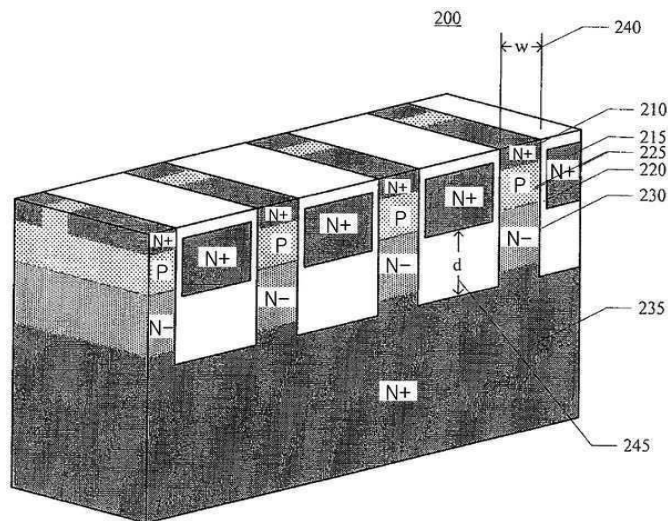
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 트랜치 금속 산화물 반도체 전계 효과 트랜지스터

(57) 요약

트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET)는 다수의 게이트 영역들(gate regions) 사이에 배치되는 다수의 평탄면들(mesas)을 포함한다. 각 평탄면은 드리프트 영역(drift region)과 바디 영역(body region)을 포함한다. 상기 평탄면의 폭은 게이트 절연 영역들(gate insulator regions)과 바디 영역들 사이의 계면에서 양자 섀크 크기(quantum well dimension)의 차수이다. 상기 TMOSFET는 또한 게이트 영역들과 바디 영역들, 드리프트 영역들 및 드레인 영역 사이에 배치되는 다수의 게이트 절연 영역들을 포함한다. 상기 게이트 영역들과 드레인 영역 사이의 게이트 절연 영역들의 두께는 드리프트 영역에서 실질적으로 레터랄(lateral)인 OFF-상태에서 게이트-투-드레인 전계(gate-to-drain electric field)를 초래한다.

대표도 - 도2



(52) CPC특허분류

H01L 29/42368 (2013.01)

H01L 29/66734 (2013.01)

명세서

청구범위

청구항 1

트렌치 금속 산화물 반도체 전계 효과 트랜지스터(trench metal-oxide-semiconductor field effect transistor: TMOSFET)로서,

드레인 영역(drain region);

상기 드레인 영역 위에 배치되는 다수의 게이트 영역들(gate regions);

상기 드레인 영역 위에서 상기 다수의 게이트 영역들 사이의 평탄면들(mesas)에 배치되는 다수의 드리프트 영역들(drift regions) -상기 다수의 드리프트 영역들은 세제곱 센티미터 당 $5.00E+14$ 내지 $8.00E+17$ 의 도핑 농도를 가짐- ;

상기 평탄면들 내의, 상기 다수의 드리프트 영역들 위에, 인접한 다수의 게이트 영역들의 상단에서 바닥까지와 같은 깊이로 배치되는 다수의 바디 영역들(body regions);

상기 평탄면들 내의 상기 다수의 바디 영역들 위에 배치되는 다수의 소스 영역들(source regions);

상기 다수의 게이트 영역들과 상기 다수의 바디 영역들 사이에 배치된 얇은 부분(thin portion)과,

상기 다수의 드리프트 영역들의 상단에서 바닥까지의 깊이로 상기 다수의 게이트 영역들과 상기 다수의 드리프트 영역들 사이, 및 상기 게이트 영역들과 상기 드레인 영역 사이에 배치되는 두꺼운 부분(thick portion)을 포함하는 다수의 게이트 절연 영역들(gate insulator regions)

을 포함하고,

ON-상태에서 상기 다수의 바디 영역들을 세제곱 센티미터 당 $1E+18$ 내지 $1E+20$ 의 농도의 전하로 넘쳐나게 하도록, 상기 평탄면들의 각각의 폭은 $0.03 \mu\text{m}$ 내지 $1.0 \mu\text{m}$ 이고 상기 다수의 게이트 절연 영역들과 상기 다수의 바디 영역들 사이의 계면에서의 양자 갭 크기(quantum well dimension)의 차수이며,

OFF-상태에서의 게이트-드레인 전계가 상기 다수의 드리프트 영역들 내에서 측방(lateral)이 되고 항복전압에 영향을 주도록, 상기 다수의 게이트 영역들과 상기 드레인 영역 사이의 상기 다수의 게이트 절연 영역들의 직선 거리상 두께는 $0.1 \mu\text{m}$ 내지 $4.0 \mu\text{m}$ 에서 선택되는

TMOSFET.

청구항 2

제 1 항에 있어서,

상기 다수의 드리프트 영역들은, 상기 드레인 영역으로부터 상기 다수의 바디 영역들로 수직적으로 낮아지거나, 또는 상기 평탄면들 중 하나의 가장자리로부터 상기 평탄면들 중 다른 하나의 중심부로 측면 방향으로 변화하는 구배 도핑 프로파일(graded doping profile)을 포함하는

TMOSFET.

청구항 3

제 1 항에 있어서,

상기 드레인 영역을 이용하여 p - n 접합이 상기 평탄면들에 형성되는

TMOSFET.

청구항 4

제 1 항에 있어서,

상기 다수의 소스 영역들 및 상기 다수의 바디 영역들은 동일한 전위에서 결합되는

TMOSFET.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 다수의 드리프트 영역들의 도핑은 평면 p-n 접합 이론에 의해 예측되는 것보다 적은 p-n 접합 항복전압 저하(p-n junction breakdown voltage degradation)를 가지는

TMOSFET.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 평탄면들에서의 p-n 접합의 항복전압과 상기 평탄면들에서의 도핑 사이의 관계는 상기 평탄면들의 폭에 의해 조절되는

TMOSFET.

청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

OFF 상태에서 상기 다수의 게이트 영역들과 상기 드레인 영역 사이의 프링징 전계(fringing field)는, 상기 평탄면들 내의 상기 다수의 드리프트 영역들에서의 전하를 고갈시키는 데 도움을 주어, 일정한 항복전압을 위해 상기 다수의 드리프트 영역들에서 더 높은 도핑을 허용하는

TMOSFET.

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 다수의 게이트 영역들과 상기 드레인 영역 사이의 상기 다수의 게이트 절연 영역의 두께는, 추가적인 게이트 전하의 부가 없이, 증가된 드리프트 영역 도핑 농도에 대해서조차 일정한 항복전압을 위해 제공되어, 낮은 ON-저항 게이트 전하 산물을 초래하는

TMOSFET.

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 드레인 영역은 고농도 n-도핑(heavily n-doped) 반도체를 포함하고,

상기 다수의 게이트 영역들은 n-도핑 반도체를 포함하며,
 상기 다수의 드리프트 영역들은 저농도 n-도핑(lightly n-doped) 반도체를 포함하고,
 상기 다수의 바디 영역들은 중농도 p-도핑(moderately p-doped) 반도체를 포함하며,
 상기 다수의 소스 영역들은 고농도 n-도핑 반도체를 포함하는
 TMOSFET.

청구항 10

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
 상기 드레인 영역은 고농도 n-도핑 반도체를 포함하고,
 상기 다수의 게이트 영역들은 n-도핑 반도체를 포함하며,
 상기 다수의 드리프트 영역들은 상기 다수의 바디 영역들로부터 상기 드레인 영역까지 저농도 내지 중농도 n-도핑 반도체를 포함하고,
 상기 다수의 바디 영역들은 중농도 p-도핑 반도체를 포함하며,
 상기 다수의 소스 영역들은 고농도 n-도핑 반도체를 포함하는
 TMOSFET.

청구항 11

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
 상기 다수의 게이트 절연 영역들은 산화물을 포함하는
 TMOSFET.

청구항 12

트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET)로서,
 드레인 영역;
 수의 게이트 영역들;
 각각 드리프트 영역과 바디 영역을 포함하고 상기 다수의 게이트 영역들 사이에 배치되는 다수의 평탄면들 -상기 드리프트 영역은 세제곱 센티미터 당 $5.00E+14$ 내지 $8.00E+17$ 의 도핑 농도를 가짐- ; 및
 상기 다수의 게이트 영역들과 바디 영역들 사이에 배치된 얇은 부분과, 상기 다수의 평탄면들의 다수의 드리프트 영역들의 상단에서 바닥까지의 깊이로 상기 다수의 게이트 영역들과 상기 다수의 드리프트 영역들 사이, 및 상기 다수의 게이트 영역들과 상기 드레인 영역 사이에 배치되는 두꺼운 부분을 포함하는 다수의 게이트 절연 영역들
 을 포함하고,
 OFF-상태에서의 게이트-드레인 전계가 상기 다수의 드리프트 영역들 내에서 측방(lateral)이 되고 항복전압에 영향을 주도록, 상기 다수의 게이트 영역들과 상기 드레인 영역 사이의 상기 다수의 게이트 절연 영역들의 직선 거리상 두께는 $0.1 \mu\text{m}$ 내지 $4.0 \mu\text{m}$ 에서 선택되고,
 ON-상태에서 상기 바디 영역들을 세제곱 센티미터 당 $1E+18$ 내지 $1E+20$ 의 농도의 전하로 넘쳐나게 하도록, 상기 다수의 평탄면들의 각각의 폭은 $0.03 \mu\text{m}$ 내지 $1.0 \mu\text{m}$ 이고 상기 다수의 게이트 절연 영역들과 상기 바디 영역들 사이의 계면에서의 양자 샘 크기의 차수인

TMOSFET.

청구항 13

제 12 항에 있어서,
상기 다수의 게이트 절연 영역들은 산화물을 포함하는
TMOSFET.

청구항 14

제 12 항에 있어서,
상기 드레인 영역은 인 또는 비소로 고농도 도핑된 실리콘을 포함하고,
상기 드리프트 영역들은 인 또는 비소로 저농도 또는 중농도 도핑된 실리콘을 포함하며,
상기 바디 영역들은 붕소로 저농도 또는 중농도 도핑된 실리콘을 포함하는
TMOSFET.

청구항 15

제 14 항에 있어서,
상기 드리프트 영역들은 상기 드레인 영역으로부터 상기 바디 영역들로 낮아지는 구배 도핑 프로파일을 포함하
는
TMOSFET.

청구항 16

제 14 항에 있어서,
항복전압이 15 V 내지 55 V인
TMOSFET.

청구항 17

제 14 항에 있어서,
ON-상태 저항이 $2 \text{ m}\Omega/\text{mm}^2$ 내지 $9 \text{ m}\Omega/\text{mm}^2$ 인
TMOSFET.

발명의 설명

배경 기술

[0001] 도 1을 참조하면, 종래기술에 따른 트랜치 금속 산화물 전계 효과 트랜지스터 (TMOSFET) (100)의 횡단 사시도가 개시되어 있다. 상기 TMOSFET (100)는 복수의 소스 영역들(source regions) (110), 복수의 게이트 영역들 (gate regions) (115), 복수의 게이트 절연 영역들(gate insulator regions) (120), 복수의 바디 영역들(body regions) (125), 드리프트 영역(drift region) (130), 및 드레인 영역(drain region) (135)을 포함하지만, 이들만으로 한정되는 것은 아니다.

- [0002] 상기 드리프트 영역(130)은 드레인 영역과 바디 영역(125) 사이에 배치된다. 상기 소스 영역들(110), 게이트 영역들(115) 및 게이트 절연 영역들은 바디 영역(125) 내부에 배치된다. 상기 게이트 영역들(115)과 게이트 절연 영역(120)은 줄무늬 또는 폐쇄된 셀 구조로 형성될 수 있다. 상기 게이트 절연 영역(120)은 게이트 영역들(115)을 둘러싼다. 따라서, 상기 게이트 영역들(115)은 게이트 절연 영역(120)에 의해 둘러싸인 영역들로부터 전기적으로 분리된다. 상기 게이트 영역들(115)은 디바이스(100)의 공통 게이트(common gate)를 형성하기 위해 연결된다. 상기 소스 영역들(110)은 게이트 절연 영역들(120)의 주변을 따라 형성될 수 있다. 상기 소스 영역들(110)은 디바이스(100)의 공통 소스(common source)를 형성하기 위해 연결된다. 상기 소스 영역들(110)은 전형적으로 소스-바디 접합(도시하지 않음)에 의해 바디 영역들(125)에 연결된다.
- [0003] 하나의 예에서, 상기 소스 영역들(110) 및 드레인 영역(135)은 인 또는 비소로 도핑된 실리콘과 같은 고농도 n-도핑(heavily n-doped) (N+) 반도체일 수 있다. 상기 드리프트 영역(130)은 인 또는 비소로 도핑된 실리콘과 같은 저농도 n-도핑(lightly n-doped) (N-) 반도체일 수 있다. 상기 바디 영역들(125)은 보론으로 도핑된 실리콘과 같은 p-도핑(p-doped) (P) 반도체일 수 있다. 상기 게이트 영역(115)은 인으로 도핑된 폴리실리콘과 같은 고농도 n-도핑(heavily n-doped) (N+) 반도체일 수 있다. 상기 게이트 절연 영역들(120)은 실리콘 디옥사이드(silicon dioxide)와 같은 절연체일 수 있다.
- [0004] 상기 소스 영역들(110)에 대한 게이트 영역들(115)의 포텐셜이 디바이스(100)의 역치 전압 이상으로 증가될 때, 전도 채널은 게이트 절연 영역들(120)의 주변부를 따라 바디 영역들(125)에서 유도된다. 상기 TMSFET(100)는 드레인 영역(135)과 소스 영역들(110) 사이에서 전류를 전도할 것이다. 따라서, 상기 디바이스는 ON-상태가 된다.
- [0005] 상기 게이트 영역들(115)의 포텐셜이 역치 전압 아래로 감소될 때, 상기 채널은 더 이상 유도되지 않는다. 그 결과, 드레인 영역(135)과 소스 영역들(110) 사이에 적용된 전위는 그들 사이를 흐르는 전류를 야기하지 않을 것이다. 따라서, 디바이스(100)는 그것의 OFF-상태가 되고, 바디 영역(125) 및 드레인 영역(135)에 의해 형성되는 접합은 상기 소스와 드레인을 가로질러 적용되는 전압을 지지한다.
- [0006] 상기 저농도 n-도핑(N-) 드리프트 영역(130)은 바디 영역들(125)과 드레인 영역(130) 양쪽에 연장되는 결핍 영역(depletion region)을 초래하고, 그 때문에 펀치스루 효과(punch through effect)를 감소시킨다. 따라서, 저농도 n-도핑(N-) 드리프트 영역(130)은 TMSFET(100)의 항복전압을 증가시키는 역할을 한다.
- [0007] 상기 TMSFET(100)의 채널 너비는 게이트 절연 영역들(120)의 주변부를 따라 있는 다수의 소스 영역들(110)의 길이의 기능이다. 상기 디바이스(100)의 채널 길이는 게이트 절연 영역들(120)의 주변부를 따라 있는 소스 영역들(110)과 드리프트 영역(130) 사이의 바디 영역(125)의 기능이다. 그리하여, 상기 디바이스(100)는 채널 길이 대 너비의 큰 비율을 제공한다. 그러므로, 상기 TMSFET 디바이스(100)는 펄스 폭 변조(pulse width modulation) 전압 조절기에서의 스위칭 요소와 같은 전력 MOSFET 응용품에 유리하게 활용될 수 있다.

발명의 내용

해결하려는 과제

- [0008] 이러한 상황에서, 개선된 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)가 요구되고 있다.

과제의 해결 수단

- [0009] 본 명세서는 개선된 금속 산화물 반도체 전계 효과 트랜지스터 분야에 관한 것이다. 본 기술의 실시예들은 개선된 전계 효과 트랜지스터 분야로 적절하게 향한다. 본 기술은 하기 설명과 본 기술의 실시예를 설명하기 위하여 사용되는 도면들을 참조함으로써 가장 잘 이해될 수 있을 것이다. 하나의 실시예에서, 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMSFET)는 드레인 영역(drain region), 다수의 게이트 영역들(gate regions), 다수의 드리프트 영역들(drift regions), 다수의 바디 영역들(body regions), 다수의 소스 영역들(source regions) 및 다수의 게이트 절연 영역들(gate insulator regions)을 포함한다. 상기 게이트 영역들은 상기 드레인 영역 위에 배치된다. 상기 드리프트 영역들은 바람직하게는 상기 드레인 영역 위에서 게이트 영역들 사이의 평탄면들(mesas)에 배치된다. 상기 바디 영역들은 상기 드리프트 영역들 위의 평탄면들에, 또한 상기 게이트 영역들에 인접하여 배치된다. 상기 소스 영역들은 상기 바디 영역들 위의 평탄면들에 바람직하게 배치된다. 상기 게이트 절연 영역들은 게이트 영역들과 소스, 바디, 드리프트 및 드레인 영역들과의 사이에 바람직하게 배치된다. 바람직하게, 상기 평탄면의 너비는 대략 0.03 내지 1.0 μm 일 수 있다. 바람직하게는, 상기

게이트 영역들과 드레인 영역 사이의 게이트 절연 영역들의 두께가 대략 0.1 내지 4.0 μm 일 수 있다.

- [0010] 구체적으로, 본 명세서는 하기 바람직한 면들을 개시한다. 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET)는 다수의 게이트 영역들 사이에 배치된 다수의 평탄면들(mesas)을 포함한다. 각 평탄면은 드리프트 영역 및 바디 영역을 포함한다. 상기 평탄면의 너비는 상기 게이트 절연 영역들과 바디 영역들 사이의 계면에 서의 양자 섀크 크기(quantum well dimension)의 차수이다. 상기 TMOSFET는 상기 게이트 영역들과 바디 영역들, 드리프트 영역들 및 드레인 영역과의 사이에 배치되는 다수의 게이트 절연 영역들을 또한 포함한다. 상기 게이트 영역들과 드레인 영역 사이의 게이트 절연 영역들의 두께는 상기 드리프트 영역들에서 전하를 감소시키는 실질적으로 측방(lateral)인 OFF-상태에서 게이트-투-드레인 전계(gate-to-drain electric field)를 초래한다.
- [0011] 본 명세서는 최소한 하기 컨셉트를 개시한다.
- [0012] 컨셉트 1. 드레인 영역(drain region);
- [0013] 상기 드레인 영역 위에 배치되는 다수의 게이트 영역들(gate regions);
- [0014] 상기 드레인 영역 위에서 다수의 게이트 영역들 사이의 평탄면들(mesas)에 배치되는 다수의 드리프트 영역들(drift regions);
- [0015] 상기 드리프트 영역들 위이고 게이트 영역들에 인접하며 평탄면들에 배치되는 다수의 바디 영역들(body regions);
- [0016] 상기 바디 영역 위의 평탄면들에 배치되는 다수의 소스 영역들(source regions);
- [0017] 상기 게이트 영역들과 소스 영역들, 바디 영역들, 드리프트 영역들 및 드레인 영역 사이에 배치되는 다수의 게이트 절연 영역들(gate insulator regions);
- [0018] 을 포함하고,
- [0019] 상기 평탄면의 폭은 대략 0.03 내지 1.0 μm 이고;
- [0020] 상기 게이트 영역들과 드레인 영역 사이의 게이트 절연 영역들의 두께는 대략 0.1 내지 4.0 μm 인 것을 특징으로 하는 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(trench metal-oxide-semiconductor field effect transistor: TMOSFET).
- [0021] 컨셉트 2. 상기 드리프트 영역들은, 드레인 영역으로부터 다수의 바디 영역들로 수직적으로 낮아지거나, 또는 평탄면의 가장자리들로부터 평탄면의 중심부로 측면 방향으로 변화하는 구배 도핑 프로파일(graded doping profile)을 포함하는 컨셉트 1의 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0022] 컨셉트 3. 드레인 영역을 이용하여 p-n 접합이 평탄면들에 형성되는 컨셉트 1의 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0023] 컨셉트 4. 상기 소스 영역들 및 바디 영역들은 실질적으로 동일한 전위에서 결합되는 컨셉트 1의 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0024] 컨셉트 5. 상기 드리프트 영역의 도핑은 평면 p-n 접합 이론에 의해 예측되는 것보다 적은 p-n 접합 항복전압 저하(p-n junction breakdown voltage degradation)를 가지고 증가될 수 있는 컨셉트 1의 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0025] 컨셉트 6. 상기 평탄면들에서의 p-n 접합의 항복전압과 평탄면들에서의 도핑 사이의 관계는 평탄면들의 폭에 의해 조절되는 컨셉트 1의 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0026] 컨셉트 7. OFF 상태에서 상기 게이트 영역들과 드레인 영역 사이의 프링징 전계(fringing field)는, 평탄면들에서 드리프트 영역 전하를 고갈시키는 데 도움을 주어, 실질적으로 일정한 항복전압을 위해 드리프트 영역들에서 더 높은 도핑을 허용하는 컨셉트 1의 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0027] 컨셉트 8. 상기 게이트 영역들과 드레인 영역 사이의 게이트 절연 영역의 두께는, 추가적인 게이트 전하의 부가 없이, 증가된 드리프트 영역 도핑 농도에 대해서조차 실질적으로 일정한 항복전압을 위해 제공되어, 낮은 ON-저항 게이트 전하 산물을 초래하는 컨셉트 1의 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0028] 컨셉트 9. 상기 드레인 영역은 고농도 n-도핑(heavily n-doped) 반도체를 포함하고;

- [0029] 상기 게이트 영역들은 n-도핑 반도체를 포함하며;
- [0030] 상기 드리프트 영역들은 저농도 n-도핑(lightly n-doped) 반도체를 포함하고;
- [0031] 상기 바디 영역들은 중농도 p-도핑(moderately p-doped) 반도체를 포함하며;
- [0032] 상기 다수의 소스 영역들은 고농도 n-도핑 반도체를 포함하는 컨셉트 1의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0033] 컨셉트 10. 상기 드레인 영역은 고농도 n-도핑 반도체를 포함하고;
- [0034] 상기 게이트 영역들은 n-도핑 반도체를 포함하며;
- [0035] 상기 드리프트 영역들은 바디 영역들로부터 드레인 영역까지 저농도 내지 중농도 n-도핑 반도체를 포함하고;
- [0036] 상기 바디 영역들은 중농도 p-도핑 반도체를 포함하며;
- [0037] 상기 다수의 소스 영역들은 고농도 n-도핑 반도체를 포함하는 컨셉트 1의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0038] 컨셉트 11. 상기 게이트 절연 영역은 산화물을 포함하는 컨셉트 1의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0039] 컨셉트 12. 드레인 영역;
- [0040] 각각 드리프트 영역과 바디 영역을 포함하고 다수의 게이트 영역들 사이에 배치되는 다수의 평탄면들로서, 폭이 게이트 절연 영역들과 바디 영역들 사이의 계면에서 양자 샘 크기(quantum well)의 순서인 다수의 평탄면들; 및
- [0041] 게이트 영역들과 바디 영역들, 드리프트 영역들 및 드레인 영역 사이에 배치되는 다수의 게이트 절연 영역들로서, 게이트 영역들과 드레인 영역 사이에서의 두께가, 드리프트 영역에서 실질적으로 측방(lateral)인 OFF-상태에서 게이트-투-드레인 전계(gate-to-drain electric field)를 초래하는 다수의 게이트 절연 영역들;
- [0042] 을 포함하는 것을 특징으로 하는 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0043] 컨셉트 13. 상기 게이트 절연 영역은 산화물을 포함하는 컨셉트 12의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0044] 컨셉트 14. 상기 드레인 영역은 인 또는 비소로 고농도 도핑된 실리콘을 포함하고;
- [0045] 상기 드리프트 영역은 인 또는 비소로 저농도 또는 중농도로 도핑된 실리콘을 포함하며;
- [0046] 상기 바디 영역들은 붕소로 저농도 또는 중농도 도핑된 실리콘을 포함하는 컨셉트 12의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0047] 컨셉트 15. 상기 드리프트 영역들은 드레인 영역으로부터 다수의 바디 영역들로 낮아지는 구배 도핑 프로파일을 포함하는 컨셉트 13의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0048] 컨셉트 16. 상기 드리프트 영역들의 도핑 농도는 대략 세계곱 센티미터 당 $5.00E+14$ 내지 $8.00E+17$ 인 컨셉트 14의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0049] 컨셉트 17. 상기 평탄면들의 폭은 대략 0.03 내지 2.0 μm 인 컨셉트 16의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0050] 컨셉트 18. 상기 게이트 영역들과 드레인 영역 사이에서 게이트 절연 영역들의 두께는 대략 0.1 내지 4.0 μm 인 컨셉트 17의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0051] 컨셉트 19. 항복전압이 대략 15V 내지 55V인 컨셉트 18의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).
- [0052] 컨셉트 20. ON-상태 저항이 대략 2 내지 $9 \text{ m}\Omega/\text{mm}^2$ 인 컨셉트 18의 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET).

발명의 효과

[0053] 상기 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET)는 다른 TMOSFET보다 실질적인 장점을 제공한다.

도면의 간단한 설명

- [0054] 도 1은 종래기술에 따른 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET)의 횡단 사시도를 보여준다;
- 도 2는 본 발명의 하나의 실시예에 따른 TMOSFET의 횡단 사시도를 보여준다;
- 도 3은 본 발명의 하나의 실시예에 따른 TMOSFET의 확대된 횡단면도를 보여준다;
- 도 4는 본 발명의 하나의 실시예에 따른 평탄면의 너비가 0.3 μm 이고, 게이트 영역들과 드레인 영역 사이의 게이트 절연 영역의 두께가 0.4 μm 인 바람직한 TMOSFET의 횡단면도를 보여준다;
- 도 5는 종래기술에 따른 평탄면의 너비가 0.3 μm 이고, 게이트 영역들과 드레인 영역 사이의 게이트 절연 영역의 두께가 0.05 μm 인 종래 TMOSFET의 횡단면도를 보여준다;
- 도 6은 도 4의 바람직한 TMOSFET의 아웃라인 AA'을 따르는 순 도핑 프로파일(net doping profile) 및 도 5의 종래 TMOSFET의 아웃라인 BB'을 따르는 도핑 프로파일(doping profile)을 보여준다;
- 도 7은 모두 ON-상태에서 역치 전압보다 큰 $V_{DS}=0.1V$ 및 $V_{GS}=10V$ 를 가지는, 도 4의 바람직한 TMOSFET의 아웃라인 AA' 및 도 5의 종래 TMOSFET의 BB' 각각을 따르는 전자 농도를 보여준다;
- 도 8은 드리프트 영역 전하의 감소를 돕는 게이트 영역에서 드레인 영역으로의 프린징 전계를 가지는 바람직한 TMOSFET를 위한 항복 전압 조건 하에서의 전체 전계 벡터들(total electric field vectors)을 보여준다;
- 도 9는 둘 다 항복 전압보다 차단 전압이 더 큰, 도 4의 바람직한 TMOSFET와 도 5의 종래 TMOSFET 각각의 아웃라인 AA' 및 BB'을 따르는 전압 강하를 보여준다;
- 도 10은 둘 다 항복 전압보다 차단 전압이 더 큰, 도 4의 바람직한 TMOSFET와 도 5의 종래 TMOSFET 각각의 아웃라인 AA' 및 BB'을 따르는 전체 전계(total electric field)를 보여준다;
- 도 11은 도 4의 바람직한 TMOSFET 및 도 5의 종래 TMOSFET 각각의 OFF 상태에서의 드레인-소스(drain-source) 전압 V_{DS} 및 전류 I_{DS} 곡선 A 및 B를 보여준다;
- 도 12는 도 4의 바람직한 TMOSFET 및 도 5의 종래 TMOSFET 각각의 게이트 전하 파형(gate charge waveforms)을 보여준다;
- 도 13은 도 4의 바람직한 TMOSFET와 도 5의 종래기술에 따른 TMOSFET의 드리프트 영역 도핑, 항복 전압 및 구체적인 ON-상태 저항을 비교한다;
- 도 14a 내지 14c는 본 발명의 하나의 실시예에 따른 TMOSFET를 제조하는 방법의 순서도(flow diagram)를 보여준다;
- 도 15a 내지 15j는 본 발명의 하나의 실시예에 따른 TMOSFET를 제조하는 방법을 설명하는 블록 선도(block diagram)를 보여준다.

발명을 실시하기 위한 구체적인 내용

- [0055] 본 발명의 실시예들은 수반하는 도면들의 형상에서 설명되지만 이들로 한정되는 것은 아니고, 도면들에서 같은 참조번호는 유사한 요소들을 지칭한다.
- [0056] 본 발명은 본 발명의 바람직한 실시예들에서 첨부하는 도면에 도시된 실시예에 의해 자세하게 설명될 것이다. 예시적인 실시예들을 참조하여 본 발명을 기술하였지만, 당업자들은 본 발명의 범주를 벗어나지 않으면서 구성 요소들에 대해 다양한 변형이 행해질 수 있고 균등 치환이 행해질 수 있음을 이해할 것이다.
- [0057] 더욱이, 본 발명의 하기 상세한 설명에서, 많은 구체적인 세부 사항들이 본 발명의 철저한 이해를 위하여 개진된다. 그러나, 본 발명은 이러한 구체적인 세부 사항들 없이도 수행될 수 있는 것으로 이해된다. 다른 예에서, 잘 알려진 방법, 과정, 성분 및 회로들은 본 발명을 불필요하게 모호하게 하지 않는 한, 자세하게 설명되지 않는다.
- [0058] 도 2를 참조하면, 본 발명의 하나의 실시예에 따른 트렌치 금속 산화물 반도체 전계 효과 트랜지스터(TMOSFET)

(200)의 횡단 사시도가 있다. 상기 TMOSFET(200)은 다수의 소스 영역들(210), 다수의 게이트 영역들(215), 다수의 게이트 절연 영역들(220), 다수의 바디 영역들(225), 다수의 드리프트 영역들(230) 및 드레인 영역(235)를 포함하지만, 이들로 한정되는 것은 아니다.

[0059] 상기 드리프트 영역들(230)은 드레인 영역(235)과 바디 영역들(225) 사이에 배치된다. 상기 바디 영역들(225)은 드리프트 영역들(230)과 소스 영역(210) 사이에 배치된다. 상기 게이트 영역들(215)과 게이트 절연 영역들(220)은 게이트/게이트 절연 구조로 형성될 수 있다. 상기 게이트 절연 영역들(220)은 게이트 영역들(215)을 둘러싸고, 상기 게이트 영역들(215)을 둘러싸인 영역들로부터 전기적으로 분리된다. 상기 소스 영역들(210), 바디 영역들(225) 및 드리프트 영역(230)은 상기 게이트/게이트 절연 구조(215, 220) 사이의 평탄면들(mesas)에 배치된다. 상기 게이트/게이트 절연 구조(215, 220)에 인접한 소스 영역들(210)과 드리프트 영역들(230) 사이에 배치된 바디 영역들(225)의 일부는 상기 TMOSFET의 채널 영역들을 형성한다.

[0060] 하나의 예에서, 상기 드레인 영역(235)은 도 2에 도시된 바와 같이, 게이트/게이트 절연 구조(215, 220) 사이의 평탄면들로 상향 연장될 수 있다. 다른 예에서, 상기 드리프트 영역들(230)은 게이트/게이트 절연 구조(215, 220) 사이의 평탄면 바닥을 지나 연장될 수 있다.

[0061] 상기 게이트 영역들(215)은 디바이스(200)의 공통 게이트(common gate)를 형성하기 위해 연결된다. 상기 소스 영역들(210)은 디바이스(200)의 공통 소스(common source)를 형성하기 위해 연결된다. 상기 바디 영역들(225) 또한 상기 소스 영역들(210)과 연결된다. 하나의 예에서, 상기 바디 영역들(225)은 소스 영역들(210)의 길이를 따라 주기적으로 평탄면의 표면에 상향 연장될 수 있다. 상기 소스 영역들(210) 및 바디 영역들(225)은 소스/바디 접합(도시하지 않음)에 의해 함께 연결될 수 있다.

[0062] 게이트/게이트 절연 구조(215, 220) 사이의 상기 평탄면들의 너비(240)는 실질적으로 바디 영역들(225)과 게이트 절연 영역들(220) 사이의 계면(예를 들어, Si-SiO₂ 계면)에서 디바이스의 ON-상태(예를 들어, 역치전압 초과 VGS)에서 형성되는 양자 섀미 너비의 1/10 내지 100배의 범위이고, 이하, '양자 섀미 크기의 차수(order of quantum well dimension)'라 한다. 하나의 예에서, 상기 평탄면의 너비(240)는 대략 바디 영역들(225)과 게이트 절연 영역들(220) 사이의 계면(예를 들어, Si-SiO₂ 계면)에서의 양자 섀미 너비의 두배이다. 하나의 예에서, 상기 평탄면들의 너비(240)는 대략 0.03 내지 1.0 μm이다. 상기 게이트 절연 영역들(220)은 게이트 영역들(215)과 드리프트 영역(230) 사이 및 게이트 영역들(215)과 드레인 영역들(235) 사이의 두꺼운 부분을 포함한다. 상기 게이트 절연 영역들(220)은 게이트 영역들(215)과 바디 영역들(225) 사이의 얇은 부분도 포함한다. 상기 절연 영역들(220)의 두꺼운 부분의 깊이는, 도 3에 도시된 바와 같이, 디바이스의 OFF-상태에서의 게이트-투-드레인(gate-to-drain) 전계가 바디 영역들(225)에 인접한 드리프트 영역들(230)에서 실질적인 측방(lateral)일 수 있도록 선택된다. OFF-상태에서, 상기 바디 영역들(225)에 인접한 드리프트 영역들(230)에서의 실질적으로 측방인 전계는 드리프트 영역들(230)에서 전하를 실질적으로 감소시킨다. 하나의 예에서, 상기 게이트 절연 영역들(220)의 두꺼운 부분의 깊이(245)는 실질적으로 0.1 내지 4.0 μm 범위이다.

[0063] 상기 소스 영역들(210) 및 드레인 영역(235)은 인 또는 비소로 도핑된 실리콘과 같이, 고농도 n-도핑(N+) 반도체일 수 있다. 상기 드리프트 영역(230)은 인 또는 비소로 도핑된 실리콘과 같이, 저농도 n-도핑(N-) 반도체일 수 있다. 하나의 예에서, 상기 드리프트 영역은 드레인 영역에서 다수의 바디 영역들로 수직적으로 감소, 및/또는 평탄면의 가장자리로부터 평탄면의 중심부로 측면 방향으로 변화하는 구배 도핑 프로파일을 가진다. 다른 하나의 예에서, 상기 드리프트 영역은 실질적으로 일정한 도핑 프로파일을 가진다. 하나의 바람직한 예에서, 상기 도핑 프로파일은 실질적으로 세제곱 센티미터당 1.00E+14 내지 8.00E+17의 범위이다. 상기 바디 영역들(225)은 보론으로 도핑된 실리콘과 같은 저농도 또는 중농도 p-도핑(P-, P) 반도체일 수 있다. 상기 게이트 영역들(215)은 인으로 도핑된 폴리실리콘과 같은 고농도 n-도핑된(N+) 반도체일 수 있다. 상기 게이트 절연 영역들(220)은 이산화 실리콘(SiO₂)일 수 있다.

[0064] 도 4에는 평탄면 너비가 0.3 μm이고, 게이트 영역들과 드레인 영역 사이의 게이트 절연 영역의 두께가 0.4 μm인 바람직한 TMOSFET의 횡단면도가 도시되어 있다. 유사하게, 도 5에는 평탄면 너비가 0.3 μm이고, 게이트 영역들과 드레인 영역 사이의 게이트 절연 영역의 두께가 0.05 μm인 종래기술에 따른 바람직한 TMOSFET의 횡단면도가 도시되어 있다. 또한, 상기 도핑 프로파일 도 4에서의 컷트 라인 AA' 및 도 5에서의 컷트 라인 BB'을 따르는 도핑 프로파일은 도 6에서 비교된다.

[0065] 상기 소스/바디 영역들(210/225)에 관하여, 상기 게이트 영역들(215)의 전위가 디바이스(200)의 역치 전압 이상으로 증가될 때, 전도 채널이 게이트 절연 영역들(220)의 주변부를 따라 바디 영역(225)에서 유도된다. 상기 TMOSFET(200)은 드레인 영역(235)과 소스 영역들(210) 사이에 전류를 도전시킬 것이다. 따라서, 상기 디바이스

는 그것의 ON-상태가 된다.

[0066] 상기 바디 영역들의 평탄면 너비가 양자 섀크 크기 차수일 때, 평탄면에서 바디 영역들은 ON-상태에서 반대의 실리콘 계면 때문에 적절한 이동도를 가지는 전자의 높은 밀도($\sim 1e18 \text{ cm}^{-3}$ to $1e20 \text{ cm}^{-3}$)로 넘쳐날 것이다. 이차원 전자 기체(2DEG) 형성은 상기 바디 영역들에서 ON-상태 동안 일어나고, 누적 층 형성은 게이트-드레인 영역 프린징 전계 때문에 얇은 평탄면 구조에서 에피택시한 층에서 일어난다. 상기 바디 영역들은 더 낮은 농도로 도핑될 수 있어서, ON-상태 동안 상기 영역에서 캐리어들의 이동도에 흠어지는 이온화된 불순물의 효과를 감소시킨다. 상기 ON-상태에서, 얇은 평탄면에서 바디 영역들의 Si-SiO₂ 계면에서 형성되는 삼각형의 양자 섀크들은 상기 바디 영역들을 높은 밀도의 전자들로 넘쳐나게 한다. 도 4에서의 아웃라인 AA' 및 도 5에서의 컷트 라인 BB'을 따르는 ON-상태(VGS=10V)에서의 상기 전자 함량은 도 7에서 비교된다.

[0067] 상기 게이트 영역들(215)의 전위가 역치 전압 아래로 감소될 때, 상기 채널은 더 이상 유도되지 않는다. 그 결과, 드레인 영역(235)과 소스 영역들(210) 사이에 적용된 전위는 디바이스(200)을 통과하여 흐르는 어떤 유의적인 전류도 초래하지 못할 것이다. 따라서, 상기 디바이스(200)는 OFF-상태가 되고, 바디 영역(225) 및 드레인 영역(235)에 의해 형성된 접합은, 게이트-드레인 전계의 지원과 함께, 상기 소스 및 드레인을 가로지르며 적용되는 전압을 지원한다.

[0068] OFF-상태에서, 게이트와 드레인 영역들 사이에 존재하는 전압은 게이트 영역들과 드레인 영역 사이의 게이트 절연체의 두꺼운 부분을 따라 수직 전계를 초래한다. 이러한 수직 전계는 특정 측면 거리 "L" 내에서 상기 게이트 영역들의 측면 가장자리 너머 실질적으로 작은 값들로 쇠퇴한다. 상기 게이트 가장자리로부터 특정 측면 거리 "L" 내에서 쇠퇴하는 전계의 값들은 상기 영역에 존재하는 물질들에 의존한다. 상기 주어진 디바이스(200)에서, 게이트 영역들(215), 드리프트 영역들(230) 및 드레인 영역들(235)의 배치와 면적은, 수직 전계의 값이 게이트와 드레인 사이에 존재하는 전압 때문에, 평탄면 드리프트 영역들(230)에서 중요하도록 유리하게 선택된다. 상기 평탄면 영역에서의 게이트-드레인 전계의 측면 요소는 그곳에 존재하는 전하를 감소시키는데 도움을 주고, 그리하여, 도 8에서 도 4의 바람직한 TMSFET를 위한 항복 조건들 하에서 전체 전계 벡터들(total electric field vectors)에 의해 설명되는 바와 같이, 평탄면에서 효과적인 전하의 감소를 유도하는 전계를 제공한다. 평탄면의 좁은 너비에서 효과적인 전하 감소를 유도하는 게이트-드레인 전계는 드리프트 영역에서의 도핑 함량이 주어진 항복 전압으로 증가되도록 허용한다. 상기 게이트-드레인 수직 전계는 상기 평탄면이 양자 섀크 크기의 차수인 한 실질적으로 측면 실리콘으로 이동되고, 전계가 측면 방향으로 심각하게 쇠퇴하지 않는 영역에서 상기 게이트-드레인 캐패시터 가장자리에 충분히 가깝게 존재한다.

[0069] 도 9를 참조하면, 항복 조건들 하에서, 도 4의 컷트라인 AA' 및 도 5의 컷트라인 BB'을 따른 전압 강하가 비교된다. 평탄면 너비가 0.3 μm 인 바람직한 TMSFET는 대략 19V의 항복 전압을 가지는 반면에, 동일한 도핑 프로파일을 가지는 종래 TMSFET는 대략 16V의 더 낮은 항복 전압을 가진다. 절단선 AA'(도 4) 및 BB'(도 5)를 따라 마이크론 단위의 깊이로 디바이스의 기능으로서 전계를 제공하는 도 10에서 보는 바와 같이, 전압의 대부분은 드리프트 영역들을 가로질러 지원된다. 상기 바디 영역들이 매우 작거나 거의 없는 전압을 이러한 구조에서 지원한다는 것을 언급할 가치가 있다. 도 9 및 도 10에서 보는 바와 같이, 전압의 대부분은 드리프트 영역들에 의해 지원될 수 있고, 더 많은 전계 피크는 두꺼운 산화물의 바닥을 향해 평면에 있다. 도 11은 도 4의 바람직한 TMSFET 및 도 5의 종래 TMSFET 각각의 OFF 상태에서의 드레인-소스(drain-source) 전압 V_{DS} 및 전류 I_{DS} 곡선 A 및 B를 보여준다. 도 12는 도 4의 바람직한 TMSFET 및 도 5의 종래 TMSFET 각각의 게이트 전하 파형(gate charge waveforms)을 보여준다. 도 13은 도 4의 바람직한 TMSFET와 도 5의 종래기술에 따른 TMSFET의 드리프트 영역 도핑, 항복 전압 및 구체적인 ON-상태 저항을 비교한다.

[0070] 도 14a 내지 14c를 참조하면, 본 발명의 하나의 실시예에 따른 트랜치 금속 산화물 반도체 전계 효과 트랜지스터(TMSFET)를 제조하는 방법이 도시된다. 본 발명의 하나의 실시예에 따른 TMSFET를 제조하는 방법은 도 15a 내지 15j에서 설명된다. 도 14a 및 15a에서 묘사된 바와 같이, 상기 과정은 반도체 웨이퍼 기질(1502) 상에 클리닝(cleaning), 디포지팅(depositing), 도핑(doping), 에칭(etching) 및/또는 기타 유사한 것들과 같이 다양한 초기 과정들을 가지는 1402에서 시작한다. 상기 기질은 제 1형 도펀트(dopant)로 상대적으로 고농도 도핑된 반도체이다. 상기 반도체 기질은 드레인 영역을 형성한다. 하나의 예에서, 상기 드레인 영역은 인으로 고농도 도핑된(N+) 실리콘일 수 있다.

[0071] 1404에서, 제 1 반도체 층(1504)는 웨이퍼 기질(1502) 위에 형성된다. 하나의 예에서, 상기 반도체 층은 기질 위에서 에피택셜 증착(epitaxial deposit)이 된다. 하나의 예에서, 상기 에피택셜 증착된 제 1 반도체 층은 인

으로 저농도 도핑된(N-) 실리콘을 포함한다. 상기 에피택셜 증착된 실리콘은 인과 같은 소망하는 불순물을 반응 챔버 내부로 주입함으로써 도핑될 수 있다. 하나의 예에서, 상기 에피택셜 층은 구배 도핑 프로파일을 가지도록 증착되고, 상기 도핑 함량은 웨이퍼 기질로부터 에피택셜 층의 표면으로 감소한다.

[0072] 1406에서, 포토레지스트(1506)는 게이트 트렌치 마스크를 형성하는 잘 알려진 리소그래피 과정에 의해서 증착되고 패터닝된다. 도 15b를 참조하면, 1408에서, 제 1 반도체 층의 노출된 부분은 잘 알려진 등방성(isotropic) 에칭 방법으로 에칭된다. 하나의 예에서, 이온성 부식제는 패터닝된 레지스트 층(resist layer)에 의해 노출되는 장벽층(barrier layer), 제물층(sacrificial layer) 및 제 1 반도체 층과 상호 작용한다. 다수의 트렌치들이 상기 트렌치들 사이에 배치된 다수의 평탄면들(1508)을 가지고 형성되며, 상기 평탄면들의 너비는 차후 과정들에서 형성되는 평탄면들과 게이트 절연 영역들 사이 계면에서의 양자 샘 크기의 차수이다. 하나의 예에서, 상기 평탄면들의 너비는 대략 0.03 - 1.0 μm 이다. 1410에서, 게이트 트렌치 마스크는 적절한 레지스터 제거물질(resist stripper) 또는 레지스트 애싱 과정(resist ashing process)을 사용하여 제거된다.

[0073] 도 15c를 참조하면, 두꺼운 유전체 층(1512)은 1412에서 형성된다. 하나의 예에서, 등각의 이산화 실리콘 층이 화학 증착법(CVD)와 같이 잘 알려진 방법에 의해 증착된다. 상기 유전체 층은 대략 0.1 - 4.0 μm 두께로 증착된다.

[0074] 도 15c를 참조하면, 1414에서, 장벽층(1514)은 상기 두꺼운 유전체 층 상에 형성되고 트렌치들을 채운다. 도 15d를 참조하면, 1416에서, 장벽층(1514) 및 두꺼운 유전체 층(1512)의 일부가, 화학적 기계적 연마(CMP)를 사용하여 웨이퍼를 평탄화시키거나, 다른 어떤 알려진 평탄화 방법을 사용하여, 평탄면들(1508)의 상부 표면까지 제거된다. 도 15e를 참조하면, 1418에서, 두꺼운 유전체 층의 남아있는 부분은 두꺼운 유전체 층의 소망하는 총량이 트렌치들의 바닥에 남을 때 까지 다시 에칭된다. 하나의 예에서, 상기 두꺼운 유전체 층은 약 0.14 - 4.0 μm 가 트렌치들의 바닥에 남을 때 까지 다시 에칭된다.

[0075] 도 15f를 참조하면, 1420에서, 제 1 얇은 유전체 층(1520)은 평탄면들 상에 형성된다. 하나의 예에서, 상기 얇은 유전체 층은 제 1 반도체 층의 평탄면 표면을 산화시켜 이산화 실리콘 층을 형성함으로써 형성된다.

[0076] 1424에서, 제 2 반도체 층(1524)이 형성된다. 하나의 예에서, 폴리실리콘 층이 실란(SiH_4)의 분해와 같은 방법에 의해 트렌치들을 채우면서 웨이퍼 상에 증착된다. 하나의 예에서, 상기 폴리실리콘은 인 또는 비소와 같은 n-타입 불순물로 도핑된다. 하나의 예에서, 상기 폴리실리콘은 증착 과정 동안 불순물을 주입함으로써 도핑될 수 있다.

[0077] 도 14c 및 15g를 참조하면, 1426에서, 웨이퍼의 표면 상에 있는 잉여 제 2 반도체 층과 얇은 유전체 층을 제거하기 위하여 에치백(etch-back) 과정이 수행된다. 웨이퍼의 표면 상에 있는 잉여 제 2 반도체 층과 얇은 유전체 층을 제거하는 것은 게이트 영역들(1526), 및 상기 게이트 영역들과 평탄면들 사이의 게이트 절연 영역의 얇은 부분(1527)을 형성한다. 하나의 예에서, 상기 잉여 제 2 반도체와 얇은 유전체 층은 습식 에칭 과정 또는 그밖에 유사한 것들에 의해 선택적으로 제거될 수 있다. 하나의 예에서, 평탄면(1508)의 꼭대기 위에 있는 얇은 유전체 층의 부분은 제 2 반도체 층을 트렌치로 에치백하는 제 1 에칭 과정 동안 하드 마스크(hard mask)로서 사용될 수 있다. 이후, 제 2 에칭 과정은 평탄면들의 꼭대기 상에 있는 얇은 유전체 층을 제거할 수 있다.

[0078] 도 15h를 참조하면, 1428에서, 평탄면들(1508)의 제 1 부분 및 게이트 영역들(1526)은 상대적으로 중농도 또는 저농도 도핑 함량에 제 1 깊이까지 제 2 도펀트 타입으로 도핑된다. 상기 에피택셜 증착된 반도체 층의 노출된 부분은 실질적으로 게이트 영역들과 동일한 깊이로 다수의 평탄면들에서 바디 영역들(1529)을 형성하기 위해 도핑된다. 하나의 예에서, 상기 도핑 과정은 평탄면들에서 보론과 같은 p-타입 불순물을 주입한다. 고온 열 사이클이 상기 바디 영역 도핑을 주입하기 위하여 활용될 수 있다. 따라서, 에피택셜 증착된 반도체 층(1528)의 아래 부분은 드레인 영역(1502)과 바디 영역들(1529) 사이의 저농도 도핑된 드리프트 영역들을 형성한다. 상기 게이트 영역들(1524)의 도핑은 실질적으로 제 1 도펀트 타입으로 중농도에서 고농도로 도핑된다.

[0079] 도 15i를 참조하면, 1430에서, 상기 평탄면(1508)의 제 2 부분 및 게이트 영역들은 제 1 도펀트 타입으로 소스 영역들(1530)을 형성하기 위하여 상대적으로 높은 도핑 함량으로 제 2 깊이까지 도핑된다. 상기 제 2 도핑 깊이는 제 1 도핑 깊이보다 적다. 하나의 예에서, 상기 도핑 과정은 인 또는 비소와 같은 n-타입 불순물을 다수의 평탄면들에 고농도로 주입하는 것을 포함한다. 고온 열 사이클이 소스 영역 도핑을 주입 및/또는 활성화하기 위하여 활용될 수 있다. 도 15j를 참조하면, 1432에서, 제 2 얇은 유전체 층(1532)이 형성된다. 하나의 예에서, 상기 얇은 유전체는 평탄면들 및 게이트 영역들의 표면을 산화시켜 이산화 실리콘 층을 형성함으로써 형성된다.

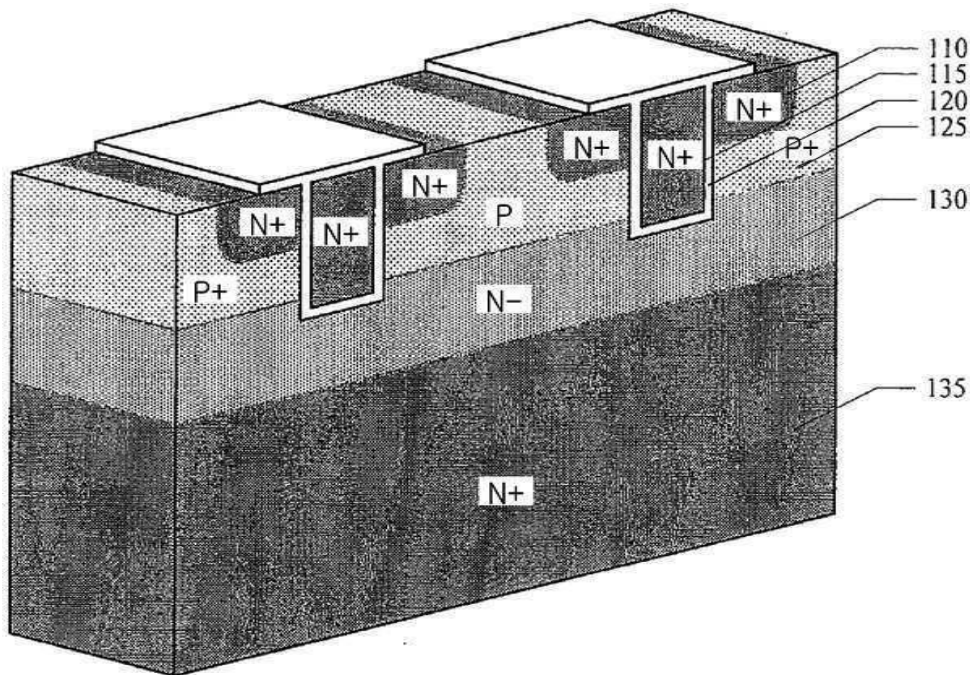
[0080] 1436에서, 제조는 다양한 다른 과정들과 함께 계속된다. 상기 다양한 과정들은 전형적으로 에칭(etching), 증착(deposition), 도핑(doping), 클리닝(cleaning), 어닐링(annealing), 패시베이션(passivation), 클리빙(cleaving) 및/또는 유사한 것들을 포함한다. 상기 추가적인 과정들은, 예를 들어, 소스/바디 접촉부 구멍들(source/body contact openings), 소스/바디 접촉부(source/body contacts), 게이트 접촉부 구멍들(gate contact openings), 게이트 접촉부(gate contacts), 드레인 접촉부(drain contacts), 패시베이션 층들(passivation layers), 경유(vias), 상호연결(interconnects), 종료 구조(termination structures), 주변 구조(peripheral structures) 및/또는 이와 유사한 것들을 형성한다.

[0081] 본 발명의 실시예들은 프링징 게이트-드레인 전계(fringing gate-drain electric field)의 이점을 취함으로써 낮은 ON-상태 저항을 유리하게 얻는다. 상기 평탄면에서의 드리프트 영역의 도핑 함량은 평면 p-n 접합 이론에 의해 예측되는 것보다 적은 p-n 접합 항복 전압 저하(p-n junction breakdown voltage degradation)를 가지고 유리하게 증가될 수 있다. 상기 평탄면들에서의 p-n 접합의 항복 전압과 평탄면에서의 도핑 사이의 관계는 상기 평탄면들의 너비에 의해 유리하게 조절된다. 또한, OFF-상태에서의 게이트와 드레인 사이의 프링징 전계(fringing field)는 평탄면들에서 드리프트 영역 전하를 고갈시키는 데 도움을 줘서, 주어진 항복 전압을 위해 드리프트 영역에서 더 높은 도핑을 허용한다. 나아가, 상기 게이트와 드레인 사이의 게이트 절연체의 두께는, 추가적인 게이트 전하의 부가 없이, 증가된 드리프트 영역 도핑 농도에 대해서 조차 실질적으로 일정한 항복전압을 위해 제공되어, 낮은 ON-저항 게이트 전하 산물을 초래한다.

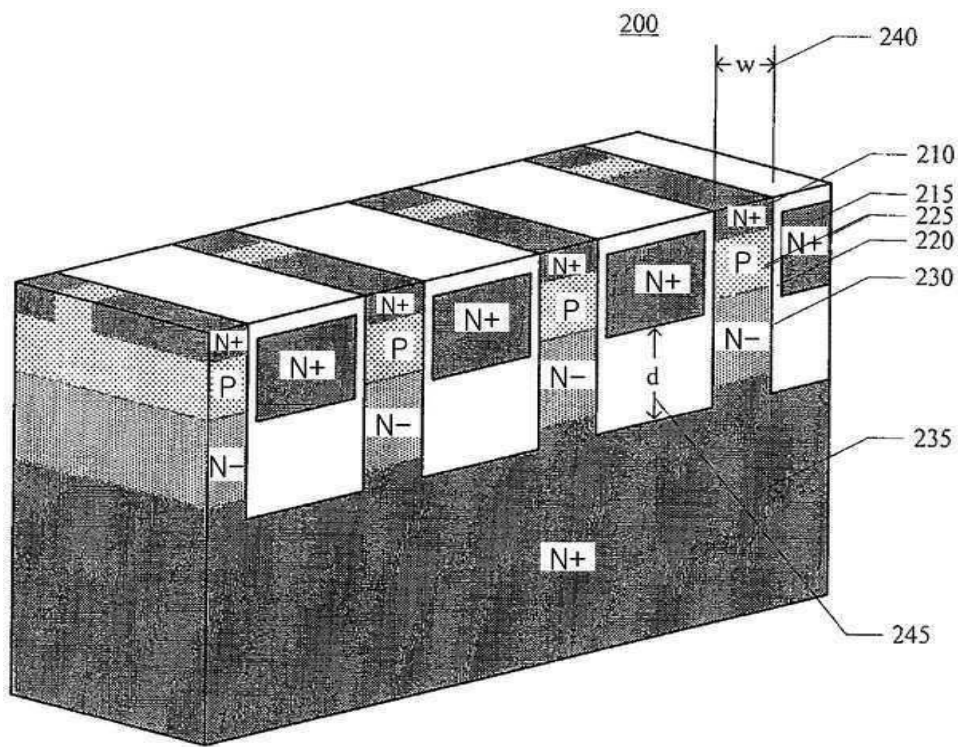
[0082] 본 발명의 특정 실시예들의 상기 설명은 도면 및 설명의 목적으로 제시되었다. 예시적인 실시예들을 참조하여 본 발명을 기술하였지만, 당업자들은 본 발명의 범주를 벗어나지 않으면서 구성요소들에 대해 다양한 변형이 행해질 수 있고 균등 치환이 행해질 수 있음을 이해할 것이다. 더욱이, 본 발명의 본질적인 범위를 벗어나지 않으면서 본 발명의 교시에 특별한 상황 또는 물질을 적용하기 위해 많은 수정이 행해질 수 있다. 그러므로, 본 발명은 본 발명을 수행하기 위해 개시되어 있는 특정 실시예들로 한정되지 않고, 첨부된 청구항들의 범주에 속하는 모든 실시예들을 포함하는 것으로 의도된다. 여기에서 설명된 모든 요소, 부분 및 단계들은 바람직하게 포함된다. 이러한 요소, 부분, 단계들의 어느 것도 다른 요소, 부분 및 단계들로 대체되거나 당업자에게 자명한 것과 같이 모두 함께 삭제될 수도 있다.

도면

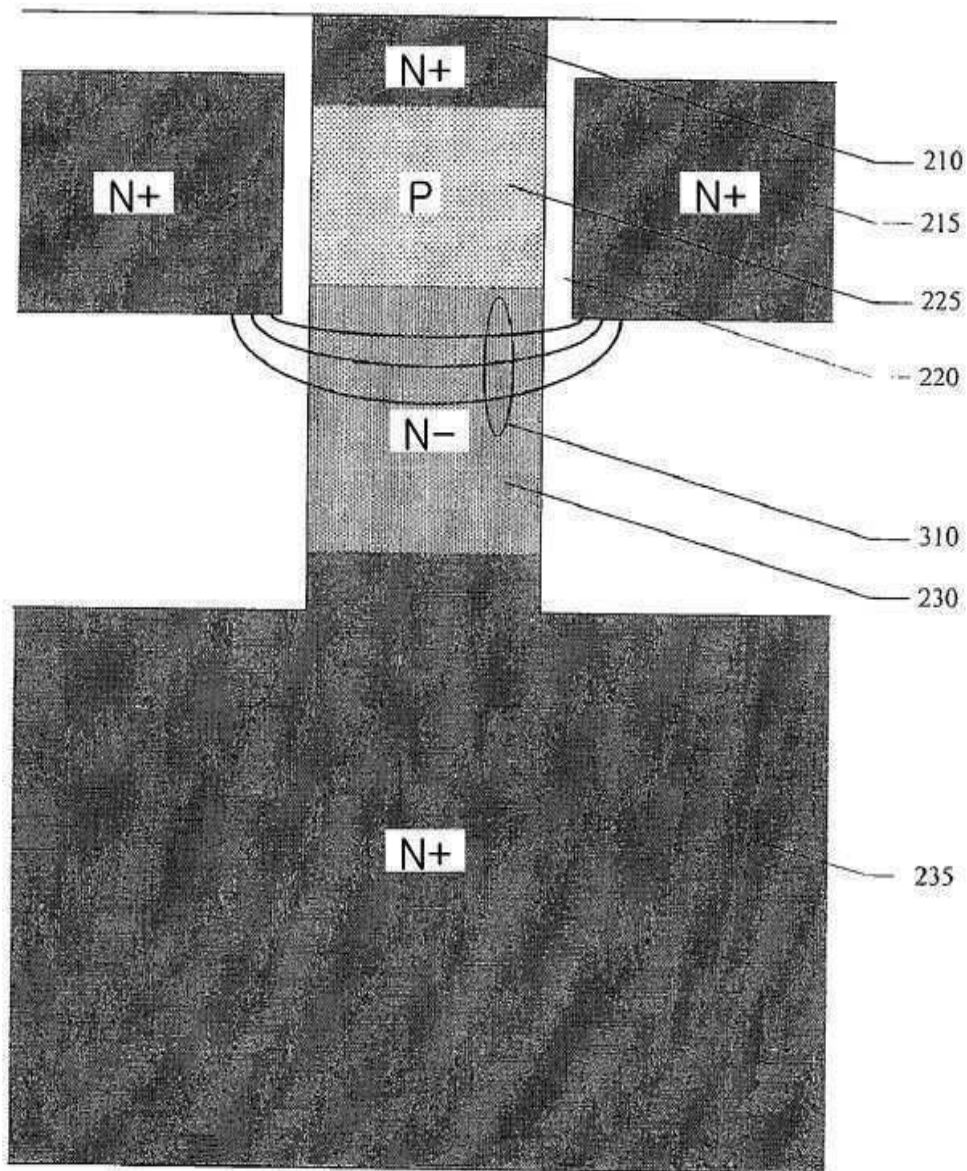
도면1



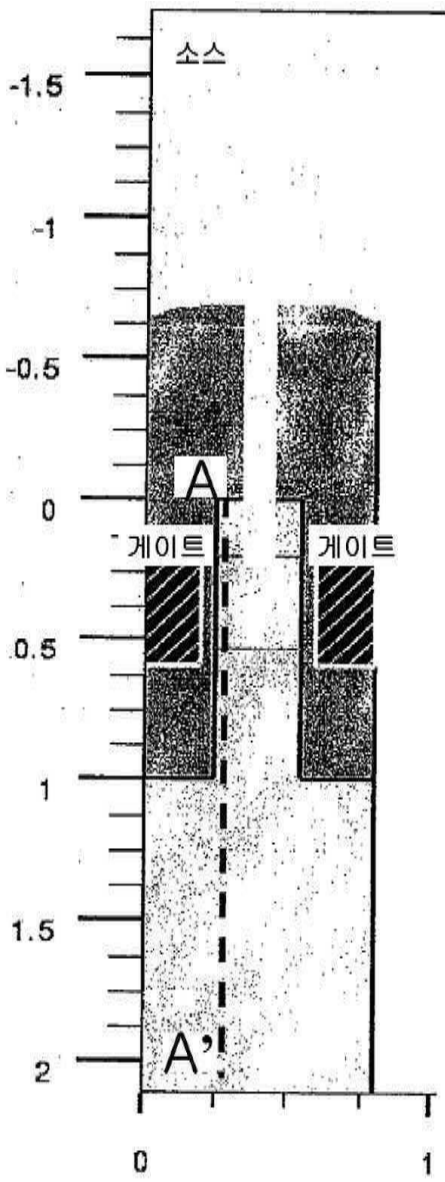
도면2



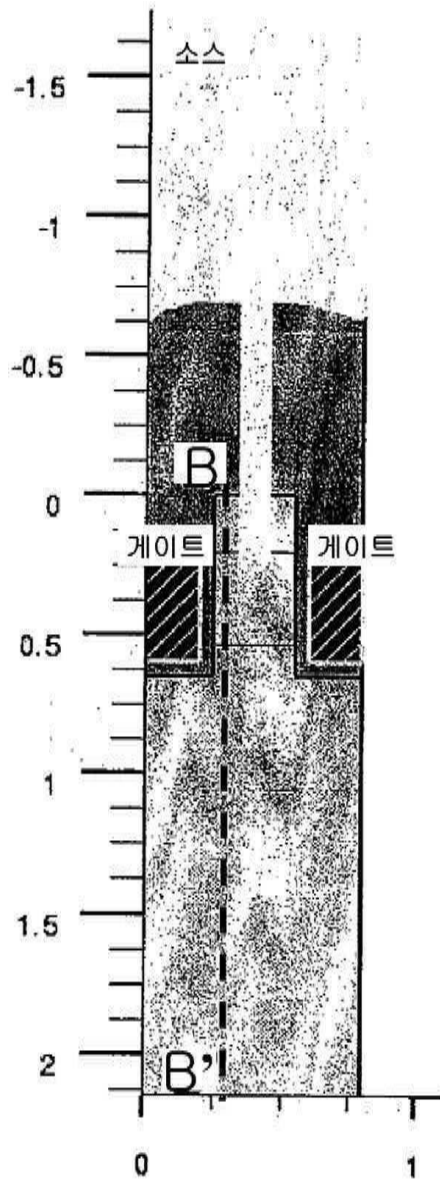
도면3



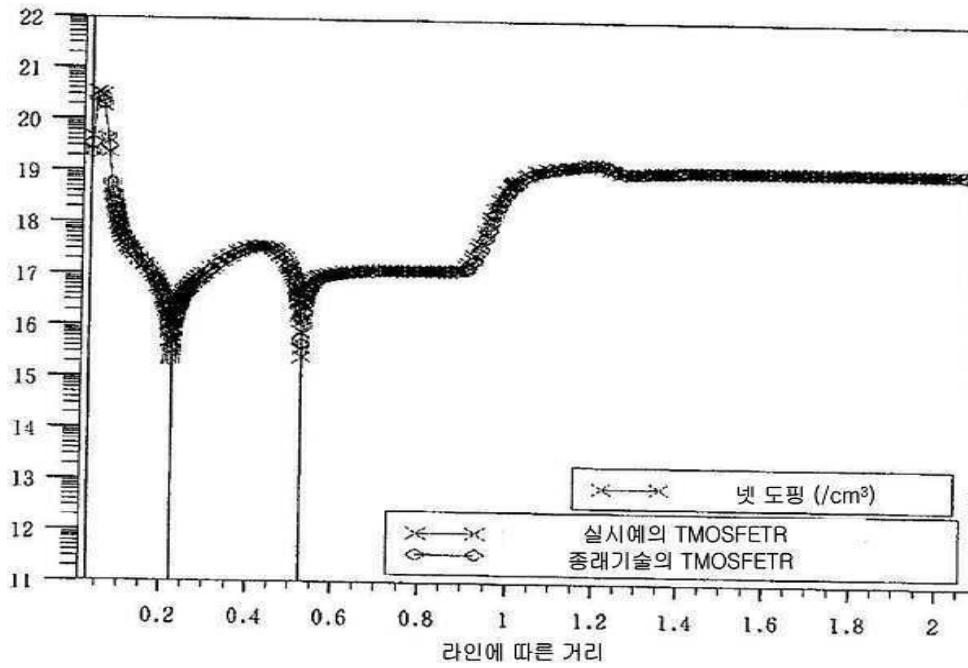
도면4



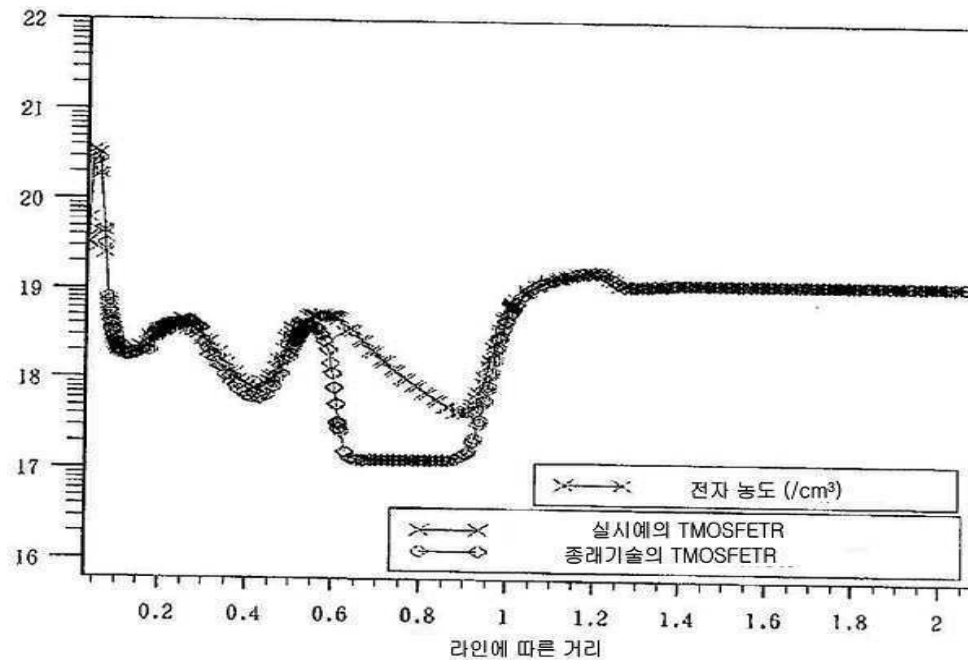
도면5



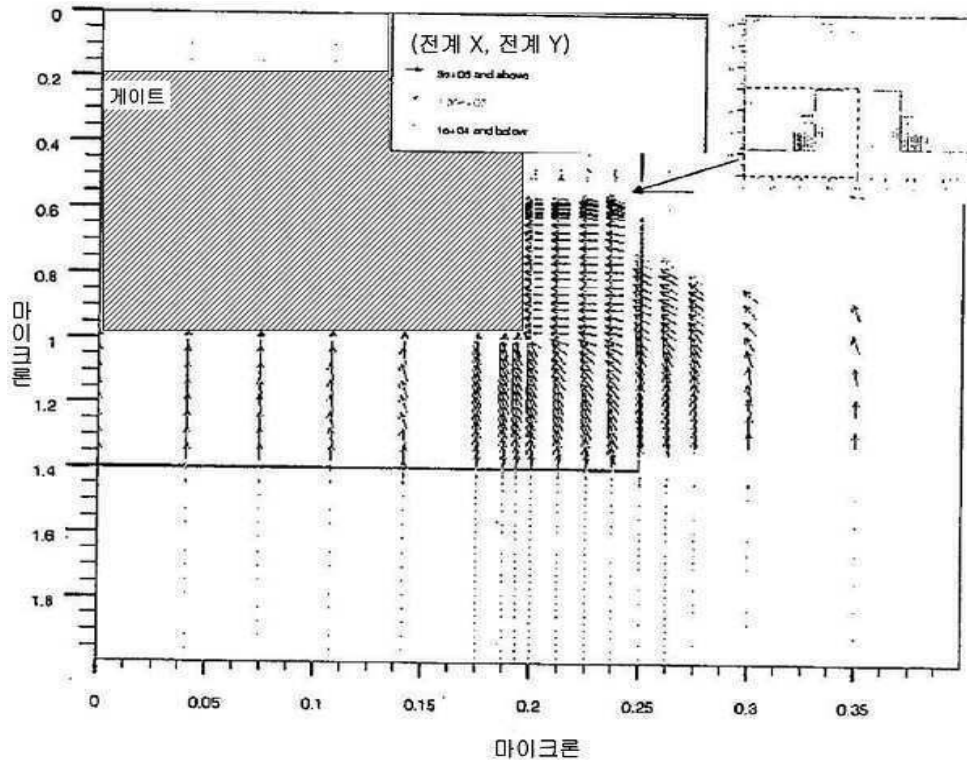
도면6



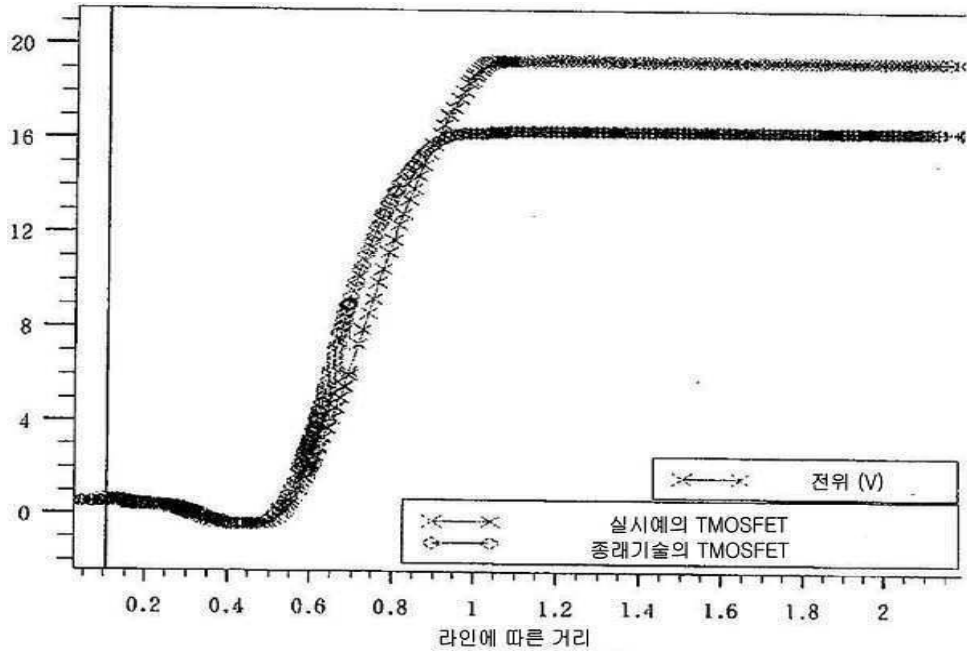
도면7



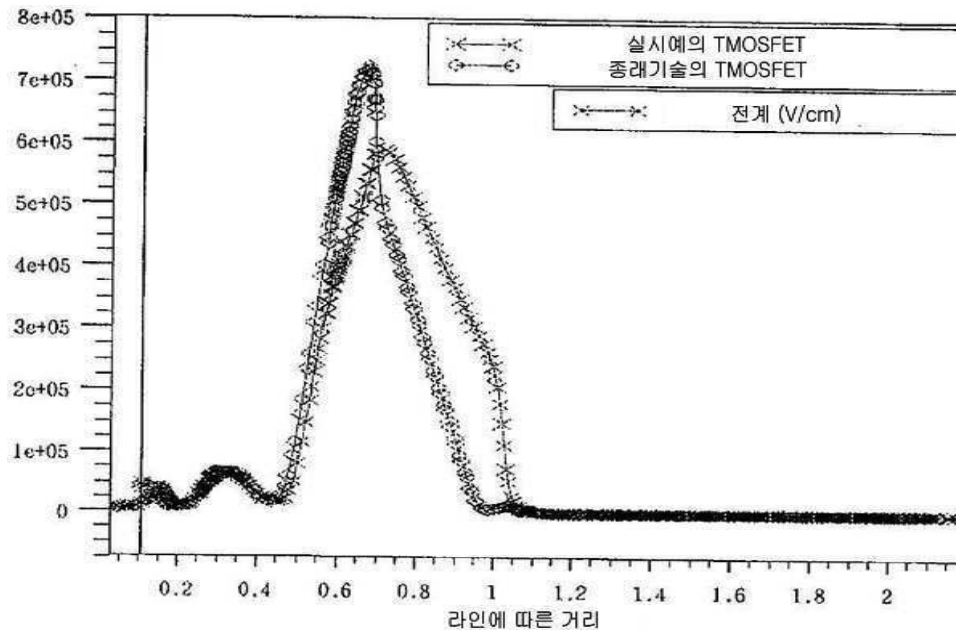
도면8



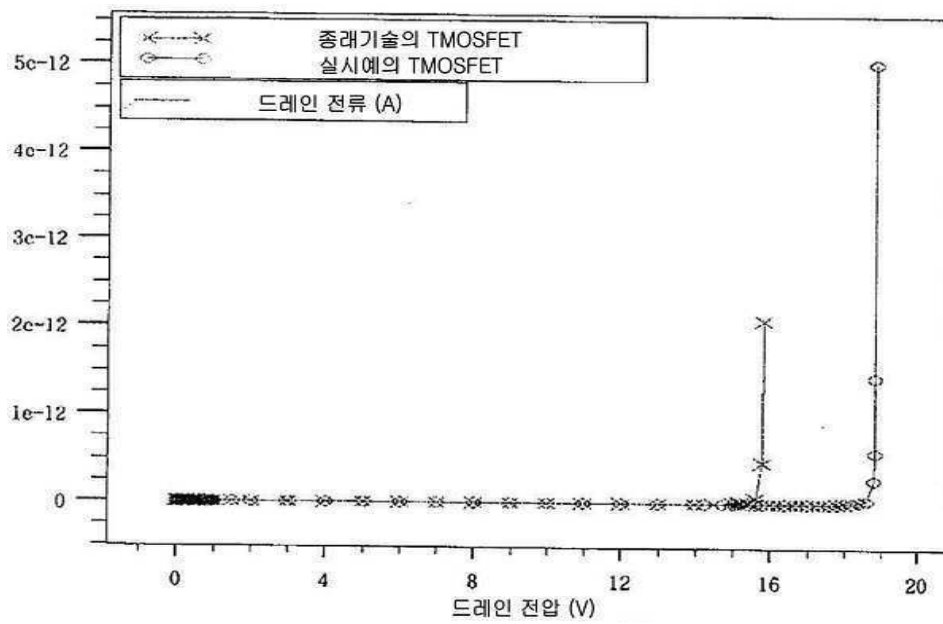
도면9



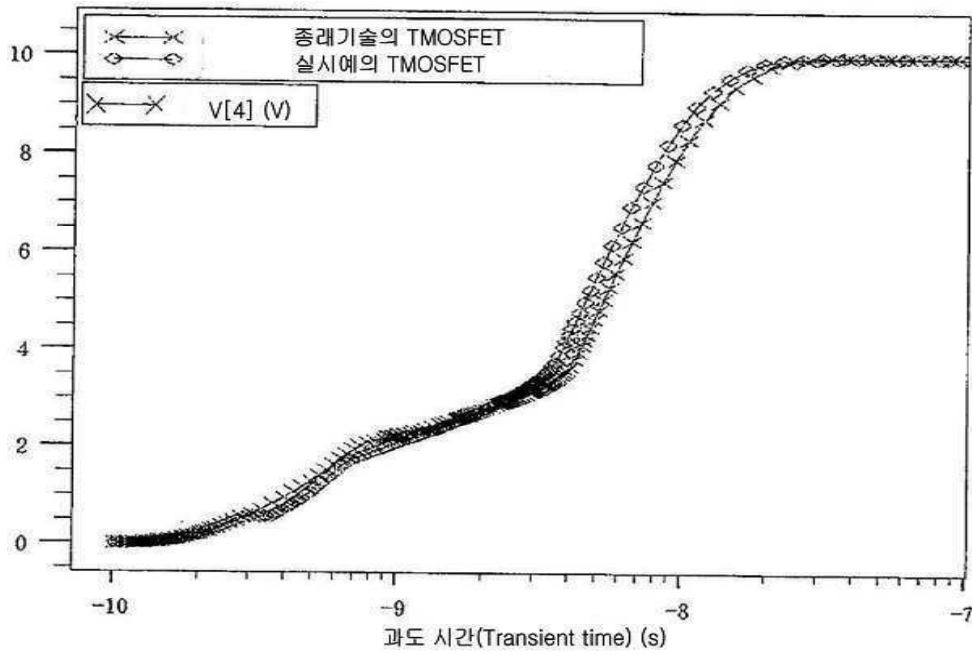
도면10



도면11



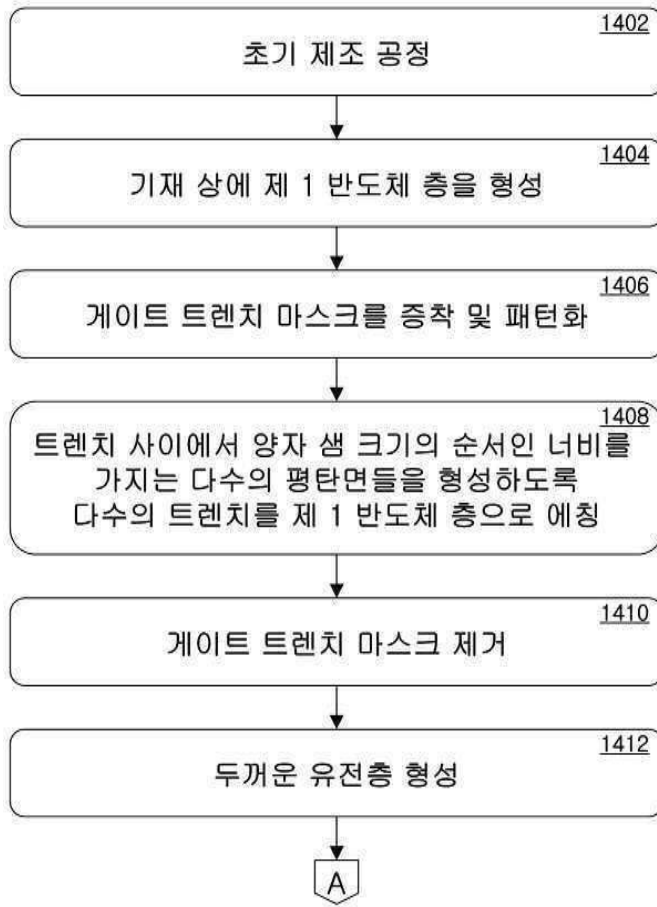
도면12



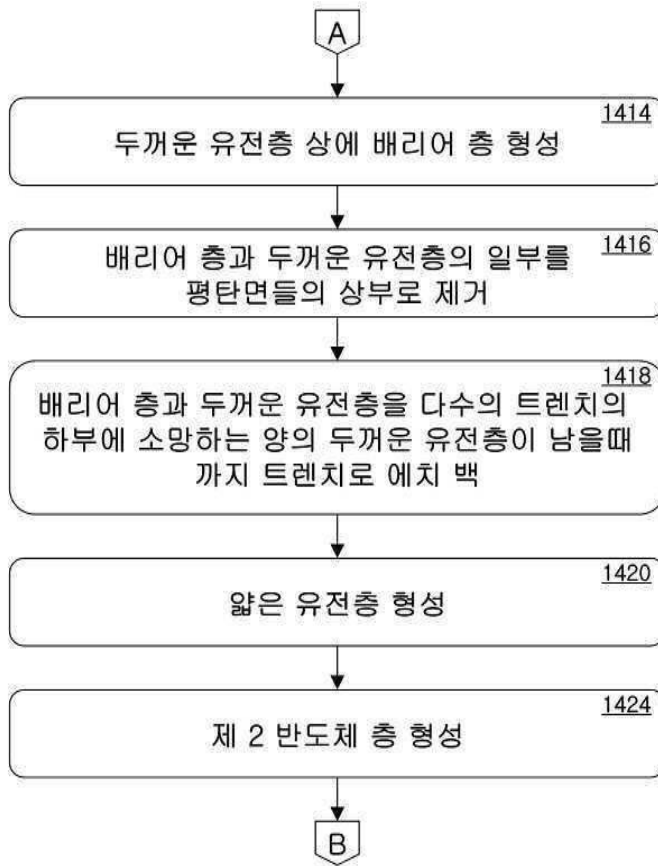
도면13

디바이스	드리프트 영역 도핑, /cm ³	BV, V	Rsp (Vgs=10V), mohm.mm2	Qg,sp (Vgs=10V), nC/cm2	Ron.Qg, mohm.nc
도 5의 종래기술 TMSFET	1.3E+17	15.8	3.4	1522	51.74
도 4의 실시예 TMSFET	1.3E+17	19.2	3.54	1177	41.66

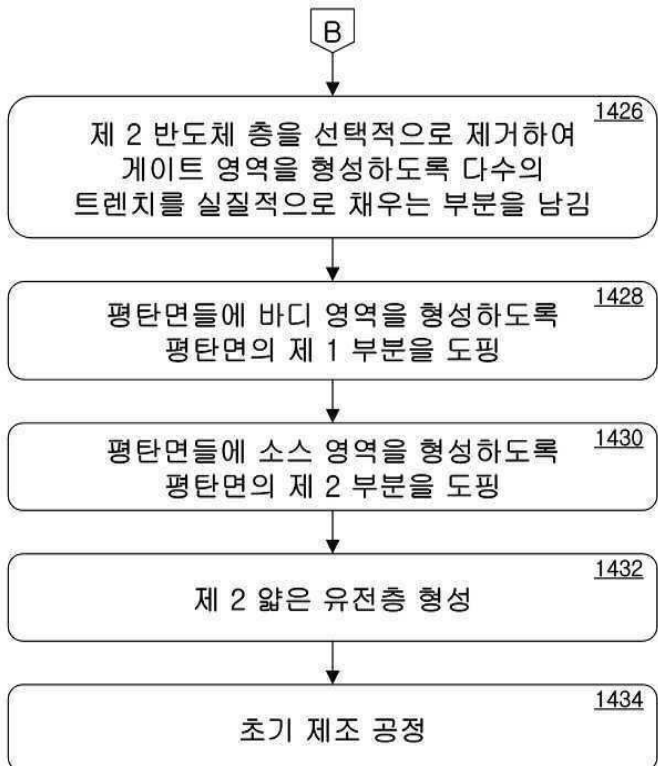
도면14a



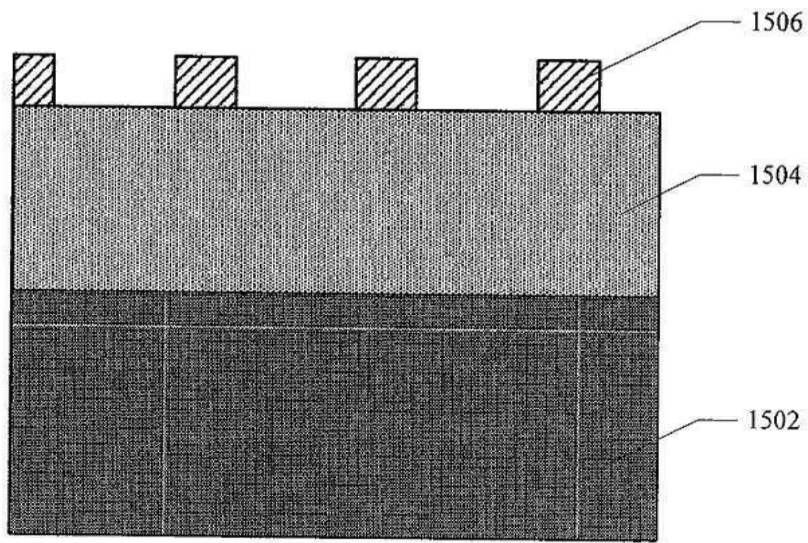
도면14b



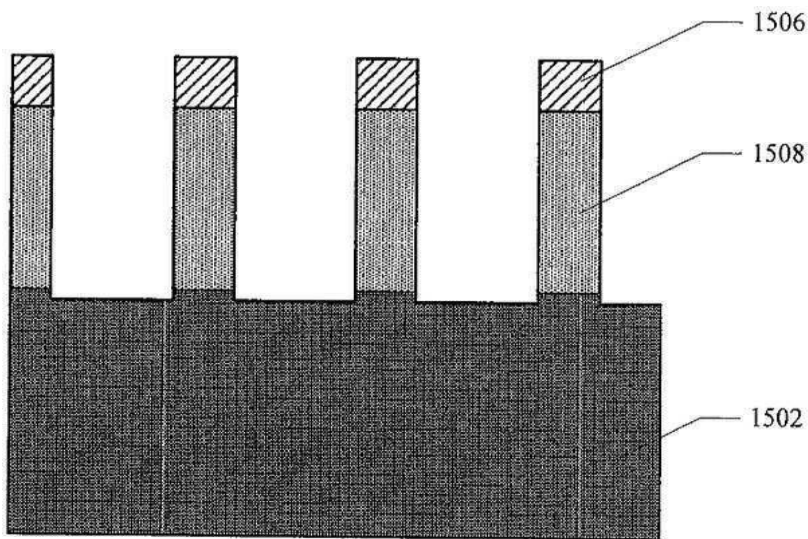
도면14c



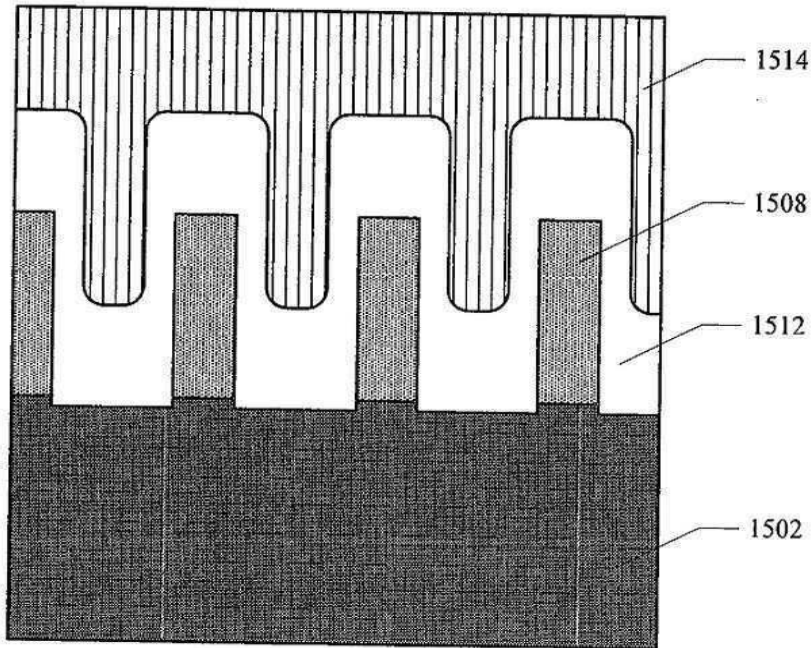
도면15a



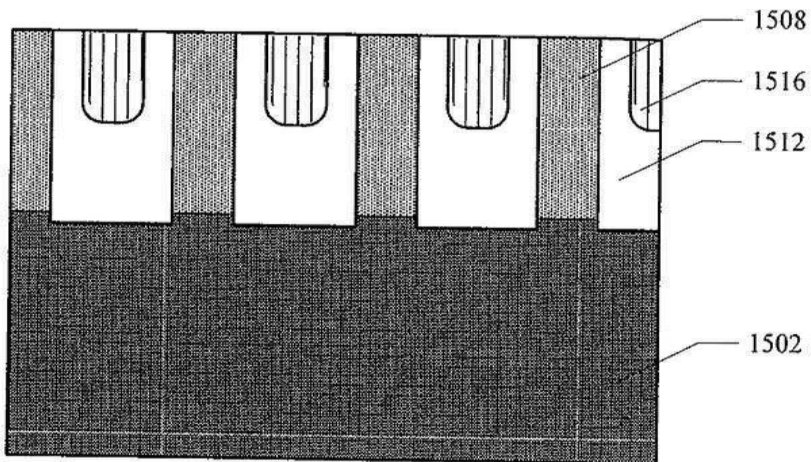
도면15b



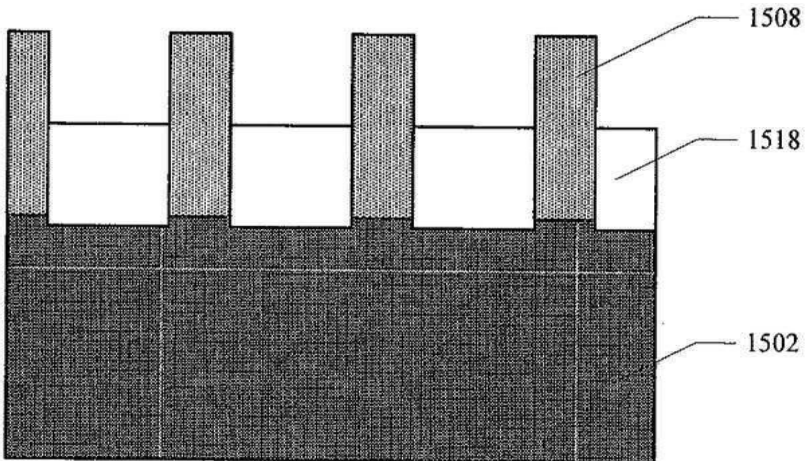
도면15c



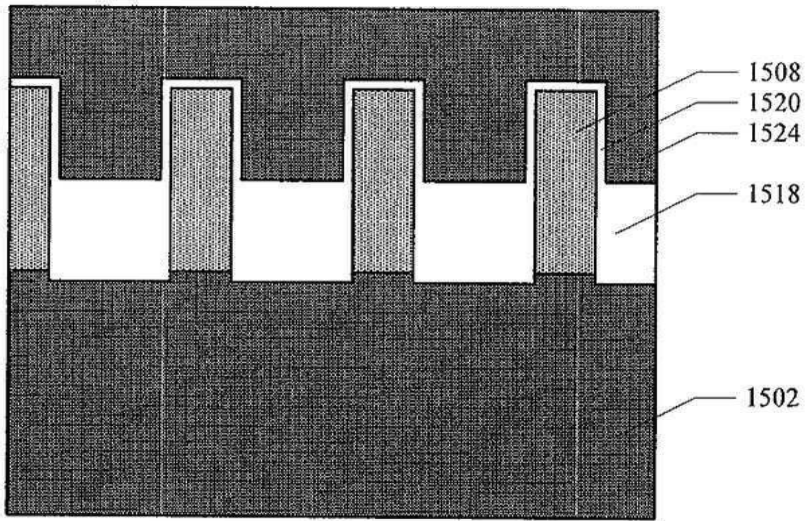
도면15d



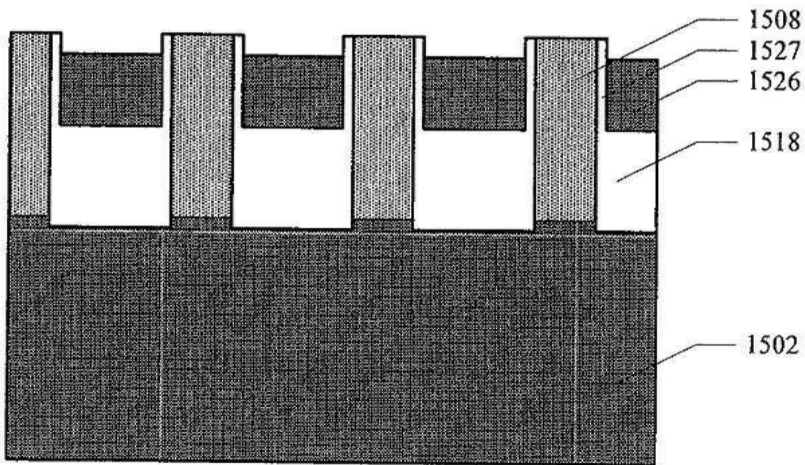
도면15e



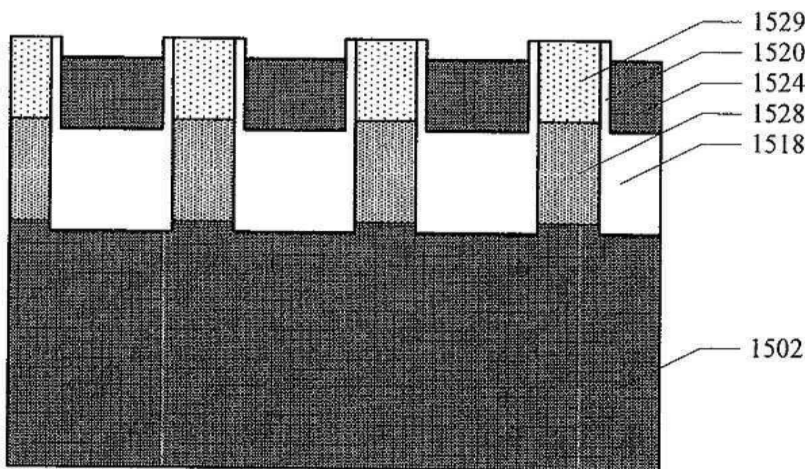
도면15f



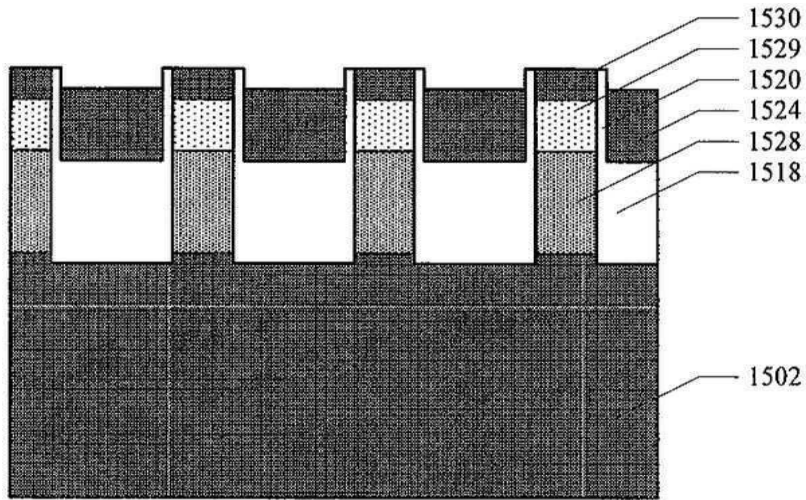
도면15g



도면15h



도면15i



도면15j

