(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3688055号
(P3688055)
(45)発行日　平成17年8月24日(2005.8.24)　(24)登録日　平成17年6月17日(2005.6.17)

(51)Int.Cl.[7]	F I		
H01J 11/00	H01J	11/00	K
H01J 11/02	H01J	11/02	B

請求項の数 7　(全 11 頁)

(21)出願番号　特願平8-81421
(22)出願日　平成8年4月3日(1996.4.3)
(65)公開番号　特開平9-274859
(43)公開日　平成9年10月21日(1997.10.21)
審査請求日　平成13年3月7日(2001.3.7)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100086933
弁理士　久保　幸雄
(72)発明者　黒木　正軌
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(72)発明者　グェン　タン　ニヤン
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

審査官　河原　英雄

最終頁に続く

(54)【発明の名称】面放電型ＰＤＰ

(57)【特許請求の範囲】
【請求項１】
第１の基板上に、互いに平行な第１及び第２のサステイン電極からなる複数の主電極対が列方向に沿って配列され、これら主電極対と交差するように複数のアドレス電極が前記基板と対向する第２の基板上に行方向に沿って配列されており、前記主電極対と前記アドレス電極とによって表示画面に対応した電極マトリクスが構成された面放電型ＰＤＰであって、
個々のアドレス電極が、列方向における隣接した主電極対どうしの間の位置を分割位置として、互いに離れた少なくとも２以上の部分アドレス電極に分割され、それによって前記表示画面がアドレス電極の分割数と同数の部分画面に区画されており、
部分アドレス電極どうしの間隔が、これら部分アドレス電極の間の前記分割位置を挟んで隣接する主電極対どうしの間隔よりも実効的に大きい
ことを特徴とする面放電型ＰＤＰ。
【請求項２】
前記第１及び第２のサステイン電極は、前記分割位置を挟んで第１のサステイン電極どうしが隣接するように配列され、
前記部分アドレス電極は、平面視において前記分割位置に最も近い前記第１のサステイン電極と重ならないように設けられてなる
請求項１記載の面放電型ＰＤＰ。
【請求項３】

前記表示画面が列方向に並ぶ２つの部分画面に区画され、
一方の部分画面と他方の部分画面とに、前記第１及び第２のサステイン電極が互いに逆の順序で配列されてなる
請求項２記載の面放電型ＰＤＰ。
【請求項４】
前記２つの部分画面の一方に対応した部分アドレス電極は、前記第２の基板の列方向の一端側の縁部に導出され、他方の部分画面に対応した部分アドレス電極は前記基板の他端側の縁部に導出されてなる
請求項３記載の面放電型ＰＤＰ。
【請求項５】
前記第１のサステイン電極は、前記第１の基板の行方向の一端側の縁部に導出され、前記第２のサステイン電極は、他端側の縁部に導出されてなる
請求項１乃至請求項４のいずれかに記載の面放電型ＰＤＰ。
【請求項６】
前記部分アドレス電極どうしの間に、電極間隔を実効的に延長する隔壁が設けられてなる
請求項１乃至請求項５のいずれかに記載の面放電型ＰＤＰ。
【請求項７】
第１の基板上に、表示画面の行を構成する互いに平行な第１及び第２のサステイン電極からなる主電極対が列方向に沿って複数配列され、これら主電極対と交差するように複数のアドレス電極が前記基板と対向する第２の基板上に行方向に沿って配列されており、前記第２のサステイン電極と前記アドレス電極とによってセルを選択するように構成されたマトリクス表示形式の面放電型ＰＤＰであって、
前記アドレス電極が表示画面を列方向に並ぶ２つの小画面に分割するよう１つの隣接する主電極対間で分割され、分割された前記２つの小画面において第１のサステイン電極と第２のサステイン電極とが互いに逆の順序で並び、かつ前記主電極対の第１のサステイン電極どうしが前記アドレス電極の分割位置を挟んで隣接するように配置された
ことを特徴とする面放電型ＰＤＰ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、面放電セルを画定する電極対を有したマトリクス表示形式のＡＣ型のＰＤＰ（プラズマディスプレイパネル）に関する。
【０００２】
選択発光に壁電荷を利用するＡＣ駆動形式のＰＤＰの内、特に面放電型ＰＤＰは蛍光体によるカラー表示に適しており、ハイビジョン用の大画面表示デバイスとして注目されている。
【０００３】
【従来の技術】
図５は従来の面放電型ＰＤＰ８０の電極構造を示す平面図、図６は従来の面放電型ＰＤＰ８０の内部構造を示す分解斜視図である。
【０００４】
ＰＤＰ８０は、互いに平行に延びる直線状のサステイン電極（主電極）Ｘｊ，Ｙｊからなる複数の電極対１２ｊと、サステイン電極Ｘｊ，Ｙｊと直交する複数の直線状のアドレス電極Ａｊとを有する。各電極対１２ｊはマトリクス表示の１ライン（行）に対応し、各アドレス電極Ａｊは１列に対応する。つまり、サステイン電極群とアドレス電極群とが交差する範囲の領域Ｅ１が表示画面（スクリーン）である。なお、表示画面Ｅ１の周囲には、ガラス基板１１ｊ，２１ｊを接合する封止材３１ｊのガス放出の影響を避けるため、所定幅の非発光領域Ｅ２が設けられている。
【０００５】
図６のように、ＰＤＰ８０は、前面側のガラス基板１１ｊ、サステイン電極Ｘｊ，Ｙｊ、

ＡＣ駆動のための誘電体層１７ｊ、保護膜１８ｊ、背面側のガラス基板２１ｊ、アドレス電極Ａｊ、平面視直線状の隔壁２９ｊ、及びフルカラー表示のための蛍光体層２８ｊなどから構成されている。内部の放電空間３０ｊは、隔壁２９ｊによってライン方向（サステイン電極Ｘｊ，Ｙｊの延長方向）にサブピクセルＥＵ毎に区画され、且つその間隙寸法が規定されている。

【０００６】

サステイン電極Ｘｊ、Ｙｊは、ガラス基板１１ｊの内面に配列されており、それぞれが幅の広い透明導電膜４１ｊと導電性を確保するための金属膜４２ｊとから構成されている。透明導電膜４１ｊは、面放電が拡がるように金属膜４２ｊより幅の広い帯状にパターニングされている。

【０００７】

蛍光体層２８ｊは、サステイン電極Ｘｊ，Ｙｊから遠ざけて面放電によるイオン衝撃を軽減するために背面側のガラス基板２１ｊ上の各隔壁２９ｊの間に設けられており、面放電で生じた紫外線によって局部的に励起されて発光する。蛍光体層２８ｊの表層面（放電空間と接する面）で発光した可視光の内、ガラス基板１１ｊを透過する光が表示光となる。

【０００８】

マトリクス画面のピクセル（画素）ＥＧは、ライン方向に並ぶ３つのサブピクセルＥＵからなる。これら発光色（Ｒ，Ｇ，Ｂ）は互いに異なり、Ｒ，Ｇ，Ｂの組み合わせによってカラー表示が行われる。隔壁２９ｊの配置パターンはいわゆるストライプパターンであり、放電空間３０ｊの内の各列に対応した部分は、全てのラインに跨がって列方向に連続している。各列内のサブピクセルＥＵの発光色は同一である。

【０００９】

ＰＤＰ８０による表示に際しては、各サブピクセルＥＵの点灯（発光）／非点灯の選択（アドレッシング）に、アドレス電極Ａｊと電極対１２ｊの一方のサステイン電極Ｙｊとが用いられる。すなわち、Ｎ本（Ｎはライン数）のサステイン電極Ｙｊに対して１本ずつ順にスキャンパルスを印加することによってライン走査が行われ、サステイン電極Ｙｊと表示内容に応じて選択されたアドレス電極Ａｊとの間での対向放電（アドレス放電）によって、ライン毎に所定の帯電状態が形成される。アドレッシングの後、サステイン電極Ｘｊとサステイン電極Ｙｊとに交互に所定波高値のサステインパルスを印加すると、アドレッシングの終了時点で所定量の壁電荷が存在したセルで面放電（サステイン放電）が生じる。

【００１０】

【発明が解決しようとする課題】

上述のようにライン走査によってアドレッシングを行う場合には、画面の大型化又は高精細化によってライン数Ｎが増加すると、アドレッシングの所要時間が長くなる。テレビジョンでは１フレーム（１画面の表示期間）が固定であるので、アドレッシング期間が長くなるにつれてサステイン期間が短くなり、表示の輝度が低下する。また、フレーム分割による階調表示が困難になる。

【００１１】

そこで、表示画面Ｅ１を列方向（図５の上下方向）に区画し、列方向に並ぶ複数の部分画面に対するアドレッシングを同時に行うことが考えられる。その場合には、アドレス電極Ａｊも部分画面毎に分割する。表示画面Ｅ１を２分割すれば、アドレッシングの所要時間を１／２にすることができる。

【００１２】

しかし、従来では、サステイン電極Ｘｊとサステイン電極Ｙｊとが列方向に沿って交互に配列されていたので、部分画面どうしの境界で誤放電の生じる確率が大きいという問題があった。

【００１３】

図７は従来の問題点を説明するための図である。図７（Ｂ）は図７（Ａ）のｂ－ｂ矢視断面の電極構造を示している。

図７の例では、表示画面Ｅ１が２つの部分画面Ｅ１１，Ｅ１２に区画されている。部分画面Ｅ１１，Ｅ１２には、これらの境界からみて対称に部分アドレス電極Ａ１ｊ，Ａ２ｊが配置されている。ただし、実際上は基板対の重ね合わせの位置ずれによって対称性に若干の誤差が生じる。部分画面Ｅ１１の部分アドレス電極Ａ１ｊと部分画面Ｅ１２の部分アドレス電極Ａ２ｊの距離Ｄｊは、ライン間の電極間距離ｄより小さい値に選定されている。これにより、重ね合わせの位置ずれが生じた場合にもサステイン電極Ｙｊと部分アドレス電極Ａ１ｊとの対向関係が適正となる。

【００１４】

２つの部分画面Ｅ１１，Ｅ１２に対するアドレッシングを同時に行う場合には、片側の部分画面のみでアドレス放電を生じさせるときに、２つの部分アドレス電極Ａ１ｊ，Ａ２ｊの間に電位差が生じる。したがって、距離Ｄｊが小さいほど、部分アドレス電極Ａ１ｊ，Ａ２ｊどうしの間、及び一方の部分画面のサステイン電極Ｙｊと他方の部分画面の部分アドレス電極Ａ２ｊ（又はＡ１ｊ）との間で不要の放電が生じ易い。

【００１５】

本発明は、表示画面を区画してアドレッシングの高速化を図る場合における部分画面の境界での誤放電を防止することを目的としている。

【００１６】

【課題を解決するための手段】

請求項１の発明のＰＤＰは、第１の基板上に、互いに平行な第１及び第２のサステイン電極からなる複数の主電極対が列方向に沿って配列され、これら主電極対と交差するように複数のアドレス電極が前記基板と対向する第２の基板上に行方向に沿って配列されており、前記主電極対と前記アドレス電極とによって表示画面に対応した電極マトリクスが構成された面放電型ＰＤＰであって、個々のアドレス電極が、列方向における隣接した主電極対どうしの間の位置を分割位置として、互いに離れた少なくとも２以上の部分アドレス電極に分割され、それによって前記表示画面がアドレス電極の分割数と同数の部分画面に区画されており、部分アドレス電極どうしの間隔が、これら部分アドレス電極の間の前記分割位置を挟んで隣接する主電極対どうしの間隔よりも実効的に大きい構造のＰＤＰである。平面視における部分アドレス電極どうしの間隔が主電極対どうしの間隔よりも小さい場合であっても、例えば部分アドレス電極どうしの間に突起を形成すれば、放電を抑制する上で、実効的に部分アドレス電極どうしの間隔は大きくなる。すなわち部分アドレス電極間隔の実効長が延びる。

【００１７】

請求項２の発明のＰＤＰは、前記第１及び第２のサステイン電極が、前記分割位置を挟んで第１のサステイン電極どうしが隣接するように配列され、前記部分アドレス電極が、平面視において前記分割位置に最も近い前記第１のサステイン電極と重ならないように設けられたものである。

【００１８】

請求項３の発明のＰＤＰは、前記表示画面が列方向に並ぶ２つの部分画面に区画され、一方の部分画面と他方の部分画面とに、前記第１及び第２のサステイン電極が互いに逆の順序で配列されたものである。

【００１９】

請求項４の発明のＰＤＰでは、前記２つの部分画面の一方に対応した部分アドレス電極が、前記第２の基板の列方向の一端側の縁部に導出され、他方の部分画面に対応した部分アドレス電極が前記基板の他端側の縁部に導出されている。

【００２０】

請求項５の発明のＰＤＰでは、前記第１のサステイン電極が前記第１の基板の行方向の一端側の縁部に導出され、前記第２のサステイン電極が他端側の縁部に導出されている。

【００２１】

請求項６の発明のＰＤＰでは、前記部分アドレス電極どうしの間に、電極間隔を実効的に延長する隔壁が設けられている。請求項７の発明のＰＤＰにおいては、アドレス電極が

表示画面を列方向に並ぶ２つの小画面に分割するよう１つの隣接する主電極対間で分割され、分割された前記２つの小画面において第１のサステイン電極と第２のサステイン電極とが互いに逆の順序で並び、かつ前記主電極対の第１のサステイン電極どうしが前記アドレス電極の分割位置を挟んで隣接するように配置される。

【００２２】

【発明の実施の形態】

図１は本発明のＰＤＰ１の電極構造を示す平面図、図２は本発明のＰＤＰ１の要部断面図である。

【００２３】

ＰＤＰ１は、マトリクス表示の各ライン毎に一対のサステイン電極Ｘ，Ｙが設けられた面放電型ＰＤＰである。表示画面Ｅ１は、アドレッシングを高速化するために列方向に並ぶ２個の部分画面Ｅ１１，Ｅ１２に区画されている。表示画面Ｅ１の全体のライン数は２ｎであり、部分画面Ｅ１１，Ｅ１２のライン数はともにｎである。部分画面Ｅ１１の各列には部分アドレス電極Ａ１が設けられ、部分画面Ｅ１２の各列には部分アドレス電極Ａ２が設けられている。列方向に並ぶ一対の部分アドレス電極Ａ１，Ａ２が表示画面Ｅ１の１列に対応したアドレス電極Ａを構成する。部分アドレス電極Ａ１はガラス基板２１の列方向の一端側の縁部に、部分アドレス電極Ａ２は他端側の縁部に導出されている。サステイン電極Ｘはガラス基板１１の行方向の一端側の縁部に、サステイン電極Ｙは他端側の縁部に導出されている。

【００２４】

ＰＤＰ１では、合計２ｎ本のサステイン電極Ｘと合計２ｎ本のサステイン電極Ｙとが、部分画面Ｅ１１，Ｅ１２の境界ＤＬをサステイン電極Ｘで挟み、その境界ＤＬを中心線とそして列方向に沿って対称に並ぶように配列されている。つまり、部分画面Ｅ１１では、境界ＤＬの側から先頭ラインの側へ向かってＸ，Ｙ，Ｘ，Ｙ…Ｘ，Ｙの順にサステイン電極Ｘ，Ｙが交互に配列され、部分画面Ｅ１２では、境界ＤＬの側から最終ラインの側へ向かってＸ，Ｙ，Ｘ，Ｙ…Ｘ，Ｙの順（部分画面Ｅ１１と逆の順序）にサステイン電極Ｘ，Ｙが交互に配列されている。そして、各部分アドレス電極Ａ１は、部分画面Ｅ１１内の全てのサステイン電極Ｙ及び境界ＤＬと隣接する１本のサステイン電極Ｘを除く他の（ｎ－１）本のサステイン電極Ｘと重なる（交差する）ように設けられている。同様に、各部分アドレス電極Ａ２は、部分画面Ｅ１２内の全てのサステイン電極Ｙ及び境界ＤＬと隣接する１本のサステイン電極Ｘを除く他のサステイン電極Ｘと重なるように設けられている。

【００２５】

図２のように、サステイン電極Ｘ，Ｙは、前面側のガラス基板１１の内面に配置されており、それぞれが透明導電膜４１と金属膜４２とからなる。サステイン電極Ｘ，Ｙを被覆する誘電体層１７の表面にはＭｇＯからなる保護膜１８が蒸着されている。部分アドレス電極Ａ１，Ａ２は、背面側のガラス基板２１の内面に配置され、絶縁層２４で被覆されている。絶縁層２４の上に、図示しない隔壁、及び蛍光体層２８が設けられている。各隔壁は、放電空間３０をライン方向にサブピクセル毎に区画し、且つ放電空間３０の間隙寸法が一定に規定する役割をもつ。ＰＤＰ１の隔壁構造及び蛍光体の配置パターンは、図７のＰＤＰ８０と同一である。

【００２６】

ＰＤＰ１による表示に際しては、部分画面Ｅ１１ではサステイン電極Ｙと部分アドレス電極Ａ１との間、部分画面Ｅ１２ではサステイン電極Ｙと部分アドレス電極Ａ２との間で基板の厚さ方向の放電（いわゆる対向放電）を生じさせることによってアドレッシングが行われる。部分アドレス電極Ａ１と部分アドレス電極Ａ２との距離Ｄは、サステイン電極Ｘの幅ｗの２つ分、及びライン間の電極間距離ｄの合計（２ｗ＋ｄ）より長く、この合計に面放電ギャップ幅ｇの２つ分を加算した値より短い（２ｗ＋ｄ＜Ｄ＜２ｗ＋ｄ＋２ｇ）。距離Ｄは、図７の電極構造における距離Ｄｊよりも大きく、両者の差はサステイン電極Ｘの幅ｗの２つ分よりも大きい。このことから、ＰＤＰ１では、図７のＰＤＰ８０よりもアドレッシングにおける誤放電が生じにくい。

【００２７】
次にＰＤＰ１の駆動方法の一例を説明する。図３は印加電圧の波形図である。例えば１フレームに１つのフィールドを対応づける。ただし、テレビジョンのようにインタレース形式で走査された画面（シーン）を再生する場合には、１画面の表示に２つのフィールドを用いる。
【００２８】
階調表示を行うためにフィールドを例えば６～８個程度のサブフィールドに分割する。各サブフィールドは、リセット期間ＴＲ、アドレス期間ＴＡ、及びサステイン期間ＴＳからなる。各サブフィールドの輝度に適切な重み付けをして、各サブフィールドのサステイン期間ＴＳにおける発光回数を設定する。各サブフィールドは、１つの階調レベルの画面表示期間である。
【００２９】
リセット期間ＴＲは、それ以前の点灯状態の影響を防ぐため、部分画面Ｅ１１及び部分画面Ｅ１２の壁電荷の消去（全面消去）を行う期間である。全てのラインのサステイン電極Ｘに書込みパルスＰＷを印加し、同時に全ての部分アドレス電極Ａ１，Ａ２にパルスＰａｗ（書込みパルスＰＷと同極性）を印加する。書込みパルスＰＷの立上がりに呼応して全てのラインで強い面放電が生じ、誘電体層１７に一旦、壁電荷が蓄積する。しかし、書込みパルスＰＷの立下がりに呼応して、壁電荷によるいわゆる自己放電が生じ、誘電体層１７の壁電荷が消失する。パルスＰａｗは、背面側の壁面への壁電荷の蓄積を抑えるために印加される。
【００３０】
アドレス期間ＴＡは、ライン順次のアドレッシングを行う期間である。サステイン電極Ｘを接地電位に対して正電位Ｖａｘにバイアスする。この状態で、部分画面Ｅ１１，Ｅ１２のそれぞれにおいて例えば先頭のラインから１ラインずつ順に各ラインを選択し、サステイン電極Ｙに負極性のスキャンパルスＰｙを印加する。ラインの選択と同時に、点灯（発光）すべきセルに対応した部分アドレス電極Ａ１，Ａ２に対して、波高値Ｖａの正極性のアドレスパルスＰａを印加する。選択されたラインにおいて、アドレスパルスＰａの印加されたセルでは、部分アドレス電極Ａ１，Ａ２とサステイン電極Ｙとの間でアドレス放電が起こる。サステイン電極Ｘがアドレスパルスと同極性の電位Ｖａｘにバイアスされているので、そのバイアスでアドレスパルスＰａが打ち消され、サステイン電極Ｘと部分アドレス電極Ａ１，Ａ２との間では放電は起きない。なお、ライン間の放電の結合を避ける上で、部分画面Ｅ１１の最終ライン（表示画面全体のｎ番目のライン）と部分画面Ｅ１２の先頭ライン〔（ｎ＋１）番目のライン〕とについて、ライン選択のタイミングをずらすのが望ましい。
【００３１】
サステイン期間ＴＳは、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された点灯状態を維持する期間である。対向放電を防止するため、全ての部分アドレス電極Ａ１を正極性の電位（例えばＶｓ／２）にバイアスし、最初に全てのサステイン電極Ｙに波高値Ｖｓの正極性のサステインパルスＰｓを印加する。その後、サステイン電極Ｘとサステイン電極Ｙとに対して、交互に波高値Ｖｓの正極性のサステインパルスＰｓを印加する。サステインパルスＰｓの印加毎に、アドレス期間ＴＡに壁電荷を蓄積させたセルで面放電が生じる。
【００３２】
図４は他の実施形態のＰＤＰ２の要部断面図である。図４において、図２と同一の機能を有する構成要素には同一の符号を付してある。
ＰＤＰ２の構造上の特徴は、部分画面Ｅ１１と部分画面Ｅ１２との境界ＤＬに隔壁３５が設けられている点である。隔壁３５は、表示画面Ｅ１におけるライン方向の全長にわたって延び、放電空間３０を列方向に２分割する。この隔壁３５によって部分画面Ｅ１１と部分画面Ｅ１２との間における放電の結合が防止される。この場合、隔壁３５はサブピクセルを画定する隔壁２９と同時に形成される。ここで、必ずしも隔壁３５が前面側の内壁と

当接する必要はない。すなわち隔壁３５と前面側の内壁との間に隙間が存在しても放電の結合が抑制される。それは、隔壁３５を設けることによって部分アドレス電極Ａ１，Ａ２間における沿面距離が増大し、電極間隔が実効的に延びるからである。

【００３３】

上述の実施形態において、部分アドレス電極Ａ１，Ａ２を、境界ＤＬに最も近いサステイン電極Ｙの内の金属膜４２のみと重なるように設けてもよい。それによれば、部分アドレス電極Ａ１と部分アドレス電極Ａ２との距離Ｄがさらに大きくなる。また、境界ＤＬにおいて、絶縁層２４及び蛍光体層２８の両方又は一方を分離することにより、部分アドレス電極Ａ１と部分アドレス電極Ａ２との容量結合を防止し、アドレッシングの消費電力を低減することが可能である。

【００３４】

上述の実施形態においては、表示画面Ｅ１を同一ライン数の２つの部分画面Ｅ１１，Ｅ１２に区画した例を説明したが、各部分画面Ｅ１１，Ｅ１２のライン数を必ずしも同一にする必要はない。ただし、同一である方がアドレス期間の短縮の上で有利である。また、表示画面Ｅ１を３個以上の部分画面に区画することができる。その場合には、アドレス電極構造を多層配線構造又はフローティング電極構造とすることにより、列方向の両端以外の部分画面に配列するアドレス電極と外部との電気的接続が可能である。さらに、アドレス電極Ａを部分アドレス電極Ａ１，Ａ２に分割する位置を、マトリクス表示の全ての列について同一にする必要はない。例えば、１列置きの各列について他の列の位置に対して所定量（例えば１ライン分）だけシフトさせて、部分画面の境界線をジグザグ状とすることができる。

【００３５】

【発明の効果】

請求項１乃至請求項７の発明によれば、表示画面を区画してアドレッシングの高速化を図る場合に、部分画面の境界での誤放電を防止することができる。

【００３６】

請求項３の発明によれば、表示画面を構成する各部分画面における第２のサステイン電極の配列間隔を均等化することができ、部分画面内のライン間における放電の結合を防止することができる。

【００３７】

請求項６の発明によれば、隣接する部分画面どうしの間における放電の結合を防止することができる。

【図面の簡単な説明】

【図１】本発明のＰＤＰの電極構造を示す平面図である。

【図２】本発明のＰＤＰの要部断面図である。

【図３】印加電圧の波形図である。

【図４】他の実施形態のＰＤＰの要部断面図である。

【図５】従来の面放電型ＰＤＰの電極構造を示す平面図である。

【図６】従来の面放電型ＰＤＰの内部構造を示す分解斜視図である。

【図７】従来の問題点を説明するための図である。

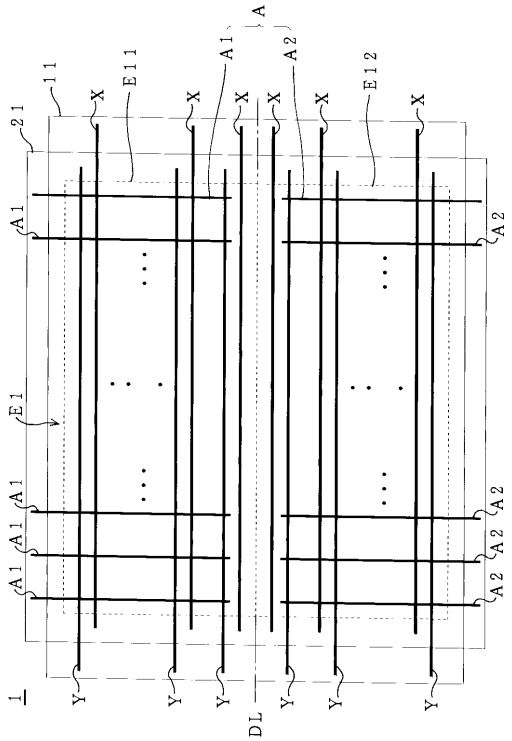
【符号の説明】

１　ＰＤＰ（面放電型ＰＤＰ）
１１　ガラス基板（第１の基板）
２１　ガラス基板（第２の基板）
Ａ　アドレス電極
Ａ１，Ａ２　部分アドレス電極
ＤＬ　境界（分割位置）
Ｅ１　表示画面
Ｅ１１，Ｅ１２　部分画面
Ｘ　サステイン電極（第１のサステイン電極）

Y　サステイン電極（第２のサステイン電極）

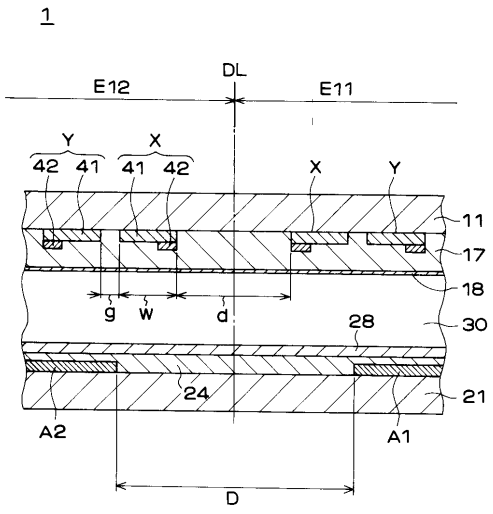
【図１】

本発明のＰＤＰの電極構造を示す平面図



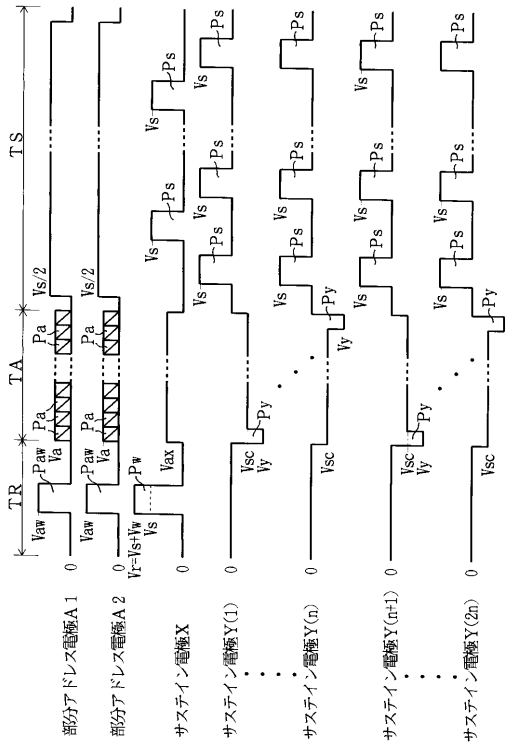
【図２】

本発明のＰＤＰの要部断面図



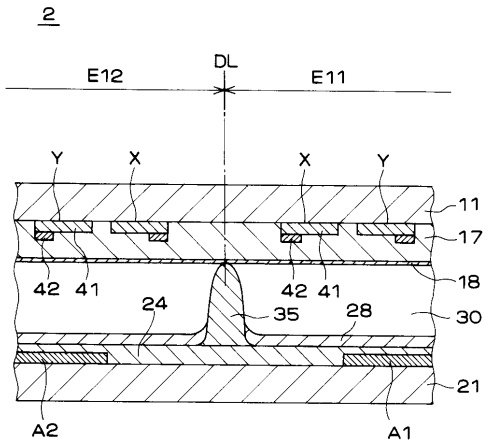
【図３】

印加電圧の波形図



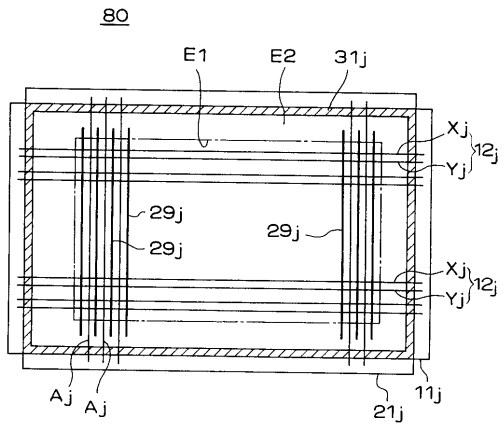
【図４】

他の実施形態のＰＤＰの要部断面図



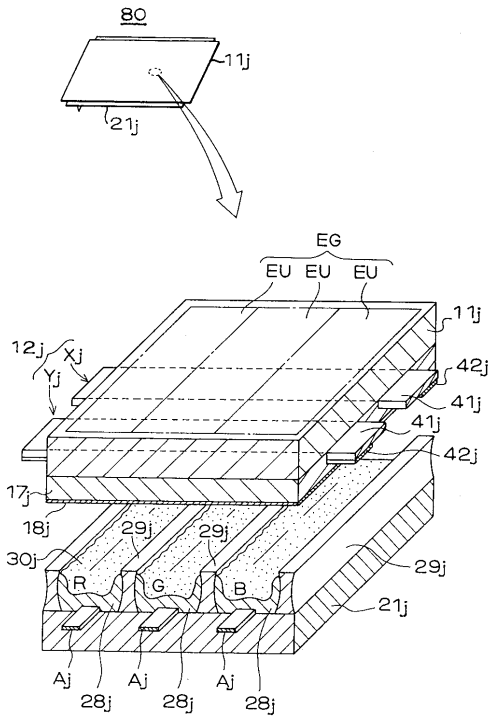
【図５】

従来の面放電型ＰＤＰの電極構造を示す平面図



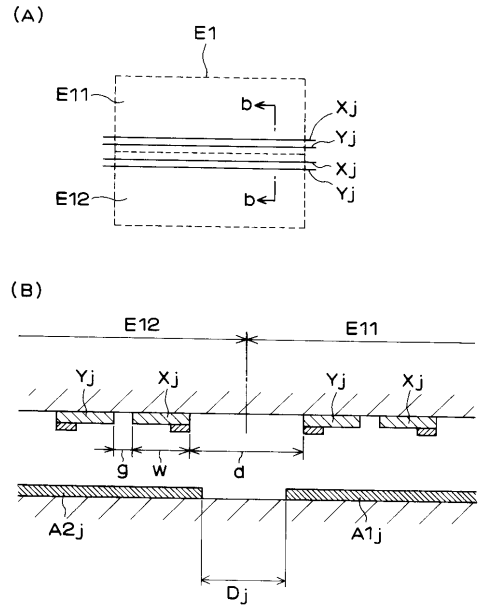
【図６】

従来の面放電型ＰＤＰの内部構造を示す分解斜視図



【図７】

従来の問題点を説明するための図



フロントページの続き

(56)参考文献 特開平０２－１３６８８９（ＪＰ，Ａ）
特開平０４－２１１２９４（ＪＰ，Ａ）
特開平０５－２１６４３４（ＪＰ，Ａ）
特開平０９－０８２２２９（ＪＰ，Ａ）
米国特許第０４３２０４１８（ＵＳ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01J 11/00-04
H01J 17/00-49