

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
26. Juni 2014 (26.06.2014)



(10) Internationale Veröffentlichungsnummer
WO 2014/095556 A1

(51) Internationale Patentklassifikation:

H01L 25/075 (2006.01) H01L 33/38 (2010.01)
H01L 27/15 (2006.01) H01L 33/62 (2010.01)
H01L 33/00 (2010.01) H01L 25/16 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2013/076355

(22) Internationales Anmeldedatum:
12. Dezember 2013 (12.12.2013)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2012 112 530.9
18. Dezember 2012 (18.12.2012) DE

(71) Anmelder: OSRAM OPTO SEMICONDUCTORS
GMBH [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: PFEUFFER, Alexander, F.; Safferlingstr. 21,
93053 Regensburg (DE).

(74) Anwalt: EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH;
Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,
ZM, ZW.

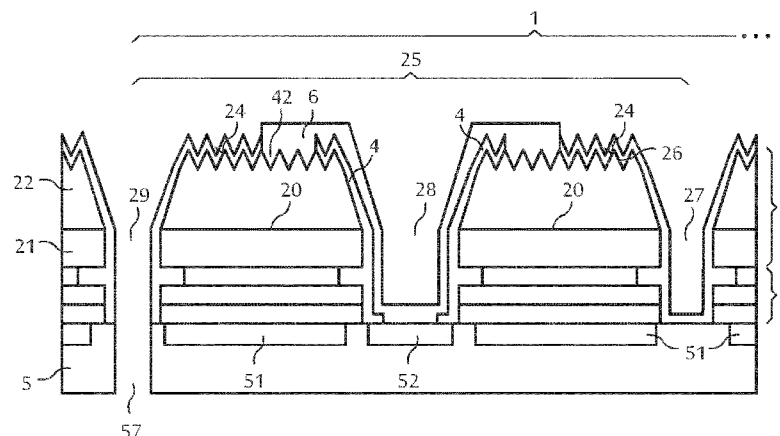
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ,
TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ,
RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING OPTOELECTRONIC SEMICONDUCTOR CHIPS, AND OPTOELECTRONIC
SEMICONDUCTOR CHIP

(54) Bezeichnung : VERFAHREN ZUM HERSTELLEN VON OPTOELEKTRONISCHEN HALBLEITERCHIPS UND
OPTOELEKTRONISCHER HALBLEITERCHIP

FIG 1K



(57) Abstract: What is specified is a method for producing a plurality of optoelectronic semiconductor chips (1) each having a plurality of pixels (25). A semiconductor layer sequence (2) having an active region (20) provided for generating and/or detecting radiation, said active region being formed between a first semiconductor layer (21) and a second semiconductor layer (22), is provided. The semiconductor layer sequence is fixed to a carrier (5) with a plurality of first connection areas (51), such that the first semiconductor layer is electrically conductively connected to the first connection areas. Isolating trenches (27) are formed in the semiconductor layer sequence fixed to the carrier, in order to form the pixels, wherein the isolating trenches extend through the semiconductor layer sequence. A contact layer (6) is formed, which electrically conductively connects the second semiconductor layer to a second connection area (52) of the carrier. The carrier is singulated into the plurality of semiconductor chips each having a plurality of pixels. Furthermore, an optoelectronic semiconductor chip (1) is specified.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]



WO 2014/095556 A1



LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

Es wird ein Verfahren zum Herstellen einer Mehrzahl von optoelektronischen Halbleiterchips (1), die jeweils eine Mehrzahl von Bildpunkten (25) aufweisen, angegeben. Eine Halbleiterschichtenfolge (2) mit einem zur Erzeugung und/oder Detektion von Strahlung vorgesehenen aktiven Bereich (20), der zwischen einer ersten Halbleiterschicht (21) und einer zweiten Halbleiterschicht (22) ausgebildet ist, wird bereitgestellt. Die Halbleiterschichtenfolge wird an einem Träger (5) mit einer Mehrzahl von ersten Anschlussflächen (51) befestigt, so dass die erste Halbleiterschicht mit den ersten Anschlussflächen elektrisch leitend verbunden wird. Trenngräben (27) werden in der am Träger befestigten Halbleiterschichtenfolge zur Ausbildung der Bildpunkte ausgebildet, wobei sich die Trenngräben durch die Halbleiterschichtenfolge hindurch erstrecken. Eine Kontaktschicht (6) wird ausgebildet, die die zweite Halbleiterschicht elektrisch leitend mit einer zweiten Anschlussfläche (52) des Trägers verbindet. Der Träger wird in die Mehrzahl von Halbleiterchips, die jeweils eine Mehrzahl von Bildpunkten aufweisen, verteilt. Weiterhin wird ein optoelektronischer Halbleiterchip (1) angegeben.

Beschreibung

Verfahren zum Herstellen von optoelektronischen
Halbleiterchips und optoelektronischer Halbleiterchip

5

Die vorliegende Anmeldung betrifft ein Verfahren zum
Herstellen einer Mehrzahl von optoelektronischen Chips, die
jeweils eine Mehrzahl von Bildpunkten aufweisen, sowie einen
solchen optoelektronischen Halbleiterchip.

10

Bei der Herstellung von Anzeigevorrichtungen auf der Basis
von Lumineszenzdiolen werden hohe Anforderungen an die
Justagegenauigkeit gestellt, beispielsweise bei der
Positionierung der strahlungsemitierenden Schichten relativ
zu einem Ansteuerschaltkreis für die Anzeigevorrichtung.

15

Eine Aufgabe ist es, ein Verfahren anzugeben, mit dem
optoelektronische Halbleiterchips, die jeweils eine Mehrzahl
von Bildpunkten aufweisen, auf einfache und zuverlässige
Weise hergestellt werden können. Weiterhin soll ein
optoelektronischer Halbleiterchip angegeben werden, der sich
durch eine gute Ansteuerbarkeit der einzelnen Bildpunkte
auszeichnet.

20

Diese Aufgabe wird unter anderem durch ein Verfahren
beziehungsweise durch einen optoelektronischen Halbleiterchip
gemäß den unabhängigen Patentansprüchen gelöst.
Ausgestaltungen und Weiterbildungen sind Gegenstand der
abhängigen Patentansprüche.

25

30

Bei dem Verfahren wird eine Mehrzahl von optoelektronischen
Halbleiterchips hergestellt, die jeweils eine Mehrzahl von
Bildpunkten aufweisen.

Gemäß zumindest einer Ausführungsform des Verfahrens wird eine Halbleiterschichtenfolge mit einem zur Erzeugung und/oder Detektion von Strahlung vorgesehenen aktiven Bereich, der zwischen einer ersten Halbleiterschicht und einer zweiten Halbleiterschicht ausgebildet ist, bereitgestellt. Die erste Halbleiterschicht ist bezüglich des Leitungstyps zweckmäßigerweise von der zweiten Halbleiterschicht verschieden. Beispielsweise ist die erste Halbleiterschicht p-leitend und die zweite Halbleiterschicht n-leitend oder umgekehrt. Beispielsweise ist die Halbleiterschichtenfolge zur Erzeugung und/oder Detektion von Strahlung im infraroten, sichtbaren oder ultravioletten Spektralbereich vorgesehen.

Gemäß zumindest einer Ausführungsform des Verfahrens wird ein Träger mit einer Mehrzahl von ersten Anschlussflächen bereitgestellt. Weiterhin kann der Träger zumindest eine zweite Anschlussfläche aufweisen. Vorzugsweise ist in den Träger eine Steuerschaltung zur Ansteuerung der Bildpunkte des fertig gestellten Halbleiterchips integriert. Im Betrieb des fertig gestellten Halbleiterchips können Ladungsträger über die dem Bildpunkt zugeordnete erste Anschlussfläche und die zweite Anschlussfläche von entgegengesetzten Seiten des aktiven Bereichs in den aktiven Bereich injiziert werden und dort unter Emission von Strahlung rekombinieren. Im Fall eines Strahlungsempfängers können im aktiven Bereich durch Strahlungsabsorption generierte Ladungsträger aus dem aktiven Bereich abgeführt werden. Die Steuerschaltung ist vorzugsweise als eine Aktiv-Matrix-Schaltung ausgebildet, sodass jeder Bildpunkt einzeln ansteuerbar ist und mehrere Bildpunkte, insbesondere alle Bildpunkte, gleichzeitig betrieben werden können.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die Halbleiterschichtenfolge an dem Träger befestigt.

Insbesondere wird die erste Halbleiterschicht mit den ersten Anschlussflächen elektrisch leitend verbunden. Vorzugsweise

5 erstreckt sich die erste Halbleiterschicht durchgängig über mehrere erste Anschlussflächen, insbesondere vollflächig über alle erste Anschlussflächen. Die erste Halbleiterschicht kann also in unstrukturierter Form an dem Träger befestigt werden. Insbesondere kann die erste Halbleiterschicht nach dem
10 Befestigen an dem Träger zumindest eine erste Anschlussfläche und eine zweite Anschlussfläche elektrisch leitend miteinander verbinden. Die für den Betrieb erforderliche elektrische Trennung der Anschlussflächen erfolgt in einem späteren Stadium des Verfahrens.

15

Gemäß zumindest einer Ausführungsform des Verfahrens werden zur Ausbildung der Bildpunkte Trenngräben in der

Halbleiterschichtenfolge ausgebildet, wobei sich die Trenngräben insbesondere durch die Halbleiterschichtenfolge

20 hindurch erstrecken. Beispielsweise können die Trenngräben die Halbleiterschichtenfolge in vertikaler Richtung vollständig durchtrennen. Die vertikale Richtung ist eine Richtung, die senkrecht zu einer Haupterstreckungsebene der Halbleiterschichten der Halbleiterschichtenfolge verläuft.

25 Beispielsweise werden die Trenngräben mittels nasschemischen Ätzens oder trockenchemischen Ätzens ausgebildet.

Gemäß zumindest einer Ausführungsform des Verfahrens werden die Trenngräben ausgebildet, nachdem die

30 Halbleiterschichtenfolge bereits am Träger befestigt ist. Die Bildpunkte werden also erst nach der Befestigung der Halbleiterschichtenfolge an dem Träger definiert.

Insbesondere werden die Bildpunkte erst ausgebildet, nachdem

zumindest eine Halbleiterschicht der Halbleiterschichtenfolge bereits mit der ersten Anschlussfläche des Trägers und insbesondere mit der in den Träger integrierten Steuerschaltung elektrisch leitend verbunden ist.

5

Gemäß zumindest einer Ausführungsform des Verfahrens wird eine Kontaktschicht ausgebildet. Die Kontaktschicht verbindet die zweite Halbleiterschicht elektrisch leitend mit der zweiten Anschlussfläche des Trägers. Der Träger weist insbesondere für jeden Halbleiterchip zumindest eine zweite Anschlussfläche auf. Beispielsweise weist der Träger für jeden Bildpunkt jeweils eine zweite Anschlussfläche auf.

Gemäß zumindest einer Ausführungsform des Verfahrens wird der Träger in die Mehrzahl von Halbleiterchips vereinzelt, wobei die Halbleiterchips jeweils eine Mehrzahl von Bildpunkten aufweisen. Zweckmäßigerweise erfolgt das Vereinzeln des Trägers in Halbleiterchips, nachdem die Halbleiterschichtenfolge bereits an dem Träger befestigt und mittels der Kontaktschicht elektrisch leitend mit dem Träger verbunden ist.

In mindestens einer Ausführungsform des Verfahrens wird eine Halbleiterschichtenfolge mit einem zur Erzeugung und/oder Detektion von Strahlung vorgesehenen aktiven Bereich, der zwischen einer ersten Halbleiterschicht und einer zweiten Halbleiterschicht ausgebildet ist, bereitgestellt. Ein Träger mit einer Mehrzahl von ersten Anschlussflächen wird bereitgestellt. Die Halbleiterschichtenfolge wird an dem Träger befestigt, sodass die erste Halbleiterschicht mit den ersten Anschlussflächen elektrisch leitend verbunden wird. Zur Ausbildung der Bildpunkte werden Trenngräben in der am Träger befestigten Halbleiterschichtenfolge ausgebildet,

wobei sich die Trenngräben durch die Halbleiterschichtenfolge hindurch erstrecken. Eine Kontaktschicht, die die zweite Halbleiterschicht elektrisch leitend mit einer zweiten Anschlussfläche des Trägers verbindet, wird ausgebildet. Der Träger wird in die Mehrzahl von Halbleiterchips, die jeweils eine Mehrzahl von Bildpunkten aufweisen, vereinzelt. Insbesondere erfolgt die Herstellung der Halbleiterchips im Waferverbund und der Waferverbund wird im Vereinzelungsschritt zerteilt.

10

Das Befestigen der Halbleiterschichtenfolge an dem Träger, das Ausbilden der Trenngräben, das Ausbilden der Kontaktschicht und das Vereinzeln des Trägers erfolgt vorzugsweise in der angegebenen Reihenfolge. Die Trenngräben werden also erst ausgebildet, nachdem die Halbleiterschichtenfolge bereits an dem Träger befestigt ist. Auf eine feinjustierte Positionierung von bereits ausgebildeten Bildpunkten einer Halbleiterschichtenfolge relativ zu den zugehörigen Anschlussflächen eines Trägers kann also verzichtet werden. Unter „feinjustiert“ wird insbesondere verstanden, dass die maximale Abweichung in der Genauigkeit der Positionierung höchstens so groß, bevorzugt höchstens halb so groß, ist wie ein Mittenabstand zwischen zwei benachbarten Bildpunkten.

25

Gemäß zumindest einer Ausführungsform des Verfahrens ist die Halbleiterschichtenfolge beim Befestigen an dem Träger zumindest in dem Bereich, aus dem die Halbleiterchips hervorgehen, frei von Ausnahmen. Mit anderen Worten ist die Halbleiterschichtenfolge in lateraler Richtung, also in einer entlang der Haupterstreckungsebene der Halbleiterschichten der Halbleiterschichtenfolge verlaufenden Richtung, unstrukturiert. Insbesondere wird vor dem

30

Befestigen der Halbleiterschichtenfolge an dem Träger kein photolithografischer Schritt zum Entfernen von Material der Halbleiterschichtenfolge für die Ausbildung von Trenngräben zwischen den Bildpunkten durchgeführt.

5

Gemäß zumindest einer Ausführungsform des Verfahrens erfolgt eine Justage beim Ausbilden der Trenngräben relativ zu Justagemarken, die auf dem Träger ausgebildet sind.

Beispielsweise kann eine Maske für die Photolithografie zur Definition der Trenngräben auf der dem Träger abgewandten Seite der Halbleiterschichtenfolge bezogen auf die Justagemarken positioniert werden. Eine feinjustierte Ausbildung der Bildpunkte relativ zu den zugehörigen Anschlussflächen des Trägers wird dadurch vereinfacht.

15

Gemäß zumindest einer Ausführungsform des Verfahrens wird die Halbleiterschichtenfolge vor dem Befestigen an dem Träger mit einer metallischen Zwischenschicht versehen. Die metallische Zwischenschicht kann einschichtig oder mehrschichtig ausgebildet sein. Die metallische Zwischenschicht grenzt insbesondere unmittelbar an die Halbleiterschichtenfolge an. Beispielsweise wird die metallische Zwischenschicht mittels Aufdampfens oder Aufspatterns auf die vorgefertigte Halbleiterschichtenfolge aufgebracht.

25

Gemäß zumindest einer Ausführungsform des Verfahrens wird die metallische Zwischenschicht nach dem Befestigen der Halbleiterschichtenfolge an dem Träger und vor dem Vereinzeln des Trägers in die Halbleiterchips durchtrennt. Insbesondere wird die metallische Zwischenschicht im Bereich der Trenngräben durchtrennt, sodass benachbarte Bildpunkte nicht über die metallische Zwischenschicht elektrisch leitend miteinander verbunden sind.

30

Alternativ oder zusätzlich wird die metallische Zwischenschicht im Bereich der zweiten Anschlussflächen durchtrennt. In dem so freigelegten Bereich der zweiten Anschlussflächen kann das Aufbringen der Kontaktschicht
5 erfolgen.

Gemäß zumindest einer Ausführungsform des Verfahrens werden vor dem Befestigen der Halbleiterschichtenfolge an dem Träger Justagefenster in der metallischen Zwischenschicht
10 ausgebildet. Die Justagefenster erstrecken sich in vertikaler Richtung insbesondere vollständig durch die metallische Zwischenschicht hindurch. Eine Querschnittsfläche der Justagefenster ist vorzugsweise größer als die Querschnittsfläche der Justagemarken.

15 Beim Befestigen der Halbleiterschichtenfolge an dem Träger wird die Halbleiterschichtenfolge insbesondere so positioniert, dass die Justagemarken auf dem Träger mit den Justagefenstern überlappen. Beispielsweise erfolgt die
20 Positionierung so, dass die Justagemarken jeweils vollständig innerhalb der Justagefenster angeordnet sind. Mittels der Justagefenster sind die Justagemarken durch die metallische Zwischenschicht hindurch optisch erkennbar.

25 Gemäß zumindest einer Ausführungsform des Verfahrens ist die Halbleiterschichtenfolge epitaktisch auf einem Aufwachssubstrat abgeschieden. Beispielsweise kann die Halbleiterschichtenfolge durch ein MOCVD- oder MBE-Verfahren abgeschieden werden. Das Aufwachssubstrat wird insbesondere
30 vor dem Ausbilden der Trenngräben von der Halbleiterschichtenfolge entfernt. Beispielsweise erfolgt das Entfernen des Aufwachssubstrats nach dem Befestigen der Halbleiterschichtenfolge an dem Träger und vor dem Ausbilden

der Trenngräben in der Halbleiterschichtenfolge. Das Aufwachssubstrat kann beispielsweise mechanisch, etwa mittels Schleifens, Läppens oder Polierens und/oder chemisch, etwa mittels nasschemischen oder trockenchemischen Ätzens,
5 entfernt werden. Alternativ kann ein Laserablöseverfahren (Laser Lift Off, LLO) Anwendung finden.

Das Aufwachssubstrat und der Träger sind vorzugsweise bezüglich ihres thermischen Ausdehnungskoeffizienten
10 aneinander angepasst, das heißt die thermischen Ausdehnungskoeffizienten unterscheiden sich voneinander höchstens um 10 %. Besonders bevorzugt enthalten das Aufwachssubstrat und der Träger dasselbe Material. Insbesondere eignet sich Silizium. Es kann aber auch ein
15 anderes Material Anwendung finden, beispielsweise Siliziumkarbid, Galliumarsenid oder Saphir.

Ein optoelektronischer Halbleiterchip weist gemäß zumindest einer Ausführungsform eine Halbleiterschichtenfolge mit einem
20 zum Erzeugen und/oder Empfangen von Strahlung vorgesehenen aktiven Bereich auf, der zwischen einer ersten Halbleiterschicht und einer zweiten Halbleiterschicht angeordnet ist. Die Halbleiterschichtenfolge ist in eine Mehrzahl von Bildpunkten unterteilt.

25 Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist der Halbleiterchip einen Träger auf, auf dem die Halbleiterschichtenfolge angeordnet ist und der eine Ansteuerschaltung für die einzelnen Bildpunkte aufweist.
30 Die Ansteuerschaltung ist insbesondere als eine Aktiv-Matrix-Schaltung ausgebildet.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weist der Träger für jeden Bildpunkt eine erste Anschlussfläche auf, die mit der ersten Halbleiterschicht der Bildpunkte elektrisch leitend verbunden ist.

5

Gemäß zumindest einer Ausführungsform ist die zweite Halbleiterschicht über eine Kontaktschicht mit einer zweiten Anschlussfläche des Trägers elektrisch leitend verbunden. Insbesondere bedeckt die Kontaktschicht eine vom Träger abgewandte Strahlungsdurchtrittsfläche der Halbleiterschichtenfolge zumindest bereichsweise.

10

In mindestens einer Ausführungsform des Halbleiterchips weist der Halbleiterchip eine Halbleiterschichtenfolge auf, die einen zum Erzeugen und/oder Empfangen von Strahlung vorgesehenen aktiven Bereich aufweist, wobei der aktive Bereich zwischen einer ersten Halbleiterschicht und einer zweiten Halbleiterschicht angeordnet ist. Die Halbleiterschichtenfolge ist in eine Mehrzahl von Bildpunkten unterteilt. Der Halbleiterchip weist einen Träger auf, auf dem die Halbleiterschichtenfolge angeordnet ist und der eine Ansteuerschaltung für die einzelnen Bildpunkte aufweist. Der Träger weist für jeden Bildpunkt eine erste Anschlussfläche auf, die mit der ersten Halbleiterschicht der Bildpunkte elektrisch leitend verbunden ist. Die zweite Halbleiterschicht ist über eine Kontaktschicht mit einer zweiten Anschlussfläche elektrisch leitend verbunden ist, wobei die Kontaktschicht eine vom Träger abgewandte Strahlungsdurchtrittsfläche zumindest bereichsweise bedeckt.

15

20

25

30

Gemäß zumindest einer Ausführungsform des Halbleiterchips verjüngen sich die Bildpunkte der Halbleiterschichtenfolge in vertikaler Richtung zumindest bereichsweise mit zunehmendem

Abstand vom Träger. Die dem Träger zugewandte Grundfläche der Bildpunkte ist also größer als die Grundfläche der Strahlungsdurchtrittsfläche. Bildpunkte mit einer derartigen Form lassen sich bei der Herstellung durch Ausbilden von Trenngräben mittels nasschemischen Ätzens herstellen, nachdem die Halbleiterschichtenfolge bereits an dem Träger befestigt ist. Es kann aber auch ein anderes Verfahren, beispielsweise ein trockenchemisches Ätzverfahren oder mechanisches Rückspütern Anwendung finden.

10

Gemäß zumindest einer Ausführungsform des Halbleiterchips ist die zweite Halbleiterschicht eines jeden Bildpunkts über die Kontaktschicht jeweils elektrisch leitend mit zumindest einer dem Bildpunkt zugeordneten zweiten Anschlussfläche verbunden.

15

Jedem Bildpunkt ist also eine erste Anschlussfläche und eine zweite Anschlussfläche zugeordnet, sodass die Bildpunkte völlig unabhängig voneinander elektrisch kontaktierbar sind.

20

Gemäß zumindest einer Ausführungsform des Halbleiterchips umläuft die erste Anschlussfläche die zumindest eine zweite Anschlussfläche. Beispielsweise ist die erste Anschlussfläche rahmenartig ausgebildet. Jedem Bildpunkt können auch zwei oder mehr zweite Anschlussflächen zugeordnet sein.

25

Gemäß zumindest einer Ausführungsform des Halbleiterchips ist die zumindest eine zweite Anschlussfläche in einem Randbereich oder in einem Eckbereich der ersten Anschlussfläche angeordnet. Das heißt die erste Anschlussfläche weist an zumindest einer Seitenfläche oder in zumindest einer Ecke eine Einbuchtung auf, in der die erste Anschlussfläche einen größeren Abstand zum Rand des Bildpunkts aufweist als an zumindest einer anderen Stelle der ersten Anschlussfläche.

30

Gemäß zumindest einer Ausführungsform des Halbleiterchips verläuft die erste Anschlussfläche zumindest entlang zweier Ränder der zweiten Anschlussfläche. Insbesondere kann die erste Anschlussfläche die zweite Anschlussfläche

5 vollumfänglich umlaufen. Eine entlang zweier Ränder verlaufende Anschlussfläche kann beispielsweise L-förmig ausgestaltet sein.

Gemäß zumindest einer Ausführungsform des Halbleiterchips weist jeder Bildpunkt zumindest eine Aussparung in der Halbleiterschichtenfolge auf. Die Kontaktschicht erstreckt sich von der zweiten Anschlussfläche durch die Aussparung zur zweiten Halbleiterschicht. Die Aussparung dient also der elektrischen Kontaktierung der zweiten Halbleiterschicht.

15 Insbesondere ist die Kontaktschicht über eine Seitenfläche der Aussparung geführt.

Gemäß zumindest einer Ausführungsform des Halbleiterchips sind die zweiten Halbleiterschichten von zumindest zwei benachbarten Bildpunkten über die Kontaktschicht elektrisch leitend miteinander verbunden. Insbesondere kann die Kontaktschicht eine gemeinsame Kontaktschicht für alle Bildpunkte bilden. Die Kontaktschicht oder zumindest eine Teilschicht der Kontaktschicht kann die Bildpunkte

20 vollständig überdecken. Alternativ kann die Kontaktschicht auch auf den Strahlungsdurchtrittsflächen der Bildpunkte jeweils ein Strahlungsfenster aufweisen, durch das die im Betrieb zu erzeugende oder empfangende Strahlung hindurch tritt.

30

Gemäß zumindest einer Ausführungsform des Halbleiterchips sind die Bildpunkte durch Trenngräben voneinander getrennt, wobei die Kontaktschicht bereichsweise in den Trenngräben

verläuft. Insbesondere in den Trenngräben kann die Kontaktschicht strahlungsundurchlässig ausgebildet sein.

Gemäß zumindest einer Ausführungsform des Halbleiterchips
5 weist die Kontaktschicht eine metallische Schicht auf, die
gitterförmig in den Trenngräben verläuft. Eine vom Träger
abgewandte Oberfläche der metallischen Schicht in den
Trenngräben kann zwischen dem Träger und der
Strahlungsdurchtrittsfläche ausgebildet sein. Alternativ kann
10 die metallische Schicht die Halbleiterschichtenfolge in
vertikaler Richtung überragen und auf der
Strahlungsdurchtrittsfläche der Bildpunkte angeordnet sein.

Gemäß zumindest einer Ausführungsform des Halbleiterchips
15 weist die Kontaktschicht ein TCO-Material auf. TCO-
Materialien sind transparente leitfähige Oxide,
beispielsweise Indium-Zinn-Oxid (ITO), Zinnoxid (SnO) oder
Zinkoxid (ZnO). Eine solche Kontaktschicht kann die
Strahlungsdurchtrittsflächen der Bildpunkte großflächig oder
20 auch vollständig überdecken.

Für die Herstellung des beschriebenen Halbleiterchips eignet
sich insbesondere das weiter oben beschriebene Verfahren. Im
Zusammenhang mit dem Verfahren angeführte Merkmale können
25 daher auch für den Halbleiterchip herangezogen werden und
umgekehrt.

Weitere Merkmale, Ausgestaltungen und Zweckmäßigkeiten
ergeben sich aus der folgenden Beschreibung der
30 Ausführungsbeispiele in Verbindung mit den Figuren.

Es zeigen:

Figuren 1A bis 1K ein erstes Ausführungsbeispiel für ein
Verfahren zum Herstellen von optoelektronischen
Halbleiterchips anhand von Zwischenschritten,
dargestellt in schematischer Schnittansicht
(Figuren 1A, 1B und 1F bis 1K) sowie in Aufsicht
(Figuren 1C bis 1E);

Figuren 2A bis 2C ein zweites Ausführungsbeispiel für ein
Verfahren anhand von schematisch in Schnittansicht
dargestellten Zwischenschritten;

Figuren 3A und 3B ein drittes Ausführungsbeispiel für ein
Verfahren zum Herstellen von optoelektronischen
Halbleiterchips; und

Figuren 4A bis 4C sowie 5A bis 5C jeweils
Ausführungsbeispiele für die Ausgestaltung der
Anschlussflächen auf dem Träger.

Gleiche, gleichartige oder gleich wirkende Elemente sind in
den Figuren mit denselben Bezugszeichen versehen.

Die Figuren und die Größenverhältnisse der in den Figuren
dargestellten Elemente untereinander sind nicht als
maßstäblich zu betrachten. Vielmehr können einzelne Elemente
zur besseren Darstellbarkeit und/oder zum besseren
Verständnis übertrieben groß dargestellt sein.

30

Wie in Figur 1A dargestellt, wird eine
Halbleiterschichtenfolge 2 bereitgestellt, wobei zwischen
einer p-leitenden ersten Halbleiterschicht 21 und einer n-

leitenden zweiten Halbleiterschicht 22 ein aktiver Bereich 20 ausgebildet ist, der zum Empfangen und/oder Erzeugen von Strahlung vorgesehen ist. Der aktive Bereich kann beispielsweise als ein pn-Übergang oder als eine

5 Mehrfachquantentopf(multi quantum well, MQW)-Struktur ausgebildet sein.

Die Halbleiterschichtenfolge 2, insbesondere der aktive Bereich 20, enthält vorzugsweise ein III-V-Verbindungs-

10 Halbleitermaterial. Die Halbleiterschichtenfolge kann selbstverständlich bezüglich des Leitungstyps auch invertiert sein, das heißt die erste Halbleiterschicht kann n-leitend und die zweite Halbleiterschicht p-leitend ausgebildet sein. Die erste Halbleiterschicht, die zweite Halbleiterschicht und

15 der aktive Bereich können jeweils mehrschichtig ausgebildet sein. Dies ist zur vereinfachten Darstellung nicht explizit gezeigt. Die Halbleiterschichtenfolge wird vorzugsweise epitaktisch, beispielsweise mittels MOCVD oder MBE auf einem Aufwachssubstrat 23 abgeschieden.

20 Nach dem Abschluss der Epitaxie wird auf der dem Aufwachssubstrat 23 abgewandten Seite der Halbleiterschichtenfolge 2 eine metallische Zwischenschicht abgeschieden, beispielsweise mittels Aufdampfens oder

25 Aufspatterns (Figur 1B). In dem gezeigten Ausführungsbeispiel ist die metallische Zwischenschicht mehrschichtig ausgebildet und weist exemplarisch eine der Halbleiterschichtenfolge 2 zugewandte Spiegelschicht 31, eine Barrierschicht 32 und eine Anschlussmetallisierung 33 auf. Beispielsweise eignet

30 sich eine Schicht, die Silber enthält oder aus Silber besteht, als Spiegelschicht. Als Barrierschicht eignet sich beispielsweise eine Schicht aus Titan-Wolfram-Nitrid. Für die Anschlussmetallisierung eignet sich beispielsweise Gold. Es

können aber auch andere Materialien Anwendung finden, beispielsweise zeichnet sich Rhodium ebenfalls durch eine hohe Reflektivität im sichtbaren Spektralbereich aus. In diesem Fall kann auf die Barrierschicht 32 auch verzichtet werden.

Der Aufbau der metallischen Zwischenschicht ist hinsichtlich der Schichtabfolgen, Schichtdicken und Materialien in weiten Grenzen variierbar. Beispielsweise kann in der metallischen Zwischenschicht 3 oder zwischen der Halbleiterschichtenfolge 2 und der metallischen Zwischenschicht 3 eine ein TCO-Material enthaltende Schicht ausgebildet sein.

Die metallische Zwischenschicht 3 wird derart ausgebildet, dass diese Justagefenster 35 aufweist (Figur 1C). Die Justagefenster erstrecken sich in vertikaler Richtung vollständig durch die metallische Zwischenschicht hindurch.

Wie in Figur 1F dargestellt, wird die Halbleiterschichtenfolge 2 mit der metallischen Zwischenschicht 3 an einem Träger 5 befestigt. Die Befestigung erfolgt vorzugsweise mittels einer Verbindungsschicht, etwa einer Lotschicht oder einer elektrisch leitfähigen Klebeschicht (in Figur 1F nicht explizit dargestellt).

In den Träger ist eine Steuerschaltung für die einzelnen Bildpunkte integriert, etwa eine Aktiv-Matrix-Steuerschaltung. Die Steuerschaltung kann beispielsweise in CMOS-Technik im Träger ausgebildet sein. Zur vereinfachten Darstellung sind in den Figuren lediglich eine Mehrzahl von ersten Anschlussflächen 51 und zweiten Anschlussflächen 52 dargestellt. In dem gezeigten Ausführungsbeispiel ist für

jeden Bildpunkt 25 genau eine erste Anschlussfläche 51 und eine zweite Anschlussfläche 52 vorgesehen. Die erste Anschlussfläche 51 umläuft die zweite Anschlussfläche 52 rahmenförmig. In dem in Figur 1F dargestellten Stadium ist
5 die erste Halbleiterschicht 21 sowohl mit den ersten Anschlussflächen 51 als auch mit den zweiten Anschlussflächen 52 elektrisch leitend verbunden. Die erste Halbleiterschicht verbindet also die ersten Anschlussflächen mit den zweiten Anschlussflächen. Eine elektrische Trennung erfolgt erst in
10 einem späteren Stadium der Herstellung.

Wie in Figur 1D dargestellt, weist der Träger in Aufsicht eine Mehrzahl von nebeneinander angeordneten Chipbereichen 56 auf. Die Chipbereiche sind jeweils für einen fertig
15 gestellten Halbleiterchip vorgesehen. Jeder Chipbereich 56 weist entsprechend der Anzahl der Bildpunkte jedes Halbleiterchips erste Anschlussflächen 51 und zweite Anschlussflächen 52 auf. Zur Erhöhung der Reflektivität können die Anschlussflächen, insbesondere die zweiten
20 Anschlussflächen 52, mit einer Beschichtung versehen sein. Hierfür eignet sich beispielsweise Rhodium aufgrund seiner hohen Reflektivität im sichtbaren Spektralbereich.

Zusätzlich sind auf dem Träger 5 Justagemarken 55
25 ausgebildet. Die laterale Ausdehnung der Justagemarken ist kleiner als das Rastermaß, in dem die Halbleiterchips angeordnet sind, sodass für jede Justiermarke 55 jeweils bei der Herstellung nur ein Halbleiterchip verloren geht. Die Justiermarken können jedoch auch größer als das Rastermaß
30 sein, in dem die Halbleiterchips angeordnet sind. Selbstverständlich ist auch denkbar, die Justiermarken so im Randbereich des Trägers anzuordnen, dass keine für Halbleiterchips nutzbare Fläche verloren geht.

Zweckmäßigerweise sind die Mittenabstände benachbarter Justiermarken gleich den Mittenabständen zwischen den zugehörigen Justagefestern 35.

5 Beim Befestigen der Halbleiterschichtenfolge 2 an dem Träger 5 werden die Justagefenster 35 und die Justagemarken 55 so zueinander positioniert, dass die Justagemarken 55 mit den Justagefenstern 35 überlappen und vorzugsweise vollständig innerhalb der Justagefenster angeordnet sind (Figur 1E). Die
10 Halbleiterschichtenfolge 2 ist bei diesem Justageschritt selbst noch lateral völlig unstrukturiert, sodass die Anforderungen an die Justagegenauigkeit vergleichsweise gering sind. Insbesondere kann die Justagetoleranz beim Positionieren auch größer sein als ein Mittenabstand zwischen
15 benachbarten Bildpunkten. Im Wesentlichen ist die erforderliche Justagegenauigkeit durch die Größe der Justagefenster 35 vorgegeben. Besonders gering sind die Anforderungen an die Justagegenauigkeit, wenn die Justagefenster deutlich größer sind als die Justagemarken.

20

Nach dem Befestigen der Halbleiterschichtenfolge 2 an dem Träger 5 wird das Aufwachssubstrat 23 wie in Figur 1G dargestellt entfernt. Bei einer auf nitridischem Verbindungshalbleitermaterial, etwa $\text{Al}_x \text{In}_y \text{Ga}_{1-x-y} \text{N}$ mit
25 $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x + y \leq 1$, basierenden Halbleiterschichtenfolge 2 eignen sich als Aufwachssubstrat beispielsweise Saphir oder Silizium. Für das Entfernen des Aufwachssubstrats eignet sich beispielsweise ein mechanisches Verfahren, etwa Schleifen, Läppen oder Polieren und/oder ein
30 chemisches Verfahren, beispielsweise ein nass- oder trockenchemisches Ätzen. Abhängig vom Material des Aufwachssubstrats, beispielsweise bei einem Saphir-Aufwachssubstrat, eignet sich auch ein Laserablöseverfahren.

Von dem beschriebenen Ausführungsbeispiel abweichend kann das Aufwachsssubstrat 23 auch bereits entfernt werden, bevor die Halbleiterschichtenfolge 2 an dem Träger 5 befestigt wird. In diesem Fall wird die Halbleiterschichtenfolge vor dem

5 Befestigen an dem Träger 5 vorzugsweise an einem Hilfsträger befestigt, der nach dem Befestigen der Halbleiterschichtenfolge 2 an dem Träger 5 entfernt wird.

Eine dem Träger 5 abgewandte Strahlungsdurchtrittsfläche 24
10 der Halbleiterschichtenfolge 2 wird, wie in Figur 1H dargestellt, mit einer Aufrauung 26 versehen. Beispielsweise eignet sich ein nasschemisches Ätzverfahren, etwa mittels KOH für das Ausbilden von pyramiden- oder pyramidenstumpf-
förmigen Vertiefungen in der zweiten Halbleiterschicht 22.
15 Die Aufrauung dient der besseren Strahlungsauskopplung im Falle eines strahlungsemittierenden Halbleiterchips bzw. der verbesserten Strahlungseinkopplung für den Fall eines strahlungsempfangenden Halbleiterchips. Die Aufrauung kann
vollflächig über der gesamten Fläche der
20 Halbleiterschichtenfolge 2 durchgeführt werden. Ein photolithografisches Verfahren ist hierfür also nicht erforderlich.

Wie in Figur 1I dargestellt, werden in der
25 Halbleiterschichtenfolge 2 Trenngräben 27 ausgebildet, die die einzelnen Bildpunkte 25 der Halbleiterchips 1 definieren. Die Trenngräben erstrecken sich vorzugsweise in vertikaler Richtung durch die Halbleiterschichtenfolge 2 und die metallische Zwischenschicht 3 vollständig hindurch. Die
30 ersten Anschlussflächen 51 der nebeneinander angeordneten Bildpunkte, die vor dem Ausbilden der Trenngräben 27 über die metallische Zwischenschicht 3 miteinander verbunden sind,

werden durch das Ausbilden der Trenngräben 27 elektrisch voneinander isoliert.

In dem gleichen Verfahrensschritt werden Aussparungen 28
5 ausgebildet, die sich ebenfalls durch die Halbleiterschichtenfolge 2 und die Zwischenschichten 3 hindurch erstrecken. Im Bereich der Aussparungen 28 werden die zweiten Anschlussflächen 52 freigelegt. Zusätzlich werden in diesem Herstellungsschritt Chipgräben 29 ausgebildet, die
10 die Halbleiterschichtenfolgen der späteren einzelnen Halbleiterchips voneinander trennen. Auf diese Weise ist gewährleistet, dass beim späteren Vereinzeln der Halbleiterchips nur das Material des Trägers 5 durchtrennt werden muss. Das Ausbilden der einzelnen Bildpunkte durch das
15 Bilden der Trenngräben 27 erfolgt mittels eines photolithografischen Verfahrens, bei dem die Justage relativ zu den Justagemarken 55 auf dem Träger 5 erfolgt. Dieser Schritt ist der erste feinjustierte photolithografische Schritt des Verfahrens. Vorzugsweise ist die Justagetoleranz
20 höchstens halb so groß wie der Mittenabstand zwischen zwei benachbarten Bildpunkten 25.

Im Bereich der Trenngräben 27 wird das Material der Halbleiterschichtenfolge 2 vorzugsweise mittels eines
25 nasschemischen Verfahrens entfernt. Dadurch entstehen schräge Seitenflanken, sodass der Querschnitt der Bildpunkte 25 in vertikaler Richtung zumindest bereichsweise mit zunehmendem Abstand vom Träger 5 abnimmt. Es kann aber auch ein anderes Verfahren, beispielsweise ein trockenchemisches Ätzverfahren
30 oder mechanisches Rückspütern für das Ausbilden der Trenngräben Anwendung finden.

Nachfolgend wird eine Isolationsschicht 4 vollflächig auf die Halbleiterschichtenfolge 2 aufgebracht. Wie in Figur 1J gezeigt, wird die Isolationsschicht 4 mittels eines zweiten feinjustierten photolithografischen Verfahrens strukturiert.

5 Die strukturierte Isolationsschicht weist eine Anschlussöffnung 41 auf, in der die zweite Anschlussfläche 52 freigelegt ist. Weiterhin weist die Isolationsschicht 4 für jeden Bildpunkt 25 zumindest eine Kontaktöffnung 42 auf, in der die zweite Halbleiterschicht 22 frei liegt.

10

Ferner weist die Isolationsschicht 4 eine Grabenöffnung 43 auf. In dieser Grabenöffnung liegt das Material des Trägers 5 für die Vereinzelung der Halbleiterchips frei. Für die Isolationsschicht eignet sich beispielsweise ein Oxid, etwa
15 Siliziumoxid oder Titanoxid, ein Nitrid, beispielsweise Siliziumnitrid, oder ein Oxinitrid, beispielsweise Siliziumoxinitrid. Die Isolationsschicht 4 dient insbesondere als eine dielektrische Kapselung zum Schutz der Halbleiterschichtenfolge 2 und der metallischen
20 Zwischenschicht 3 vor Feuchtigkeit. Beispielsweise kann so die Degradation einer silberhaltigen Spiegelschicht vermieden werden.

25

Wie in Figur 1K dargestellt, wird eine Kontaktschicht 6 ausgebildet, die die zweite Anschlussfläche 52 im Bereich der Kontaktöffnung 42 mit der zweiten Halbleiterschicht 22 elektrisch leitend verbindet. Die Kontaktschicht 6 bedeckt die Strahlungsdurchtrittsfläche 24 bereichsweise. An den Seitenflanken der Aussparung 28, insbesondere auf Höhe des
30 aktiven Bereichs 20, ist zwischen der Kontaktschicht 6 und der Halbleiterschichtenfolge 2 zur Vermeidung eines elektrischen Kurzschlusses die Isolationsschicht 4 angeordnet. Für die Kontaktschicht 6 eignet sich insbesondere

ein TCO-Material, etwa ITO, ZnO oder SnO₂. Auf diese Weise kann eine Abschattung der Strahlungsdurchtrittsfläche 24 vermieden werden. Alternativ oder ergänzend kann auch ein Metall für die Kontaktschicht 6 Anwendung finden. Die Strukturierung der Kontaktschicht 6 erfolgt mittels eines dritten feinjustierten photolithographischen Prozesses.

Nachfolgend erfolgt eine Vereinzelung des Waferverbunds mit Träger 5 und Halbleiterschichtenfolge 2 in einzelne Halbleiterchips 1 entlang der Chipgräben 29. Hierfür wird ein Vereinzelungsgraben 57 ausgebildet, der den Träger vollständig durchtrennt. Für das Vereinzeln eignen sich beispielsweise ein Sägeverfahren oder ein Lasertrennverfahren.

Mit dem beschriebenen Verfahren können mit lediglich drei feinjustierten Photolithografie-Prozessen Halbleiterchips hergestellt werden, die jeweils eine Mehrzahl von Bildpunkten aufweisen, wobei die Bildpunkte jeweils mittels einer Aktiv-Matrix-Schaltung einzeln kontaktierbar und ansteuerbar sind.

Insbesondere ist eine aufwändige und fehleranfällige Feinjustage einer bereits in Bildpunkte vorstrukturierten Halbleiterschichtenfolge relativ zu einem Träger mit einer Ansteuerschaltung nicht erforderlich. Entgegen der üblichen Vorgehensweise erfolgt bei der Befestigung der Halbleiterschichtenfolge 2 über die erste Halbleiterschicht 21 eine an sich ungewünschte elektrisch leitende Verbindung zwischen der ersten Anschlussfläche 51 und der zweiten Anschlussfläche 52. Die für den Betrieb erforderliche elektrische Trennung erfolgt erst nach der Befestigung an dem Träger. Weiterhin können alle feinjustierten Fertigungsschritte erfolgen, nachdem die

Halbleiterschichtenfolge 2 bereits an dem Träger 5 befestigt ist.

Der durch das Vereinzeln fertig gestellte Halbleiterchip 1 ist in Figur 1K in einem Ausschnitt gezeigt. Der Halbleiterchip eignet sich beispielsweise für eine Anzeigevorrichtung, für ein adaptives Frontscheinwerfer-System oder für ein Fotolicht eines Mobilfunkgerätes oder einer Kamera.

In dem gezeigten Ausführungsbeispiel ist die zweite Anschlussfläche 52 mittig innerhalb der ersten Anschlussfläche 51 angeordnet. Bei einer mittigen Anordnung der zweiten Anschlussfläche kann auf einfache Weise eine gleichmäßige Bestromung der zweiten Halbleiterschicht 22 erfolgen.

Alternative Ausgestaltungen der ersten Anschlussfläche 51 und der zweiten Anschlussfläche 52 sind in den Figuren 4A bis 4C und 5A bis 5C gezeigt. Bei dem in Figur 4A dargestellten Ausführungsbeispiel weist jeder Bildpunkt 25 eine Mehrzahl von zweiten Anschlussflächen 52 auf. Die zweiten Anschlussflächen 52 können bezüglich ihres Querschnitts so im Vergleich zu einer einzigen Anschlussfläche verringert werden. Im Vergleich zu einer einzigen mittigen Kontaktfläche ist so die Gefahr reduziert, dass ein störender dunkler Bereich in der Mitte der Bildpunkte auftritt. Ein solcher dunkler Bereich kann insbesondere störend sein, wenn dem Halbleiterchip 1 in Abstrahlrichtung eine abbildende Optik nachgeordnet ist.

Bei dem in Figur 4B dargestellten Ausführungsbeispiel ist die zweite Anschlussfläche 52 in einem Randbereich 511 der ersten

Anschlussfläche 51 angeordnet. Bei dieser Ausgestaltung tritt lediglich an einem Rand des Bildpunkts 25 ein dunklerer Bereich auf. Allerdings kann dies zu einer vergleichsweise ungleichmäßigen Bestromung der Bildpunkte 25 in lateraler
5 Richtung führen.

Zur Vermeidung einer ungleichmäßigen Bestromung sind bei dem in Figur 4C dargestellten Ausführungsbeispiel die zweiten Anschlussflächen 52 jeweils in den Eckbereichen 512 der
10 ersten Anschlussfläche 51 angeordnet. Es kann jedoch auch ausreichend sein, wenn nicht in allen Eckbereichen, beispielsweise nur in einer Ecke oder nur in zwei Ecken, eine zweite Anschlussfläche 52 vorgesehen ist.

Bei der in Figur 5A dargestellten Variante umläuft die zweite Kontaktfläche 52 die erste Kontaktfläche 51 entlang des gesamten Umfangs. Dadurch kann eine homogene Bestromung ohne einen dunkleren Mittenbereich der Bildpunkte 25 erzielt werden. Allerdings erfordert diese Ausgestaltung besonders
20 hohe Justagegenauigkeiten und ein besonders hohes Maß an Strukturtreue.

Diese Anforderungen können vermindert werden, wenn die zweite Anschlussfläche 52 nicht entlang aller Ränder der ersten
25 Anschlussfläche 51 verläuft. In Figur 5B ist die zweite Anschlussfläche 52 L-förmig ausgebildet und verläuft entlang zweier Ränder der ersten Anschlussfläche 51. In dem Ausführungsbeispiel gemäß Figur 5C sind die erste Anschlussfläche 51 und die zweite Anschlussfläche 52
30 nebeneinander angeordnet, sodass die zweite Anschlussfläche nur entlang einer Kante der ersten Anschlussfläche verläuft.

Ein zweites und drittes Ausführungsbeispiel für ein Verfahren zur Herstellung von optoelektronischen Halbleiterchips ist in den Figuren 2A bis 2C bzw. 3A und 3B anhand von schematisch in Schnittansicht dargestellten Zwischenschritten gezeigt.

5 Diese beiden weiteren Ausführungsbeispiele unterscheiden sich vom ersten Ausführungsbeispiel im Wesentlichen durch die Art der Kontaktierung der zweiten Halbleiterschicht 22.

Insbesondere kann das Befestigen der Halbleiterschichtenfolge
10 2 an dem Träger 5 wie im Zusammenhang mit den Figuren 1H bis 1I beschrieben erfolgen. Der Träger 5 unterscheidet sich bei den weiteren Ausführungsbeispielen lediglich dadurch, dass jeder Halbleiterchip 1 nur eine zweite Anschlussfläche 52 aufweist, die mit allen Bildpunkten 25 elektrisch leitend
15 verbunden ist.

Hierfür wird, wie in Figur 2A dargestellt, eine Kontaktschicht 6 vollflächig auf der Halbleiterschichtenfolge 2 aufgebracht. Auf der Strahlungsdurchtrittsfläche 24 grenzt
20 die Kontaktschicht zumindest bereichsweise an die Strahlungsdurchtrittsfläche 24 an und ist mit der zweiten Halbleiterschicht 22 elektrisch leitend verbunden. Wie in Figur 2B dargestellt, wird die Kontaktschicht 6 strukturiert, sodass diese an der Stelle, an der später die Vereinzelung
25 der Halbleiterchips erfolgt, eine Grabenöffnung 63 der Kontaktschicht ausgebildet wird. Zur Verbesserung der Querleitfähigkeit der Kontaktschicht 6 wird eine metallische Schicht 61 in den Trenngräben 27 zwischen benachbarten
30 Bildpunkten ausgebildet. Weiterhin kann die metallische Schicht auch entlang der Randbereiche der Halbleiterchips verlaufen. Eine dem Träger 5 abgewandte Oberfläche 610 der metallischen Schicht 61 verläuft in vertikaler Richtung zwischen dem Träger 5 und der Strahlungsdurchtrittsfläche 24.

Die metallische Schicht 21 bedeckt die Strahlungsdurchtrittsfläche 24 also nicht. Zusätzlich zur verbesserten Querleitfähigkeit kann mittels der metallischen Schicht 61 in den Trenngräben 27 zwischen den Bildpunkten 25 ein optisches Übersprechen zwischen den Bildpunkten reduziert werden.

Das Vereinzeln der Halbleiterchips kann wie im Zusammenhang mit dem ersten Ausführungsbeispiel beschrieben erfolgen. Ein fertig gestellter Halbleiterchip 1 ist in Figur 2C gezeigt.

Das in den Figuren 3A und 3B dargestellte dritte Ausführungsbeispiel weist ebenfalls eine gemeinsame Kontaktschicht 6 für alle Bildpunkte 25 eines Halbleiterchips 1 auf. Im Unterschied zum zweiten Ausführungsbeispiel ist die Kontaktschicht 6 einschichtig als eine metallische Schicht ausgebildet. Zur Strahlungsauskopplung weist die Kontaktschicht 6 jeweils auf den Strahlungsdurchtrittsflächen 24 der Halbleiterchips ein Strahlungsfenster 62 auf. Im Bereich des Strahlungsfensters ist die Strahlungsdurchtrittsfläche 24 also frei von metallischem Material, so dass die Strahlungsfenster jeweils denjenigen Bereich der Bildpunkte definieren, aus dem die im Betrieb erzeugte Strahlung austritt beziehungsweise in dem die zu detektierende Strahlung eintritt. Ein fertig gestellter Halbleiterchip gemäß dem dritten Ausführungsbeispiel ist in Figur 3B gezeigt.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2012 112 530.9, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in
5 den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder den Ausführungsbeispielen angegeben ist.

Patentansprüche

1. Verfahren zum Herstellen einer Mehrzahl von optoelektronischen Halbleiterchips (1), die jeweils eine Mehrzahl von Bildpunkten (25) aufweisen, mit den Schritten:
- 5 a) Bereitstellen einer Halbleiterschichtenfolge (2) mit einem zur Erzeugung und/oder Detektion von Strahlung vorgesehenen aktiven Bereich (20), der zwischen einer ersten Halbleiterschicht (21) und einer zweiten Halbleiterschicht (22) ausgebildet ist;
- 10 b) Bereitstellen eines Trägers (5) mit einer Mehrzahl von ersten Anschlussflächen (51);
- c) Befestigen der Halbleiterschichtenfolge an dem Träger, so dass die erste Halbleiterschicht mit den ersten
- 15 Anschlussflächen elektrisch leitend verbunden wird;
- d) Ausbilden von Trenngräben (27) in der an dem Träger befestigten Halbleiterschichtenfolge zur Ausbildung der Bildpunkte, wobei sich die Trenngräben durch die Halbleiterschichtenfolge hindurch erstrecken;
- 20 e) Ausbilden einer Kontaktschicht (6), die die zweite Halbleiterschicht elektrisch leitend mit einer zweiten Anschlussfläche (52) des Trägers verbindet; und
- f) Vereinzeln des Trägers in die Mehrzahl von Halbleiterchips, die jeweils eine Mehrzahl von Bildpunkten
- 25 aufweisen.
2. Verfahren nach Anspruch 1, wobei die Halbleiterschichtenfolge in Schritt c) im Bereich der Halbleiterchips frei von Ausnehmungen ist.
- 30 3. Verfahren nach einem der vorhergehenden Ansprüche,

wobei eine Justage beim Ausbilden der Trenngräben relativ zu Justagemarken (55), die auf dem Träger ausgebildet sind, erfolgt.

- 5 4. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Halbleiterschichtenfolge vor Schritt c) mit einer metallischen Zwischenschicht (3) versehen wird.

5. Verfahren nach Anspruch 4,
10 wobei die metallische Zwischenschicht (3) zwischen Schritt c) und Schritt f) durchtrennt wird.

6. Verfahren nach Anspruch 1 oder 2,
wobei
15 -die Halbleiterschichtenfolge vor Schritt c) mit einer metallischen Zwischenschicht (3) versehen wird;
- in der metallischen Zwischenschicht vor Schritt c) Justagefenster (35) ausgebildet werden; und
- die Halbleiterschichtenfolge in Schritt c) so relativ zum
20 Träger positioniert wird, dass Justagemarken (55) auf dem Träger mit den Justagefenstern (35) überlappen.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Halbleiterschichtenfolge epitaktisch auf einem
25 Aufwachssubstrat (23) abgeschieden ist und das Aufwachssubstrat vor Schritt d) entfernt wird.

8. Optoelektronischer Halbleiterchip (1) mit einer Halbleiterschichtenfolge (2), die einen zum Erzeugen und/oder
30 Empfangen von Strahlung vorgesehenen aktiven Bereich (20) aufweist, der zwischen einer ersten Halbleiterschicht (21) und einer zweiten Halbleiterschicht (22) angeordnet ist, wobei

- die Halbleiterschichtenfolge in eine Mehrzahl von Bildpunkten (25) unterteilt ist;
 - der Halbleiterchip einen Träger (5) aufweist, auf dem die Halbleiterschichtenfolge angeordnet ist und der eine
 - 5 Ansteuerschaltung für die einzelnen Bildpunkte (25) aufweist;
 - der Träger für jeden Bildpunkt eine erste Anschlussfläche aufweist, die mit der ersten Halbleiterschicht der Bildpunkte elektrisch leitend verbunden ist; und
 - die zweite Halbleiterschicht über eine Kontaktschicht (6)
 - 10 mit einer zweiten Anschlussfläche (52) elektrisch leitend verbunden ist, wobei die Kontaktschicht eine vom Träger abgewandte Strahlungsdurchtrittsfläche (24) zumindest bereichsweise bedeckt.
- 15 9. Halbleiterchip nach Anspruch 8,
wobei sich die Bildpunkte der Halbleiterschichtenfolge zumindest bereichsweise mit zunehmendem Abstand vom Träger verjüngen.
- 20 10. Halbleiterchip nach Anspruch 8 oder 9,
wobei die zweite Halbleiterschicht eines jeden Bildpunkts über die Kontaktschicht jeweils elektrisch leitend mit zumindest einer dem Bildpunkt zugeordneten zweiten Anschlussfläche verbunden ist.
- 25 11. Halbleiterchip nach Anspruch 8 oder 9,
wobei die erste Anschlussfläche die zumindest eine zweite Anschlussfläche umläuft.
- 30 12. Halbleiterchip nach einem der Ansprüche 8 bis 10,
wobei die zumindest eine zweite Anschlussfläche in einem Randbereich (511) oder in einem Eckbereich (512) der ersten Anschlussfläche angeordnet ist.

13. Halbleiterchip nach einem der Ansprüche 8 bis 10, wobei die erste Anschlussfläche entlang zumindest zweier Ränder der zweiten Anschlussfläche verläuft.

- 5 14. Halbleiterchip nach einem der Ansprüche 8 bis 13, wobei jeder Bildpunkt zumindest eine Aussparung (28) in der Halbleiterschichtenfolge aufweist und sich die Kontaktschicht von der zweiten Anschlussfläche durch die Aussparung zur zweiten Halbleiterschicht erstreckt.

10

15. Halbleiterchip nach Anspruch 8 oder 9, wobei die zweiten Halbleiterschichten von zumindest zwei benachbarten Bildpunkten über die Kontaktschicht elektrisch leitend miteinander verbunden sind.

15

16. Halbleiterchip nach einem der Ansprüche 8 bis 15, wobei die Bildpunkte durch Trenngräben (27) voneinander getrennt sind und die Kontaktschicht bereichsweise in den Trenngräben verläuft.

20

17. Halbleiterchip nach Anspruch 16, wobei die Kontaktschicht eine metallische Schicht (61) aufweist, die gitterförmig in den Trenngräben verläuft.

- 25 18. Halbleiterchip nach einem der Ansprüche 8 bis 17, wobei die Kontaktschicht ein TCO-Material aufweist.

19. Optoelektronischer Halbleiterchip nach einem der Ansprüche 8 bis 18, der nach einem der Ansprüche 1 bis 7 hergestellt ist.

30

FIG 1A

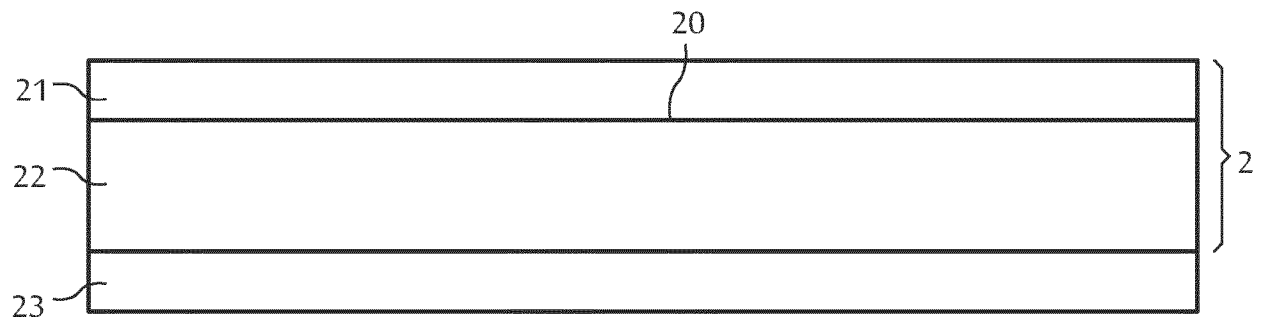


FIG 1B

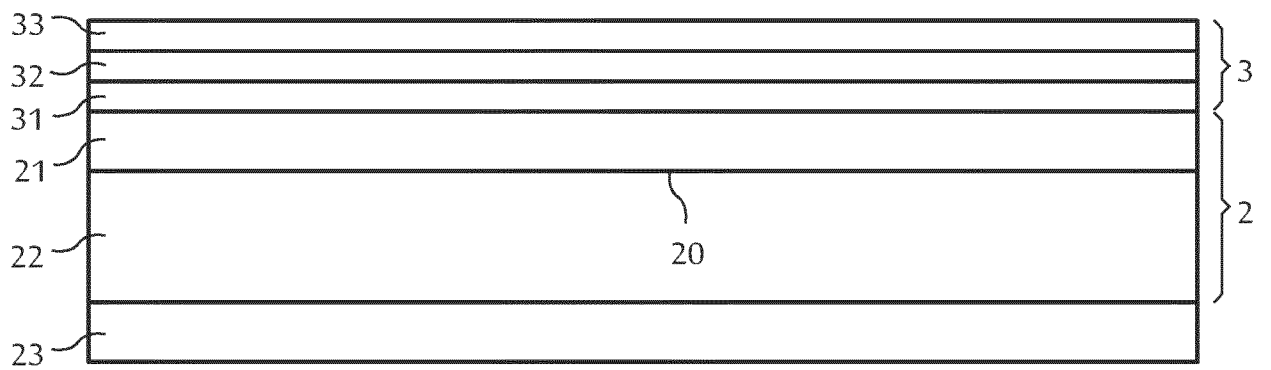


FIG 1C

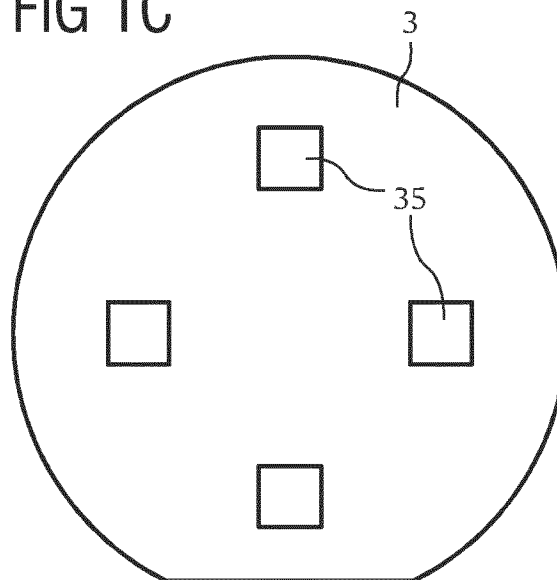


FIG 1D

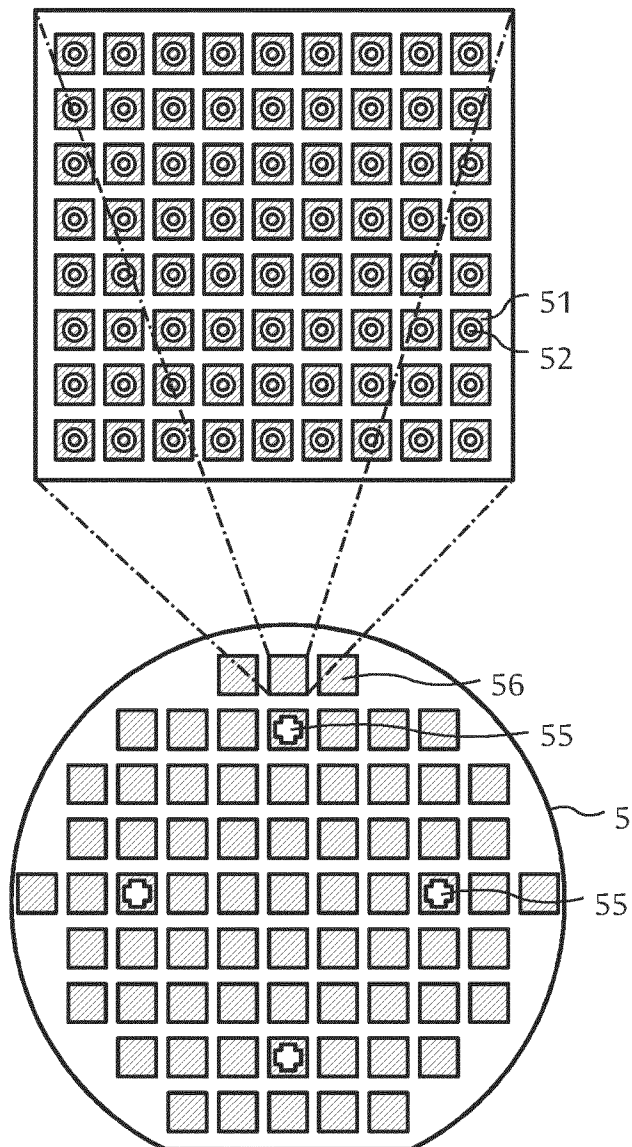


FIG 1E

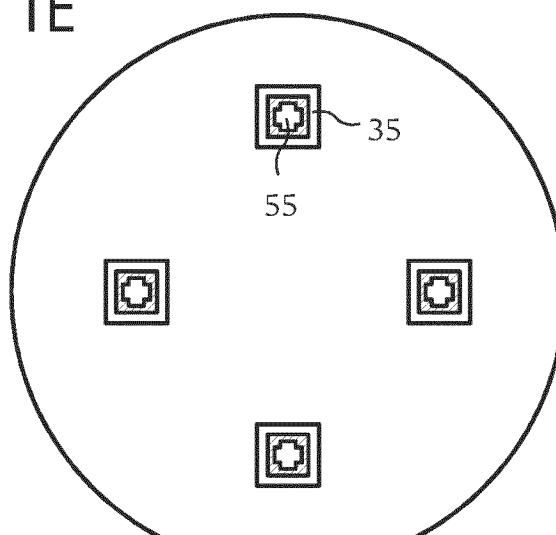


FIG 1F

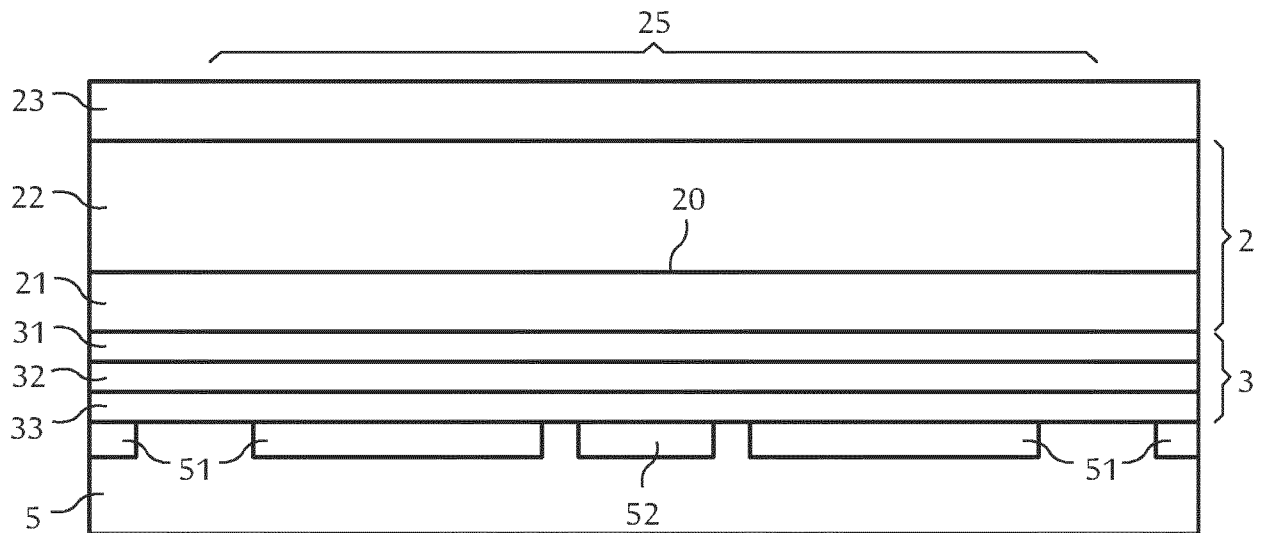


FIG 1G

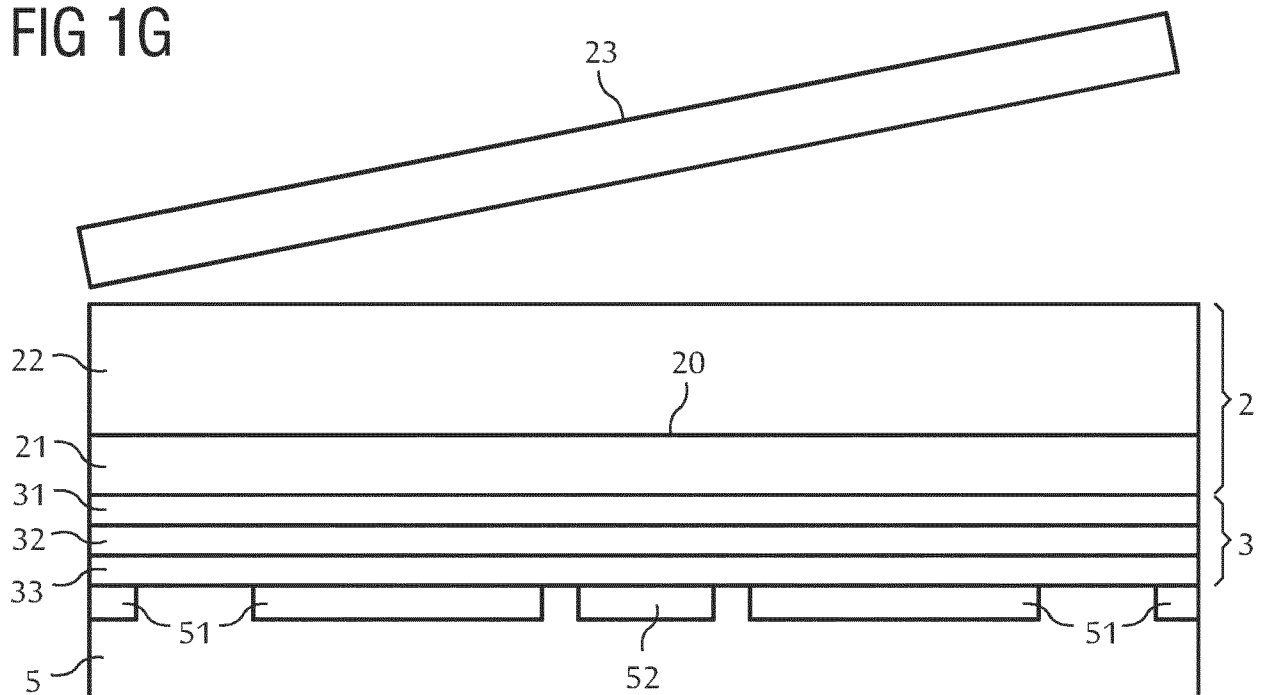


FIG 1H

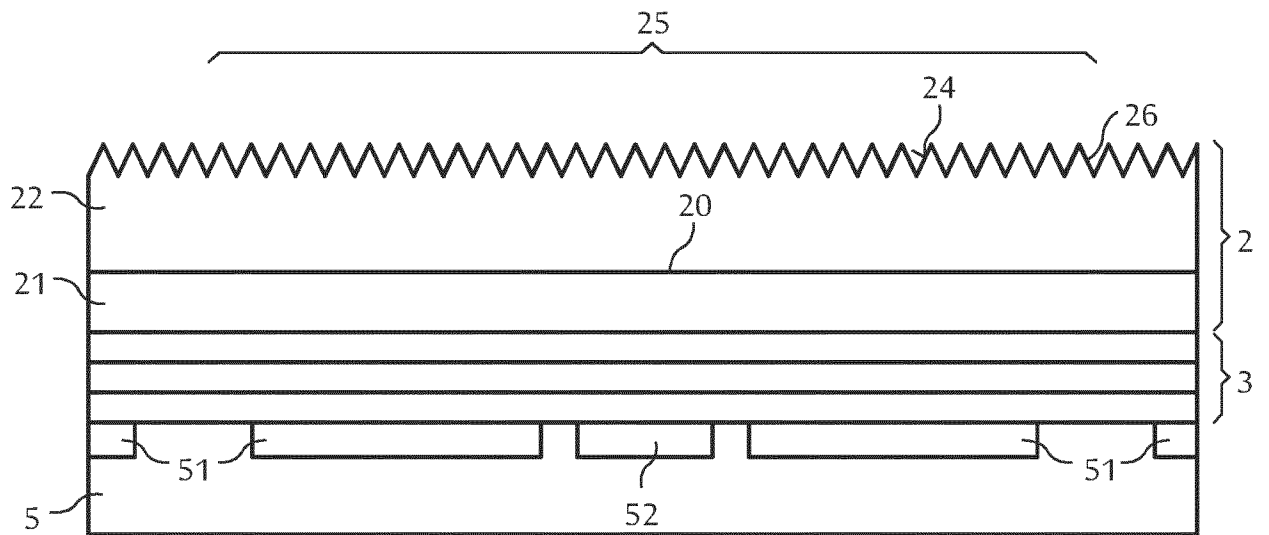


FIG 1I

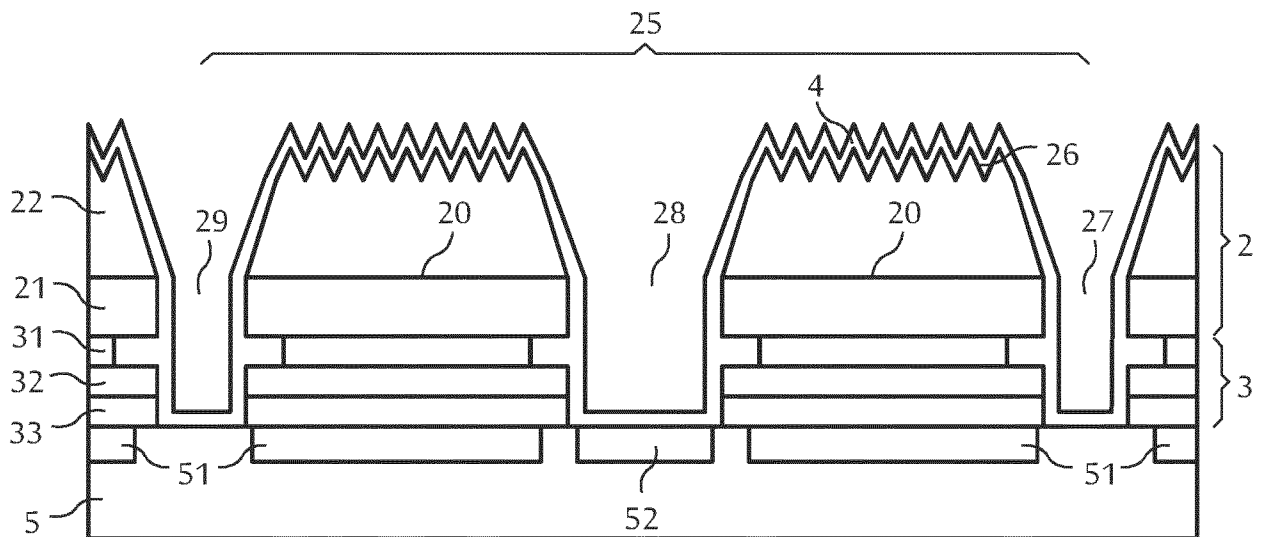


FIG 1J

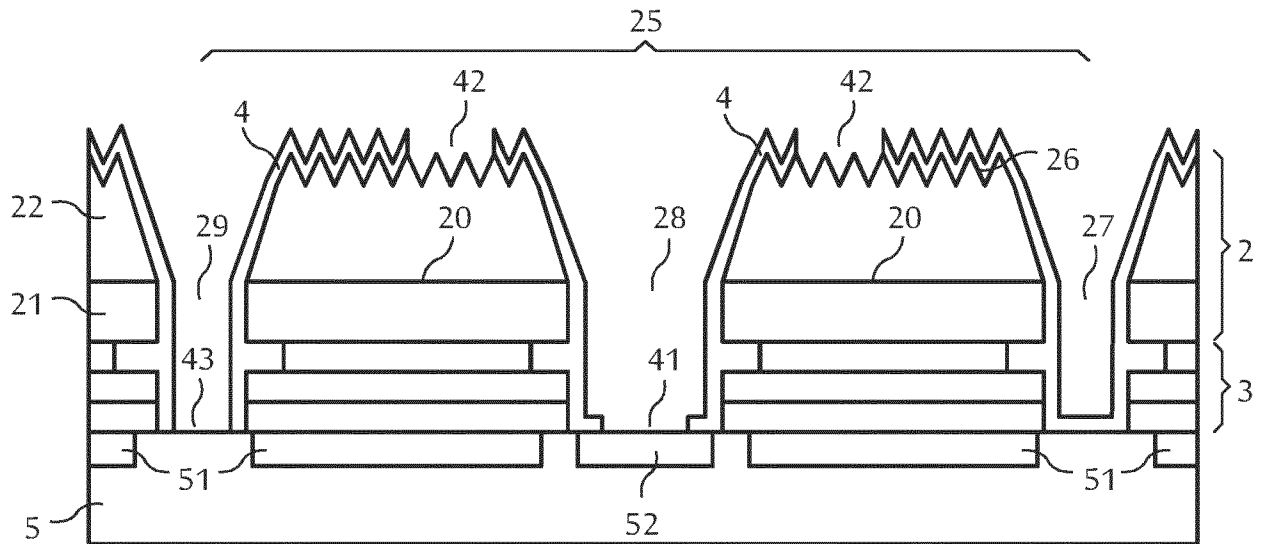


FIG 1K

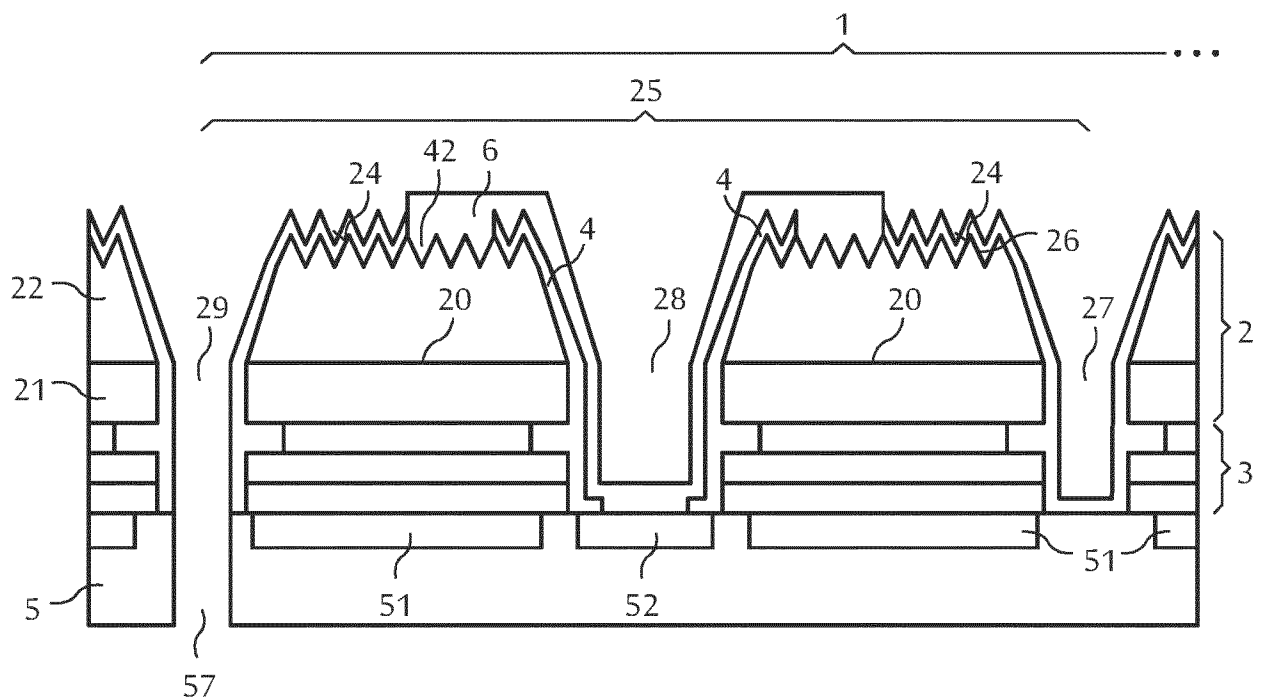


FIG 2A

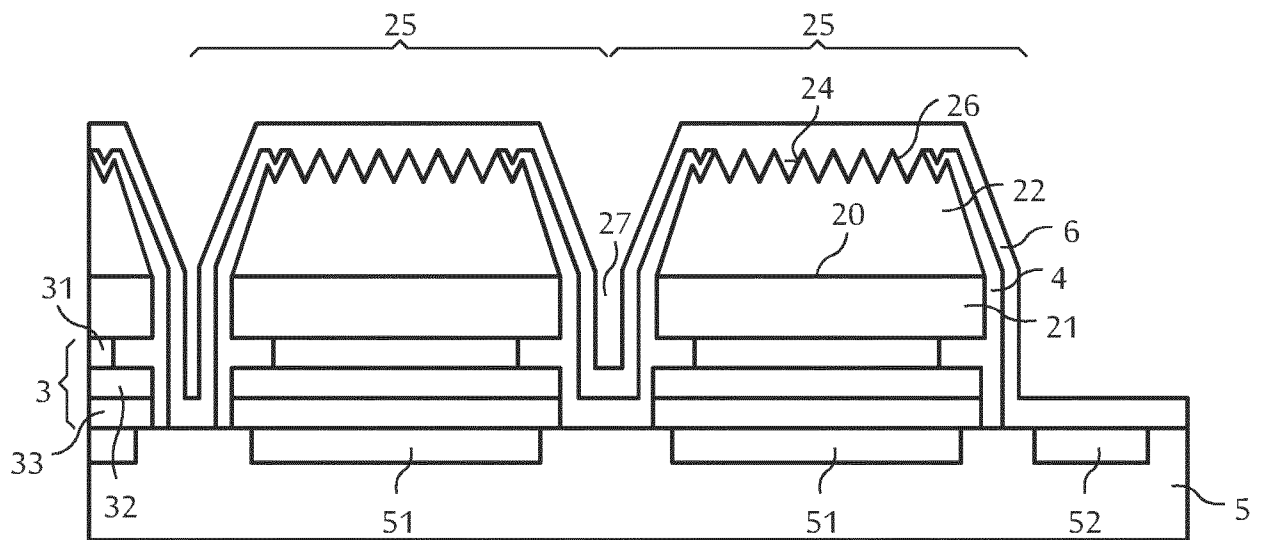


FIG 2B

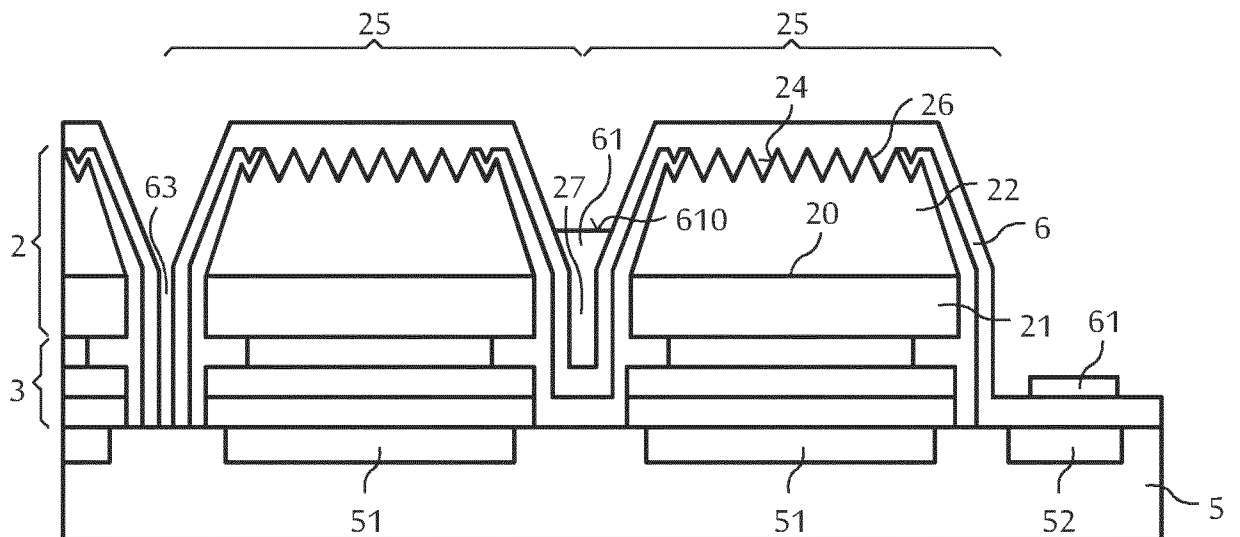


FIG 2C

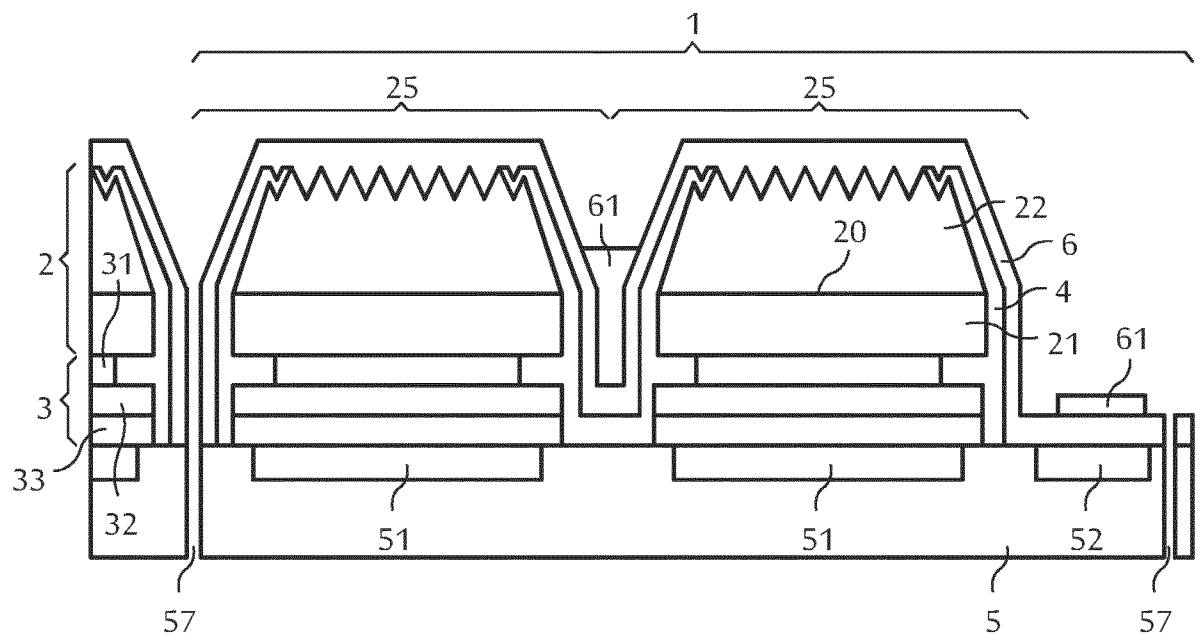


FIG 3A

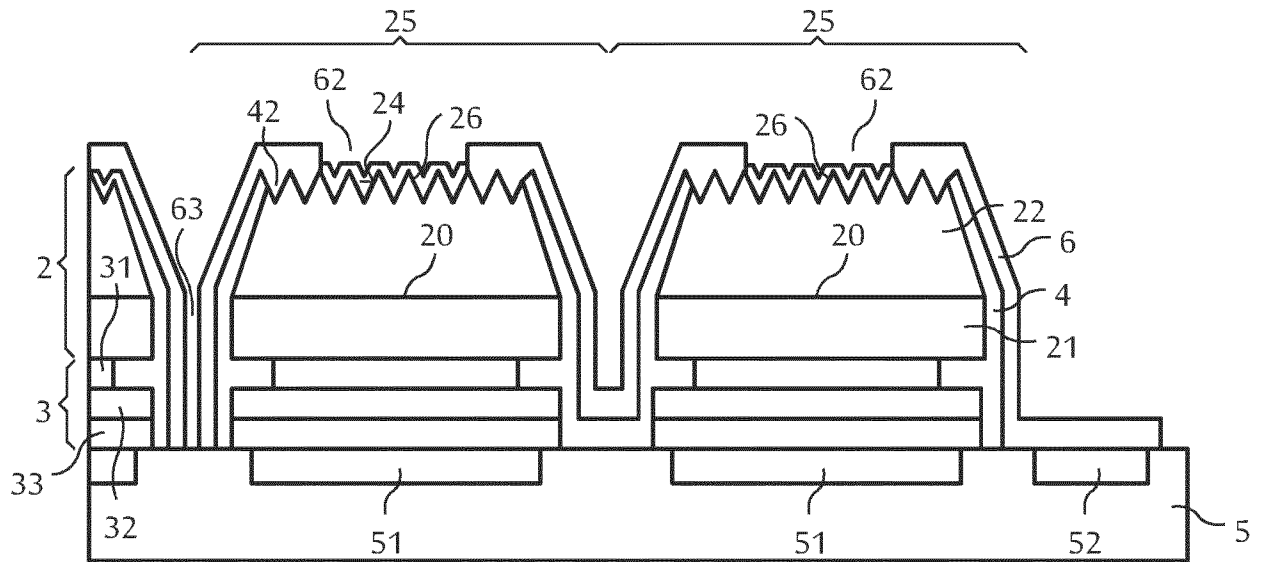


FIG 3B

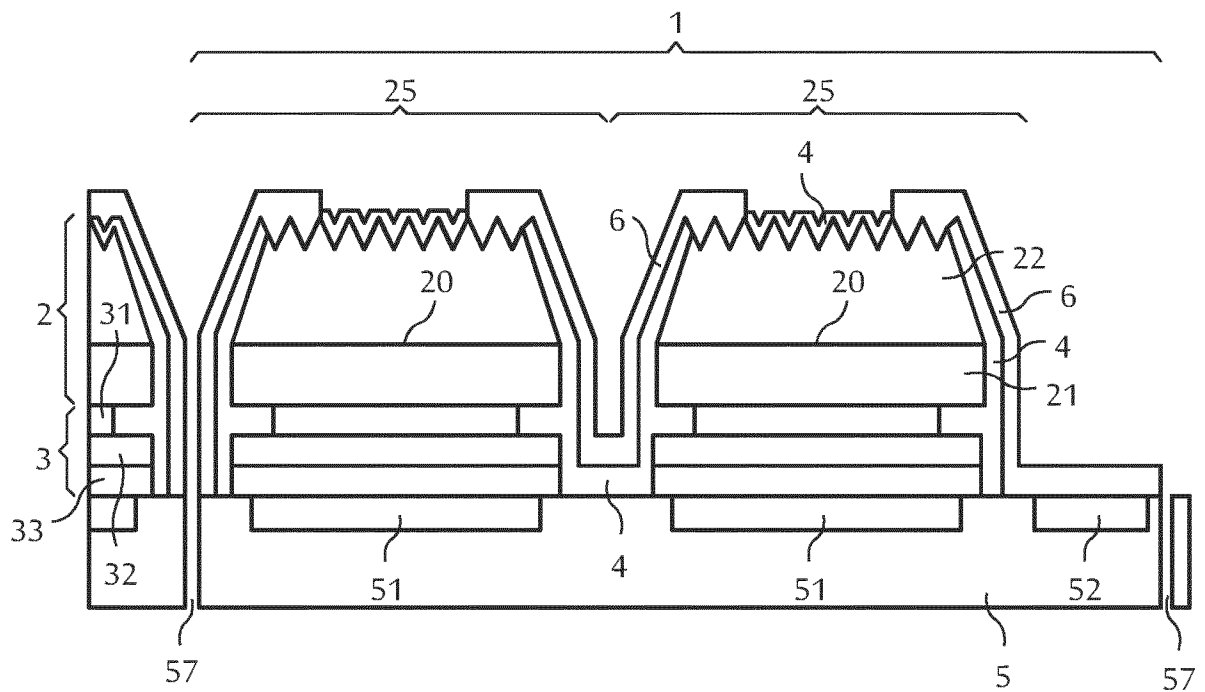


FIG 4A

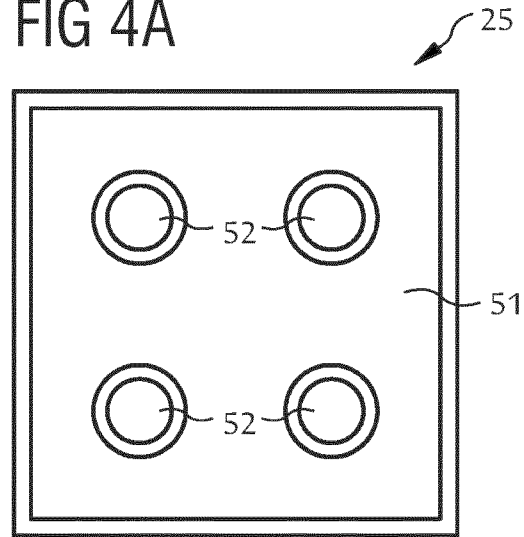


FIG 4B

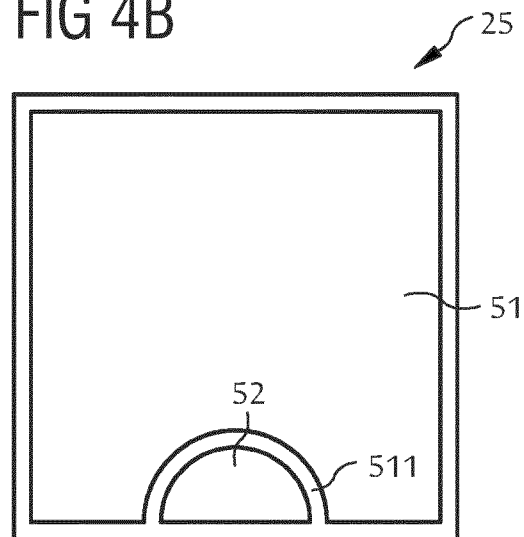


FIG 4C

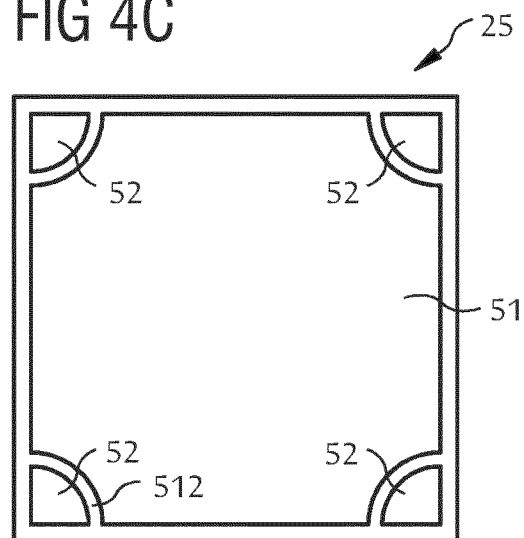


FIG 5A

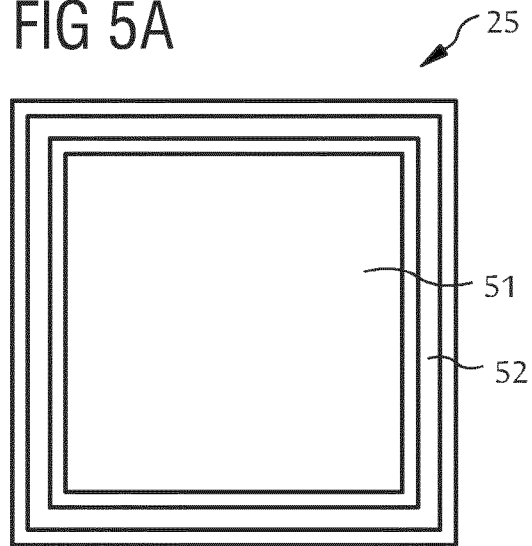


FIG 5B

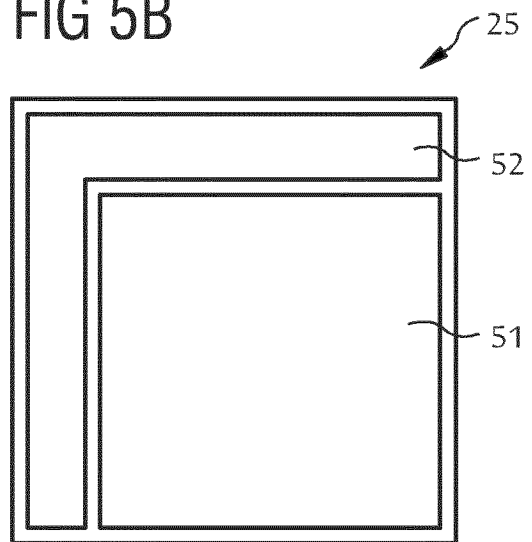
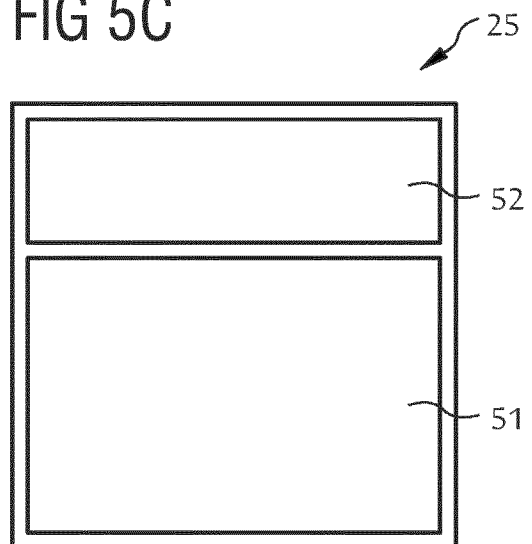


FIG 5C



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2013/076355

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L25/075

ADD. H01L27/15 H01L33/00 H01L33/38 H01L33/62 H01L25/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/258827 A1 (LEE CHIA-EN [TW] ET AL) 14 October 2010 (2010-10-14) paragraphs [0035] - [0043], [0050], [0051]; figures 1-9 -----	1-7
X	US 2006/175621 A1 (OHTSUKA KOJI [JP] ET AL) 10 August 2006 (2006-08-10) paragraphs [0060] - [0077], [0083] - [0097]; figures 7-12 -----	8-10, 12, 15-19
A	US 2008/029761 A1 (PENG YI FANG [CN]) 7 February 2008 (2008-02-07) figures 1a-1f -----	1-7, 19
A	DE 10 2011 102032 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 22 November 2012 (2012-11-22) figure 3 -----	9-19
	-/-	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 March 2014

Date of mailing of the international search report

25/03/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Ott, André

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2013/076355

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/020068 A1 (LATTICE POWER JIANGXI CORP [CN]; JIANG FENGYI [CN]; WANG LI [CN]; LIU) 25 February 2010 (2010-02-25) paragraphs [0031] - [0041]; figures -----	1-19
A	DE 10 2009 037186 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 17 February 2011 (2011-02-17) figures 2a-2d -----	11-14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2013/076355

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010258827 A1	14-10-2010	TW 201037773 A	16-10-2010
		US 2010258827 A1	14-10-2010
		US 2012164768 A1	28-06-2012

US 2006175621 A1	10-08-2006	US 2006175621 A1	10-08-2006
		WO 03058726 A1	17-07-2003

US 2008029761 A1	07-02-2008	CN 1905224 A	31-01-2007
		US 2008029761 A1	07-02-2008

DE 102011102032 A1	22-11-2012	CN 103548157 A	29-01-2014
		DE 102011102032 A1	22-11-2012
		EP 2710644 A1	26-03-2014
		WO 2012156121 A1	22-11-2012

WO 2010020068 A1	25-02-2010	CN 102067338 A	18-05-2011
		US 2012037883 A1	16-02-2012
		WO 2010020068 A1	25-02-2010

DE 102009037186 A1	17-02-2011	CN 102473717 A	23-05-2012
		DE 102009037186 A1	17-02-2011
		EP 2465139 A1	20-06-2012
		JP 2013502062 A	17-01-2013
		KR 20120040741 A	27-04-2012
		US 2012193657 A1	02-08-2012
		WO 2011018411 A1	17-02-2011

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L25/075 ADD. H01L27/15 H01L33/00 H01L33/38 H01L33/62 H01L25/16		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2010/258827 A1 (LEE CHIA-EN [TW] ET AL) 14. Oktober 2010 (2010-10-14) Absätze [0035] - [0043], [0050], [0051]; Abbildungen 1-9	1-7
X	US 2006/175621 A1 (OHTSUKA KOJI [JP] ET AL) 10. August 2006 (2006-08-10) Absätze [0060] - [0077], [0083] - [0097]; Abbildungen 7-12	8-10, 12, 15-19
A	US 2008/029761 A1 (PENG YI FANG [CN]) 7. Februar 2008 (2008-02-07) Abbildungen 1a-1f	1-7, 19
A	DE 10 2011 102032 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 22. November 2012 (2012-11-22) Abbildung 3	9-19
	----- -/-	
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
17. März 2014		25/03/2014
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Ott, André

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 2010/020068 A1 (LATTICE POWER JIANGXI CORP [CN]; JIANG FENGYI [CN]; WANG LI [CN]; LIU) 25. Februar 2010 (2010-02-25) Absätze [0031] - [0041]; Abbildungen -----	1-19
A	DE 10 2009 037186 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 17. Februar 2011 (2011-02-17) Abbildungen 2a-2d -----	11-14

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2013/076355

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2010258827	A1	14-10-2010	TW	201037773 A	16-10-2010
			US	2010258827 A1	14-10-2010
			US	2012164768 A1	28-06-2012

US 2006175621	A1	10-08-2006	US	2006175621 A1	10-08-2006
			WO	03058726 A1	17-07-2003

US 2008029761	A1	07-02-2008	CN	1905224 A	31-01-2007
			US	2008029761 A1	07-02-2008

DE 102011102032	A1	22-11-2012	CN	103548157 A	29-01-2014
			DE	102011102032 A1	22-11-2012
			EP	2710644 A1	26-03-2014
			WO	2012156121 A1	22-11-2012

WO 2010020068	A1	25-02-2010	CN	102067338 A	18-05-2011
			US	2012037883 A1	16-02-2012
			WO	2010020068 A1	25-02-2010

DE 102009037186	A1	17-02-2011	CN	102473717 A	23-05-2012
			DE	102009037186 A1	17-02-2011
			EP	2465139 A1	20-06-2012
			JP	2013502062 A	17-01-2013
			KR	20120040741 A	27-04-2012
			US	2012193657 A1	02-08-2012
			WO	2011018411 A1	17-02-2011
