

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6138291号
(P6138291)

(45) 発行日 平成29年5月31日 (2017.5.31)

(24) 登録日 平成29年5月12日 (2017.5.12)

(51) Int.Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 338
H01L 29/786 (2006.01)	H01L 29/78 613Z
G02F 1/1368 (2006.01)	H01L 29/78 618B
	H01L 29/78 617M
	H01L 29/78 616V
請求項の数 1 (全 66 頁) 最終頁に続く	

(21) 出願番号	特願2016-4457 (P2016-4457)	(73) 特許権者	000153878
(22) 出願日	平成28年1月13日 (2016.1.13)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-166586 (P2014-166586) の分割		神奈川県厚木市長谷398番地
原出願日	平成22年9月2日 (2010.9.2)	(72) 発明者	坂倉 真之
(65) 公開番号	特開2016-66100 (P2016-66100A)		栃木県栃木市都賀町升塚161-2 アド
(43) 公開日	平成28年4月28日 (2016.4.28)		バンスト フィルム デバイス インク
審査請求日	平成28年1月15日 (2016.1.15)	(72) 発明者	株式会社内
(31) 優先権主張番号	特願2009-204565 (P2009-204565)		及川 欣聡
(32) 優先日	平成21年9月4日 (2009.9.4)		栃木県栃木市都賀町升塚161-2 アド
(33) 優先権主張国	日本国 (JP)		バンスト フィルム デバイス インク
		(72) 発明者	株式会社内
			山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

画素部は、トランジスタと、容量と、を有し、

前記トランジスタは、基板上のゲート電極と、前記ゲート電極上の第1の絶縁層と、前記第1の絶縁層上の第1の酸化物半導体層と、前記第1の酸化物半導体層と電気的に接続するソース電極及びドレイン電極と、を有し、

前記容量は、前記基板上の第1の導電層と、前記第1の導電層上の前記第1の絶縁層と、前記第1の絶縁層上の第2の導電層と、を有し、

前記第2の導電層の全ては、前記第1の導電層と重なり、

前記ゲート電極と前記第1の導電層とは、透光性を有する膜であり、且つ同一の材料を有し、

前記ソース電極と、前記ドレイン電極と、前記第2の導電層とは、透光性を有する膜であり、且つ同一の材料を有し、

前記容量は、前記第2の導電層と接して重なる第2の酸化物半導体層を有し、

前記第1の酸化物半導体層と前記第2の酸化物半導体層とは分離していることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

10

20

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置などの電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT：Thin Film Transistorともいう）を構成する技術が注目されている。薄膜トランジスタは、ICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。また、金属酸化物は、多様に存在しさまざまな用途に用いられている。例えば、酸化インジウムは、よく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

10

【0004】

金属酸化物の中には、半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャンネル形成領域とする薄膜トランジスタが既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

絶縁表面上に駆動回路を形成する場合、駆動回路に用いる薄膜トランジスタの動作速度は、速い方が好ましい。

【0007】

例えば、薄膜トランジスタのチャンネル長（Lともいう）を短くする、又はチャンネル幅（Wともいう）を広くすると動作速度が高速化される。しかし、チャンネル長Lを短くすると、スイッチング特性、例えばオンオフ比が小さくなる問題がある。また、チャンネル幅Wを広くすると薄膜トランジスタ自身の容量負荷を上昇させる問題がある。

30

【0008】

本発明の一態様は、チャンネル長が短くとも、安定した電気特性を有する薄膜トランジスタを備えた半導体装置を提供することも課題の一とする。

【0009】

また、絶縁表面上に複数の異なる回路を形成する場合、例えば、画素部と駆動回路を同一基板上に形成する場合、画素部に用いる薄膜トランジスタは、優れたスイッチング特性、例えばオンオフ比が大きいことが要求され、駆動回路に用いる薄膜トランジスタは、動作速度が速いことが要求される。特に、表示装置の精細度が高くなればなるほど、表示画像の書き込み時間が短くなるため、駆動回路に用いる薄膜トランジスタを速い動作速度とすることが好ましい。

40

【0010】

また、本発明の一態様は、複雑な工程となることを防ぎ、製造コストの増大を防いで同一基板上に複数種の回路を形成し、複数種の回路の特性にそれぞれ合わせた複数種の薄膜トランジスタを備えた半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0011】

本発明の一態様は、同一基板上に駆動回路及び画素部（表示部ともいう）を有し、駆動回

50

路及び画素部のそれぞれが薄膜トランジスタを有するものである。同一基板上に駆動回路及び画素部を作製することにより製造コストの低減を図る。

【0012】

また、同一基板上に駆動回路用薄膜トランジスタと画素用薄膜トランジスタを形成して液晶ディスプレイなどの表示装置を製造することができる。

【0013】

本発明の一態様において、駆動回路の薄膜トランジスタ（第1の薄膜トランジスタともいう）及び画素部の薄膜トランジスタ（第2の薄膜トランジスタともいう）は、それぞれゲート電極、ソース電極、及びドレイン電極、並びにチャネル形成領域を有する半導体層を含むボトムゲート型構造の薄膜トランジスタであり、画素部の薄膜トランジスタは、ソース電極及びドレイン電極上に重なる半導体層を有する逆コプラナ型（ボトムコンタクト型ともいう）の薄膜トランジスタである。

10

【0014】

本発明の一態様において、画素部の薄膜トランジスタのゲート電極、ソース電極、及びドレイン電極は、透光性を有する導電層により構成され、半導体層は、透光性を有する半導体層により構成される。すなわち、薄膜トランジスタのゲート電極、ソース電極、ドレイン電極、半導体層は透光性を有する。これにより画素部の開口率の向上を図る。

【0015】

また、本発明の一態様において、駆動回路の薄膜トランジスタのゲート電極は、画素部の薄膜トランジスタのゲート電極に用いられる材料より抵抗値の低い材料を用いて構成され、駆動回路の薄膜トランジスタのソース電極及びドレイン電極は、画素部の薄膜トランジスタのソース電極及びドレイン電極より抵抗値の低い材料を用いて構成される。よって、駆動回路における薄膜トランジスタのゲート電極、ソース電極、及びドレイン電極のそれぞれ抵抗値は、画素部における薄膜トランジスタのゲート電極、ソース電極、及びドレイン電極のそれぞれの抵抗値より低い。これにより、駆動回路の動作速度の向上を図る。

20

【0016】

また、本発明の一態様において、駆動回路の薄膜トランジスタは、半導体層とソース電極の間及び半導体層とドレイン電極の間に導電層を有する構造とすることもできる。該導電層の抵抗値は、半導体層よりも低く、ソース電極及びドレイン電極よりも高いことが好ましい。

30

【0017】

また、本発明の一態様において、画素部の薄膜トランジスタは、ドレイン電極層と画素電極層との間に導電層を有する構造である。該導電層は、ドレイン電極層と画素電極層との接触抵抗の低減を図るものであり、ドレイン電極層より低抵抗であることが好ましい。

【0018】

本発明の一態様は、同一基板上に駆動回路が設けられた駆動回路部及び画素が設けられた画素部と、を有し、前記駆動回路部に設けられた第1のゲート電極層と、前記画素部に設けられ、透光性を有する第2のゲート電極層と、前記第1のゲート電極層及び前記第2のゲート電極層の上に設けられたゲート絶縁層と、前記ゲート絶縁層を挟んで前記第1のゲート電極層の上に設けられた第1の酸化物半導体層と、前記第1の酸化物半導体層の一部の上に設けられた第1のソース電極層及び第1のドレイン電極層と、前記画素部における前記ゲート絶縁層の上に設けられ、透光性を有する第2のソース電極層及び第2のドレイン電極層と、前記ゲート絶縁層を挟んで前記第2のゲート電極層の上に設けられ、前記第2のソース電極層の上面及び側面並びに前記第2のドレイン電極層の上面及び側面を覆う第2の酸化物半導体層と、前記第2の酸化物半導体層の一部の上に設けられ、前記第2のソース電極層及び前記第2のドレイン電極層より低抵抗である導電層と、前記第1の酸化物半導体層の一部及び前記第2の酸化物半導体層の一部に接する酸化物絶縁層と、を有する半導体装置である。

40

【0019】

本発明の一態様において、前記第1のソース電極層及び前記第1のドレイン電極層は、モ

50

リブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、及びスカンジウムから選ばれた元素を主成分とする金属材料若しくは合金材料からなる層の単層又は積層でもよい。

【0020】

本発明の一態様において、前記第2のソース電極層及び前記第2のドレイン電極層は、酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、又は酸化亜鉛の層でもよい。

【0021】

本発明の一態様において、前記導電層は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、及びスカンジウムから選ばれた元素を主成分とする金属材料若しくは合金材料からなる層の単層又は積層でもよい。

10

【0022】

本発明の一態様において、前記画素は、容量部を有し、前記容量部は、容量配線及び該容量配線と重なる容量電極を有し、前記容量配線及び前記容量電極は、透光性を有してもよい。

【0023】

本発明の一態様において、前記酸化物絶縁層を挟んで前記第1の酸化物半導体層に重なる導電層を有してもよい。

【0024】

本発明の一態様において、前記第1の酸化物半導体層と、前記第1のソース電極層又は前記第1のドレイン電極層との間に酸化物導電層を有してもよい。

20

【0025】

本発明の一態様において、前記酸化物導電層は、酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、又は酸化亜鉛の層でもよい。

【0026】

本発明の一態様は、同一基板上に駆動回路部及び画素部を形成する半導体装置の作製方法であって、前記駆動回路部における前記基板の上に第1のゲート電極層を形成し、前記画素部における前記基板の上に、透光性を有する材料を用いて第2のゲート電極層を形成し、前記駆動回路部の前記第1のゲート電極層及び前記画素部の前記第2のゲート電極層の上にゲート絶縁層を形成し、前記画素部における前記ゲート絶縁層の上に透光性を有する材料を用いて第2のソース電極層及び第2のドレイン電極層を形成し、前記ゲート絶縁層の上に酸化物半導体膜を形成し、前記酸化物半導体膜の一部をエッチングすることにより、前記ゲート絶縁層を挟んで前記駆動回路部における前記第1のゲート電極層の上に設けられた第1の酸化物半導体層を形成し、且つ前記ゲート絶縁層を挟んで前記画素部における前記第2のゲート電極層の上に設けられ、前記画素部における前記第2のソース電極層及び前記第2のドレイン電極層の上面及び側面を覆う第2の酸化物半導体層を形成し、前記第1の酸化物半導体層及び前記第2の酸化物半導体層を加熱処理により脱水化又は脱水素化し、前記第1の酸化物半導体層及び前記第2の酸化物半導体層を挟んで前記ゲート絶縁層の上に導電膜を形成し、前記導電膜の一部をエッチングすることにより、前記第1の酸化物半導体層の一部の上に第1のソース電極層及び第1のドレイン電極層を形成し、且つ前記第2の酸化物半導体層の一部の上に導電層を形成し、前記第1の酸化物半導体層及び前記第2の酸化物半導体層の上に酸化物絶縁層を形成し、前記酸化物絶縁層の一部に前記導電層に通じるコンタクトホールを形成し、前記酸化物絶縁層の上に透光性を有する導電膜を形成し、前記透光性を有する導電膜の一部をエッチングすることにより画素電極層を形成する半導体装置の作製方法である。

30

40

【0027】

本発明の一態様は、同一基板上に駆動回路部及び画素部を形成する半導体装置の作製方法であって、前記駆動回路部における前記基板の上に第1のゲート電極層を形成し、前記画素部における前記基板の上に、透光性を有する材料を用いて第2のゲート電極層を形成し、前記駆動回路部の前記第1のゲート電極層及び前記画素部の前記第2のゲート電極層の

50

上にゲート絶縁層を形成し、前記画素部における前記ゲート絶縁層の上に透光性を有する材料を用いて第2のソース電極層及び第2のドレイン電極層を形成し、前記ゲート絶縁層の上に酸化物半導体膜を形成し、前記酸化物半導体膜の一部をエッチングすることにより、前記ゲート絶縁層を挟んで前記駆動回路部における前記第1のゲート電極層の上に設けられた第1の酸化物半導体層を形成し、且つ前記ゲート絶縁層を挟んで前記画素部における前記第2のゲート電極層の上に設けられ、前記画素部における前記第2のソース電極層及びドレイン電極層の上面及び側面を覆う第2の酸化物半導体層を形成し、前記第1の酸化物半導体層及び前記第2の酸化物半導体層を加熱処理により脱水化又は脱水素化し、前記第1の酸化物半導体層及び前記第2の酸化物半導体層を挟んで前記ゲート絶縁層の上に酸化物導電膜を形成し、前記酸化物導電膜の上に導電膜を形成し、前記酸化物導電膜及び前記導電膜の一部をエッチングすることにより、前記第1の酸化物半導体層の一部の上に設けられた第1の酸化物導電層及び第2の酸化物導電層を形成し、且つ前記第1の酸化物導電層の一部の上に第1のソース電極層を形成し、且つ前記第2の酸化物導電層の一部の上に第1のドレイン電極層を形成し、且つ前記第2の酸化物半導体層の一部の上に導電層を形成し、前記第1の酸化物半導体層及び前記第2の酸化物半導体層の上に酸化物絶縁層を形成し、前記酸化物絶縁層の一部に前記導電層に通じるコンタクトホールを形成し、前記酸化物絶縁層の上に透光性を有する導電膜を形成し、前記透光性を有する導電膜の一部をエッチングすることにより画素電極層を形成する半導体装置の作製方法である。

10

【0028】

また、本明細書中で用いる酸化物半導体としては、例えば $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Ni、その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、mは整数でない) で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体を In-Ga-Zn-O 系酸化物半導体とよび、その薄膜を In-Ga-Zn-O 系半導体膜ともいう。

20

【0029】

また、酸化物半導体層に適用する金属酸化物として上記の他にも、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体を適用することができる。また上記金属酸化物からなる酸化物半導体層に酸化珪素を含ませてもよい。

30

【0030】

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体層をI型（真性）とするため、脱水化または脱水素化は有効である。

【0031】

また、上記半導体装置の作製工程において、窒素、又は希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は、加熱処理により酸素欠乏型となって低抵抗化、即ちN型化（N⁻化など）し、その後、酸化物半導体層に接する酸化物絶縁層の形成を行い、酸化物半導体層を酸素過剰な状態とすることで、酸化物半導体層を高抵抗化、即ちI型化させることができる。これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

40

【0032】

なお、上記半導体装置の作製工程において、窒素、又は希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下での350℃以上、好ましくは400℃以上700℃以下、さら

50

に好ましくは、 420°C 以上 570°C 以下の加熱処理を行い、酸化物半導体層の含有水分などの不純物を低減する。また、その後の水(H_2O)の再含浸を防ぐことができる。

【0033】

脱水化又は脱水素化の熱処理は、 H_2O の濃度が 20 ppm 以下の窒素雰囲気で行うことが好ましい。また、 H_2O の濃度が 20 ppm 以下の超乾燥空気中で行ってもよい。

【0034】

脱水化又は脱水素化を行った酸化物半導体層は、昇温脱離分光法(TDSともいう)で 450°C まで測定を行っても水の2つのピーク、少なくとも 300°C 付近に現れる1つのピークは検出されない。従って、脱水化又は脱水素化が行われた酸化物半導体層を用いた薄膜トランジスタに対してTDSで 450°C まで測定を行っても少なくとも 300°C 付近に現れる水のピークは検出されない。

10

【0035】

そして、上記半導体装置の作製工程において、酸化物半導体層を大気に触れさせることなく、酸化物半導体層に水又は水素が再び混入させないことが重要である。脱水化又は脱水素化を行い、酸化物半導体層を低抵抗化、即ちN型化(N^- 化など)させた後、酸素を供給してI型とし、高抵抗化させた酸化物半導体層を用いて薄膜トランジスタを作製すると、薄膜トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。薄膜トランジスタのゲート電圧が 0 V にできるだけ近い正のしきい値電圧でチャネルが形成されることが望ましい。なお、薄膜トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が 0 V でもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。例えば、アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧(V_{th})が重要である。例えば、薄膜トランジスタの電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。また、しきい値電圧値が高い薄膜トランジスタの場合には、駆動電圧が低い状態ではTFETとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。例えば、nチャネル型の薄膜トランジスタの場合、ゲート電極に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

20

30

【0036】

また、加熱温度 T から温度を下げるガス雰囲気は、加熱温度 T まで昇温したガス雰囲気と異なるガス雰囲気に切り替えてもよい。例えば、脱水化又は脱水素化を行った同じ炉で大気に触れさせることなく、炉の中を高純度の酸素ガス又は N_2O ガスで満たして冷却を行う。

【0037】

脱水化又は脱水素化を行う加熱処理によって膜中の含有水分を低減させた後、水分を含まない雰囲気(露点が -40°C 以下、好ましくは -60°C 以下)下で徐冷(又は冷却)した酸化物半導体膜を用いて、薄膜トランジスタの電気特性を向上させるとともに、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

40

【0038】

本明細書では、窒素、又は希ガス(アルゴン、ヘリウムなど)の不活性気体雰囲気下での加熱処理を脱水化又は脱水素化のための加熱処理という。本明細書では、この加熱処理によって H_2 を脱離させていることのみを脱水素化と呼んでいるわけではなく、 H 、 OH などを脱離することを含めて脱水化又は脱水素化と便宜上いうこととする。

【0039】

上記半導体装置の作製工程において、窒素、又は希ガス(アルゴン、ヘリウムなど)の不活性気体雰囲気下での加熱処理を行った場合、酸化物半導体層は、加熱処理により酸素欠

50

乏型となって低抵抗化、即ちN型化（N⁻化など）される。その結果、ソース電極層と重なる酸素欠乏型である高抵抗ソース領域（HRS（High Resistance Source）領域ともいう）が形成され、ド레인電極層と重なる酸素欠乏型である高抵抗ド레인領域（HRD（High Resistance Drain）領域ともいう）が形成される。

【0040】

具体的には、高抵抗ド레인領域のキャリア濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上であり、少なくともチャネル形成領域のキャリア濃度（ $1 \times 10^{18} / \text{cm}^3$ 未満）よりも高い。なお、本明細書のキャリア濃度は、室温にてHall効果測定から求めたキャリア濃度の値を指す。

10

【0041】

また、酸化物半導体層とソース電極及びド레인電極の間に、酸化物導電層を形成してもよい。酸化物導電層は、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。例えば、酸化亜鉛、酸化亜鉛アルミニウム、酸化亜鉛アルミニウム、酸化亜鉛ガリウムなどを用いることができる。酸化物導電層は、低抵抗ド레인領域（LRN（Low Resistance N-type conductivity）領域、LRD（Low Resistance Drain）領域ともいう）又は低抵抗ソース領域（LRN（Low Resistance N-type conductivity）領域、LRS（Low Resistance Source）領域ともいう）としても機能する。具体的には、低抵抗ド레인領域のキャリア濃度は、高抵抗ド레인領域（HRD領域）よりも大きく、例えば $1 \times 10^{20} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲内であると好ましい。酸化物導電層を酸化物半導体層とソース電極及びド레인電極の間に設けることで、接触抵抗を低減でき、トランジスタの高速動作を実現することができるため、周辺回路（駆動回路）の周波数特性を向上させることができる。

20

【0042】

酸化物導電層とソース電極及びド레인電極を形成するための導電層は、連続成膜が可能である。

【0043】

そして、脱水化又は脱水素化した酸化物半導体層の少なくとも一部を酸素過剰な状態とすることで、酸化物半導体層をさらに高抵抗化、即ちI型化させてチャネル形成領域を形成する。なお、脱水化又は脱水素化した酸化物半導体層を酸素過剰な状態とする方法としては、脱水化又は脱水素化した酸化物半導体層に接するように、例えばスパッタリング法により、酸化物絶縁層を形成する方法などが挙げられる。また、該酸化物絶縁層形成後の加熱処理（例えば酸素を含む雰囲気での加熱処理）、不活性ガス雰囲気下で加熱した後に酸素雰囲気で冷却する処理、又は超乾燥エア（露点が -40°C 以下、好ましくは -60°C 以下）で冷却する処理などを行ってもよい。

30

【0044】

また、脱水化又は脱水素化した酸化物半導体層の少なくとも一部（ゲート電極層と重なる部分）をチャネル形成領域とするため、選択的に酸素過剰な状態とすることで、酸化物半導体層を高抵抗化、即ちI型化させることもできる。例えば脱水化又は脱水素化した酸化物半導体層上に接してTiなどの金属電極からなるソース電極層やド레인電極層を形成し、ソース電極層やド레인電極層に重ならない酸化物半導体層の露出領域を選択的に酸素過剰な状態としてチャネル形成領域を形成することができる。酸化物半導体層を選択的に酸素過剰な状態とする場合、ソース電極層に重なる高抵抗ソース領域と、ド레인電極層に重なる高抵抗ド레인領域とが形成され、高抵抗ソース領域と高抵抗ド레인領域との間の領域がチャネル形成領域となる。即ち、チャネル形成領域が、ソース電極層及びド레인電極層の間に自己整合的に形成される。

40

【0045】

本発明の一態様により、電気特性が良好で信頼性の高い薄膜トランジスタを有する半導体

50

装置を作製し、提供することが可能となる。

【0046】

なお、ドレイン電極層（及びソース電極層）と重畳した酸化物半導体層において高抵抗ドレイン領域（及び高抵抗ソース領域）を形成することにより、駆動回路の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、トランジスタのドレイン電極層から高抵抗ドレイン領域、チャンネル形成領域にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層に高電源電位 V_{DD} を供給する配線に接続して動作させる場合、ゲート電極層とドレイン電極層との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じず、トランジスタの絶縁耐圧を向上させることができる。

10

【0047】

また、高抵抗ドレイン領域（及び高抵抗ソース領域）を形成することにより、駆動回路のリーク電流の低減を図ることができる。具体的には、高抵抗ソース領域及び高抵抗ドレイン領域を形成することで、ドレイン電極層とソース電極層との間に流れるトランジスタのリーク電流の経路として、ドレイン電極層、ドレイン電極層側の高抵抗ドレイン領域、チャンネル形成領域、ソース電極層側の高抵抗ソース領域、ソース電極層の順となる。このときチャンネル形成領域では、ドレイン電極層側の高抵抗ドレイン領域からチャンネル形成領域に流れるリーク電流を、トランジスタがオフ状態のときに高抵抗となるゲート絶縁層とチャンネル形成領域の界面近傍に集中させることができ、バックチャンネル部（ゲート電極層から離れているチャンネル形成領域の表面の一部）でのリーク電流を低減することができる。

20

【0048】

また、ソース電極層に重なる高抵抗ソース領域と、ドレイン電極層に重なる高抵抗ドレイン領域は、ゲート電極層の幅にもよるが、ゲート絶縁層を介してゲート電極層の一部と重なる構造にすることにより、より効果的にドレイン電極層の端部近傍の電界強度を緩和させることができる。

【0049】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0050】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

30

【0051】

また、液晶表示装置において、同一基板上に画素部と駆動回路を形成する場合、駆動回路において、インバータ回路、NAND回路、NOR回路、ラッチ回路といった論理ゲートを構成する薄膜トランジスタや、センスアンプ、定電圧発生回路、VCOといったアナログ回路を構成する薄膜トランジスタは、ソース電極とドレイン電極間に正極性のみ、若しくは負極性のみ電圧が印加される。従って、絶縁耐圧が要求される一方の高抵抗ドレイン領域の幅をもう一方の高抵抗ソース領域の幅よりも広く設計してもよい。また、高抵抗ソース領域、及び高抵抗ドレイン領域がゲート電極層と重なる幅を広くしてもよい。

40

【0052】

また、駆動回路に配置される薄膜トランジスタはシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0053】

また、液晶表示装置は、液晶の劣化を防ぐため、交流駆動が行われている。この交流駆動により、一定の期間毎に画素電極層に印加される信号電位の極性が正極性或いは負極性に反転する。画素電極層に接続するTFTは、一対の電極が交互にソース電極層とドレイン電極層の役割を果たす。本明細書では、便宜上、画素の薄膜トランジスタの一方をソース電極層と呼び、もう一方をドレイン電極層というが、実際には、交流駆動の際に一方の電

50

極が交互にソース電極層とドレイン電極層として機能する。また、リーク電流の低減を図るため、画素に配置する薄膜トランジスタのゲート電極層の幅を駆動回路の薄膜トランジスタのゲート電極層の幅よりも狭くしてもよい。また、リーク電流の低減を図るため、画素に配置する薄膜トランジスタのゲート電極層がソース電極層又はドレイン電極層と重ならないように設計してもよい。

【0054】

また、薄膜トランジスタは静電気などにより破壊されやすいため、画素部の薄膜トランジスタの保護用の保護回路をゲート線又はソース線と同一基板上に設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

【発明の効果】

10

【0055】

本発明の一態様により、安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【図面の簡単な説明】

【0056】

【図1】半導体装置を説明する図。

【図2】半導体装置の作製方法を説明する図。

【図3】半導体装置の作製方法を説明する図。

【図4】半導体装置の作製方法を説明する図。

20

【図5】半導体装置を説明する図。

【図6】半導体装置を説明する図。

【図7】半導体装置の作製方法を説明する図。

【図8】半導体装置の作製方法を説明する図。

【図9】半導体装置を説明する図。

【図10】半導体装置のブロック図を説明する図。

【図11】信号線駆動回路の構成を説明する図。

【図12】シフトレジスタの構成を示す回路図。

【図13】パルス出力回路の構成を説明する図とシフトレジスタの動作を説明するタイミングチャート。

30

【図14】半導体装置を説明する図。

【図15】半導体装置を説明する図。

【図16】電子書籍の一例を示す外観図。

【図17】テレビジョン装置及びデジタルフォトフレームの例を示す外観図。

【図18】遊技機の例を示す外観図。

【図19】携帯型のコンピュータ及び携帯電話機の一例を示す外観図。

【図20】半導体装置を説明する図。

【図21】半導体装置を説明する図。

【図22】半導体装置を説明する図。

【図23】半導体装置を説明する図。

40

【図24】半導体装置を説明する図。

【図25】半導体装置を説明する図。

【図26】半導体装置を説明する図。

【図27】半導体装置を説明する図。

【図28】半導体装置を説明する図。

【図29】半導体装置を説明する図。

【図30】半導体装置を説明する図。

【図31】半導体装置を説明する図。

【図32】半導体装置を説明する図。

【図33】半導体装置を説明する図。

50

【図 3 4】半導体装置を説明する図。

【発明を実施するための形態】

【0057】

実施の形態について、図面を用いて詳細に説明する。但し、以下の説明に限定されず、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0058】

なお、各実施の形態に示す内容は、互いに適宜組み合わせ、又は置き換えを行うことができる。

10

【0059】

(実施の形態 1)

本実施の形態の半導体装置の構造について図 1 を用いて説明する。図 1 は本実施の形態の半導体装置の構造の一例を示す断面図である。

【0060】

図 1 に示す半導体装置は、基板 400 上に駆動回路及び画素部を有し、駆動回路は、薄膜トランジスタ 410 を有し、画素は、薄膜トランジスタ 420 を有する。

【0061】

薄膜トランジスタ 410 は、基板 400 上に設けられたゲート電極層 411 と、ゲート電極層 411 上に設けられたゲート絶縁層 402 と、ゲート絶縁層 402 を挟んでゲート電極層 411 上に設けられ、少なくともチャネル形成領域 413、高抵抗ソース領域 414a 及び高抵抗ドレイン領域 414b を有する酸化物半導体層 412 と、酸化物半導体層 412 の上に設けられたソース電極層 415a と、及びドレイン電極層 415b と、を含む。

20

【0062】

ゲート電極層 411 は、低抵抗であることが好ましく、ゲート電極層としては、例えば金属材料を用いることが好ましい。

【0063】

ゲート絶縁層 402 は、例えば酸化物絶縁層及び窒化物絶縁層のいずれか一つの単層又はいずれか一つ若しくは複数の積層により構成される。ゲート絶縁層 402 は透光性を有することが好ましい。

30

【0064】

高抵抗ソース領域 414a は、ソース電極層 415a の下面に接して自己整合的に形成される。また、高抵抗ドレイン領域 414b は、ドレイン電極層 415b の下面に接して自己整合的に形成される。また、チャネル形成領域 413 は、高抵抗ソース領域 414a 及び高抵抗ドレイン領域 414b よりも高抵抗の領域 (I 型領域) である。

【0065】

ソース電極層 415a 及びドレイン電極層 415b は、低抵抗であることが好ましく、例えばソース電極層 415a 及びドレイン電極層 415b として金属材料を用いることが好ましい。

40

【0066】

また、駆動回路は、ゲート電極層又はゲート電極層と同じ導電膜を用いて形成された導電層と、ソース電極層若しくはドレイン電極層又はソース電極層若しくはドレイン電極層と同じ導電膜を用いて形成された導電層とがゲート絶縁層に設けられた開口部を介して電氣的に接続された構造とすることもできる。図 1 に示す半導体装置は、ゲート電極層 411 と同一導電膜を用いて形成された導電層 457 と、導電層 457 の上に設けられ、ゲート電極層 421 と同一導電膜により形成された導電層 458 を有し、導電層 458 の上にゲート絶縁層 402 が設けられ、ゲート絶縁層 402 の上に設けられ、ゲート絶縁層 402 に設けられた開口部を介して導電層 457 に電氣的に接続された導電層 459 を有する。

50

導電層４５９は、ソース電極層４１５a及びドレイン電極層４１５bと同一導電膜により形成される。これにより良好なコンタクトを得ることができ、接触抵抗を低減することができる。よって開口の数の低減、開口の数の低減による駆動回路の占有面積の縮小を図ることができる。

【００６７】

薄膜トランジスタ４２０は、基板４００上に設けられたゲート電極層４２１と、ゲート電極層４２１上に設けられたゲート絶縁層４０２と、ゲート絶縁層４０２上にそれぞれ設けられたソース電極層４０９a及びドレイン電極層４０９bと、ソース電極層４０９a及びドレイン電極層４０９b並びにゲート絶縁層４０２の上に設けられた酸化物半導体層４２２と、を含む。

10

【００６８】

ゲート電極層４２１としては、高開口率を有する表示装置を実現するために透光性を有する材料を用い、ゲート電極層４２１は、例えば透光性を有する膜を用いて形成される。

【００６９】

また、ソース電極層４０９a及びドレイン電極層４０９bとしては、高開口率を有する表示装置を実現するために透光性を有する材料を用い、ソース電極層４０９a及びドレイン電極層４０９bは、例えば透光性を有する膜を用いて形成される。

【００７０】

また、本明細書において、透光性を有する膜とは、可視光の透過率が７５～１００％になるような膜厚を有する膜を指し、その材料が導電性を有する場合は透明の導電膜ともいう。また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、その他の電極層や、配線層を、可視光に対して半透明の導電膜を用いて形成してもよい。可視光に対して半透明とは、可視光の透過率が５０～７５％であることを指す。

20

【００７１】

なお、図１に示す薄膜トランジスタ４２０は、ソース電極層４０９a及びドレイン電極層４０９bの上面及び側面が酸化物半導体層４２２に覆われた構造である。ただしこれに限定されず、薄膜トランジスタ４２０は、ソース電極層４０９a及びドレイン電極層４０９bの一部の上に酸化物半導体層４２２を有する構造にすることもできる。

【００７２】

また、画素部は、ドレイン電極層４０９bに電氣的に接続された導電層４４２を有する。図１に示す導電層４４２は、酸化物半導体層４２２の一部の上に設けられている。

30

【００７３】

導電層４４２は、低抵抗であることが好ましく、例えば導電層４４２として金属材料を用いることが好ましい。

【００７４】

また、酸化物半導体層４２２は、領域４２８を有する。領域４２８は、導電層４４２の下面に接して自己整合的に形成されている。領域４２８は、加熱処理により酸素欠乏型となって低抵抗化、即ちN型化（N⁻化など）された領域であり、高抵抗ソース領域又は高抵抗ドレイン領域と同じ酸素欠乏型の領域である。よって、領域４２８のキャリア濃度は、高抵抗ソース領域又は高抵抗ドレイン領域と同じく、チャンネル形成領域のキャリア濃度より高い。なお、領域４２８を高抵抗領域ともいう。

40

【００７５】

また、画素部は、容量４５４を有する構造にすることもできる。容量４５４は、基板４００上に設けられた導電層４３８と、ゲート絶縁層４０２を挟んで導電層４３８の上に設けられた導電層４３９と、導電層４３９の上に設けられた酸化物半導体層４３５を有する。容量４５４は、画素部の保持容量としての機能を有する。

【００７６】

容量４５４を、全て透光性を有する材料により構成することで画素の開口率を向上させることができる。よって、導電層４３８、導電層４３９、及び酸化物半導体層４３５は、透光性を有することが好ましい。

50

【0077】

容量454が透光性を有することは、開口率を向上させる上で重要である。特に10インチ以下の小型の液晶表示パネルにおいて、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、高い開口率を実現することができる。また、薄膜トランジスタ420及び容量454の構成部材に透光性を有する膜を用いることで、広視野角を実現するため、一つの画素を複数のサブピクセルに分割しても高い開口率を実現することができる。即ち、高密度の薄膜トランジスタ群を配置しても開口率を大きくとることができ、表示領域の面積を十分に確保することができる。例えば、一つの画素内に2～4個のサブピクセルを有する場合、薄膜トランジスタが透光性を有していることに加え、それぞれの保持容量も透光性を有するため、開口率を向上させることができる。

10

【0078】

また、図1に示す半導体装置は、駆動回路及び画素部において、少なくとも酸化物半導体層412の一部及び酸化物半導体層422の一部に接する酸化物絶縁層416を有する。

【0079】

また、図1に示す半導体装置は、駆動回路において、酸化物絶縁層416の上に、チャネル形成領域413に重なる導電層417を有する。例えば、導電層417をゲート電極層411と電氣的に接続し、同電位とすることで、ゲート電極層411と導電層417の間に配置された酸化物半導体層412に上下からゲート電圧を印加することができる。また、ゲート電極層411と導電層417を異なる電位、例えば固定電位、GND、0Vとする場合には、TFTの電気特性、例えばしきい値電圧などを制御することができる。

20

【0080】

さらに、図1に示す半導体装置は、画素部において、酸化物絶縁層416の上に設けられ、酸化物絶縁層416に設けられた開口部を介して導電層442に接する画素電極層427を有する。

【0081】

なお、容量454は、導電層438を設けずにゲート絶縁層402の上に設けられた導電層439と、導電層439の上に設けられた酸化物半導体層435と、酸化物半導体層435の上に設けられた酸化物絶縁層416と、画素電極層427により構成することもできる。

【0082】

なお、酸化物絶縁層416の上に窒化物絶縁層を設けてもよい。窒化物絶縁層は、酸化物絶縁層416の下方に設けられるゲート絶縁層402又は下地となる絶縁膜と接する構成とすることが好ましく、基板の側面近傍からの水分や、水素イオンや、OH⁻などの不純物が侵入することをブロックする。特に、酸化物絶縁層416と接するゲート絶縁層402又は下地となる絶縁膜を窒化珪素膜とすると有効である。即ち、酸化物半導体層412及び酸化物半導体層422の下面、上面、及び側面を囲むように窒化珪素膜を設けると、表示装置の信頼性が向上する。

30

【0083】

また、酸化物絶縁層416と画素電極層427の間に平坦化絶縁層を設けてもよい。酸化物絶縁層416の上に窒化物絶縁層を有する場合には、窒化物絶縁層の上に平坦化絶縁層を設けることが好ましい。平坦化絶縁層としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また、上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を平坦化絶縁層として用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層を形成してもよい。

40

【0084】

なお、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。また、シロキサン系樹脂は、置換基としては有機基（例えばアルキル基やアリール基）を用いてもよい。また、有機基はフルオロ基を有してい

50

もよい。

【0085】

平坦化絶縁層の形成法としては、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）等の方法、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いることができる。

【0086】

なお、酸化物半導体層412及び酸化物半導体層422には、不純物である水分などを低減する加熱処理（脱水化又は脱水素化のための加熱処理）が行われる。脱水化又は脱水素化のための加熱処理及び徐冷を行った後、酸化物絶縁層として酸化物半導体層に接して酸化物絶縁膜の形成などを行って酸化物半導体層のキャリア濃度を低減することが、薄膜トランジスタ410及び薄膜トランジスタ420の電気特性の向上及び信頼性の向上に繋がる。

10

【0087】

なお、図1に示す半導体装置では、画素部の薄膜トランジスタより駆動回路部の薄膜トランジスタの方が高速動作を求められるため、薄膜トランジスタ410のチャンネル長を薄膜トランジスタ420のチャンネル長より短くしてもよい。このとき、例えば薄膜トランジスタ410のチャンネル長は1 μ m～5 μ m程度であることが好ましく、薄膜トランジスタ420のチャンネル長は5 μ m～20 μ mであることが好ましい。

【0088】

20

以上のように、本実施の形態の半導体装置の一例は、同一基板上に第1の薄膜トランジスタ（薄膜トランジスタ410）を有する駆動回路及び第2の薄膜トランジスタ（薄膜トランジスタ420）を有する画素部を有する構造であり、第2の薄膜トランジスタの電極は、透光性を有する材料により構成され、第1の薄膜トランジスタの電極は、透光性を有する材料より抵抗値の低い材料を用いて構成される。これにより、画素部の開口率を向上させることができ、また駆動回路の動作速度を向上させることができる。また、同一基板上に駆動回路及び画素部を設けることにより、駆動回路と画素部を接続させる配線数の低減及び配線の長さの短縮ができるため、半導体装置の小型化、及び低コスト化が可能である。

【0089】

30

また、本実施の形態の半導体装置の一例は、駆動回路の薄膜トランジスタにおいて、酸化物絶縁層の上に、チャンネル形成領域と重なり透光性を有する材料により構成された導電層を有する構造にすることができ、これにより薄膜トランジスタの閾値電圧を制御することができる。

【0090】

また、本実施の形態の半導体装置の一例は、画素部の画素電極が導電層（導電層442）を介して画素部の薄膜トランジスタのドレイン電極に電気的に接続された構成である。これにより、画素電極と薄膜トランジスタのドレイン電極との接触抵抗を低減することができる。

【0091】

40

また、本実施の形態の半導体装置の一例は、画素部において、画素電極層が導電層を介して酸化物半導体層に電気的に接続された構成である。これにより、画素電極層と酸化物半導体層の間の接触抵抗を低減することができる。

【0092】

次に、図2乃至図4を用い、図1に示す半導体装置の作製方法の一例を説明する。

【0093】

まず、基板400を準備し、基板400の上に導電膜を形成した後、第1のフォトリソグラフィ工程により導電膜の一部の上にレジストマスクを形成し、該レジストマスクを用いて導電膜をエッチングすることにより、ゲート電極層411を形成する（図2（A）参照）。

50

【0094】

基板400としては、絶縁表面を有し、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。基板400としては、例えばガラス基板などを用いることができる。

【0095】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いるとよい。また、ガラス基板としては、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられる。なお、ホウ酸と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 よりBaOを多く含むガラス基板を用いることが好ましい。

10

【0096】

なお、上記のガラス基板に代えて、基板400としてセラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いてもよい。他にも、基板400として結晶化ガラスなどを用いることができる。本実施の形態で示す半導体装置は透過型であるので、基板400としては透光性を有する基板を用いるが、反射型である場合は基板400として非透光性の金属基板等の基板を用いてもよい。

【0097】

また、下地膜となる絶縁膜を基板400とゲート電極層411の間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一つの膜又は複数の膜による積層膜により形成することができる。

20

【0098】

ゲート電極層411を形成するための導電膜の材料としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いることができ、ゲート電極層411、導電層457を形成するための導電膜は、これらの材料のいずれか一つ又は複数を含む膜の単層膜又は積層膜により形成することができる。

【0099】

また、ゲート電極層411を形成するための導電膜としては、例えばチタン膜、該チタン膜上に設けられたアルミニウム膜、及び該アルミニウム膜上に設けられたチタン膜の三層の積層膜、又はモリブデン膜、該モリブデン膜上に設けられたアルミニウム膜、及び該アルミニウム膜上に設けられたモリブデン膜の三層の積層膜を用いることが好ましい。勿論、金属導電膜として単層膜、2層の積層膜、又は4層以上の積層膜を用いてもよい。また、導電膜として、チタン膜、アルミニウム膜及びチタン膜の積層導電膜を用いた場合は、塩素ガスを用いたドライエッチング法でエッチングすることができる。

30

【0100】

また、駆動回路にゲート電極層411と同じ材料、同じフォトリソグラフィ工程により導電層457を形成する。導電層457は、端子電極又は端子配線としての機能を有する。

【0101】

次に、レジストマスクを除去し、ゲート電極層411及び導電層457の上に導電膜を形成し、第2のフォトリソグラフィ工程により、導電膜の一部の上にレジストマスクを形成し、該レジストマスクを用いて導電膜をエッチングすることにより、ゲート電極層421を形成する(図2(B)参照)。

40

【0102】

ゲート電極層421を形成するための導電膜としては、可視光に対して透光性を有する導電材料、例えばIn-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-Sn-O系、In-O系、Sn-O系、Zn-O系の導電性材料を適用することができ、該導電膜の膜厚を50nm以上300nm以下の範

50

囲内とする。ゲート電極層 421 に用いる金属酸化物膜の成膜方法としては、スパッタリング法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、スパッタリング法を用いる場合、 SiO_2 を 2 重量%以上 10 重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害する SiO_x ($x > 0$) を含ませてもよい。これにより、後の工程で行う脱水化又は脱水素化のための加熱処理の際に結晶化してしまうのを抑制することができる。

【0103】

また、ゲート電極層 421 と同じ材料、同じ工程により駆動回路部には導電層 458 を、画素部には導電層 438 を形成する。導電層 458 は、端子電極又は端子配線としての機能を有し、導電層 438 は、容量配線としての機能を有する。また、画素部だけでなく駆動回路に容量が必要な場合には、駆動回路にも容量配線を形成する。

10

【0104】

次に、レジストマスクを除去し、ゲート電極層 411、導電層 457、導電層 458、ゲート電極層 421、導電層 438 上にゲート絶縁層 402 を形成する。

【0105】

ゲート絶縁層 402 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、酸化窒化珪素層を形成する場合、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマ CVD 法により酸化窒化珪素層を形成すればよい。また、ゲート絶縁層 402 の膜厚は、100 nm 以上 500 nm 以下とし、積層の場合は、例えば、膜厚 50 nm 以上 200 nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上に膜厚 5 nm 以上 300 nm 以下の第 2 のゲート絶縁層の積層とする。また、ゲート絶縁層 402 として、ボロンがドーパされたシリコンターゲット材を用いて成膜された酸化シリコン膜を用いることにより不純物（水分や、水素イオンや、 OH^- など）の侵入を抑制することができる。

20

【0106】

本実施の形態では、プラズマ CVD 法により窒化珪素層である膜厚 200 nm 以下のゲート絶縁層 402 を形成する。

【0107】

次に、ゲート絶縁層 402 上に、導電膜を形成し、第 3 のフォトリソグラフィ工程により導電膜の一部の上にレジストマスクを形成し、該レジストマスクを用いて導電膜をエッチングすることにより、ソース電極層 409a 及びドレイン電極層 409b を形成する。

30

【0108】

ソース電極層 409a 及びドレイン電極層 409b を形成するための導電膜としては、例えば、可視光に対して透光性を有する導電材料、例えば In-Sn-O 系、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物導電膜を適用することができ、該導電膜の膜厚を、50 nm 以上 300 nm 以下の範囲内で適宜選択する。また、該導電膜の成膜方法として、スパッタリング法を用いる場合、 SiO_2 を 2 重量%以上 10 重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害する SiO_x ($x > 0$) を含ませ、後の工程で行う脱水化又は脱水素化のための加熱処理の際に後に形成される酸化物導電層が結晶化してしまうのを抑制することが好ましい。

40

【0109】

また、画素部に、ソース電極層 409a 及びドレイン電極層 409b と同じ材料、同じ工程により導電層 439 を形成する。導電層 439 は、容量電極としての機能を有する。また、画素部だけでなく駆動回路に容量が必要な場合には、駆動回路にも容量配線を形成する。

【0110】

次に、レジストマスクを除去し、ゲート絶縁層 402、ソース電極層 409a、ドレイン

50

電極層 409b、及び導電層 439 上に、膜厚 2 nm 以上 200 nm 以下の酸化物半導体膜 430 を形成する。酸化物半導体膜 430 の形成後に脱水化又は脱水素化のための加熱処理を行っても、後に形成される酸化物半導体層を非晶質な状態とするため、酸化物半導体膜 430 の膜厚を 50 nm 以下と薄くすることが好ましい。酸化物半導体膜 430 の膜厚を薄くすることで、酸化物半導体膜 430 の形成後に加熱処理した場合に、後に形成される酸化物半導体層が結晶化してしまうのを抑制することができる。

【0111】

なお、酸化物半導体膜 430 をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

10

【0112】

酸化物半導体膜 430 としては、In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-Sn-O 系、In-O 系、Sn-O 系、Zn-O 系の酸化物半導体膜を用いる。本実施の形態では、In-Ga-Zn-O 系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。また、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により酸化物半導体膜 430 を形成することができる。また、スパッタリング法を用いる場合、SiO₂ を 2 重量% 以上 10 重量% 以下含むターゲットを用いて成膜を行い、酸化物半導体膜に結晶化を阻害する SiO_x (x > 0) を含ませてもよい。これにより、後の工程で行う脱水化又は脱水素化のための加熱処理の際に、後に形成される酸化物半導体層が結晶化してしまうのを抑制することができる。

20

【0113】

次に、酸化物半導体膜 430 上に第 4 のフォトリソグラフィ工程により、レジストマスクを形成し、エッチングにより酸化物半導体膜 430 及びゲート絶縁層 402 の不要な部分を除去して、ゲート絶縁層 402 に、導電層 457 に達するコンタクトホール 426 を形成する（図 2 (C) 参照。）。

30

【0114】

このように、酸化物半導体膜をゲート絶縁層全面に積層した状態で、ゲート絶縁層にコンタクトホールを形成する工程を行うと、ゲート絶縁層表面にレジストマスクが直接接しないため、ゲート絶縁層表面の汚染（不純物等の付着など）を防ぐことができる。よって、ゲート絶縁層と酸化物半導体膜との界面状態を良好とすることができるため、信頼性向上につながる。

【0115】

また、必ずしもこれに限定されず、ゲート絶縁層に直接レジストパターンを形成してコンタクトホールの開口を行ってもよい。その場合には、レジストを剥離した後で熱処理を行い、ゲート絶縁膜表面の脱水化、脱水素化、脱水酸基化の処理を行うことが好ましい。例えば、不活性ガス雰囲気（窒素、又はヘリウム、ネオン、アルゴン等）下、酸素雰囲気下において加熱処理（例えば 400 °C 以上 700 °C 以下）を行い、ゲート絶縁層内に含まれる水素及び水などの不純物を除去すればよい。

40

【0116】

次に、第 5 のフォトリソグラフィ工程によりレジストマスクを形成し、該レジストマスクを用いて、選択的にエッチングを行うことにより、酸化物半導体膜 430 を島状の酸化物半導体層に加工する。

【0117】

次に、レジストマスクを除去し、酸化物半導体層の脱水化又は脱水素化を行う。脱水化又

50

は脱水素化を行う第1の加熱処理の温度は、例えば400℃以上700℃以下、好ましくは425℃以上とする。なお、425℃以上であれば熱処理時間は1時間以下でよいが、425℃未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に上部に酸化物半導体層が形成された基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431、432を得る（図3（A）参照。）。本実施の形態では、酸化物半導体層の脱水化又は脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100℃以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下において脱水化又は脱水素化を行う。

10

【0118】

酸化物半導体層を400℃から700℃の温度で熱処理することで、酸化物半導体層の脱水化、脱水素化が図られ、その後の水（ H_2O ）の再含浸を防ぐことができる。

【0119】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、若しくはアルゴン等の希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

20

【0120】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。GRTA装置を用いる場合は、例えば加熱温度を450℃以上700℃以下とすることが好ましい。

30

【0121】

また、第1の加熱処理の条件又は酸化物半導体層の材料によっては、結晶化し、微結晶膜又は多結晶膜となる場合もある。また、微結晶膜の場合は、結晶成分の全体に占める割合が80%以上（好ましくは90%以上）であって、隣接する微結晶粒同士が接するように充填されているものが好ましい。また、酸化物半導体層の全てが非晶質状態となる場合もある。

【0122】

また、第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行い、レジストマスクを形成し、該レジストマスクを用いて選択的にエッチングを行うことにより酸化物半導体膜を酸化物半導体層に加工する。

40

【0123】

酸化物半導体層に対する脱水化、脱水素化の熱処理は、酸化物半導体層成膜後、駆動回路の酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に酸化物半導体層を形成した後、のいずれで行ってもよい。

【0124】

また、酸化物半導体膜の成膜前に、不活性ガス雰囲気（窒素、又はヘリウム、ネオン、アルゴン等の希ガス）下、酸素雰囲気において加熱処理（例えば400℃以上700℃未満

50

）を行い、ゲート絶縁層内に含まれる水素及び水などの不純物を除去してもよい。

【0125】

なお、ここでの酸化物半導体膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0126】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。

【0127】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、弗化硫黄（ SF_6 ）、弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

10

【0128】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0129】

ウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液を用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

20

【0130】

また、ウェットエッチング後のエッチング液は、エッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0131】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

30

【0132】

ここでは、In、Ga、及びZnを含む酸化物半導体ターゲット（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol数比]、 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [atom比]）を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流（DC）電源0.5kW、アルゴン及び酸素（アルゴン：酸素=30sccm：20sccm 酸素流量比率40%）雰囲気下で酸化物半導体膜430を成膜する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系膜の膜厚は、5nm～200nmとする。また、酸化物半導体ターゲット材としては、例えば $\text{In}:\text{Ga}:\text{ZnO}=1:1:1$ 、又は $\text{In}:\text{Ga}:\text{ZnO}=1:1:4$ などのターゲット材を用いることもできる。

40

【0133】

スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのパイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0134】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元スパッタリング装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

50

【0135】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタリング装置がある。

【0136】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

【0137】

なお、図3(A)に示す酸化物半導体層432は、ソース電極層409a及びドレイン電極層409bの上面及び側面を覆うように形成される。これにより、酸化物半導体膜とソース電極層409a及びドレイン電極層409bとのエッチングの選択比を考慮せずに酸化物半導体膜のエッチングを行うことができる。また、これに限定されず、ソース電極層409a及びドレイン電極層409bがエッチングされない条件であれば、ソース電極層409a及びドレイン電極層409bの一部の上に酸化物半導体層432が形成されるように酸化物半導体膜のエッチングを行うこともできる。

10

【0138】

また、画素部には酸化物半導体層431及び酸化物半導体層432と同じ材料、同じ工程により酸化物半導体層435を形成する。酸化物半導体層435は、容量配線としての機能を有する。また、画素部だけでなく駆動回路に容量が必要な場合には、駆動回路にも容量配線を形成する。

20

【0139】

次に、酸化物半導体層431、酸化物半導体層432、酸化物半導体層435、及びゲート絶縁層402の上に導電膜を形成し、導電膜の上に第6のフォトリソグラフィ工程によりレジストマスク433a及びレジストマスク433bを形成し、選択的にエッチングを行ってソース電極層415a、ドレイン電極層415bを形成する(図3(B)参照)。

【0140】

ソース電極層415a及びドレイン電極層415bを形成するための導電膜の材料としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いることができ、ソース電極層415a及びドレイン電極層415bを形成するための導電膜は、これらの材料のいずれか一つ又は複数を含む膜の単層膜又は積層膜により形成することができる。

30

【0141】

また、ソース電極層415a及びドレイン電極層415bを形成するための導電膜としては、チタン膜、該チタン膜上に設けられたアルミニウム膜、及び該アルミニウム膜上に設けられたチタン膜の三層の積層膜、又はモリブデン膜、該モリブデン膜上に設けられたアルミニウム膜、及び該アルミニウム膜上に設けられたモリブデン膜の三層の積層膜を用いることが好ましい。勿論、金属導電膜として単層膜、2層の積層膜、又は4層以上の積層膜を用いてもよい。また、導電膜として、チタン膜、アルミニウム膜及びチタン膜の積層導電膜を用いた場合は、塩素ガスを用いたドライエッチング法でエッチングすることができる。

40

【0142】

また、レジストマスク433a及びレジストマスク433bと同じ工程により、レジストマスク433cを形成し、駆動回路部にソース電極層415a及びドレイン電極層415bと同じ材料、同じ工程により導電層459を形成する。導電層459は、端子電極又は端子配線としての機能を有する。

【0143】

また、レジストマスク433a及びレジストマスク433bと同じ工程により、レジストマスク433dを形成し、画素部にソース電極層415a及びドレイン電極層415bと

50

同じ材料、同じ工程により導電層 4 4 2 を形成する。

【0 1 4 4】

次に、レジストマスク 4 3 3 a 乃至レジストマスク 4 3 3 d を除去し、酸化物半導体層 4 3 1 及び酸化物半導体層 4 3 2 の露出面に接して酸化物絶縁層 4 1 6 を形成する。

【0 1 4 5】

酸化物絶縁層 4 1 6 は、少なくとも 1 nm 以上の膜厚とする。また、スパッタリング法など、酸化物絶縁層 4 1 6 に水、水素等の不純物を混入させない方法を適宜用いて酸化物絶縁層 4 1 6 を形成することができる。本実施の形態では、酸化物絶縁層 4 1 6 として膜厚 300 nm の酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 300 °C 以下とすればよく、本実施の形態では 100 °C とする。酸化珪素膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲット又は珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び酸素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。酸化物半導体層 4 3 1、酸化物半導体層 4 3 2、及び酸化物半導体層 4 3 5 に接して形成する酸化物絶縁層 4 1 6 は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用いて形成し、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、又は酸化窒化アルミニウム膜などを用いて形成する。また、酸化物絶縁層 4 1 6 を、ボロンがドーブされたシリコンターゲット材を用いて成膜された酸化シリコン膜を用いて形成することにより不純物（水分や、水素イオンや、OH⁻など）の侵入を抑制することができる。

【0 1 4 6】

また、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第 2 の加熱処理（好ましくは 200 °C 以上 400 °C 以下、例えば 250 °C 以上 350 °C 以下）を行ってもよい。例えば、酸素雰囲気下で 250 °C、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層 4 3 1 及び酸化物半導体層 4 3 2 の一部、並びに酸化物半導体層 4 3 5 が酸化物絶縁層 4 1 6 と接した状態で加熱される。

【0 1 4 7】

以上の工程を経ることによって、酸化物半導体層 4 3 1、酸化物半導体層 4 3 2、及び酸化物半導体層 4 3 5 を低抵抗化し、酸化物半導体層 4 3 1 及び酸化物半導体層 4 3 2、の一部を選択的に酸素過剰な状態とする。その結果、酸化物絶縁層 4 1 6 と接するチャンネル形成領域 4 1 3 は、I 型となり、酸化物絶縁層 4 1 6 に接する酸化物半導体層 4 3 5 の部分は I 型となり、ソース電極層 4 1 5 a に重なる高抵抗ソース領域 4 1 4 a と、ドレイン電極層 4 1 5 b に重なる高抵抗ドレイン領域 4 1 4 b と、導電層 4 4 2 に重なる領域 4 2 8 とが自己整合的に形成される（図 3（C）参照）。

【0 1 4 8】

なお、酸化物半導体層の膜厚に応じて高抵抗ソース領域 4 1 4 a、高抵抗ドレイン領域 4 1 4 b、及び領域 4 2 8 の形成範囲は異なる。酸化物半導体層の膜厚が例えば 15 nm 以下である場合、ソース電極層、ドレイン電極層、及び導電層と重なる部分は、全て N 型（N⁻）の領域となるが、酸化物半導体層の膜厚が例えば 30 nm～50 nm である場合、ソース電極層、ドレイン電極層、及び導電層と重なる部分は、ソース電極層、ドレイン電極層、及び導電層の近傍の部分に N 型の領域が形成され、N 型の領域の下には I 型の領域が形成される。

【0 1 4 9】

また、高抵抗ドレイン領域 4 1 4 b（又は高抵抗ソース領域 4 1 4 a）を形成することにより、駆動回路の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域 4 1 4 b を形成することで、トランジスタをドレイン電極層から高抵抗ドレイン領域 4 1 4 b、チャンネル形成領域にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層 4 1 5 b に高電源電位 VDD を供給する配線に接続してトランジスタを動作させる場合、ゲート電極層 4 1 1 とドレイン電極層 4 1 5 b との間

に高電界が印加されても高抵抗ドレイン領域 4 1 4 b（又は高抵抗ソース領域 4 1 4 a）がバッファとなり局所的に電界集中が生じず、トランジスタの絶縁耐圧を向上させることができる。

【0150】

また、高抵抗ドレイン領域 4 1 4 b（又は高抵抗ソース領域 4 1 4 a）を形成することにより、駆動回路のリーク電流の低減を図ることができる。

【0151】

次に、第 7 のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物絶縁層 4 1 6 のエッチングにより導電層 4 4 2 に達するコンタクトホール 4 4 1 を形成する（図 4（A）参照）。また、ここでのエッチングによりゲート電極層 4 1 1、4 2 1 に達するコンタクトホールも形成する。

10

【0152】

次に、レジストマスクを除去した後、透光性を有する導電膜を成膜する。例えば、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する）などをスパッタリング法や真空蒸着法などを用いて成膜することにより透光性を有する導電膜を形成する。また、透光性を有する導電膜として、窒素を含ませた Al-Zn-O 系膜、即ち Al-Zn-O-N 系膜や、窒素を含ませた Zn-O 系膜や、窒素を含ませた Sn-Zn-O 系膜を用いてもよい。なお、Al-Zn-O-N 系膜の亜鉛の組成比（原子％）は、47 原子％以下とし、Al-Zn-O-N 系膜中のアルミニウムの組成比（原子％）より大きく、Al-Zn-O-N 系膜中のアルミニウムの組成比（原子％）は、Al-Zn-O-N 系膜中の窒素の組成比（原子％）より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは、残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）を用いてもよい。

20

【0153】

なお、透光性を有する導電膜の組成比の単位は原子％とし、電子線マイクロアナライザー（EPMA: Electron Probe X-ray Micro Analyzer）を用いた分析により評価するものとする。

【0154】

次に、第 8 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層 4 2 7 及び導電層 4 1 7 を形成する（図 4（B）参照）。

30

【0155】

また、図 5（A1）、図 5（A2）は、この段階でのゲート配線端子部の断面図及び上面図をそれぞれ図示している。図 5（A1）は図 5（A2）中の C1-C2 線に沿った断面図に相当する。図 5（A1）において、酸化物絶縁層 4 1 6 上に形成される導電層 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 5（A1）において、端子部では、ゲート電極層 4 1 1 及びゲート配線と同じ材料で形成される端子電極 1 5 1 と、ソース電極層 4 1 5 a 及びソース配線と同じ材料で形成される接続電極 1 5 3 とがゲート絶縁層 4 0 2 を介して重なり、接している。また、接続電極 1 5 3 と導電層 1 5 5 が酸化物絶縁層 4 1 6 に設けられたコンタクトホールを介して接している。

40

【0156】

また、図 5（B1）、及び図 5（B2）は、ソース配線端子部の断面図及び上面図をそれぞれ図示している。また、図 5（B1）は図 5（B2）中の D1-D2 線に沿った断面図に相当する。図 5（B1）において、酸化物絶縁層 4 1 6 上に形成される導電層 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 5（B1）において、端子部では、ゲート電極層 4 1 1 及びゲート配線と同じ材料で形成される端子電極 1 5 6 が、ソース電極層 4 1 5 a 及びソース配線と電氣的に接続される端子電極 1 5 0 の下方にゲート絶縁層 4 0 2 を介して重なる。端子電極 1 5 6 は、端子電極 1 5 0 とは電氣的に接続しておらず、端子電極 1 5 6 を端子電極 1 5 0 と異なる電位、例えばフローティング、GN

50

D、0 Vなどに設定すれば、ノイズ対策のための容量又は静電気対策のための容量を形成することができる。また、端子電極150は、酸化物絶縁層416を介して導電層155と電氣的に接続している。

【0157】

以上の工程により、8枚のマスクを用いて、同一基板上に薄膜トランジスタ410及び薄膜トランジスタ420をそれぞれ駆動回路又は画素部に作り分けて作製することができるため、画素部と駆動回路を別々の工程で作製する場合と比較して製造コストを低減することができる。駆動回路用のトランジスタである薄膜トランジスタ410は、高抵抗ソース領域414a、高抵抗ドレイン領域414b、及びチャネル形成領域413を有する酸化物半導体層412を含む薄膜トランジスタであり、画素用のトランジスタである薄膜トランジスタ420は、酸化物半導体層422を含むボトムコンタクト型薄膜トランジスタである。薄膜トランジスタ410は、高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じず、トランジスタの絶縁耐圧を向上させた構成となっている。

10

【0158】

また、図2乃至図4に示す半導体装置の作製方法では、ゲート絶縁層を誘電体とし容量配線と容量電極とで形成される保持容量も同一基板上に形成することができる。薄膜トランジスタ420と保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、画素部の周辺に薄膜トランジスタ410を有する駆動回路を配置することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板ともいう。

20

【0159】

また、導電層417を酸化物半導体層のチャネル形成領域413と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス熱ストレス試験（以下、BT試験という）において、BT試験前後における薄膜トランジスタ410のしきい値電圧の変化量を低減することができる。また、導電層417は、電位がゲート電極層411と同じでもよいし、異なってもよく、ゲート電極層として機能させることもできる。また、導電層417は、GND状態、0 Vの電位が与えられた状態、或いはフローティング状態であってもよい。

30

【0160】

また、図2乃至図4を用いて説明する半導体装置の作製方法では、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソ法を使用しないため、製造コストを低減できる。

【0161】

（実施の形態2）

本実施の形態では、実施の形態1の駆動回路の薄膜トランジスタにおいて、酸化物半導体層とソース電極層又はドレイン電極層との間に、低抵抗ソース領域及び低抵抗ドレイン領域として酸化物導電層を設ける例について説明する。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

40

【0162】

本実施の形態の半導体装置の構造について図6を用いて説明する。図6は、本実施の形態の半導体装置の構造の一例を示す断面図である。

【0163】

図6に示す半導体装置は、図1に示す半導体装置と同様に、基板400と、基板400上に駆動回路及び画素部を有し、駆動回路は、薄膜トランジスタ410を有し、画素部は、薄膜トランジスタ420を有する。

【0164】

薄膜トランジスタ410は、基板400上に設けられたゲート電極層411と、ゲート電極層411上に設けられたゲート絶縁層402と、ゲート絶縁層402を挟んでゲート電

50

極層 4 1 1 上に設けられ、少なくともチャネル形成領域 4 1 3、高抵抗ソース領域 4 1 4 a、及び高抵抗ドレイン領域 4 1 4 b を有する酸化物半導体層 4 1 2 と、酸化物半導体層 4 1 2 の上に設けられた酸化物導電層 4 0 8 a 及び酸化物導電層 4 0 8 b と、酸化物導電層 4 0 8 a の上に設けられたソース電極層 4 1 5 a と、酸化物導電層 4 0 8 b の上に設けられたドレイン電極層 4 1 5 b と、を含む。

【0165】

酸化物導電層 4 0 8 a 及び酸化物導電層 4 0 8 b としては、酸化物半導体層 4 1 2 よりも抵抗値が低く、ソース電極層 4 1 5 a 及びドレイン電極層 4 1 5 b よりも抵抗値が高い材料を用いることができ、例えば In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-Sn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の導電性金属酸化物を適用することができる。また、酸化物導電層 4 0 8 a 及び酸化物導電層 4 0 8 b の膜厚は 50 nm 以上 300 nm 以下の範囲内で適宜選択する。また、スパッタリング法を用いる場合、 SiO_2 を 2 重量% 以上 10 重量% 以下含むターゲットを用いて成膜を行い、形成される透光性を有する導電膜に結晶化を阻害する SiO_x ($x > 0$) を含ませてもよい。これにより、後の工程で行う脱水化又は脱水素化のための加熱処理の際に結晶化してしまうのを抑制することができる。酸化物導電層 4 0 8 a は、低抵抗ソース領域としての機能を有し、酸化物導電層 4 0 8 b は低抵抗ドレイン領域としての機能を有する。

【0166】

また、駆動回路を、ゲート電極層又はゲート電極層と同じ導電膜を用いて形成された導電層が、ゲート絶縁層に設けられた開口部を介してドレイン電極層若しくはソース電極層又はソース電極層若しくはドレイン電極層と同じ導電膜を用いて形成された導電層に電氣的に接続された構造とすることもできる。図 6 に示す半導体装置は、ゲート電極層 4 1 1 と同一導電膜を用いて形成された導電層 4 5 7 と、導電層 4 5 7 の上に設けられ、ゲート電極層 4 2 1 と同一導電膜により形成された導電層 4 5 8 を有し、導電層 4 5 8 の上にゲート絶縁層 4 0 2 が設けられ、ゲート絶縁層 4 0 2 の上に設けられ、ゲート絶縁層 4 0 2 に設けられた開口部を介して導電層 4 5 7 に電氣的に接続された酸化物導電層 4 4 6 と、酸化物導電層 4 4 6 の上に導電層 4 5 9 を有する。酸化物導電層 4 4 6 は、酸化物導電層 4 0 8 a 及び酸化物導電層 4 0 8 b と同じ導電膜、同じ工程により形成され、導電層 4 5 9 は、ソース電極層 4 1 5 a 及びドレイン電極層 4 1 5 b と同じ導電膜、同じ工程により形成される。これにより良好なコンタクトを得ることができ、接触抵抗を低減することができる。よって開口の数の低減、開口の数の低減による占有面積の縮小を図ることができる。

【0167】

薄膜トランジスタ 4 2 0 は、図 1 に示す半導体装置と同様に基板 4 0 0 上に設けられたゲート電極層 4 2 1 と、ゲート電極層 4 2 1 上に設けられたゲート絶縁層 4 0 2 と、ゲート絶縁層 4 0 2 上にそれぞれ設けられたソース電極層 4 0 9 a 及びドレイン電極層 4 0 9 b と、ソース電極層 4 0 9 a 及びドレイン電極層 4 0 9 b 並びにゲート絶縁層 4 0 2 の上に設けられた酸化物半導体層 4 2 2 と、を含む。

【0168】

また、画素部は、ドレイン電極層 4 0 9 b に電氣的に接続された酸化物導電層 4 4 7 を有し、酸化物導電層 4 4 7 上に設けられた導電層 4 4 2 を有する。図 6 に示す酸化物導電層 4 4 7 は、酸化物半導体層 4 2 2 の一部の上に設けられる。

【0169】

また、酸化物半導体層 4 2 2 は、領域 4 2 8 を有する。領域 4 2 8 は、導電層 4 4 2 の下面に接して自己整合的に形成されている。

【0170】

また、図 6 に示す半導体装置は、駆動回路及び画素部において、少なくとも酸化物半導体層 4 1 2 の一部及び酸化物半導体層 4 2 2 の一部に接する酸化物絶縁層 4 1 6 を有する。

【0171】

なお、酸化物絶縁層416の上に窒化物絶縁層を設けてもよい。窒化物絶縁層は、酸化物絶縁層416の下方に設けられるゲート絶縁層402又は下地となる絶縁膜と接する構成とすることが好ましく、基板の側面近傍からの水分や、水素イオンや、 OH^- などの不純物が侵入することをブロックする。特に、酸化物絶縁層416と接するゲート絶縁層402又は下地となる絶縁膜を窒化珪素膜とすると有効である。即ち、酸化物半導体層の下面、上面、及び側面を囲むように窒化珪素膜を設けると、表示装置の信頼性が向上する。

【0172】

また、図6に示す半導体装置は、駆動回路において、酸化物絶縁層416の上にチャンネル形成領域413に重なる導電層417を有する。例えば、導電層417をゲート電極層411と電気的に接続し、同電位とすることで、ゲート電極層411と導電層417の間に配置された酸化物半導体層412に上下からゲート電圧を印加することができる。また、ゲート電極層411と導電層417を異なる電位、例えば固定電位、GND電位、0Vとする場合には、TFTの電気特性、例えばしきい値電圧などを制御することができる。すなわち、ゲート電極層411及び導電層417の一方を第1のゲート電極層として機能させ、ゲート電極層411及び導電層417の他方を第2のゲート電極層として機能させることで、薄膜トランジスタ410を4端子の薄膜トランジスタとして用いることができる。

10

【0173】

さらに、図6に示す半導体装置は、画素部において、酸化物絶縁層416の上に設けられ、酸化物絶縁層416に設けられた開口部を介して導電層442に接する画素電極層427を有する。

20

【0174】

なお、酸化物絶縁層416と画素電極層427の間に平坦化絶縁層を設けてもよい。酸化物絶縁層416の上に窒化物絶縁層を有する場合には、窒化物絶縁層の上に平坦化絶縁層を設けることが好ましい。

【0175】

なお、酸化物半導体層412及び酸化物半導体層422は、不純物である水分などを低減する加熱処理（脱水化又は脱水素化のための加熱処理）が行われる。脱水化又は脱水素化のための加熱処理及び徐冷を行った後、酸化物絶縁層として酸化物半導体層に接して酸化物絶縁膜の形成などを行って酸化物半導体層のキャリア濃度を低減することが、薄膜トランジスタ410及び薄膜トランジスタ420の電気特性の向上及び信頼性の向上に繋がる。

30

【0176】

なお、図6に示す半導体装置では、画素部の薄膜トランジスタより駆動回路部の薄膜トランジスタの方が高速動作を求められるため、薄膜トランジスタ410のチャンネル長を薄膜トランジスタ420のチャンネル長より短くしてもよい。このとき、例えば薄膜トランジスタ410のチャンネル長は $1\mu\text{m}$ ～ $5\mu\text{m}$ 程度であることが好ましく、薄膜トランジスタ420のチャンネル長は $5\mu\text{m}$ ～ $20\mu\text{m}$ であることが好ましい。

【0177】

40

以上のように、本実施の形態の半導体装置の一例は、図1に示す構造に加え、ソース電極層及びド레인電極層と酸化物半導体層との間に酸化物導電層からなる低抵抗ソース領域又は低抵抗ド레인領域を有する構造である。これにより、周辺回路（駆動回路）の周波数特性を向上させることができる。例えば金属電極層と酸化物半導体層との接触に比べ、金属電極層と低抵抗ソース領域及び低抵抗ド레인領域との接触は、接触抵抗を下げるからである。また、モリブデンを用いた電極層（例えば、モリブデン層、アルミニウム層、モリブデン層の積層など）は、酸化物半導体層との接触抵抗が高く、これは、チタンに比べモリブデンは酸化しにくいいため酸化物半導体層から酸素を引き抜く作用が弱く、モリブデン層と酸化物半導体層の接触界面がn型化しないためである。しかし、酸化物半導体層とソース電極層及びド레인電極層との間に低抵抗ソース領域及び低抵抗ド

50

レイン領域を介在させることで接触抵抗を低減でき、周辺回路（駆動回路）の周波数特性を向上させることができる。また、低抵抗ソース領域及び低抵抗ドレイン領域を設けることにより、薄膜トランジスタのチャネル長が、低抵抗ソース領域及び低抵抗ドレイン領域となる層のエッチングの際に決められるため、よりチャネル長を短くすることができる。

【0178】

次に、図7及び図8を用い、図6に示す半導体装置の作製方法の一例を説明する。

【0179】

まず図2（A）に示す工程と同様に、基板400を準備し、基板400の上に導電膜を形成した後、第1のフォトリソグラフィ工程により、導電膜の一部の上にレジストマスクを形成し、該レジストマスクを用いて導電膜をエッチングすることにより、ゲート電極層411及び導電層457を形成する。

10

【0180】

次に、図2（B）に示す工程と同様にゲート電極層411及び導電層457の上に導電膜を形成し、第2のフォトリソグラフィ工程により、導電膜の一部の上にレジストマスクを形成し、該レジストマスクを用いて導電膜をエッチングすることにより、ゲート電極層421、導電層458、及び導電層438を形成する。

【0181】

次に、図2（C）に示す工程と同様に、ゲート電極層411、導電層457、導電層458、ゲート電極層421、及び導電層438上にゲート絶縁層402を形成し、ゲート絶縁層402上に、導電膜を形成し、第3のフォトリソグラフィ工程により、導電膜の一部の上にレジストマスクを形成し、該レジストマスクを用いて導電膜をエッチングすることにより、ソース電極層409a及びドレイン電極層409b並びに導電層439を形成し、ゲート絶縁層402、ソース電極層409a、ドレイン電極層409b、及び導電層439上に、膜厚2nm以上200nm以下の酸化物半導体膜430を形成し、酸化物半導体膜430上に第4のフォトリソグラフィ工程により、レジストマスクを形成し、エッチングにより酸化物半導体膜430及びゲート絶縁層402の不要な部分を除去して、ゲート絶縁層402に、導電層457に達するコンタクトホール426を形成する。

20

【0182】

次に、図3（A）に示す工程と同様に第5のフォトリソグラフィ工程により酸化物半導体膜430の一部の上にレジストマスクを形成し、該レジストマスクを用いて酸化物半導体膜430をエッチングすることにより、酸化物半導体膜430を島状の酸化物半導体層に加工し、酸化物半導体層の脱水化又は脱水素化を行う。

30

【0183】

脱水化又は脱水素化を行う第1の加熱処理の温度は、例えば400℃以上700℃以下、好ましくは425℃以上とする。なお、425℃以上であれば、熱処理時間は、1時間以下でよいが、425℃未満であれば、加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に上部に酸化物半導体層が形成された基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431、432を得る。本実施の形態では、酸化物半導体層の脱水化又は脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで、具体的には加熱温度Tよりも100℃以上下がるまで同じ炉を用い窒素雰囲気下で徐冷する。また、窒素雰囲気限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下において脱水化又は脱水素化を行う。

40

【0184】

酸化物半導体層を400℃から700℃の温度で熱処理することで、酸化物半導体層の脱水化、脱水素化が図られ、その後の水（H₂O）の再含浸を防ぐことができる。

【0185】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ま

50

しくは7N(99.9999%)以上、(即ち不純物濃度を20ppm以下、好ましくは1ppm以下、さらに好ましくは0.1ppm以下)とすることが好ましい。

【0186】

また、第1の加熱処理の条件又は酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶層又は多結晶層となる場合もある。また、微結晶膜の場合は、結晶成分の全体に占める割合が80%以上(好ましくは90%以上)であって、隣接する微結晶粒同士が接するように充填されているものが好ましい。また、酸化物半導体層の全てが非晶質状態となる場合もある。

【0187】

また、第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程により、レジストマスクを形成し、該レジストマスクを用いて選択的にエッチングを行うことにより酸化物半導体膜を加工する。

10

【0188】

酸化物半導体層に対する脱水化、脱水素化の熱処理は、酸化物半導体層成膜後、駆動回路の酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に絶縁膜を形成した後、のいずれで行ってもよい。

【0189】

また、酸化物半導体膜の成膜前に、不活性ガス雰囲気(窒素、又はヘリウム、ネオン、アルゴン等)下、酸素雰囲気において加熱処理(例えば400℃以上700℃以下)を行い、ゲート絶縁層内に含まれる水素及び水などの不純物を除去してもよい。

20

【0190】

以上の工程を経ることによって酸化物半導体膜全体を酸素過剰な状態とし、高抵抗化、即ちI型化させる(図7(A)参照)。なお、本実施の形態では、酸化物半導体膜成膜直後に脱水化又は脱水素化を行う第1の加熱処理を行う例を示したが、特に限定されず、酸化物半導体膜成膜後の工程であればよい。

【0191】

次に、酸化物半導体層431、酸化物半導体層432、酸化物半導体層435、及びゲート絶縁層402の上に酸化物導電膜405を形成し、酸化物導電膜405の上に導電膜を形成し、酸化物導電膜405の上の導電膜の上に第6のフォトリソグラフィ工程によりレジストマスク433a及びレジストマスク433bを形成し、選択的にエッチングを行ってソース電極層415a、ドレイン電極層415bを形成する(図7(B)参照)。

30

【0192】

酸化物導電膜405の成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電膜405の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜405として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。膜厚は50nm以上300nm以下の範囲内で適宜選択する。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物導電膜に結晶化を阻害するSiO_x(X>0)を含ませ、後の工程で行う脱水化又は脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

40

【0193】

なお、酸化物導電膜405の上の導電膜のエッチングの際に、酸化物導電膜405、酸化物半導体層431、酸化物半導体層432、及び酸化物半導体層435も除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0194】

また、レジストマスク433a及びレジストマスク433bと同じ工程により、レジストマスク433cを形成し、駆動回路部にソース電極層415a及びドレイン電極層415

50

bと同じ材料、同じ工程により導電層459を形成する。導電層459は、端子電極又は端子配線としての機能を有する。

【0195】

また、レジストマスク433a及びレジストマスク433bと同じ工程により、レジストマスク433dを形成し、画素部にソース電極層415a及びドレイン電極層415bと同じ材料、同じ工程により導電層442を形成する。

【0196】

次に、レジストマスク433a、レジストマスク433b、レジストマスク433c、及びレジストマスク433dを除去し、ソース電極層415a、ドレイン電極層415b、導電層459、及び導電層442をマスクとして酸化物導電膜405をエッチングし、酸化物導電層408a、酸化物導電層408b、酸化物導電層446、酸化物導電層447を形成する。例えば、酸化亜鉛を成分とする酸化物導電膜405は、例えばレジストの剥離液のようなアルカリ性溶液を用いて容易にエッチングすることができる。

10

【0197】

また、酸化物半導体層と酸化物導電層のエッチング速度の差を利用して、チャネル領域を形成するために酸化物導電層を分割するためのエッチング処理を行う。酸化物導電層のエッチング速度が酸化物半導体層のエッチング速度と比較して速いことを利用して、酸化物半導体層上の酸化物導電層を選択的にエッチングする。

【0198】

また、レジストマスク433a、433b、433c、433dの除去は、アッシング工程によって除去することが好ましい。剥離液を用いたエッチングの場合は、酸化物導電膜405、酸化物半導体層431、酸化物半導体層432、及び酸化物半導体層435が過剰にエッチングされないように、エッチング条件（エッチャントの種類、濃度、エッチング時間）を適宜調整する。

20

【0199】

酸化物半導体層を島状にエッチングした後に、酸化物導電膜を形成し、酸化物導電膜上に導電膜を積層させて、同一マスクでソース電極層及びドレイン電極層を含む配線パターンをエッチングすることにより、酸化物導電膜上の導電膜の配線パターンの下に、酸化物導電膜を残存させることができる。

【0200】

また、導電層457と導電層459のコンタクトにおいても、ソース配線の下層に酸化物導電層446が形成されていることにより、酸化物導電層446がバッファとなり、また、酸化物導電層446は、金属とは絶縁性の酸化物を作らないため、抵抗成分が厚さ分の直列抵抗のみとなる。

30

【0201】

また、ソース電極層415a、ドレイン電極層415b、導電層459、及び導電層442を形成するための導電膜を選択的にエッチングした後、第1の加熱処理を行う場合、酸化物導電層408a、酸化物導電層408b、酸化物導電層446、酸化物導電層447に酸化珪素のような結晶化阻害物質が含まれていない限り、酸化物導電層408a、酸化物導電層408b、酸化物導電層446、酸化物導電層447は結晶化する。一方、第1の加熱処理によって酸化物半導体層は結晶化せず、非晶質構造のままである。酸化物導電層の結晶は下地面に対して柱状に成長する。その結果ソース電極層及びドレイン電極層を形成するために、酸化物導電膜の上層の導電膜をエッチングする場合、下層の酸化物導電膜にアンダーカットが形成されるのを防ぐことができる。

40

【0202】

次に、図3（C）に示す工程と同様に酸化物半導体層431及び酸化物半導体層432の露出面に接して酸化物絶縁層416を形成し、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理を行ってもよい。第2の加熱処理を行うと、酸化物半導体層431、酸化物半導体層432、及び酸化物半導体層435の一部が酸化物絶縁層416と接した状態で加熱される。

50

【0203】

以上の工程を経ることによって、脱水又は脱水素化により低抵抗化された領域の一部を選択的に酸素過剰な状態とする。その結果、酸化物絶縁層416と接するチャネル形成領域413は、I型となり、酸化物絶縁層416に接する酸化物半導体層435の部分はI型となり、低抵抗ソース領域（酸化物導電層408a）に重なる酸化物半導体層431の部分に高抵抗ソース領域414aが自己整合的に形成され、低抵抗ドレイン領域（酸化物導電層408b）に重なる酸化物半導体層431の部分に高抵抗ドレイン領域414bが自己整合的に形成され、酸化物導電層447に重なる酸化物半導体層432の部分に領域428が自己整合的に形成される（図7（C）参照）。

【0204】

以上の工程により、同一基板上に薄膜トランジスタ410及び薄膜トランジスタ420を作製することができる。

【0205】

次に、図4（A）に示す工程と同様に、第7のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物絶縁層416のエッチングにより導電層442に達するコンタクトホール441を形成する（図8（A）参照）。また、ここでのエッチングによりゲート電極層411、421に達するコンタクトホールも形成する。

【0206】

次に、図4（B）に示す工程と同様に、レジストマスクを除去した後、透光性を有する導電膜を成膜し、第8のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層427及び導電層417を形成する。

【0207】

以上の工程により、8枚のマスクを用いて、同一基板上に薄膜トランジスタ410及び薄膜トランジスタ420をそれぞれ駆動回路又は画素部に作り分けて作製することができるため、画素部と駆動回路を別々の工程で作製する場合と比較して製造コストを低減することができる。駆動回路用のトランジスタである薄膜トランジスタ410は、高抵抗ソース領域414a、高抵抗ドレイン領域414b、及びチャネル形成領域413を有する酸化物半導体層412を含む薄膜トランジスタであり、画素用のトランジスタである薄膜トランジスタ420は、酸化物半導体層432を含むボトムコンタクト型薄膜トランジスタである。薄膜トランジスタ410は、高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な電界集中が生じず、トランジスタの絶縁耐圧を向上させることができる。

【0208】

また、図7及び図8に示す半導体装置の作製方法では、ゲート絶縁層を誘電体とし容量配線と容量電極とで形成される保持容量も同一基板上に形成することができる。薄膜トランジスタ420と保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、画素部の周辺に薄膜トランジスタ410を有する駆動回路を配置することによりアクティブマトリクス基板とすることができる。

【0209】

（実施の形態3）

本実施の形態では、本発明の一態様である半導体装置の一例である液晶表示装置について図9を用いて説明する。

【0210】

図9に示す液晶表示装置は、薄膜トランジスタ170を含む駆動回路、薄膜トランジスタ180及び容量147を含む画素部、画素電極層110、並びに配向膜として機能する絶縁層191が設けられた基板100と、配向膜として機能する絶縁層193、対向電極層194、及びカラーフィルタとして機能する着色層195が設けられた対向基板190とが液晶層192を挟持して対向している。また、液晶層192が設けられた平面と反対側の基板100及び対向基板190の一平面には、それぞれ偏光板（偏光子を有する層、単に偏光子ともいう）196a、196bが設けられ、ゲート配線の端子部には、接続電極117、端子電極121、接続電極120、及び接続用の端子電極128が設けられ、ソ

10

20

30

40

50

ース配線の端子部には、端子電極 1 2 2、接続電極 1 1 8、及び接続用の端子電極 1 2 9 が設けられている。

【0 2 1 1】

薄膜トランジスタ 1 7 0 としては、例えば実施の形態 1 に示す駆動回路の薄膜トランジスタを適用することができ、薄膜トランジスタ 1 8 0 としては、例えば実施の形態 1 に示す画素部の薄膜トランジスタを適用することができる。図 9 に示す液晶表示装置では、一例として、薄膜トランジスタ 1 7 0 として図 1 に示す薄膜トランジスタ 4 1 0 を適用し、薄膜トランジスタ 1 8 0 として図 1 に示す薄膜トランジスタ 4 2 0 を適用する場合について説明する。

【0 2 1 2】

また、容量 1 4 7 としては、例えば実施の形態 1 に示す容量を適用することができる。図 9 に示す液晶表示装置では、一例として容量 1 4 7 として図 1 に示す容量 4 5 4 を適用する場合について説明する。

【0 2 1 3】

このように、ゲート絶縁層 1 0 2 を誘電体とし、誘電体、容量配線層、及び容量電極とで形成される保持容量である容量 1 4 7 も同一基板上に形成することができる。また、容量配線を設けず、画素電極を、保護絶縁膜及びゲート絶縁層 1 0 2 を介して隣り合う画素のゲート配線と重ねることにより保持容量を形成してもよい。

【0 2 1 4】

端子部に形成された端子電極 1 2 8、1 2 9 は F P C (F l e x i b l e P r i n t e d C i r c u i t) との接続に用いられる電極又は配線となる。端子電極 1 2 1 上に接続電極 1 2 0 及び接続電極 1 1 7 を挟んで形成された端子電極 1 2 8 は、ゲート配線の入力端子として機能する接続用の端子電極となる。端子電極 1 2 2 上に接続電極 1 1 8 を挟んで形成された端子電極 1 2 9 は、ソース配線の入力端子として機能する接続用の端子電極である。

【0 2 1 5】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する端子を端子部に設ける。この端子は、共通電極を固定電位、例えば G N D、0 V などに設定するための端子である。

【0 2 1 6】

また、酸化物絶縁層 1 0 7、導電層 1 1 1、画素電極層 1 1 0 上に配向膜として機能する絶縁層 1 9 1 を形成する。

【0 2 1 7】

また、対向基板 1 9 0 に、着色層 1 9 5、対向電極層 1 9 4、配向膜として機能する絶縁層 1 9 3 を形成する。基板 1 0 0 と対向基板 1 9 0 とを、液晶表示装置のセルギャップを調節するスペーサを介し、液晶層 1 9 2 を挟持してシール材（図示せず）によって貼り合わせる。上記貼り合わせの工程は減圧下で行ってもよい。

【0 2 1 8】

シール材としては、代表的には可視光硬化性、紫外線硬化性、又は熱硬化性の樹脂を用いるのが好ましい。代表的には、アクリル樹脂、エポキシ樹脂、アミン樹脂などを用いることができる。また、シール材に光（代表的には紫外線）重合開始剤、熱硬化剤、フィラー、カップリング剤を含ませてもよい。

【0 2 1 9】

また、液晶層 1 9 2 を、空隙に液晶材料を封入して形成する。また、基板 1 0 0 と対向基板 1 9 0 とを貼り合わせる前に滴下するディスペンサ法（滴下法）を用いて液晶層 1 9 2 を形成してもよいし、基板 1 0 0 と対向基板 1 9 0 とを貼り合わせてから毛細管現象を用いて液晶を注入する注入法を用いて液晶層 1 9 2 を形成することもできる。液晶材料とし

10

20

30

40

50

ては特に限定はなく、種々の材料を用いることができる。また、液晶材料としてブルー相を示す材料を用いると配向膜を不要とすることができる。

【0220】

また、基板100の外側に偏光板196aを、対向基板190の外側に偏光板196bを設けることにより、本実施の形態における透過型の液晶表示装置を作製することができる。

【0221】

また、本実施の形態では図示しないが、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けることもできる。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

10

【0222】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0223】

また、液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、又は動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

20

【0224】

また、垂直同期周波数を通常の1.5倍、好ましくは2倍以上にすることで動画特性を改善する所謂、倍速駆動と呼ばれる駆動技術もある。

【0225】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源又は複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。また、面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。また、独立して複数のLEDを制御し、液晶層の光学変調の切り替えタイミングと、LEDの発光タイミングと、を同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力を低減させることができる。

30

【0226】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0227】

酸化物半導体を用いた薄膜トランジスタを用いて半導体装置を形成することにより、製造コストを低減することができる。特に、上記方法によって、酸化物半導体層に接して酸化物絶縁膜を形成することによって、安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

40

【0228】

チャンネル形成領域の半導体層は高抵抗化領域であるので、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性の良い薄膜トランジスタを有する半導体装置とすることが可能となる。

【0229】

また、薄膜トランジスタは静電気などにより破壊されやすいため、画素部又は駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端

50

子及び信号線入力端子との間に設けることができる。本実施の形態では、複数の保護回路を設け、走査線、信号線、及び容量線に静電気等によりサージ電圧が印加され、トランジスタなどが破壊されないようにする。そのため、保護回路にサージ電圧が印加されたときに、共通配線に電荷を逃がすようにする。また、保護回路は、走査線に対して並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタ180と同じ工程で非線形素子を形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

【0230】

(実施の形態4)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部を配置する半導体装置の例について以下に説明する。

【0231】

画素部に配置する薄膜トランジスタは、実施の形態1又は実施の形態2に従って形成する。また、実施の形態1又は実施の形態2に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0232】

アクティブマトリクス型表示装置のブロック図の一例を図10(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300は、FPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に電氣的に接続されている。

【0233】

図10(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0234】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)(スタートパルスともいう)、第1の走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、第2の走査線駆動回路用クロック信号(GCK2)を供給する。また、タイミング制御回路5305は、信号線駆動回路5304に対し、一例として、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給する。なお、各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。

【0235】

図10(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該

10

20

30

40

50

構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板 5300 に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを図ることができる。

【0236】

また、実施の形態 1 又は実施の形態 2 に示す薄膜トランジスタは、n チャネル型 T F T である。図 11 (A)、図 11 (B) では n チャネル型 T F T で構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0237】

図 11 (A) に示す信号線駆動回路は、シフトレジスタ 5601、及びスイッチング回路 5602 を有する。スイッチング回路 5602 は、複数のスイッチング回路を有する。スイッチング回路 5602__1 ~ 5602__N (N は 2 以上の自然数) は、各々、薄膜トランジスタ 5603__1 ~ 5603__k (k は 2 以上の自然数) という複数のトランジスタを有する。薄膜トランジスタ 5603__1 ~ 5603__k が、N チャネル型 T F T である例を説明する。

10

【0238】

信号線駆動回路の接続関係について、スイッチング回路 5602__1 を例にして説明する。薄膜トランジスタ 5603__1 ~ 5603__k の第 1 端子は、各々、配線 5604__1 ~ 5604__k と接続される。薄膜トランジスタ 5603__1 ~ 5603__k の第 2 端子は、各々、信号線 S1 ~ Sk と接続される。薄膜トランジスタ 5603__1 ~ 5603__k のゲートは、配線 5605__1 と接続される。

20

【0239】

シフトレジスタ 5601 は、配線 5605__1 ~ 5605__N に順番に H レベル (H 信号、高電源電位レベル、ともいう) の信号を出力し、スイッチング回路 5602__1 ~ 5602__N を順番に選択する機能を有する。

【0240】

スイッチング回路 5602__1 は、配線 5604__1 ~ 5604__k と信号線 S1 ~ Sk との導通状態 (第 1 端子と第 2 端子との間の導通) を制御する機能、即ち配線 5604__1 ~ 5604__k の電位を信号線 S1 ~ Sk に供給するか否かを制御する機能を有する。このように、スイッチング回路 5602__1 は、セレクタとしての機能を有する。また薄膜トランジスタ 5603__1 ~ 5603__k は、各々、配線 5604__1 ~ 5604__k と信号線 S1 ~ Sk との導通状態を制御する機能、即ち配線 5604__1 ~ 5604__k の電位を信号線 S1 ~ Sk に供給する機能を有する。このように、薄膜トランジスタ 5603__1 ~ 5603__k は、各々、スイッチとしての機能を有する。

30

【0241】

なお、配線 5604__1 ~ 5604__k には、各々、ビデオ信号用データ (DATA) が入力される。ビデオ信号用データ (DATA) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0242】

次に、図 11 (A) の信号線駆動回路の動作について、図 11 (B) のタイミングチャートを参照して説明する。図 11 (B) には、信号 Sout__1 ~ Sout__N、及び信号 Vdata__1 ~ Vdata__k の一例を示す。信号 Sout__1 ~ Sout__N は、各々、シフトレジスタ 5601 の出力信号の一例であり、信号 Vdata__1 ~ Vdata__k は、各々、配線 5604__1 ~ 5604__k に入力される信号の一例である。なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間は、一例として、期間 T1 ~ 期間 TN に分割される。期間 T1 ~ TN は、各々、選択された行に属する画素にビデオ信号用データ (DATA) を書き込むための期間である。

40

【0243】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のため

50

めに誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

【0244】

期間T1～期間TNにおいて、シフトレジスタ5601は、Hレベルの信号を配線5605__1～5605__Nに順番に出力する。例えば、期間T1において、シフトレジスタ5601は、ハイレベルの信号を配線5605__1に出力する。すると、薄膜トランジスタ5603__1～5603__kはオンになるので、配線5604__1～5604__kと、信号線S1～Skとが導通状態になる。このとき、配線5604__1～5604__kには、Data(S1)～Data(Sk)が入力される。Data(S1)～Data(Sk)は、各々、薄膜トランジスタ5603__1～5603__kを介して、選択される行に属する画素のうち、1列目～k列目の画素に書き込まれる。こうして、期間T1～TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ(DATA)が書き込まれる。

10

【0245】

以上のように、ビデオ信号用データ(DATA)が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ(DATA)の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

20

【0246】

なお、シフトレジスタ5601及びスイッチング回路5602としては、実施の形態1又は実施の形態2に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ5601が有する全てのトランジスタの極性をNチャンネル型、又はPチャンネル型のいずれかの極性のみで構成することができる。

【0247】

さらに、走査線駆動回路及び信号線駆動回路の一部、又は走査線駆動回路若しくは信号線駆動回路の一部に用いるシフトレジスタの一例について説明する。

【0248】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していてもよい。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一齐にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

30

【0249】

さらに、走査線駆動回路及び信号線駆動回路の一部、又は走査線駆動回路若しくは信号線駆動回路の一部に用いるシフトレジスタの一形態について図12及び図13を用いて説明する。

【0250】

シフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N(Nは3以上の自然数)を有している(図12(A)参照)。図12(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n(nは、 $2 \leq n \leq N$ の自然数)では、一段前段のパルス出力回路10__(n-1)からの信号(前段信号OUT(n-1)という)(nは2以上N以下の自然数)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパル

40

50

ス出力回路 10__3 からの信号が入力され、2 段目以降の第 n のパルス出力回路 10__ n では、2 段後段の第 $(n+2)$ のパルス出力回路 10__ $n+2$ からの信号（後段信号 OUT ($n+2$) という）が入力される。従って各段のパルス出力回路からは、後段及び／又は二つ前段のパルス出力回路に入力するための第 1 の出力信号（OUT (1) (SR) ~ OUT (N) (SR)）、別の回路等に入力される第 2 の出力信号（OUT (1) ~ OUT (N)) が出力される。なお、図 12 (A) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 OUT ($n+2$) が入力されないため、一例としては、別途第 2 のスタートパルス SP2、第 3 のスタートパルス SP3 をそれぞれ入力する構成とすればよい。

【0251】

なお、クロック信号 (CK) は、一定の間隔で H レベルと L レベル (L 信号、低電源電位レベル、ともいう) を繰り返す信号である。ここで、第 1 のクロック信号 (CK1) ~ 第 4 のクロック信号 (CK4) は、順に 1/4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (CK1) ~ 第 4 のクロック信号 (CK4) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCK ということもあるが、ここでは CK として説明を行う

【0252】

また、第 1 のパルス出力回路 10__1 ~ 第 N のパルス出力回路 10__ N の各々は、第 1 の入力端子 21、第 2 の入力端子 22、第 3 の入力端子 23、第 4 の入力端子 24、第 5 の入力端子 25、第 1 の出力端子 26、第 2 の出力端子 27 を有しているとする (図 12 (B) 参照)。第 1 の入力端子 21、第 2 の入力端子 22、及び第 3 の入力端子 23 は、第 1 の配線 11 ~ 第 4 の配線 14 のいずれかと電氣的に接続されている。例えば、図 12 (A) において、第 1 のパルス出力回路 10__1 は、第 1 の入力端子 21 が第 1 の配線 11 と電氣的に接続され、第 2 の入力端子 22 が第 2 の配線 12 と電氣的に接続され、第 3 の入力端子 23 が第 3 の配線 13 と電氣的に接続されている。また、第 2 のパルス出力回路 10__2 は、第 1 の入力端子 21 が第 2 の配線 12 と電氣的に接続され、第 2 の入力端子 22 が第 3 の配線 13 と電氣的に接続され、第 3 の入力端子 23 が第 4 の配線 14 と電氣的に接続されている。

【0253】

第 1 のパルス出力回路 10__1 ~ 第 N のパルス出力回路 10__ N の各々は、第 1 の入力端子 21、第 2 の入力端子 22、第 3 の入力端子 23、第 4 の入力端子 24、第 5 の入力端子 25、第 1 の出力端子 26、第 2 の出力端子 27 を有しているとする (図 12 (B) 参照)。第 1 のパルス出力回路 10__1 において、第 1 の入力端子 21 に第 1 のクロック信号 CK1 が入力され、第 2 の入力端子 22 に第 2 のクロック信号 CK2 が入力され、第 3 の入力端子 23 に第 3 のクロック信号 CK3 が入力され、第 4 の入力端子 24 にスタートパルスが入力され、第 5 の入力端子 25 に後段信号 OUT (3) が入力され、第 1 の出力端子 26 より第 1 の出力信号 OUT (1) (SR) が出力され、第 2 の出力端子 27 より第 2 の出力信号 OUT (1) が出力される。

【0254】

なお、第 1 のパルス出力回路 10__1 ~ 第 N のパルス出力回路 10__ N は、3 端子の薄膜トランジスタの他に、上記実施の形態で説明した 4 端子の薄膜トランジスタを用いることができる。なお、本明細書において、薄膜トランジスタが半導体層を介して二つのゲート電極を有する場合、半導体層より下方のゲート電極を下方のゲート電極、半導体層に対して上方のゲート電極を上方のゲート電極とも呼ぶ。

【0255】

酸化物半導体を薄膜トランジスタのチャネル形成領域を含む半導体層に用いた場合、製造工程により、しきい値電圧がマイナス側、或いはプラス側にシフトすることがある。そのため、チャネル形成領域を含む半導体層に酸化物半導体を用いた薄膜トランジスタでは、しきい値電圧の制御を行うことのできる構成が好適である。4 端子の薄膜トランジスタのしきい値電圧は、薄膜トランジスタのチャネル形成領域の上下にゲート絶縁膜を介してゲ

10

20

30

40

50

ート電極を設け、上方及び／または下方のゲート電極の電位を制御することにより所望の値に制御することができる。

【0256】

次に、パルス出力回路の具体的な回路構成の一例について、図12(C)で説明する。

【0257】

第1のパルス出力回路10—1は、第1のトランジスタ31～第13のトランジスタ43を有している。また、上述した第1の入力端子21～第5の入力端子25、及び第1の出力端子26、第2の出力端子27に加え、第1の高電源電位VDDが供給される電源線51、第2の高電源電位Vccが供給される電源線52、低電源電位VSSが供給される電源線53から、第1のトランジスタ31～第13のトランジスタ43に信号、又は電源電位が供給される。ここで図12(C)における各電源線の電源電位の大小関係は、第1の電源電位VDDは第2の電源電位Vcc以上の電位とし、第2の電源電位Vccは第3の電源電位VSSより大きい電位とする。なお、第1のクロック信号(CK1)～第4のクロック信号(CK4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、Hレベルのときの電位がVDD、Lレベルのときの電位がVSSであるとする。なお、電源線52の電位Vccを、電源線51の電位VDDより低くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお、第1のトランジスタ31～第13のトランジスタ43のうち、第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39には、4端子のトランジスタを用いることが好ましい。第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39は、トランジスタ33のゲート電極及びトランジスタ40のゲート電極の電位を、制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い(オン電流の立ち上がりが急峻)ことでよりパルス出力回路の誤動作を低減することができるトランジスタである。そのため4端子のトランジスタを用いることによりしきい値電圧を制御することができ、誤動作がより低減できるパルス出力回路とすることができる。

【0258】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、薄膜トランジスタは、ゲートと重畳した領域にチャンネル領域が形成される半導体領域(チャンネル形成領域ともいう)を有し、ゲートの電位を制御することにより、チャンネル領域を介してドレインとソースの間に流れる電流を制御することができる。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0259】

図12(C)において、第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極(第1のゲート電極及び第2のゲート電極)が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線

5 2に電氣的に接続され、第2端子が第2のトランジスタ3 2のゲート電極及び第4のトランジスタ3 4のゲート電極に電氣的に接続され、ゲート電極（第1のゲート電極及び第2のゲート電極）が第5の入力端子2 5に電氣的に接続されている。第7のトランジスタ3 7は、第1端子が電源線5 2に電氣的に接続され、第2端子が第8のトランジスタ3 8の第2端子に電氣的に接続され、ゲート電極（第1のゲート電極及び第2のゲート電極）が第3の入力端子2 3に電氣的に接続されている。第8のトランジスタ3 8は、第1端子が第2のトランジスタ3 2のゲート電極及び第4のトランジスタ3 4のゲート電極に電氣的に接続され、ゲート電極（第1のゲート電極及び第2のゲート電極）が第2の入力端子2 2に電氣的に接続されている。第9のトランジスタ3 9は、第1端子が第1のトランジスタ3 1の第2端子及び第2のトランジスタ3 2の第2端子に電氣的に接続され、第2端子が第3のトランジスタ3 3のゲート電極及び第10のトランジスタ4 0のゲート電極に電氣的に接続され、ゲート電極（第1のゲート電極及び第2のゲート電極）が電源線5 2に電氣的に接続されている。第10のトランジスタ4 0は、第1端子が第1の入力端子2 1に電氣的に接続され、第2端子が第2の出力端子2 7に電氣的に接続され、ゲート電極が第9のトランジスタ3 9の第2端子に電氣的に接続されている。第11のトランジスタ4 1は、第1端子が電源線5 3に電氣的に接続され、第2端子が第2の出力端子2 7に電氣的に接続され、ゲート電極が第2のトランジスタ3 2のゲート電極及び第4のトランジスタ3 4のゲート電極に電氣的に接続されている。第12のトランジスタ4 2は、第1端子が電源線5 3に電氣的に接続され、第2端子が第2の出力端子2 7に電氣的に接続され、ゲート電極が第7のトランジスタ3 7のゲート電極（第1のゲート電極及び第2のゲート電極）に電氣的に接続されている。第13のトランジスタ4 3は、第1端子が電源線5 3に電氣的に接続され、第2端子が第1の出力端子2 6に電氣的に接続され、ゲート電極が第7のトランジスタ3 7のゲート電極（第1のゲート電極及び第2のゲート電極）に電氣的に接続されている。

【0260】

図12（C）において、第3のトランジスタ3 3のゲート電極、第10のトランジスタ4 0のゲート電極、及び第9のトランジスタ3 9の第2端子の接続箇所をノードAとする。また、第2のトランジスタ3 2のゲート電極、第4のトランジスタ3 4のゲート電極、第5のトランジスタ3 5の第2端子、第6のトランジスタ3 6の第2端子、第8のトランジスタ3 8の第1端子、及び第11のトランジスタ4 1のゲート電極との接続箇所をノードBとする。

【0261】

なお、図12（C）、図13（A）において、ノードAを浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けてもよい。またノードBの電位を保持するため、一方の電極をノードBに電氣的に接続した容量素子を別途設けてもよい。

【0262】

ここで、図13（A）に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図13（B）に示す。なお、シフトレジスタが走査線駆動回路である場合、図13（B）中の期間6 1は垂直帰線期間であり、期間6 2はゲート選択期間に相当する。

【0263】

なお、図13（A）に示すように、ゲート電極に第2の電源電位 V_{cc} が印加される第9のトランジスタ3 9を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【0264】

ゲート電極に第2の電源電位 V_{cc} が印加される第9のトランジスタ3 9がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ3 1の第2端子であるソースの電位が上昇していき、第1の電源電位 V_{DD} より大きくなる。そして、第1のトランジスタ3 1のソースが第1端子側、即ち電源線5 1側に切り替わる。そのため、第1のトランジスタ3 1においては、ゲートとソースの間、ゲートとドレインの間

ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位 V_{cc} が印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

【0265】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、これによりトランジスタ数を削減することができる。

【0266】

また、第1のトランジスタ31乃至第13のトランジスタ43の半導体層として、酸化半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることができると共に、劣化の度合いを低減することができるため、回路内の誤動作を低減することができる。また酸化半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位 V_{cc} を供給する電源線に、第1の電源電位 V_{DD} を供給しても同様の動作が得られ、且つ回路間を引き回す電源線の本数を低減することができるため、回路の小型化を図ることができる。

【0267】

なお、第7のトランジスタ37のゲート電極（第1のゲート電極及び第2のゲート電極）に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図13（A）に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次に第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図13（A）に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次に、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極（第1のゲート電極及び第2のゲート電極）に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22によって供給されるクロック信号とすることによって、ノードBの電位の変動回数が低減され、ノイズを低減することができる。

【0268】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0269】

(実施の形態5)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、薄膜トランジスタを有する駆動回路の一部又は全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0270】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)を用いることができる。

【0271】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の画素に備える。素子基板は、具体的には、表示素子の画素電極(画素電極層ともいう)のみが形成された状態であってもよいし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であってもよいし、あらゆる形態があてはまる。

【0272】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、若しくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)若しくはTAB(Tape Automated Bonding)テープ若しくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、又は表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0273】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図14を用いて説明する。図14(A1)及び図14(A2)は、薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図14(B)は、図14(A1)(A2)のM-Nにおける断面図に相当する。

【0274】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0275】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図14(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図14(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0276】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図14(B)では、画素部4002に含まれる薄

10

20

30

40

50

膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011と、を例示している。薄膜トランジスタ4010、4011上には酸化物絶縁層4041、及び絶縁層4021が順に設けられている。

【0277】

薄膜トランジスタ4010、4011は、実施の形態1又は2で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。駆動回路用の薄膜トランジスタ4011としては、例えば実施の形態1又は2で示した薄膜トランジスタ410を用いることができ、画素用の薄膜トランジスタ4010としては、例えば実施の形態1又は2で示した薄膜トランジスタ420を用いることができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

10

【0278】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

【0279】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は、第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031には、それぞれ配向膜として機能する酸化物絶縁層4032、4033が設けられ、酸化物絶縁層4032、4033を介して液晶層4008が挟持されている。

20

【0280】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、又はアクリル樹脂フィルムを用いることができる。

30

【0281】

また、スペーサ4035は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なおスペーサ4035として球状のスペーサを用いてもよい。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

40

【0282】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0283】

また、本実施の形態の液晶表示装置を、透過型液晶表示装置又は半透過型液晶表示装置としても適用することができる。

50

【0284】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層（カラーフィルタともいう）、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。

【0285】

薄膜トランジスタ4011は、保護絶縁膜としてチャンネル形成領域を含む半導体層に接して酸化物絶縁層4041が形成されている。酸化物絶縁層4041は、例えば実施の形態1で示した酸化物絶縁層416と同様な材料及び方法で形成すればよい。ここでは、酸化物絶縁層4041として、実施の形態1と同様にスパッタリング法により酸化珪素膜を形成する。

10

【0286】

また、酸化物絶縁層4041上に保護絶縁層を形成してもよい。

【0287】

また、薄膜トランジスタに起因する表面凹凸を低減するため、酸化物絶縁層4041上に平坦化絶縁膜として機能する絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

20

【0288】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）や、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等の器具を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0289】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

30

【0290】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0291】

導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、又はこれらの2種以上の共重合体などがあげられる。

40

【0292】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004又は画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0293】

接続端子電極4015は、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

50

【0294】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0295】

また、図14においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部又は走査線駆動回路の一部のみを別途形成して実装してもよい。

【0296】

図15は、本明細書に開示する作製方法により作製されるTFT基板2600を用いた半導体装置として液晶表示モジュールを構成する一例を示している。

10

【0297】

図15は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、及び着色層2605が設けられ、表示領域が形成される。着色層2605は、カラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

20

【0298】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、 FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

30

【0299】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0300】

(実施の形態6)

本明細書に開示する半導体装置は、フレキシビリティを持たすことによって電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示部等に適用することができる。電子機器の一例を図16に示す。

40

【0301】

図16は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701及び筐体2703の2つの筐体で構成されている。筐体2701及び筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0302】

筐体2701には、表示部2705が組み込まれ、筐体2703には、表示部2707が組み込まれている。表示部2705及び表示部2707は、一続きの画像を表示する構成としてもよいし、異なる画像を表示する構成としてもよい。異なる画像を表示する構成とすることで、例えば右側の表示部（図16では表示部2705）に文章画像を表示し、左

50

側の表示部（図１６では表示部２７０７）に別の画像を表示することができる。

【０３０３】

また、図１６では、筐体２７０１に操作部などを備えた例を示している。例えば、筐体２７０１において、電源スイッチ２７２１、操作キー２７２３、スピーカ２７２５などを備えている。操作キー２７２３により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、ＵＳＢ端子、又はＡＣアダプタ及びＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍２７００は、電子辞書としての機能を持たせた構成としてもよい。

10

【０３０４】

また、電子書籍２７００は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【０３０５】

（実施の形態７）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

20

【０３０６】

図１７（Ａ）は、テレビジョン装置９６００の一例を示している。テレビジョン装置９６００は、筐体９６０１に表示部９６０３が組み込まれている。表示部９６０３により、映像を表示することが可能である。また、ここでは、スタンド９６０５により筐体９６０１を支持した構成を示している。

【０３０７】

テレビジョン装置９６００の操作は、筐体９６０１が備える操作スイッチや、別体のリモコン操作機９６１０により行うことができる。リモコン操作機９６１０が備える操作キー９６０９により、チャンネルや音量の操作を行うことができ、表示部９６０３に表示される映像を操作することができる。また、リモコン操作機９６１０に、当該リモコン操作機９６１０から出力する情報を表示する表示部９６０７を設ける構成としてもよい。

30

【０３０８】

なお、テレビジョン装置９６００は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【０３０９】

図１７（Ｂ）は、デジタルフォトフレーム９７００の一例を示している。例えば、デジタルフォトフレーム９７００は、筐体９７０１に表示部９７０３が組み込まれている。表示部９７０３は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

40

【０３１０】

なお、デジタルフォトフレーム９７００は、操作部、外部接続用端子（ＵＳＢ端子、ＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える。これらは、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム９７００の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部９７０３に表示させることができる。

50

【0311】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0312】

図18(A)は、携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には、表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図18(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図18(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図18(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0313】

図18(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

20

【0314】

図19(A)は携帯型のコンピュータの一例を示す斜視図である。

【0315】

図19(A)の携帯型のコンピュータは、上部筐体9301と下部筐体9302とを接続するヒンジユニットを開状態として表示部9303を有する上部筐体9301と、キーボード9304を有する下部筐体9302とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部9303を見て入力操作を行うことができる。

30

【0316】

また、下部筐体9302は、キーボード9304の他に入力操作を行うポインティングデバイス9306を有する。また、表示部9303をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体9302は、CPUやハードディスク等の演算機能部を有している。また、下部筐体9302は他の機器、例えばUSBの通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート9305を有している。

40

【0317】

上部筐体9301には、更に上部筐体9301内部にスライドさせて収納可能な表示部9307を有しており、広い表示画面を実現することができる。また、収納可能な表示部9307の画面の向きを使用者は調節できる。また、収納可能な表示部9307をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0318】

表示部9303又は収納可能な表示部9307は、液晶表示パネルなどの映像表示装置を用いる。

【0319】

50

また、図19(A)の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部9303又は表示部9307に表示することができる。また、上部筐体9301と下部筐体9302とを接続するヒンジユニットを閉状態としたまま、表示部9307をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部9303を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

【0320】

また、図19(B)は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

10

【0321】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部9204、腕に対するバンド部9204の固定状態を調節する調節部9205、表示部9201、スピーカ9207、及びマイク9208から構成されている。

【0322】

また、本体は、操作スイッチ9203を有し、操作スイッチ9203である電源入力ボタンや、表示切り替えボタンや、撮像開始指示ボタンを押すとインターネット用のプログラムが起動されるなど、各ファンクションに対応づけることができる。

20

【0323】

この携帯電話の入力操作は、表示部9201に指や入力ペンなどで触れること、又は操作スイッチ9203の操作、又はマイク9208への音声入力により行われる。なお、図19(B)では、表示部9201に表示された表示ボタン9202を図示しており、指などで触れることにより入力を行うことができる。

【0324】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部9206を有する。なお、特にカメラ部は設けなくともよい。

【0325】

また、図19(B)に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部9201に表示することができ、さらにメモリなどの記憶装置などを備えた構成として、テレビ放送をメモリに録画できる。また、図19(B)に示す携帯電話は、GPSなどの位置情報を収集できる機能を有していてもよい。

30

【0326】

表示部9201は、液晶表示パネルなどの映像表示装置を用いる。図19(B)に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量の限られており、表示部9201に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

【0327】

なお、図19(B)では、腕に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

40

【0328】

(実施の形態8)

本実施の形態では、半導体装置の一形態として、実施の形態1及び実施の形態2で示す薄膜トランジスタを有する表示装置の例を図20乃至図33を用いて説明する。本実施の形態は、表示素子として液晶素子を用いた液晶表示装置の例を図20乃至図33を用いて説明する。図20乃至図33の液晶表示装置に用いられるTF T 6 2 8、6 2 9は、実施の形態1及び実施の形態2で示す薄膜トランジスタを適用することができ、実施の形態1及び実施の形態2で示す工程で同様に作製できる電気特性及び信頼性の高い薄膜トランジスタである。TF T 6 2 8及びTF T 6 2 9は、酸化物半導体層をチャンネル形成領域とする薄膜トランジスタである。図20乃至図33では、薄膜トランジスタの一例として図1に

50

示す薄膜トランジスタ420を用いる場合について説明するが、これに限定されるものではない。

【0329】

はじめにVA (Vertical Alignment) 型の液晶表示装置について示す。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素（ピクセル）をいくつかの領域（例えば2〜4個のサブピクセル）に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

10

【0330】

図21及び図22は、それぞれ画素電極及び対向電極を示している。なお、図21は画素電極が形成される基板側の平面図であり、図中に示す切断線G-Hに対応する断面構造を図20に表している。また、図22は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【0331】

図20は、TFT628とそれに電氣的に接続する画素電極層624、及び保持容量部630が形成された基板600と、対向電極層640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

【0332】

対向基板601には、第1の着色膜、第2の着色膜、第3着色膜（図示せず）が形成され、対向電極層640上に突起644が形成されている。この構造により、液晶の配向を制御するための突起644とスペーサの高さを異ならせている。画素電極層624上には、配向膜648が形成され、同様に対向電極層640上及び突起644上にも配向膜646が形成されている。また、基板600と対向基板601の間に液晶層650が形成されている。

20

【0333】

ここでは、スペーサを柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサを基板600上に形成される画素電極層624上に形成してもよい。

【0334】

基板600上には、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成される。画素電極層624は、TFT628と接続し、保持容量部630を覆う絶縁膜620、絶縁膜620を覆う絶縁膜621、絶縁膜621を覆う絶縁膜622をそれぞれ貫通するコンタクトホール623で、導電層632、TFT628の酸化物半導体層、及び配線618と電氣的に接続する。TFT628は、実施の形態1及び2で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同時に形成した第1の容量配線である容量配線604と、ゲート絶縁膜606と、配線616、618と同時に形成した第2の容量配線である容量配線617で構成される。

30

【0335】

画素電極層624と液晶層650と対向電極層640が重なり合うことで、液晶素子が形成されている。

40

【0336】

例えば、実施の形態1及び実施の形態2で示した材料を用いて画素電極層624を形成する。画素電極層624にはスリット625を設ける。スリット625は液晶の配向を制御する機能を有する。

【0337】

図21に示すTFT629とそれに接続する画素電極層626及び保持容量部631は、それぞれTFT628、画素電極層624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶表示パ

50

ネルの画素（ピクセル）は、画素電極層 6 2 4 と画素電極層 6 2 6 を用いて構成されている。画素電極層 6 2 4 と画素電極層 6 2 6 はサブピクセルである。図 2 1 に示す液晶表示装置は 2 つのサブピクセルで構成されているが、これに限定されず、本実施の形態の液晶表示装置は、3 つ以上の複数のサブピクセルにより構成することもできる。

【0338】

図 2 2 に対向基板側の平面構造を示す。対向電極層 6 4 0 は、画素電極層 6 2 4 と同様の材料を用いて形成することが好ましい。対向電極層 6 4 0 上には液晶の配向を制御する突起 6 4 4 が形成されている。なお、図 2 2 では、画素電極層 6 2 4 及び画素電極層 6 2 6 を破線で示し、対向電極層 6 4 0 と、画素電極層 6 2 4 及び画素電極層 6 2 6 と、が重なり合って配置されている様子を示している。

10

【0339】

この画素構造の等価回路を図 2 3 に示す。T F T 6 2 8 と T F T 6 2 9 は、共にゲート配線 6 0 2、配線 6 1 6 と電氣的に接続している。また、T F T 6 2 8 には、保持容量部 6 3 0 及び液晶素子 6 5 1 が電氣的に接続されている。また、T F T 6 2 9 には、保持容量部 6 3 1 及び液晶素子 6 5 2 が電氣的に接続されている。この場合、容量配線 6 0 4 と容量配線 6 0 5 の電位を異ならせることで、液晶素子 6 5 1 と液晶素子 6 5 2 の動作を異ならせることができる。すなわち、容量配線 6 0 4 と容量配線 6 0 5 の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

【0340】

また、スリット 6 2 5 を設けた画素電極層 6 2 4 に電圧を印加すると、スリット 6 2 5 の近傍には電界の歪み（斜め電界）が発生する。このスリット 6 2 5 と、対向基板 6 0 1 側の突起 6 4 4 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

20

【0341】

次に、上記とは異なる V A 型の液晶表示装置について、図 2 4 乃至図 2 7 を用いて説明する。

【0342】

図 2 4 と図 2 5 は、V A 型液晶表示パネルの画素構造を示している。図 2 5 は、基板 6 0 0 の平面図であり、図中に示す切断線 Y-Z に対応する断面構造を図 2 4 に表している。以下の説明ではこの両図を参照して説明する。

30

【0343】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極に T F T が接続されている。各 T F T は、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0344】

画素電極層 6 2 4 は、絶縁膜 6 2 0、絶縁膜 6 2 1、及び絶縁膜 6 2 2 をそれぞれ貫通するコンタクトホール 6 2 3 において、導電層 6 1 1 と接続し、導電層 6 1 1 は、酸化物半導体層の高抵抗ドレイン領域 6 1 3 及び配線 6 1 8 を介して T F T 6 2 8 と接続している。また、画素電極層 6 2 6 は、絶縁膜 6 2 0、絶縁膜 6 2 1、及び絶縁膜 6 2 2 をそれぞれ貫通するコンタクトホール 6 2 7 において、導電層 6 1 2 と接続し、導電層 6 1 2 は、酸化物半導体層の高抵抗ドレイン領域 6 1 4 及び配線 6 1 9 を介して T F T 6 2 9 と接続している。T F T 6 2 8 のゲート配線 6 0 2 と、T F T 6 2 9 のゲート配線 6 0 3 には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線 6 1 6 は、T F T 6 2 8 と T F T 6 2 9 で共通に用いられている。T F T 6 2 8 と T F T 6 2 9 としては、実施の形態 1 及び実施の形態 2 で示す薄膜トランジスタを適宜用いることができる。また、容量配線 6 9 0 が設けられている。なお、ゲート配線 6 0 2、ゲート配線 6 0 3、及び容量配線 6 9 0 上には第 1 のゲート絶縁膜 6 0 6 a、第 2 のゲート絶縁膜 6 0 6 b が形成されている。

40

50

【0345】

画素電極層624と画素電極層626の形状は異なっており、スリット625によって分離されている。V字型に広がる画素電極層624の外側を囲むように画素電極層626が形成されている。画素電極層624と画素電極層626に印加する電圧を、TFT628及びTFT629により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図27に示す。TFT628は、ゲート配線602と接続し、TFT629はゲート配線603と接続している。ゲート配線602とゲート配線603は異なるゲート信号を与えることで、TFT628とTFT629の動作タイミングを異ならせることができる。また、TFT628とTFT629は、共に配線616と接続している。また、TFT628には、保持容量部630及び液晶素子651が接続され、TFT629には、保持容量部631及び液晶素子652が接続されている。

10

【0346】

対向基板601には、着色膜636、対向電極層640が形成されている。また、着色膜636と対向電極層640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。図26に対向基板側の構造を示す。対向電極層640は、異なる画素間で共通化されている電極であるが、スリット641が形成されている。このスリット641と、画素電極層624及び画素電極層626側のスリット625とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

【0347】

20

画素電極層624と液晶層650と対向電極層640が重なり合うことで、第1の液晶素子が形成されている。また、画素電極層626と液晶層650と対向電極層640が重なり合うことで、第2の液晶素子が形成されている。また、一画素に第1の液晶素子と第2の液晶素子が設けられたマルチドメイン構造である。

【0348】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約180度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

【0349】

30

図28は、導電層611を介してTFT628及びTFT628に電氣的に接続する画素電極層624が形成された基板600と、対向基板601とを重ね合わせ、液晶を注入した状態を示している。対向基板601には、着色膜636、平坦化膜637などが形成されている。なお、対向基板601側には対向電極層が設けられていない。また、基板600と対向基板601の間に配向膜646及び配向膜648を介して液晶層650が形成されている。

【0350】

基板600上には、電極層607及び電極層607に接続する容量配線604、並びに実施の形態1及び2で示す薄膜トランジスタであるTFT628が形成される。容量配線604は、TFT628のゲート配線602と同時に形成することができる。電極層607は、実施の形態1及び実施の形態2で示す画素電極層427と同様の材料を用いることができる。また、電極層607は、略画素の形状に区画化した形状で形成する。なお、電極層607及び容量配線604上には、ゲート絶縁膜606が形成される。

40

【0351】

TFT628の配線616、配線618は、ゲート絶縁膜606上に形成される。配線616は液晶表示パネルにおいてビデオ信号をのせるデータ線であり、一方向に伸びる配線であると同時に、TFT628のソース及びドレインの一方の電極となる。配線618は、TFT628のソース及びドレインの他方の電極となり、酸化物半導体層の高抵抗ドレイン領域613及び導電層611を介して第2の画素電極となる画素電極層624と接続する配線である。導電層611は、実施の形態1に示す導電層442と同様の材料を用い

50

ることができる。

【0352】

また、配線616、配線618上に絶縁膜620が形成され、絶縁膜620の上に絶縁膜621が形成される。また、絶縁膜621上には、絶縁膜620及び絶縁膜621に形成されるコンタクトホール623、導電層611、及び高抵抗ドレイン領域613を介して配線618に接続する画素電極層624が形成される。画素電極層624は実施の形態1で示した画素電極層427と同様の材料を用いて形成する。

【0353】

このようにして、基板600上にTFT628とそれに接続する画素電極層624が形成される。なお、保持容量は、電極層607と画素電極層624の間で形成されている。

10

【0354】

図29は、画素電極の構成を示す平面図である。図29に示す切断線O-Pに対応する断面構造を図28に表している。画素電極層624には、スリット625が設けられる。スリット625は、液晶の配向を制御するためのものである。この場合、電界は、電極層607と画素電極層624の間で発生する。電極層607と画素電極層624の間には、ゲート絶縁膜606が形成されているが、ゲート絶縁膜606の厚さは、50～200nmであり、2～10μmである液晶層の厚さと比較して十分薄いので、実質的に基板600と平行な方向（水平方向）に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、電極層607と画素電極層624は、共に透光性の電極であるので、開口率を向上させることができる。

20

【0355】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0356】

図30と図31は、IPS型の液晶表示装置の画素構造を示している。図31は平面図であり、図中に示す切断線V-Wに対応する断面構造を図30に表している。以下の説明ではこの両図を参照して説明する。

【0357】

図30は、TFT628とそれに接続する画素電極層624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には着色膜636、平坦化膜637などが形成されている。なお、対向基板601側に対向電極層は設けられていない。また、基板600と対向基板601の間に、配向膜646及び配向膜648を介して液晶層650が形成されている。

30

【0358】

基板600上には、共通電位線609、及び実施の形態1及び実施の形態2で示すTFT628が形成される。共通電位線609は、TFT628のゲート配線602と同時に形成することができる。また、電極層607は略画素の形状に区画化した形状で形成する。また、TFT628としては、実施の形態1及び2で示した薄膜トランジスタを適用することができる。

40

【0359】

TFT628の配線616、配線618は、ゲート絶縁膜606上に形成される。配線616は、液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、TFT628のソース及びドレインの一方の電極となる。配線618は、ソース及びドレインの他方の電極となり、導電層611及び高抵抗ドレイン領域613を介して画素電極層624と接続する配線である。

【0360】

また、配線616、配線618上に絶縁膜620が形成され、絶縁膜620上に絶縁膜621が形成される。また、絶縁膜621上には、絶縁膜620及び絶縁膜621に形成されるコンタクトホール623、導電層611、及び高抵抗ドレイン領域613を介して配

50

線 6 1 8 に接続する画素電極層 6 2 4 が形成される。画素電極層 6 2 4 は、実施の形態 1 で示した画素電極層 4 2 7 と同様の材料を用いて形成する。なお、図 3 1 に示すように、画素電極層 6 2 4 は、共通電位線 6 0 9 と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極層 6 2 4 の櫛歯の部分と共通電位線 6 0 9 と同時に形成した櫛形の電極と交互に咬み合うように形成される。

【0361】

画素電極層 6 2 4 に印加される電位と共通電位線 6 0 9 の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

10

【0362】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成される。保持容量は、共通電位線 6 0 9 と容量電極 6 1 5 の間にゲート絶縁膜 6 0 6 を設け、それにより形成されている。容量電極 6 1 5 と画素電極層 6 2 4 はコンタクトホール 6 3 3 を介して接続されている。

【0363】

次に、T N 型の液晶表示装置の形態について示す。

【0364】

図 3 2 と図 3 3 は、T N 型の液晶表示装置の画素構造を示している。図 3 3 は平面図であり、図中に示す切断線 K - L に対応する断面構造を図 3 2 に表している。以下の説明ではこの両図を参照して説明する。

20

【0365】

画素電極層 6 2 4 は、絶縁膜 6 2 0、絶縁膜 6 2 1 を貫通するコンタクトホール 6 2 3、導電層 6 1 1 及び高抵抗ドレイン領域 6 1 3 を介して配線 6 1 8 と接続している。データ線として機能する配線 6 1 6 は、T F T 6 2 8 と接続している。T F T 6 2 8 は実施の形態 1 及び 2 に示す T F T のいずれかを適用することができる。

【0366】

画素電極層 6 2 4 は、実施の形態 1 で示す画素電極層 4 2 7 と同様の材料を用いて形成される。容量配線 6 0 4 は、T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。ゲート配線 6 0 2 及び容量配線 6 0 4 上にはゲート絶縁膜 6 0 6 a 及び 6 0 6 b が形成される。保持容量は、容量配線 6 0 4、容量電極 6 1 5、及び容量配線 6 0 4 及び容量電極 6 1 5 の間のゲート絶縁膜 6 0 6 a 及び 6 0 6 b により形成されている。容量電極 6 1 5 と画素電極層 6 2 4 は、コンタクトホール 6 3 3 を介して接続されている。

30

【0367】

対向基板 6 0 1 には、着色膜 6 3 6、対向電極層 6 4 0 が形成されている。また、着色膜 6 3 6 と対向電極層 6 4 0 の間には、平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。液晶層 6 5 0 は、画素電極層 6 2 4 と対向電極層 6 4 0 の間に配向膜 6 4 8 及び配向膜 6 4 6 を介して形成されている。

【0368】

画素電極層 6 2 4 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、液晶素子が形成されている。

40

【0369】

また、基板 6 0 0 側に着色膜 6 3 6 が形成されていてもよい。また、基板 6 0 0 の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板 6 0 1 の対向電極層 6 4 0 が形成されている面とは逆の面に、偏光板を貼り合わせておく。

【0370】

また、配線 6 1 8 は、導電層 6 1 1 及び高抵抗ドレイン領域 6 1 3 を介して画素電極層 6 2 4 に電氣的に接続される。

【0371】

以上のように液晶表示装置を構成することができる。

50

【0372】

(実施の形態9)

半導体装置の一形態として電子ペーパーの例を示す。

【0373】

実施の形態1及び実施の形態2の薄膜トランジスタは、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0374】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒又は溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子又は第2の粒子は染料を含み、電界がない場合において移動しない。また、第1の粒子の色と第2の粒子の色は異なる（無色を含む）。

【0375】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板は必要なく、厚さや重さが低減する。

【0376】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクは、ガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0377】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1乃至7の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0378】

なお、マイクロカプセル中の第1の粒子及び第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、又はこれらの複合材料を用いればよい。

【0379】

図34は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1及び実施の形態2で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1及び実施の形態2で示す薄膜トランジスタも薄膜トランジスタ581として適用することもできる。

【0380】

図34の電子ペーパーは、ツイストボール表示方式を用いた例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0381】

基板580上に形成された薄膜トランジスタ581は、ボトムゲート構造の薄膜トランジスタであり、基板580上に設けられ、半導体層と接する絶縁膜583に覆われている。薄膜トランジスタ581のソース電極層又はドレイン電極層は、導電層582を介して第1の電極層587と電氣的に接続され、導電層582は、第1の電極層587と絶縁層5

10

20

30

40

50

８５に形成する開口で接している。第１の電極層５８７と基板５９６上に形成された第２の電極層５８８との間には、黒色領域５９０ａ及び白色領域５９０ｂを有し、周りに液体で満たされているキャビティ５９４を含む球形粒子５８９が設けられており、球形粒子５８９の周囲は、樹脂等の充填材５９５で充填されている。第１の電極層５８７が画素電極に相当し、第２の電極層５８８が共通電極に相当する。第２の電極層５８８は、薄膜トランジスタ５８１と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して第２の電極層５８８と共通電位線とを電氣的に接続することができる。

【０３８２】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径１０μｍ～２００μｍ程度のマイクロカプセルを用いる。第１の電極層と第２の電極層との間に設けられるマイクロカプセルは、第１の電極層と第２の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白又は黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【０３８３】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【符号の説明】

【０３８４】

- １０ パルス出力回路
- １１ 配線
- １２ 配線
- １３ 配線
- １４ 配線
- １５ 配線
- ２１ 入力端子
- ２２ 入力端子
- ２３ 入力端子
- ２４ 入力端子
- ２５ 入力端子
- ２６ 出力端子
- ２７ 出力端子
- ２８ トランジスタ
- ３１ トランジスタ
- ３２ トランジスタ
- ３３ トランジスタ
- ３４ トランジスタ
- ３５ トランジスタ
- ３６ トランジスタ
- ３７ トランジスタ
- ３８ トランジスタ
- ３９ トランジスタ
- ４０ トランジスタ

10

20

30

40

50

4 1	トランジスタ	
4 2	トランジスタ	
4 3	トランジスタ	
5 1	電源線	
5 2	電源線	
5 3	電源線	
6 1	期間	
6 2	期間	
1 0 0	基板	
1 0 2	ゲート絶縁層	10
1 0 7	酸化物絶縁層	
1 1 0	画素電極層	
1 1 1	導電層	
1 1 7	接続電極	
1 1 8	接続電極	
1 2 0	接続電極	
1 2 1	端子電極	
1 2 2	端子電極	
1 2 8	端子電極	
1 2 9	端子電極	20
1 4 7	容量	
1 5 0	端子電極	
1 5 1	端子電極	
1 5 3	接続電極	
1 5 5	導電層	
1 5 6	端子電極	
1 7 0	薄膜トランジスタ	
1 8 0	薄膜トランジスタ	
1 9 0	対向基板	
1 9 1	絶縁層	30
1 9 2	液晶層	
1 9 3	絶縁層	
1 9 4	対向電極層	
1 9 5	着色層	
1 9 6 a	偏光板	
1 9 6 b	偏光板	
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 5	酸化物導電膜	
4 0 8 a	酸化物導電層	40
4 0 8 b	酸化物導電層	
4 0 9 a	ソース電極層	
4 0 9 b	ドレイン電極層	
4 1 0	薄膜トランジスタ	
4 1 1	ゲート電極層	
4 1 2	酸化物半導体層	
4 1 3	チャネル形成領域	
4 1 4 a	高抵抗ソース領域	
4 1 4 b	高抵抗ドレイン領域	
4 1 5 a	ソース電極層	50

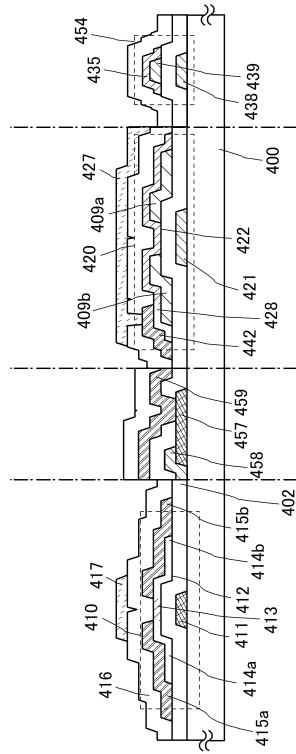
4 1 5 b	ドレイン電極層	
4 1 6	酸化物絶縁層	
4 1 7	導電層	
4 2 0	薄膜トランジスタ	
4 2 1	ゲート電極層	
4 2 2	酸化物半導体層	
4 2 6	コンタクトホール	
4 2 7	画素電極層	
4 2 8	領域	
4 3 0	酸化物半導体膜	10
4 3 1	酸化物半導体層	
4 3 2	酸化物半導体層	
4 3 3 a	レジストマスク	
4 3 3 b	レジストマスク	
4 3 3 c	レジストマスク	
4 3 3 d	レジストマスク	
4 3 5	酸化物半導体層	
4 3 8	導電層	
4 3 9	導電層	
4 4 1	コンタクトホール	20
4 4 2	導電層	
4 4 6	酸化物導電層	
4 4 7	酸化物導電層	
4 5 4	容量	
4 5 7	導電層	
4 5 8	導電層	
4 5 9	導電層	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 2	導電層	30
5 8 3	絶縁膜	
5 8 4	絶縁層	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	40
5 9 6	基板	
6 0 0	基板	
6 0 1	対向基板	
6 0 2	ゲート配線	
6 0 3	ゲート配線	
6 0 4	容量配線	
6 0 5	容量配線	
6 0 6	ゲート絶縁膜	
6 0 6 a	ゲート絶縁膜	
6 0 6 b	ゲート絶縁膜	50

6 0 7	電極層	
6 0 9	共通電位線	
6 1 1	導電層	
6 1 2	導電層	
6 1 3	高抵抗ドレイン領域	
6 1 4	高抵抗ドレイン領域	
6 1 5	容量電極	
6 1 6	配線	
6 1 7	容量配線	
6 1 8	配線	10
6 1 9	配線	
6 2 0	絶縁膜	
6 2 1	絶縁膜	
6 2 2	絶縁膜	
6 2 3	コンタクトホール	
6 2 4	画素電極層	
6 2 5	スリット	
6 2 6	画素電極層	
6 2 7	コンタクトホール	
6 2 8	T F T	20
6 2 9	T F T	
6 3 0	保持容量部	
6 3 1	保持容量部	
6 3 2	導電層	
6 3 3	コンタクトホール	
6 3 6	着色膜	
6 3 7	平坦化膜	
6 4 0	対向電極層	
6 4 1	スリット	
6 4 4	突起	30
6 4 6	配向膜	
6 4 8	配向膜	
6 5 0	液晶層	
6 5 1	液晶素子	
6 5 2	液晶素子	
6 9 0	容量配線	
6 9 6	絶縁膜	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	40
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	50

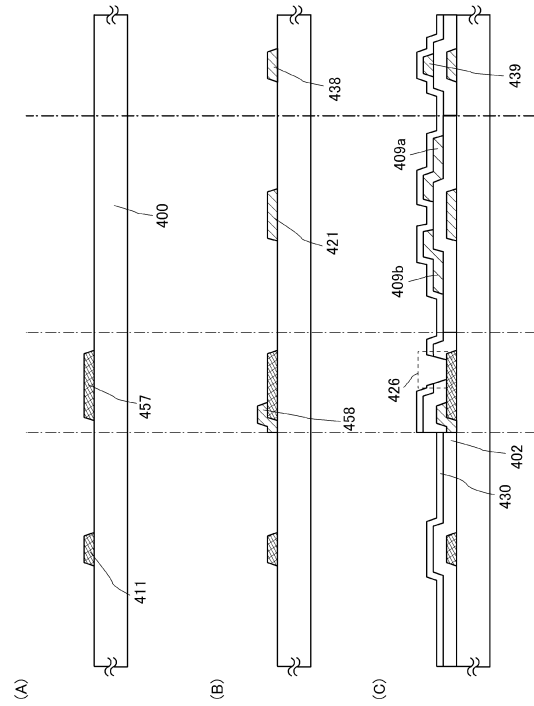
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	10
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	20
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	酸化物絶縁層	
4 0 3 5	スペーサ	
4 0 4 0	導電層	30
4 0 4 1	酸化物絶縁層	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	40
5 6 0 4	配線	
5 6 0 5	配線	
9 2 0 1	表示部	
9 2 0 2	表示ボタン	
9 2 0 3	操作スイッチ	
9 2 0 4	バンド部	
9 2 0 5	調節部	
9 2 0 6	カメラ部	
9 2 0 7	スピーカ	
9 2 0 8	マイク	50

9 3 0 1	上部筐体	
9 3 0 2	下部筐体	
9 3 0 3	表示部	
9 3 0 4	キーボード	
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	10
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	20
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	30
9 9 0 1	筐体	
9 9 0 3	表示部	

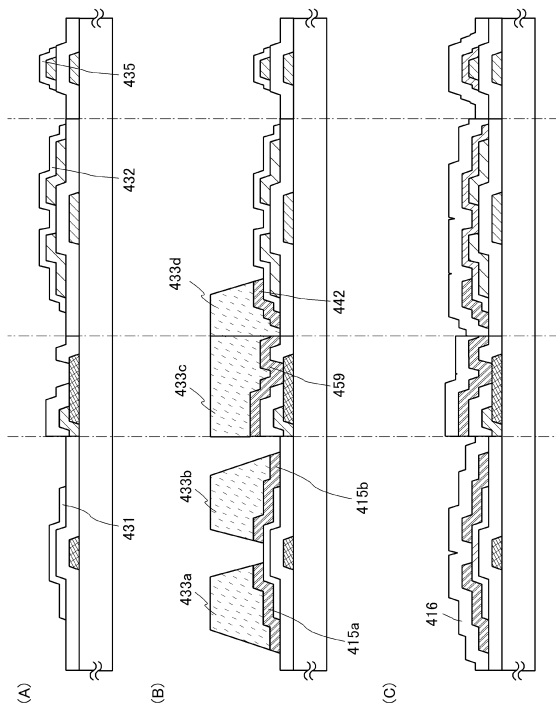
【図 1】



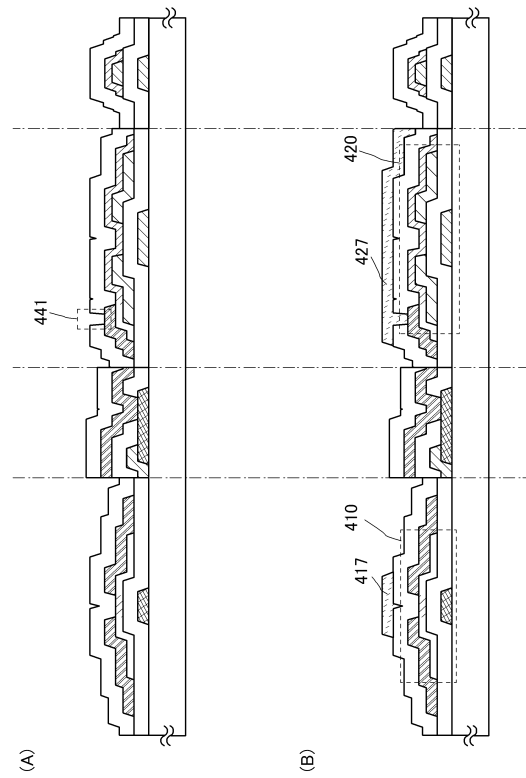
【図 2】



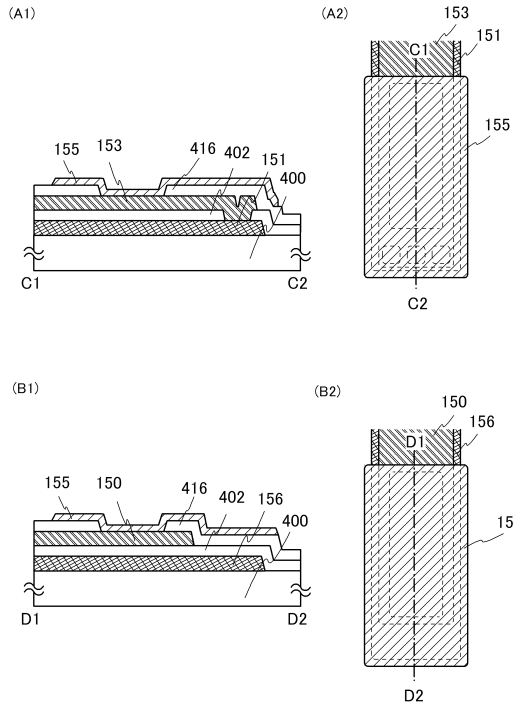
【図 3】



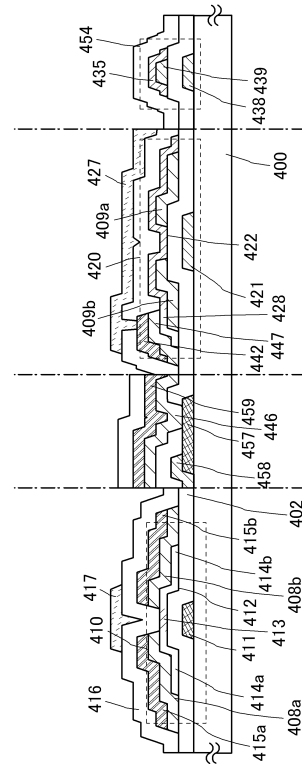
【図 4】



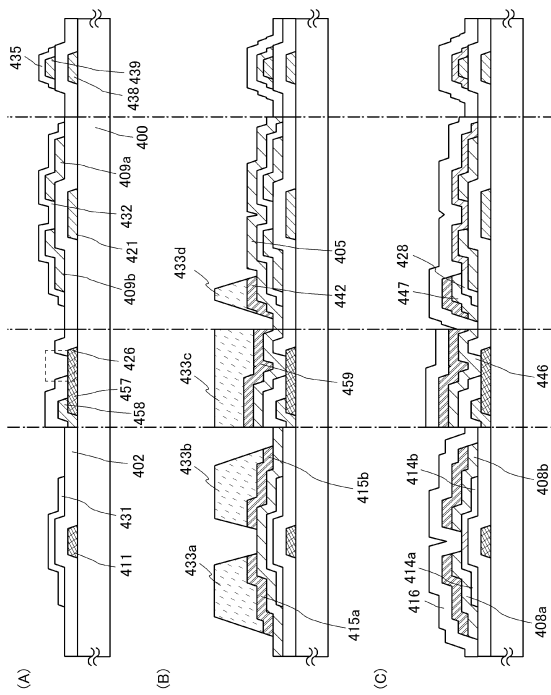
【図 5】



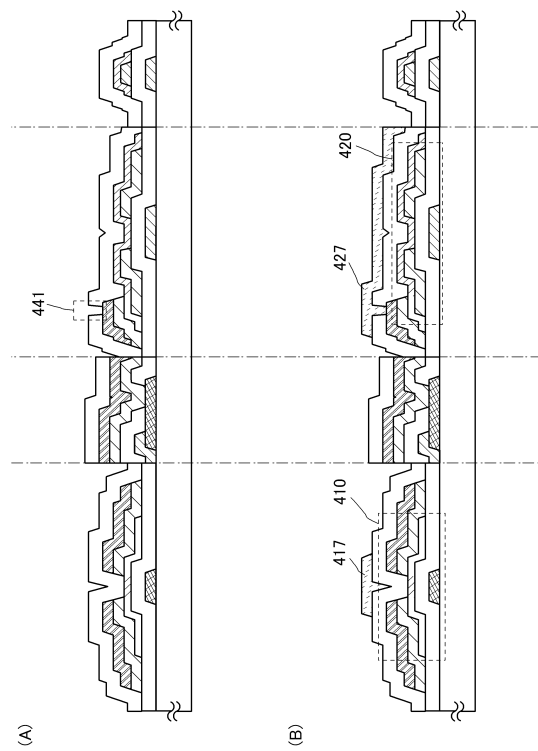
【図 6】



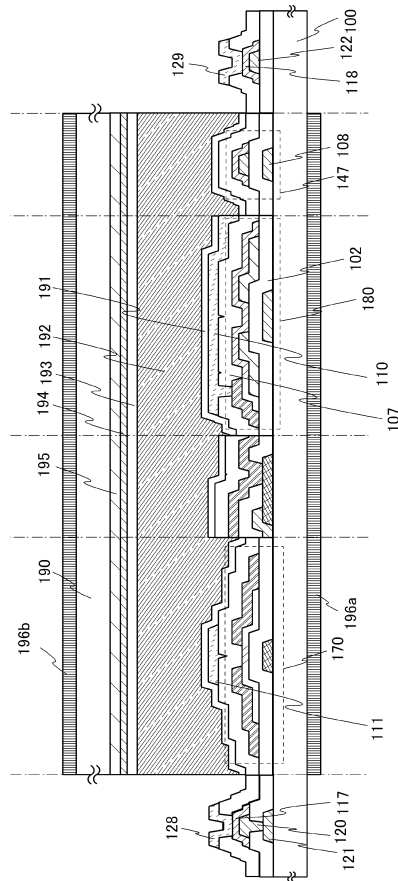
【図 7】



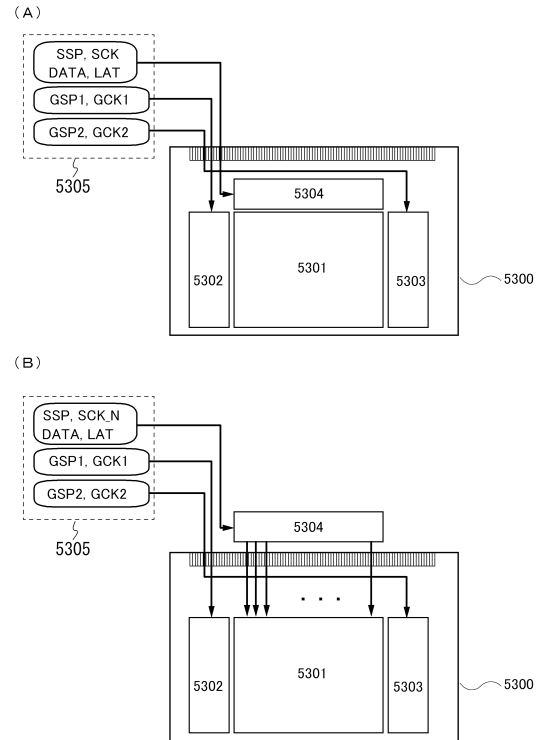
【図 8】



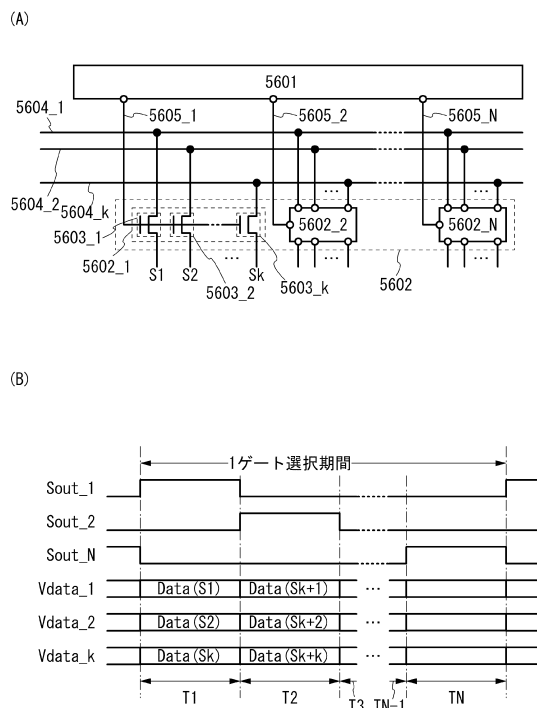
【図 9】



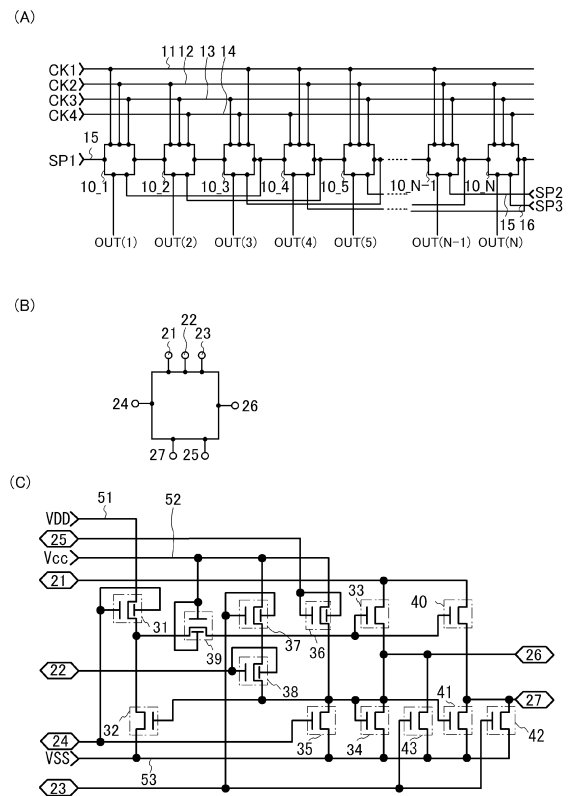
【図 10】



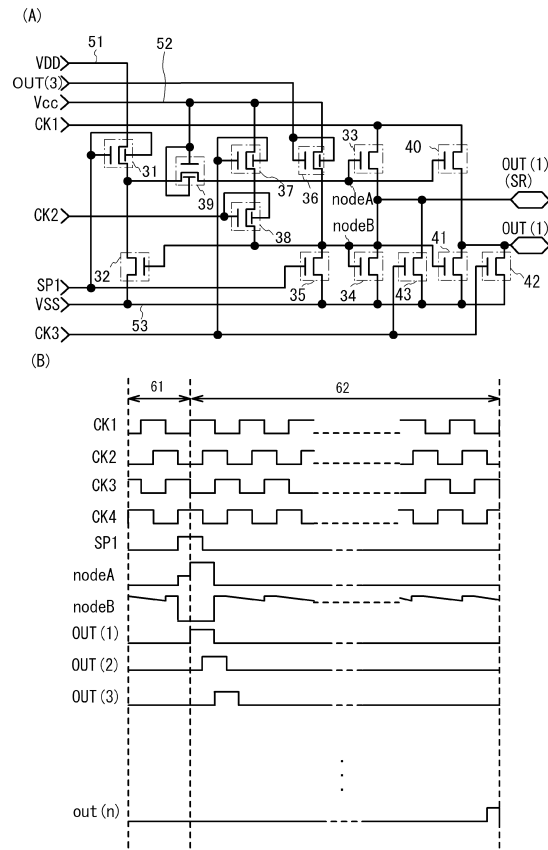
【図 11】



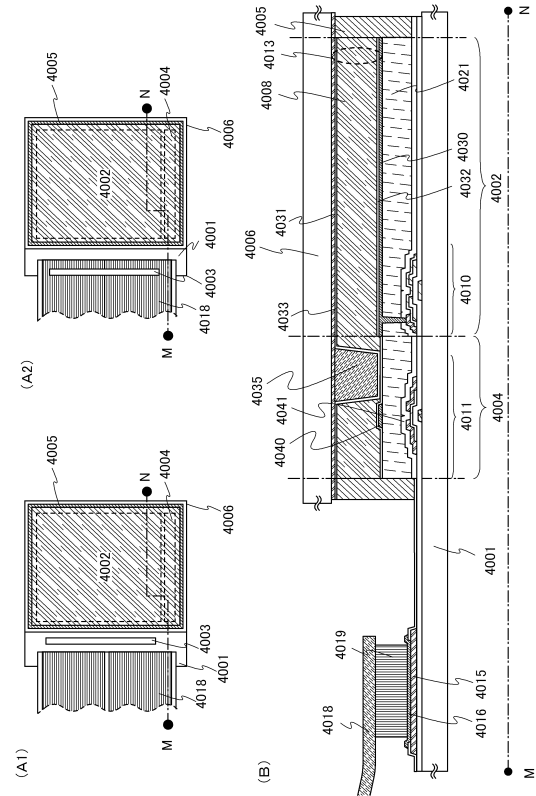
【図 12】



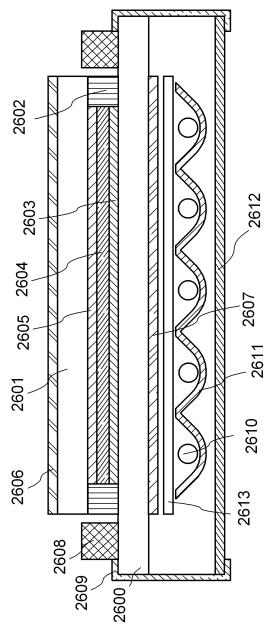
【図 13】



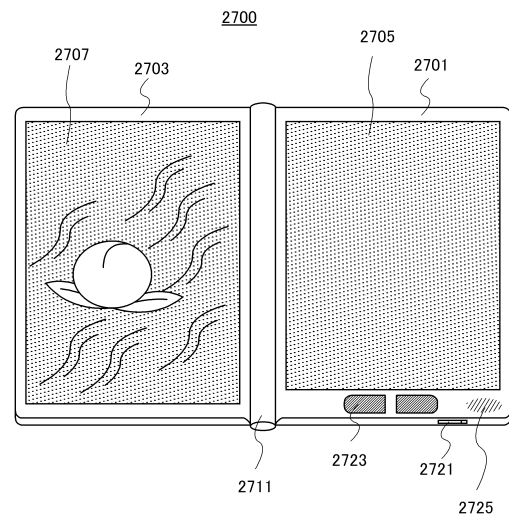
【図 14】



【図 15】

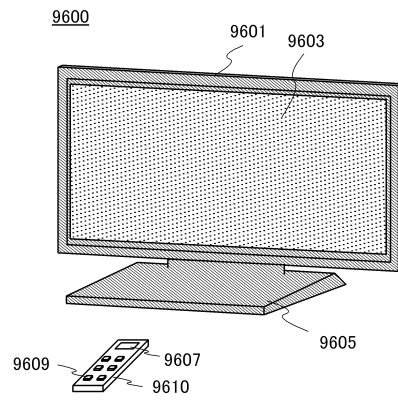


【図 16】

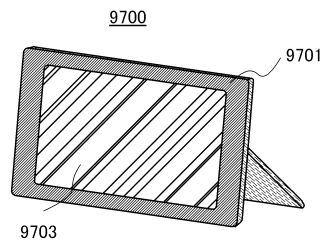


【図 17】

(A)

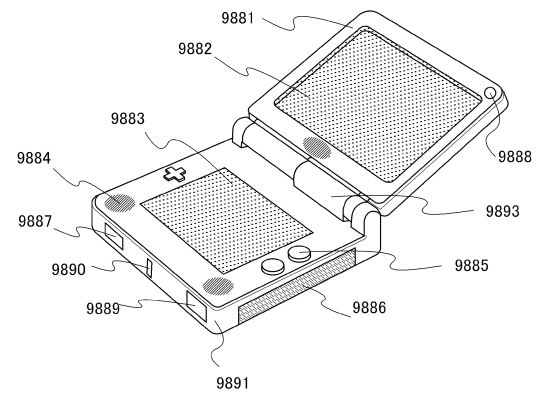


(B)

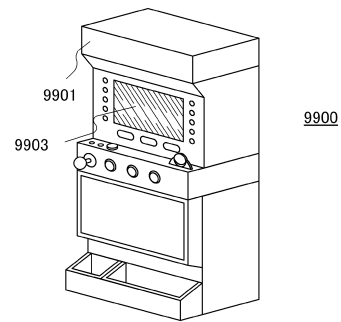


【図 18】

(A)

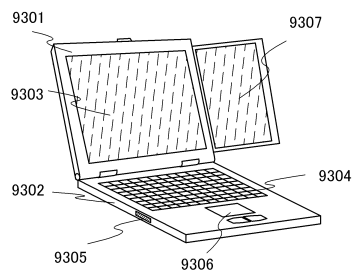


(B)

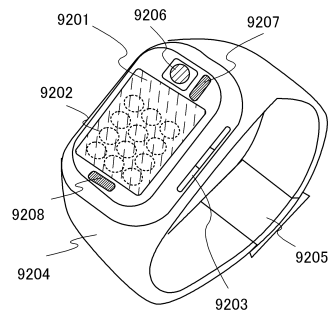


【図 19】

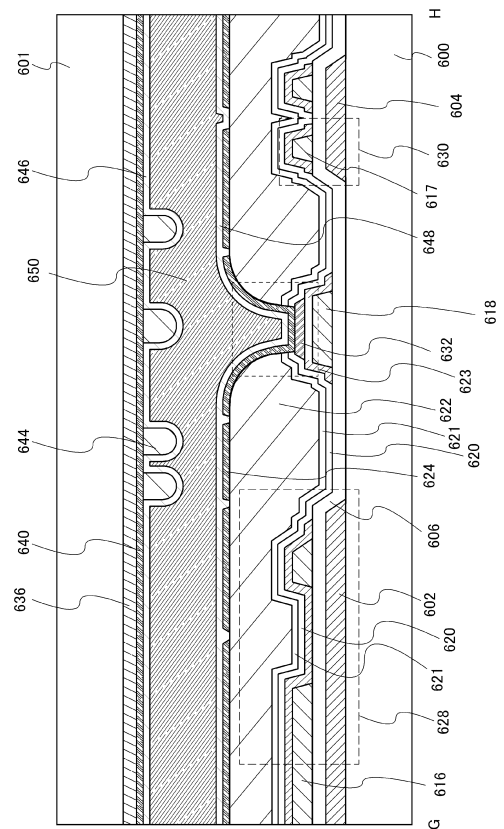
(A)



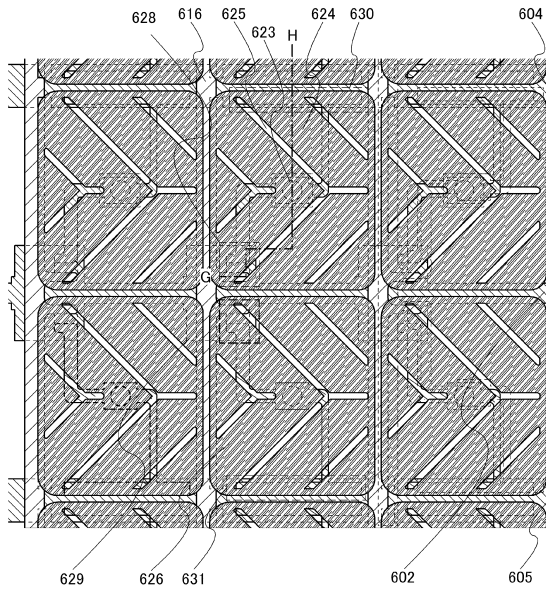
(B)



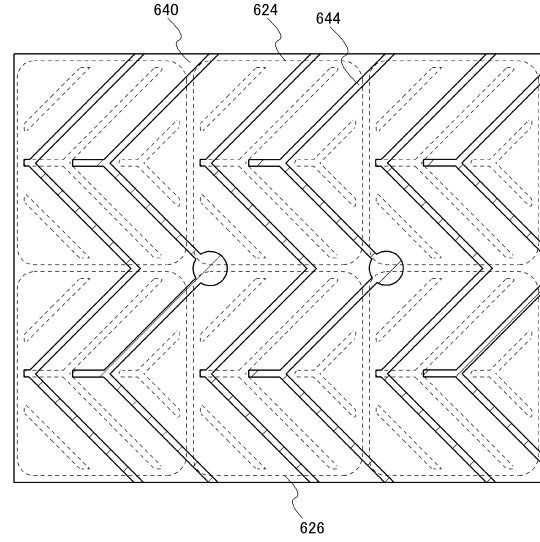
【図 20】



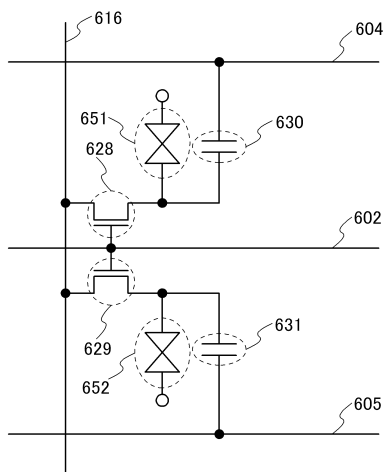
【図 2 1】



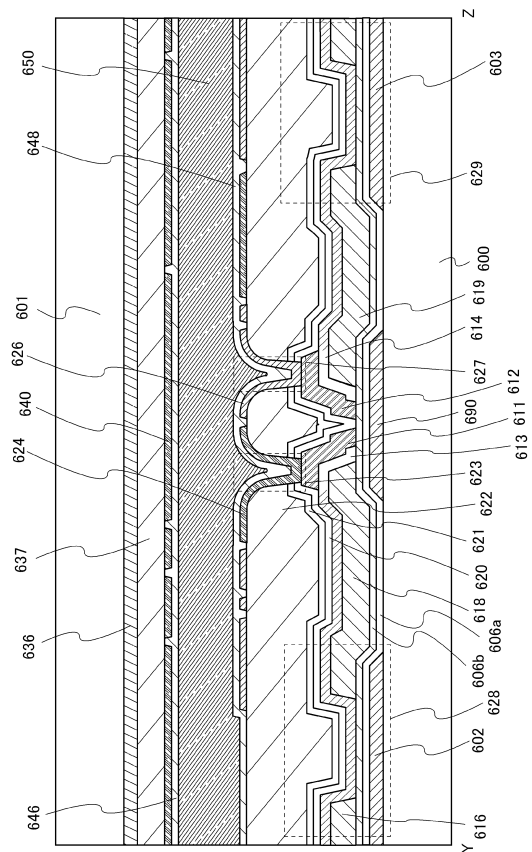
【図 2 2】



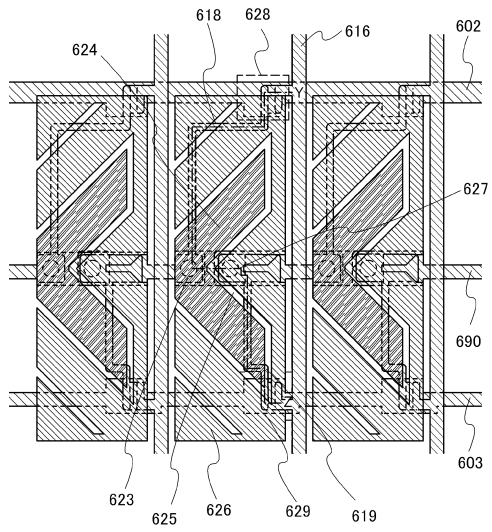
【図 2 3】



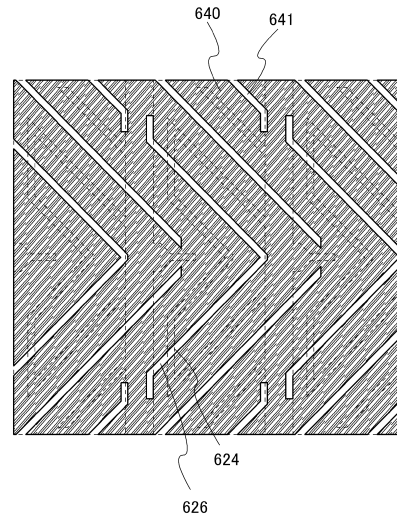
【図 2 4】



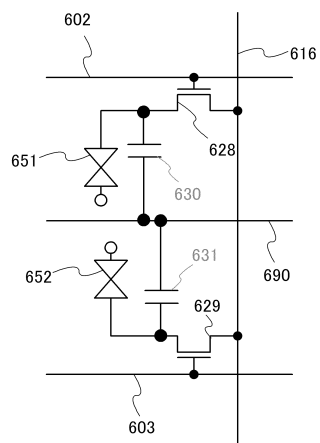
【図 25】



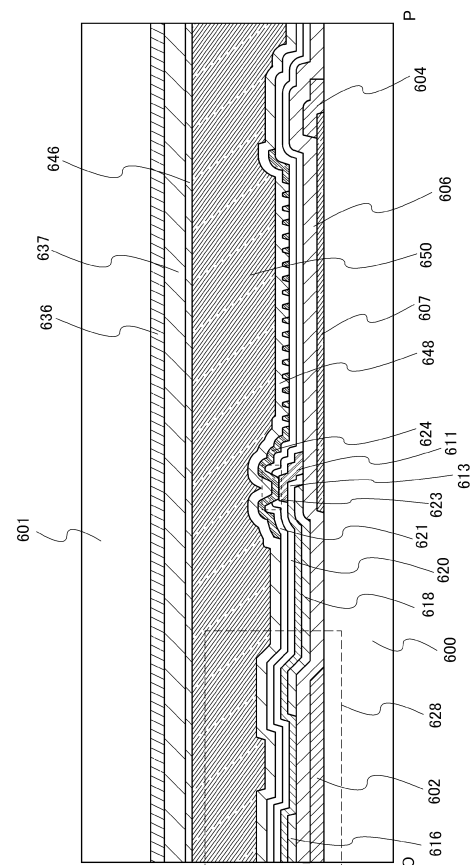
【図 26】



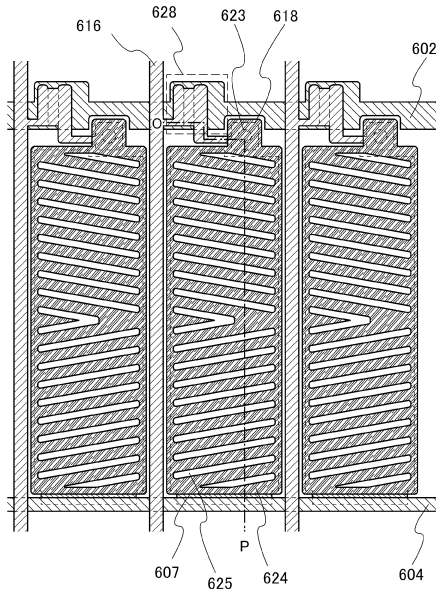
【図 27】



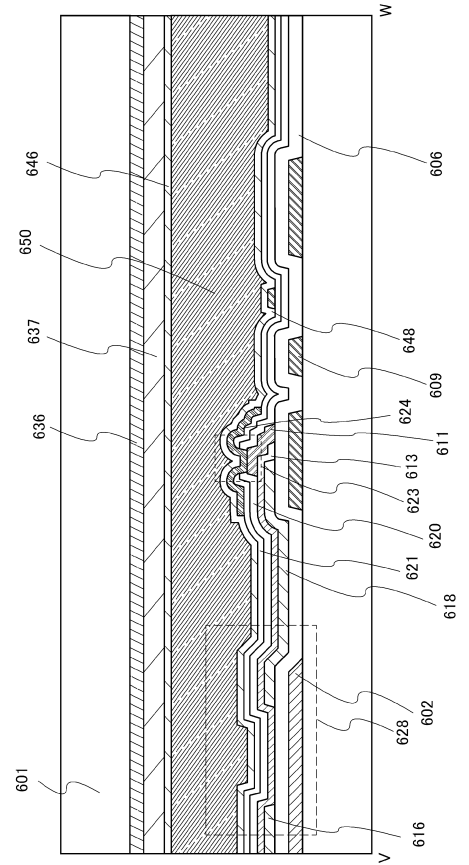
【図 28】



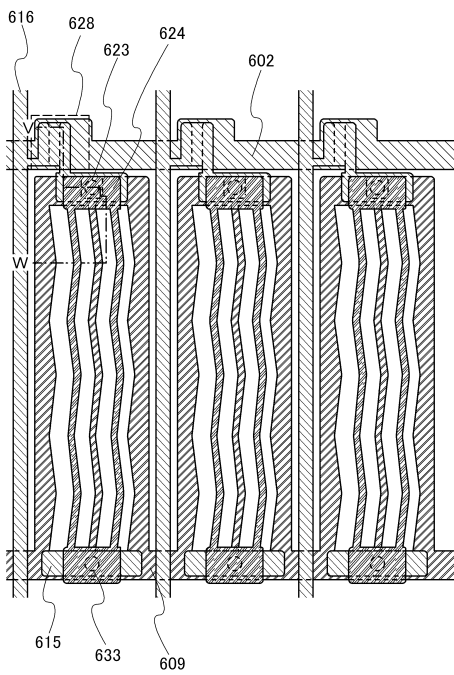
【図 29】



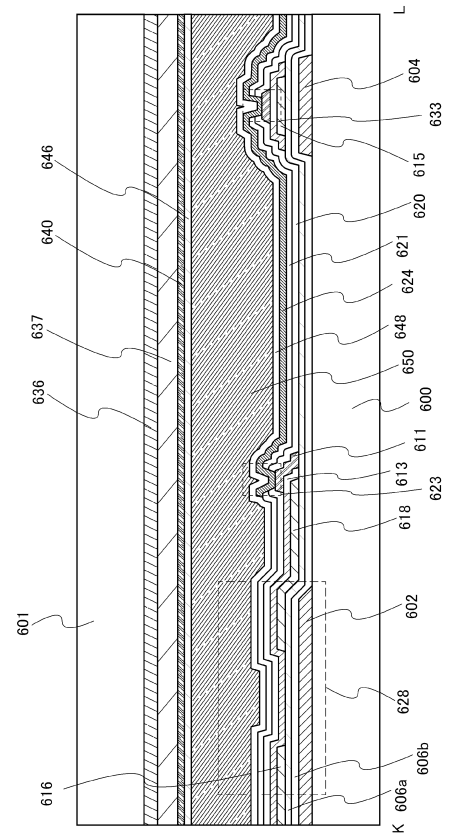
【図 30】



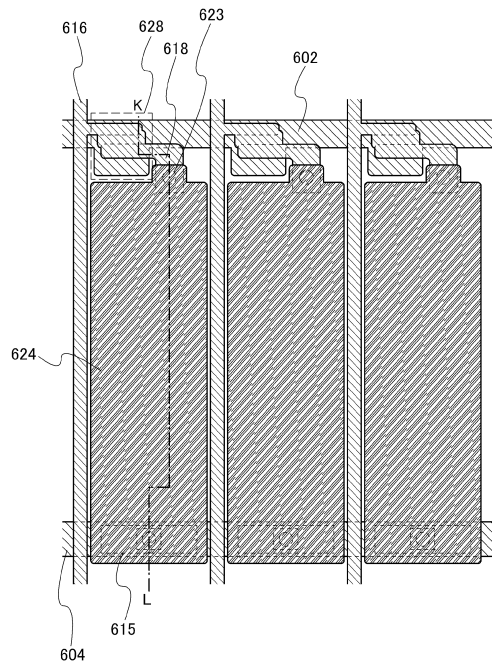
【図 31】



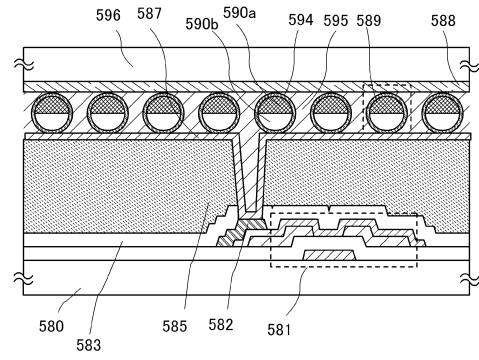
【図 32】



【図 3 3】



【図 3 4】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/1368

(72)発明者 坂田 淳一郎
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
(72)発明者 津吹 将志
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
(72)発明者 秋元 健吾
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
(72)発明者 細羽 みゆき
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 角田 光法

(56)参考文献 特開 2 0 0 7 - 0 9 6 0 5 5 (J P , A)
特開 2 0 0 7 - 1 3 4 4 8 2 (J P , A)
特表 2 0 0 6 - 5 2 7 3 9 1 (J P , A)
特開 2 0 0 8 - 2 8 6 9 1 1 (J P , A)
特開 2 0 0 9 - 1 9 3 0 6 5 (J P , A)
特開 2 0 0 2 - 3 3 3 3 1 (J P , A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5
1 / 1 3 5
G 0 9 F 9 / 3 0 - 9 / 4 6
H 0 1 L 2 1 / 3 3 6
2 7 / 3 2
2 9 / 7 8 6