



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0077238
(43) 공개일자 2023년06월01일

(51) 국제특허분류(Int. Cl.)

H04L 25/02 (2006.01)

(52) CPC특허분류

H04L 25/0286 (2013.01)

H04L 25/0266 (2013.01)

(21) 출원번호 10-2021-0164288

(22) 출원일자 2021년11월25일

심사청구일자 2021년11월25일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울특별시 강남구 선릉로 221

신화석

서울특별시 동작구 동작대로39길 22(동작동, 이수힐스테이트)

(뒷면에 계속)

(74) 대리인

특허법인주연케이알피

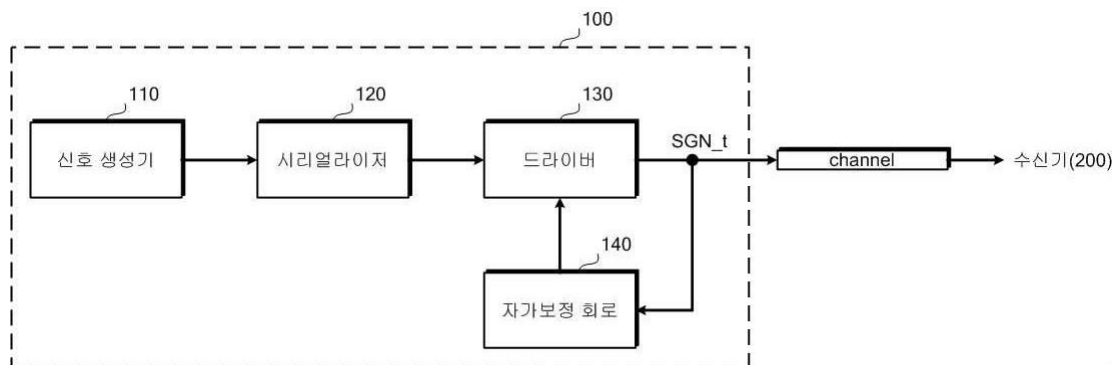
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 비대칭적인 전압 파형을 자가 보정할 수 있는 접지 신호 전송 기법 기반의 송신기

(57) 요약

본 출원은 접지 신호 전송 기법 기반의 송신기에 대한 것이다. 본 출원의 실시 예에 따른 송신기는 입력 데이터를 생성하는 신호 생성기; 상기 신호 생성기로부터 상기 입력 데이터를 수신하며, 상기 입력 데이터를 직렬화하여 직렬 입력 데이터로 변환하는 시리얼라이저; 및 상기 직렬 입력 데이터에 대응하는 송신 신호를 생성하며, 상기 송신 신호를 단일 채널을 통해 수신기로 송신하는 드라이버를 포함하며, 상기 드라이버는 상기 송신 신호에 포함된 업 신호와 다운 신호 사이의 크기의 비교 결과에 기초하여, 상기 다운 신호의 크기를 조정한다. 본 출원의 실시 예에 따른 접지 신호 전송 기법 기반의 송신기는 중첩된 전압 파형의 비대칭을 자가 보정함으로써, 우수한 통신 성능을 보장할 수 있다.

대표도



(72) 발명자

박현수

서울특별시 동대문구 고산자로 521(제기동, 에코시티)

권영욱

서울특별시 강남구 개포로20길 49(개포동, 파크타운)

명세서

청구범위

청구항 1

입력 데이터를 생성하는 신호 생성기;

상기 신호 생성기로부터 상기 입력 데이터를 수신하며, 상기 입력 데이터를 직렬화하여 직렬 입력 데이터로 변환하는 시리얼라이저; 및

상기 직렬 입력 데이터에 대응하는 송신 신호를 생성하며, 상기 송신 신호를 단일 채널을 통해 수신기로 송신하는 드라이버를 포함하며,

상기 드라이버는 상기 송신 신호에 포함된 업 신호와 다운 신호 사이의 크기의 비교 결과에 기초하여, 상기 다운 신호의 크기를 조정하는, 송신기.

청구항 2

제1 항에 있어서,

상기 드라이버는

상기 직렬 입력 데이터를 수신하는 선택부; 및

상기 선택부에 연결되며, 프리차지 동작 및 드라이브 동작 중 어느 하나를 수행하는 제1 및 제2 전하 펌프 드라이버를 포함하며,

상기 제1 전하 펌프 드라이버가 상기 프리차지 동작을 수행하는 동안, 상기 제2 전하 펌프 드라이버는 상기 드라이브 동작을 수행하는 송신기.

청구항 3

제2 항에 있어서,

상기 제1 전하 펌프 드라이버 및 상기 제2 전하 펌프 드라이버 중 적어도 하나는 풀 다운 패스의 경로 상에 위치하는 제1 및 제2 트랜지스터를 포함하며,

상기 제1 및 제2 트랜지스터 중 적어도 하나는 병렬 연결된 복수의 트랜지스터들을 포함하는, 송신기.

청구항 4

제2 항에 있어서,

상기 제1 전하 펌프 드라이버 및 상기 제2 전하 펌프 드라이버 중 적어도 하나는 제1 내지 제4 NMOS 트랜지스터들을 포함하며,

상기 제1 및 제4 NMOS 트랜지스터는 다운 신호를 생성하는 풀 다운 패스 경로를 형성하고, 상기 제2 및 제3 NMOS 트랜지스터는 업 신호를 생성하는 풀 업 패스 경로를 형성하며,

상기 제1 및 제4 NMOS 트랜지스터가 턴-온 되는 정도는 상기 송신 신호에 포함된 상기 업 신호와 상기 다운 신호 사이의 크기 차이에 기초하여 조절되는, 송신기.

청구항 5

제4 항에 있어서,

상기 제1 및 제4 NMOS 트랜지스터 중 적어도 하나는,

상기 선택부에 연결되어 전류 통로를 형성하는 복수의 제1 서브 트랜지스터들; 및

상기 복수의 제1 서브 트랜지스터들 각각에 직렬 연결되며, 인에이블 신호에 기초하여 전류 통로를 형성하는 복

수의 제2 서브 트랜지스터들을 포함하는, 송신기.

청구항 6

제5 항에 있어서,

상기 송신 신호를 수신하며, 상기 업 신호 및 상기 다운 신호의 크기에 대한 비교 결과에 기초하여 상기 인에이블 신호를 생성하는 자가보정 회로를 더 포함하는, 송신기.

청구항 7

제6 항에 있어서,

상기 자가보정 회로는 상기 업 신호의 크기가 상기 다운 신호의 크기보다 큰 경우에, 상기 복수의 제2 서브 트랜지스터들을 순차적으로 턴-온 시키도록 상기 인에이블 신호를 생성하는, 송신기.

청구항 8

제7 항에 있어서,

상기 인에이블 신호는 온도계 코드 신호인, 송신기.

청구항 9

제1 항에 있어서,

상기 드라이버는 전하를 축적하는 커패시터를 포함하며, 상기 커패시터는 모스 커패시터인, 송신기.

청구항 10

제1 항에 있어서,

상기 신호 생성기는 상기 입력 데이터로 클럭 신호를 출력하는, 송신기.

청구항 11

접지 신호 전송 기법에 따른 송신기에 있어서,

상기 송신기는 송신 신호를 단일 채널을 통해 수신기로 송신하는 드라이버를 포함하며, 상기 드라이버는 상기 송신 신호에 포함된 업 신호와 다운 신호의 크기가 동일해질 때까지 상기 다운 신호의 크기를 순차적으로 증가시키는, 송신기.

청구항 12

제11 항에 있어서,

상기 드라이버는

입력 데이터를 수신하는 선택부; 및

상기 선택부에 연결되며, 프리차지 동작 및 드라이브 동작 중 어느 하나를 수행하는 제1 및 제2 전하 펌프 드라이버를 포함하며,

상기 제1 전하 펌프 드라이버가 상기 프리차지 동작을 수행하는 동안, 상기 제2 전하 펌프 드라이버는 상기 드라이브 동작을 수행하는 송신기.

청구항 13

제12 항에 있어서,

상기 제1 전하 펌프 드라이버 및 상기 제2 전하 펌프 드라이버 중 적어도 하나는 풀 다운 패스의 경로 상에 위치하는 제1 및 제2 트랜지스터를 포함하며,

상기 제1 및 제2 트랜지스터 중 적어도 하나는 병렬 연결된 복수의 트랜지스터들을 포함하는, 송신기.

청구항 14

제12 항에 있어서,

상기 제1 전하 펌프 드라이버 및 상기 제2 전하 펌프 드라이버 중 적어도 하나는 제1 내지 제4 NMOS 트랜지스터들을 포함하며,

상기 제1 및 제4 NMOS 트랜지스터는 다운 신호를 생성하는 풀 다운 패스 경로를 형성하고, 상기 제2 및 제3 NMOS 트랜지스터는 업 신호를 생성하는 풀 업 패스 경로를 형성하며,

상기 제1 및 제 4 NMOS 트랜지스터가 턴-온 되는 정도는 상기 송신 신호에 포함된 업 신호와 다운 신호 사이의 크기 차이에 기초하여 조절되는, 송신기.

발명의 설명

기술 분야

[0001] 본 출원은 접지 신호 전송 기법 기반의 송신기에 대한 것이다.

배경 기술

[0002] 기존의 고속 단일 채널 I/O(input/output) 회로에서는 신호 전송 시 공급 전압으로부터 전류를 데이터에 따라 공급 받거나 차단시킨다. 그러나, 기존의 고속 단일 채널 I/O회로는 공급 전압에 인덕터, 저항 및 캐패시터 등으로 인한 잡음을 일으키며, 이러한 잡음은 데이터에 반영되어 신호 정확성을 크게 떨어뜨리게 된다. 또한, 기존의 고속 단일 채널 I/O 회로는 별도의 기준 전압이 필요하다.

[0003] 이를 개선하기 위한 기술 중 접지 신호 기반의 전송 기술은 커패시터에 전하를 저장하였다가 공급 전압과의 연결을 제거한 후 데이터를 전송하고 두 개의 나란한 송신기 드라이버 구조를 통해 일정하게 공급 전압으로부터 전류가 흐르도록 한다. 이때, 오로지 접지를 통한 전류 경로만 사용되므로 공급 전압의 잡음이 크게 줄어들고 접지 전압을 단일 채널 구조의 기준 전압으로 사용할 수 있어 별도의 기준 전압의 공급이 필요 없는 장점이 있다.

[0004] 이러한 접지 신호 기반의 전송 기술은 접지를 기준으로 사용하며, 신호는 이상적으로는 접지보다 큰 신호(업 신호)와 접지보다 작은 신호(다운 신호)가 대칭적으로 형성되어야 한다. 그러나, 고속 인터페이스 환경에서는 지터와 노이즈 등으로 인하여 이러한 대칭성이 유지되지 않으며, 이는 결국 수신단에서의 읽기의 정확도가 떨어지는 주요한 요인이다.

발명의 내용

해결하려는 과제

[0005] 본 출원의 목적은 중첩된 전압 파형의 비대칭성을 자가 보정할 수 있는 접지 신호 전송 기법 기반의 송신기를 제공하는데 있다.

과제의 해결 수단

[0006] 본 출원의 실시 예에 따른 송신기는 입력 데이터를 생성하는 신호 생성기; 상기 신호 생성기로부터 상기 입력 데이터를 수신하며, 상기 입력 데이터를 직렬화하여 직렬 입력 데이터로 변환하는 시리얼라이저; 및 상기 직렬 입력 데이터에 대응하는 송신 신호를 생성하며, 상기 송신 신호를 단일 채널을 통해 수신기로 송신하는 드라이버를 포함하며, 상기 드라이버는 상기 송신 신호에 포함된 업 신호와 다운 신호 사이의 크기의 비교 결과에 기초하여, 상기 다운 신호의 크기를 조정한다.

[0007] 실시 예에 있어서, 상기 드라이버는 상기 직렬 입력 데이터를 수신하는 선택부; 및 상기 선택부에 연결되며, 프리차지 동작 및 드라이브 동작 중 어느 하나를 수행하는 제1 및 제2 전하 펌프 드라이버를 포함하며, 상기 제1 전하 펌프 드라이버가 상기 프리차지 동작을 수행하는 동안, 상기 제2 전하 펌프 드라이버는 상기 드라이브 동작을 수행한다.

- [0008] 실시 예에 있어서, 상기 제1 전하 펌프 드라이버 및 상기 제2 전하 펌프 드라이버 중 적어도 하나는 풀 다운 패스의 경로 상에 위치하는 제1 및 제2 트랜지스터를 포함하며, 상기 제1 및 제2 트랜지스터 중 적어도 하나는 병렬 연결된 복수의 트랜지스터들을 포함한다.
- [0009] 실시 예에 있어서, 상기 제1 전하 펌프 드라이버 및 상기 제2 전하 펌프 드라이버 중 적어도 하나는 제1 내지 제4 NMOS 트랜지스터들을 포함하며, 상기 제1 및 제4 NMOS 트랜지스터는 다운 신호를 생성하는 풀 다운 패스 경로를 형성하고, 상기 제2 및 제3 NMOS 트랜지스터는 업 신호를 생성하는 풀 업 패스 경로를 형성하며, 상기 제1 및 제 4 NMOS 트랜지스터가 턴-온 되는 정도는 상기 송신 신호에 포함된 상기 업 신호와 상기 다운 신호 사이의 크기 차이에 기초하여 조절된다.
- [0010] 실시 예에 있어서, 상기 제1 및 제 4 NMOS 트랜지스터 중 적어도 하나는, 상기 선택부에 연결되어 전류 통로를 형성하는 복수의 제1 서브 트랜지스터들; 및 상기 복수의 제1 서브 트랜지스터들 각각에 직렬 연결되며, 인에이블 신호에 기초하여 전류 통로를 형성하는 복수의 제2 서브 트랜지스터들을 포함한다.
- [0011] 실시 예에 있어서, 상기 송신 신호를 수신하며, 상기 업 신호 및 상기 다운 신호의 크기에 대한 비교 결과에 기초하여 상기 인에이블 신호를 생성하는 자가보정 회로를 더 포함한다.
- [0012] 실시 예에 있어서, 상기 자가보정 회로는 상기 업 신호의 크기가 상기 다운 신호의 크기보다 큰 경우에, 상기 복수의 제2 서브 트랜지스터들을 순차적으로 턴-온 시키도록 상기 인에이블 신호를 생성한다.
- [0013] 실시 예에 있어서, 상기 인에이블 신호는 온도계 코드 신호이다.
- [0014] 실시 예에 있어서, 상기 드라이버는 전하를 축적하는 커패시터를 포함하며, 상기 커패시터는 모스 커패시터이다.
- [0015] 실시 예에 있어서, 상기 신호 생성기는 상기 입력 데이터로 클럭 신호를 출력한다.
- [0016] 본 출원의 실시 예에 따른 접지 신호 전송 기법에 따른 송신기에 있어서, 상기 송신기는 송신 신호를 단일 채널을 통해 수신기로 송신하는 드라이버를 포함하며, 상기 드라이버는 상기 송신 신호에 포함된 업 신호와 다운 신호의 크기가 동일해질 때까지 상기 다운 신호의 크기를 순차적으로 증가시킨다.

발명의 효과

- [0017] 본 출원의 실시 예에 따른 접지 신호 전송 기법 기반의 송신기는 중첩된 전압 파형의 비대칭을 자가 보정함으로써, 우수한 통신 성능을 보장할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 출원의 실시 예에 따른 접지 신호 전송 기법 기반의 송신기(100)를 보여주는 도면이다.
 도 2는 도 1의 드라이버(130)의 일 예를 보여주는 도면이다.
 도 3은 풀 다운 패스 경로 상에 위치하는 트랜지스터들(N1, N4, N5, N8)의 일 예를 보여주는 도면이다.
 도 4는 본 출원의 실시 예에 따른 송신기(100)의 프리차지 동작을 보여주는 도면이다.
 도 5는 본 출원의 실시 예에 따른 송신기(100)의 드라이브 하이(drive high) 동작을 보여주는 도면이다.
 도 6은 본 출원의 실시 예에 따른 송신기(100)의 드라이브 로우(drive low) 동작을 보여주는 도면이다.
 도 7A 및 도 7B는 각각 이상적인 경우의 송신 신호와 노이즈로 인하여 왜곡된 송신 신호를 각각 보여주는 도면이다.
 도 8은 본 출원의 실시 예에 따른 송신기(100)에 의하여 다운 신호의 크기가 보정되는 것을 예시적으로 보여주는 도면이다.
 도 9는 도 1의 송신기(100)의 자가보정 회로(140)의 일 예를 보여주는 도면이다.
 도 10은 도 2의 커패시터의 다른 예를 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하에서는, 본 출원의 기술적 사상을 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시

할 수 있을 정도로 상세히 설명하기 위하여, 첨부된 도면을 참조하여 본 출원의 실시 예들이 설명될 것이다.

- [0020] 도 1은 본 출원의 실시 예에 따른 접지 신호 전송 기법 기반의 송신기(100)를 보여주는 도면이다.
- [0021] 도 1을 참조하면, 송신기(100)는 신호 생성기(110), 시리얼라이저(120), 드라이버(130) 및 자가보정 회로(140)를 포함한다.
- [0022] 신호 생성기(110)는 본 출원의 다양한 예들에 따른 입력 데이터를 생성할 수 있다. 예를 들어, 신호 생성기(110)는 슈도-랜덤(pseudo-random) 패턴에 기반하여 입력 데이터를 생성할 수 있다. 입력 데이터는, 예를 들어, n 개(여기서, n 은 자연수)의 병렬 데이터일 수 있다.
- [0023] 또는, 신호 생성기(110)는 송신기(100) 및 수신기(200)의 성능 시험을 위한 테스트 데이터를 생성할 수도 있다. 테스트 데이터는 입력 데이터와 마찬가지로 슈도-랜덤(pseudo-random) 패턴에 기반하여 생성될 수 있으며, n 개의 병렬 데이터일 수 있다. 다른 예로, 테스트 데이터로 클럭 신호가 사용될 수도 있다.
- [0024] 시리얼라이저(120)는 신호 생성기(110)로부터 생성된 입력 데이터를 직렬 데이터로 직렬화할 수 있다. 직렬 데이터로 변환됨에 따라, 입력 데이터는 단일 채널을 통해 전송될 수 있다. 예를 들어, 시리얼라이저(120)는 n 개의 병렬 데이터를 2개의 직렬 데이터로 직렬화할 수 있다. 2개의 직렬 데이터는 EVEN 데이터 및 ODD 데이터를 포함할 수 있다.
- [0025] 예를 들어, EVEN 데이터 및 ODD 데이터는 각각 1 UI(unit interval)에 대응될 수 있다. UI는 신호에서 유의미한 데이터가 가지는 최소한의 펄스 폭이다. 따라서, EVEN 데이터 및 ODD 데이터는 총 2 UI 동안 전송되는 데이터일 수 있다. 본 출원에서, 1 UI는 시간 단위로 칭해질 수도 있다.
- [0026] 드라이버(130)는 시리얼라이저(120)로부터 직렬 데이터를 수신하며, 이를 송신 신호(SGN_t)로 변환할 수 있다. 드라이버(130)는 송신 신호(SGN_t)를 단일 채널(channel)을 통해 수신기(200)로 전송할 수 있다.
- [0027] 본 출원의 기술적 사상에 따른 실시 예에 있어서, 드라이버(130)는 송신 신호(SGN_t)에 포함된 업 신호(up signal)와 다운 신호(down signal) 사이의 크기 차이에 대한 비교 결과에 기초하여, 다운 신호의 크기를 조정할 수 있다. 예를 들어, 다운 신호의 크기가 업 신호의 크기보다 작아서 서로 비대칭인 경우, 드라이버(130)는 다운 신호를 생성하는 풀 다운 패스(pull down path) 경로 상의 트랜지스터의 턴-온 전도를 제어함으로써 다운 신호의 크기를 조정할 수 있다.
- [0028] 자가보정 회로(140)는 드라이버(130)에서 출력된 송신 신호(SGN_t)를 수신하고, 송신 신호(SGN_t)에 포함된 업 신호와 다운 신호의 크기를 서로 비교할 수 있다. 자가보정 회로(140)는 업 신호와 다운 신호의 크기에 대한 비교 결과에 기초하여, 다운 신호의 크기가 조정되도록 드라이버(130)를 제어할 수 있다. 예를 들어, 자가보정 회로(140)는 송신 신호(SGN_t)에 포함된 업 신호와 다운 신호의 크기가 서로 같아질 때까지, 풀 다운 패스 경로 상에 있는 병렬 연결된 복수의 트랜지스터들이 순차적으로 턴-온 되도록 드라이버(130)를 제어할 수 있다.
- [0029] 상술한 바와 같이, 본 출원의 실시 예에 따른 송신기(100)는 업 신호와 다운 신호의 크기에 대한 비교 결과에 기초하여, 다운 신호의 크기가 업 신호의 크기와 같아질때까지 다운 신호의 크기를 조정할 수 있다. 이에 따라, 비대칭적인 송신 신호의 파형이 대칭적으로 보정될 수 있으며, 결과적으로 통신 성능이 향상될 수 있다.
- [0030] 도 2는 도 1의 드라이버(130)의 일 예를 보여주는 도면이다.
- [0031] 도 2를 참조하면, 드라이버(130)는 선택부(131), 제1 전하 펌프 드라이버(132) 및 제2 전하 펌프 드라이버(133)를 포함한다.
- [0032] 선택부(131)는 복수의 낸드 게이트들을 포함하도록 구현될 수 있다. 예를 들어, 선택부(131)는 제1 내지 제4 AND 게이트(AG1~AG4)를 포함하도록 구현될 수 있다.
- [0033] 선택부(131)는 시리얼라이저(120)로부터 직렬 데이터를 수신할 수 있다. 예를 들어, 선택부(131)는 시리얼라이저(120)로부터 D0와 D1 데이터를 수신할 수 있다. 또한, 선택부(131)는 외부로부터 클럭 신호(CLK)와 클럭바 신호(CLK/)를 수신할 수 있다.
- [0034] 선택부(131)는 클럭 신호(CLK)와 클럭바 신호(CLK/)에 기초하여, 제1 및 제2 전하 펌프 드라이버(132, 133) 중 프리차지(precharge) 동작이 수행될 전하 펌프 드라이버와 드라이브 하이(drive high) 또는 드라이브 로우(drive low) 동작이 수행될 전하 펌프 드라이버를 선택할 수 있다.
- [0035] 예를 들어, 클럭 신호(CLK)가 하이(high)이고 클럭바 신호(CLK/)가 로우(low)인 경우, 선택부(131)는 제1 전하

펌프 드라이버(132)에 로우(low) 신호를 제공할 수 있다. 이 경우, 제1 전하 펌프 드라이버(132)는 프리차지 동작을 수행할 수 있다. 제1 전하 펌프 드라이버(132)가 프리차지 동작을 수행하는 동안에, 제2 전하 펌프 드라이버(133)는 드라이브 하이 또는 드라이브 로우 동작을 수행할 수 있다.

- [0036] 다른 예로, 클럭 신호(CLK)가 로우(low)이고 클럭바 신호(CLK/)가 하이(high)인 경우, 선택부(131)는 제2 전하 펌프 드라이버(133)에 로우 신호(low)를 제공할 수 있다. 이 경우, 제2 전하 펌프 드라이버(133)는 프리차지 동작을 수행하며, 제1 전하 펌프 드라이버(132)는 드라이브 하이 또는 드라이브 로우 동작을 수행할 수 있다.
- [0037] 제1 전하 펌프 드라이버(132)는 복수의 트랜지스터들 및 적어도 하나의 커패시터를 포함하도록 구현될 수 있다. 예를 들어, 제1 전하 펌프 드라이버(132)는 제1 내지 제5 NMOS 트랜지스터들(N1~N5), 제1 PMOS 트랜지스터(P1) 및 제1 커패시터(C1)를 포함하도록 구현될 수 있다.
- [0038] 제1 및 제4 NMOS 트랜지스터(N1, N4)는 송신 신호(SGN_t)의 다운 신호를 생성하는 풀 다운 패스(pull down path) 경로 상에 위치할 수 있다. 제2 및 제3 NMOS 트랜지스터(N2, N3)는 송신 신호(SGN_t)의 업 신호를 생성하는 풀 업 패스(pull up path) 경로 상에 위치할 수 있다.
- [0039] 제1 커패시터(C1)는 프리차지 동작 중에 전하를 축적할 수 있다. 제1 커패시터(C1)에 축적된 전하는 드라이브 하이 동작 시에는 풀 업 패스를 따라 이동하고, 드라이브 로우 동작 시에는 풀 다운 패스를 따라 이동할 수 있다. 이에 따라, 송신 신호(SGN_t)가 생성될 수 있다.
- [0040] 제2 전하 펌프 드라이버(133)는 복수의 트랜지스터들 및 적어도 하나의 커패시터를 포함하도록 구현될 수 있다. 제2 전하 펌프 드라이버(133)의 동작은 제1 전하 펌프 드라이버(132)와 실질적으로 동일한 바, 자세한 설명은 이하 생략될 것이다.
- [0041] 본 출원의 기술적 사상에 따른 실시 예에 있어서, 풀 다운 패스의 경로 상에 위치하는 트랜지스터들(N1, N4, N5, N8)은 병렬 연결된 복수의 트랜지스터들을 포함하도록 구현될 수 있다. 이는 이하의 도 3에서 좀 더 자세히 설명될 것이다.
- [0042] 도 3은 풀 다운 패스 경로 상에 위치하는 트랜지스터들(N1, N4, N5, N8)의 일 예를 보여주는 도면이다. 도 3에서는, 예시적으로, 제1 NMOS 트랜지스터(N1)가 예시적으로 도시되어 있다.
- [0043] 도 3을 참조하면, 제1 NMOS 트랜지스터(N1)는 병렬 연결된 복수의 트랜지스터들을 포함하도록 구현될 수 있다. 예를 들어, 도 3에 도시된 바와 같이, 제1 AND 게이트(AG1)에는 복수의 트랜지스터들(Na, Nb0~Nb30)이 병렬로 연결될 수 있으며, 복수의 트랜지스터들(Nb0~Nb30) 각각은 대응하는 트랜지스터들(Nc0~Nc30)과 직렬로 연결될 수 있다. 이에 따라, 트랜지스터들(Nc0~Nc30) 중 턴-온 되는 트랜지스터들의 개수에 따라 제1 AND 게이트(AG1)에 병렬로 연결되는 트랜지스터들의 개수가 결정될 수 있다.
- [0044] 예를 들어, EN<30:0> 비트가 모두 '0'인 경우, 제1 AND 게이트(AG1)에는 하나의 트랜지스터(Na)가 연결될 수 있다. 다른 예로, EN<30:0> 비트 중 EN0 비트만이 '1'인 경우, 제1 AND 게이트(AG1)에는 트랜지스터(Na)와 트랜지스터(Nb0)가 병렬로 연결될 수 있다. 다른 예로, EN<30:0> 비트 중 EN0 및 EN1 비트만이 '1'인 경우, 제1 AND 게이트(AG1)에는 트랜지스터(Na), 트랜지스터(Nb0) 및 트랜지스터(Nb1)가 병렬로 연결될 수 있다.
- [0045] 이와 같이, EN<30:0> 비트 중 '1'인 비트의 개수를 조절함으로써, 제1 AND 게이트(AG1)에 병렬로 연결되는 트랜지스터들의 개수를 조절할 수 있으며, 이는 결과적으로 제1 NMOS 트랜지스터(N1)가 턴-온 되는 정도를 조절하는 것과 동일한 효과를 가져올 수 있다.
- [0046] 본 출원의 기술적 사상의 실시 예에 있어서, 송신 신호(SGN_t) 중 다운 신호의 크기가 업 신호의 크기보다 작은 경우, EN<30:0> 비트 중 '1'인 비트의 개수는 순차적으로 증가할 수 있다. 이 경우, 풀 다운 패스의 경로 상에 위치하는 제1 NMOS 트랜지스터(N1)가 턴-온 되는 정도는 순차적으로 증대되며, 결과적으로 더 큰 다운 신호가 순차적으로 생성될 수 있다. EN<30:0> 비트 중 '1'인 비트의 개수는 업 신호의 크기와 다운 신호의 크기가 서로 동일해질때까지 순차적으로 증가할 수 있으며, 이에 따라 송신 신호(SGN_t)의 대칭성이 보장될 수 있다.
- [0047] 도 4 내지 도 8은 본 출원의 실시 예에 따른 송신기(100)의 동작의 일 예를 보여주는 도면들이다. 이하에서는, 도 4 내지 도 8을 참조하여, 송신기(100)의 동작이 좀 더 자세히 설명될 것이다. 설명의 편의상, 도 4 내지 도 8에서는 제1 전하 펌프 드라이버(132)의 동작을 중심으로 송신기(100)의 동작이 설명될 것이다.
- [0048] 도 4는 본 출원의 실시 예에 따른 송신기(100)의 프리차지 동작을 보여주는 도면이다.
- [0049] 도 4를 참조하면, 제1 전하 펌프 드라이버(132)의 프리차지 동작 시에, 하이(high)의 클럭 신호(CLK)가 제공된

다. 이 경우, 제1 내지 제4 NMOS 트랜지스터들(N1~N4)은 턴-오프 되고, 제5 NMOS 트랜지스터(N5) 및 제1 PMOS 트랜지스터(P1)는 턴-온 된다. 따라서, 전원전압(Vd)이 제1 커패시터(C1)에 축적될 수 있다.

[0050] 도 5는 본 출원의 실시 예에 따른 송신기(100)의 드라이브 하이(drive high) 동작을 보여주는 도면이다.

[0051] 도 5를 참조하면, 제1 전하 펌프 드라이버(132)의 드라이브 하이 동작 시에, 하이(high)의 데이터(D0)와 로우(low)의 클럭 신호(CLK)가 제공된다. 이 경우, 제2 및 제3 NMOS 트랜지스터들(N2, N3)은 턴-온 되고, 제1 및 제4 NMOS 트랜지스터들(N1, N4)은 턴-오프 된다. 따라서, 도 5에 도시된 바와 같이, 송신 신호(SGN_t)로서 양의 전압인 업 신호를 형성하는 풀 업 패스(pull up path) 경로가 형성된다.

[0052] 도 6은 본 출원의 실시 예에 따른 송신기(100)의 드라이브 로우(drive low) 동작을 보여주는 도면이다.

[0053] 도 6을 참조하면, 제1 전하 펌프 드라이버(132)의 드라이브 로우 동작 시에, 로우(low)의 데이터(D0)와 로우(low)의 클럭 신호(CLK)가 제공된다. 이 경우, 제1 및 제4 NMOS 트랜지스터들(N1, N4)은 턴-온 되고, 제2 및 제3 NMOS 트랜지스터들(N2, N3)은 턴-오프 된다. 따라서, 도 6에 도시된 바와 같이, 송신 신호(SGN_t)로서 음의 전압인 다운 신호를 형성하는 풀 다운 패스(pull down path) 경로가 형성된다.

[0054] 도 7A 및 도 7B는 각각 이상적인 경우의 송신 신호와 노이즈로 인하여 왜곡된 송신 신호를 각각 보여주는 도면이다.

[0055] 도 7A를 참조하면, 이상적인 경우에는 송신 신호(SGN_t) 중 업 신호의 크기와 다운 신호의 크기가 서로 동일하며, 이에 따라 업 신호와 다운 신호가 서로 대칭적임을 알 수 있다.

[0056] 그러나, 도 7B를 참조하면, 노이즈로 인하여 신호가 왜곡된 경우, 다운 신호의 크기가 업 신호의 크기보다 작음을 확인할 수 있다.

[0057] 도 8은 본 출원의 실시 예에 따른 송신기(100)에 의하여 다운 신호의 크기가 보정되는 것을 예시적으로 보여주는 도면이다.

[0058] 도 3의 EN<30:0> 비트 중 '1'인 비트의 개수가 순차적으로 증가하는 경우, 도 8에 도시된 바와 같이, 다운 신호의 크기가 순차적으로 증가할 수 있다. 결과적으로, 다운 신호의 크기는 업 신호의 크기와 동일해질때까지 EN<30:0> 비트 중 '1'인 비트의 개수를 증가시킴으로써, 송신 신호(SGN_t)의 대칭성이 확보될 수 있다.

[0059] 도 9는 도 1의 송신기(100)의 자가보정 회로(140)의 일 예를 보여주는 도면이다.

[0060] 도 9를 참조하면, 자가보정 회로(140)는 적분기(141), 비교기(142), SR 래치(143), 잠금기(144), 가산기(145), 레지스터(146) 및 코드 변환기(147)를 포함할 수 있다.

[0061] 송신 신호(SGN_t)는 초기에 업 신호의 크기가 다운 신호의 크기보다 크다. 따라서, 송신 신호(SGN_t)를 적분기(141)에 통과시키면 접지보다 큰 값을 갖는다. 비교기(142)는 적분기(141)의 출력 값과 접지 전압을 비교하여 출력하며, SR 래치(143)는 비교기(142)의 출력을 저장한다. 업 신호의 크기가 다운 신호의 크기보다 큰 경우, 비교기(142)와 SR 래치(143)를 통과한 값은 1이 될 수 있다.

[0062] 다른 예로, 송신 신호(SGN_t)의 업 신호의 크기가 다운 신호의 크기보다 작거나 같은 경우, 적분기(141)의 출력은 접지보다 작거나 같아지게 된다. 따라서 비교기(142)와 SR 래치(143)를 통과한 값은 0이 될 수 있다.

[0063] SR 래치(143)의 출력값이 0일 경우, 잠금기(144)는 잠금(lock) 동작을 수행하며, 따라서 자가보정 회로(140)는 더 이상 동작하지 않고 마지막으로 출력한 온도계 코드를 유지할 것이다.

[0064] SR 래치(143)의 출력값이 1일 경우, 잠금기(144)는 잠금(lock) 동작을 수행하지 않는다. 이 경우, SR 래치(143)의 출력값인 1은 가산기(145)에 의하여 레지스터(146)에 저장된 이전의 5비트 2진 코드와 더해진다. 이후, 코드 변환기(147)에 의하여 2진 코드는 온도계 코드로 변환되어, EN<30:0> 비트가 풀 다운 패스(pull down path) 경로 상의 트랜지스터들(N1, N4, 도 6 참조)에 제공될 수 있다.

[0065] 예를 들어, 자가보정 회로(140)에서 초기의 5비트 2진 코드는 00000 상태일 수 있다. 업 신호가 로우 신호보다 큰 경우, 1이 가산기(145)에 인가될 수 있다. 이 경우, 초기의 2진 코드인 00000에 1이 더해져 00001인 2진 코드가 생성된다. 생성된 00001인 2진 코드는 코드 변환기(147)에 제공되며, 코드 변환기(147)는 이를 31비트 온도계 코드인 000...0001로 변환할 수 있다.

[0066] 이후, SR 래치(143)의 출력이 또 1일 경우, 가산기(145)에서 기존에 있던 5비트 2진 코드 00001과 1을 더하여 00010의 2진 코드를 생성한다. 기존의 5비트 2진 코드 00001은 레지스터(146)에 저장된 데이터일 수 있다.

이후, 00010의 2진 코드는 코드 변환기(147)에 제공되며, 코드 변환기(147)는 이를 31비트 온도계 코드인 000...0011로 변환할 수 있다.

[0067] 이와 같은 동작은, 업 신호의 크기와 다운 신호의 크기가 같아져 SR 래치(143)의 출력 값이 '0'일 때까지 반복될 수 있다. 결국, 자가보정 회로(140)의 동작에 의하여 업 신호와 다운 신호가 서로 대칭이며 마진이 큰 송신 신호(SGN_t)가 생성될 수 있다.

[0068] 한편, 상술한 설명은 예시적이며 본 출원의 기술적 사상은 이에 한정되지 않음이 이해될 것이다.

[0069] 예를 들어, 도 1에서는 신호 생성기(110)가 입력 신호를 생성하는 것으로 설명되었다. 다만, 이는 예시적인 것이며, 본 출원의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 자가보정 회로(140)의 자가보정을 정확하게 하기 위해 신호 생성기(110)는 클럭 신호를 입력 신호로 출력할 수도 있다.

[0070] 또한, 예를 들어, 도 2에서 커패시터(C1, C2)는 메탈 커패시터인 것으로 도시되어 있다. 다만, 이는 예시적인 것이며, 커패시터(C1, C2)는 도 10과 같이 모스 커패시터를 사용하여 구현될 수도 있다. 이 경우, 일반 메탈 커패시터에 비하여 업 신호와 다운 신호의 크기가 커져서 마진이 증가할 수 있다.

[0071] 상술한 설명에서 제안 방식에 대한 일례들 또한 본 개시의 구현 방법들 중 하나로 포함될 수 있으므로, 일종의 제안 방식들로 간주될 수 있음은 명백한 사실이다. 또한, 상기 설명한 제안 방식들은 독립적으로 구현될 수도 있지만, 일부 제안 방식들의 조합 (혹은 병합) 형태로 구현될 수도 있다.

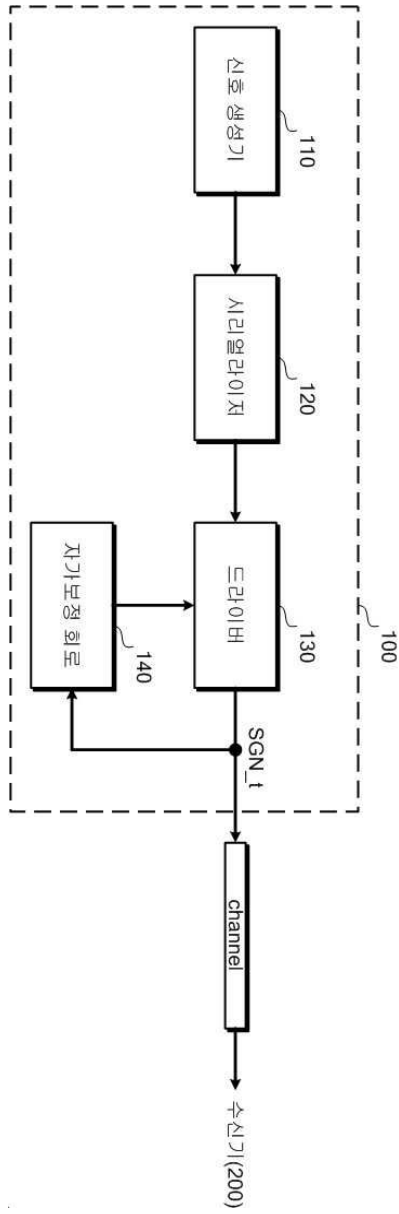
[0072] 상술한 바와 같이 개시된 본 개시의 예들은 본 개시와 관련된 기술 분야의 통상의 기술자가 본 개시를 구현하고 실시할 수 있도록 제공되었다. 상기에서는 본 개시의 예들을 참조하여 설명하였지만, 해당 기술 분야의 통상의 기술자는 본 개시의 예들을 다양하게 수정 및 변경시킬 수 있다. 따라서, 본 개시는 여기에 기재된 예들에 제한되려는 것이 아니라, 여기서 개시된 원리들 및 신규한 특징들과 일치하는 최광의 범위를 부여하려는 것이다.

부호의 설명

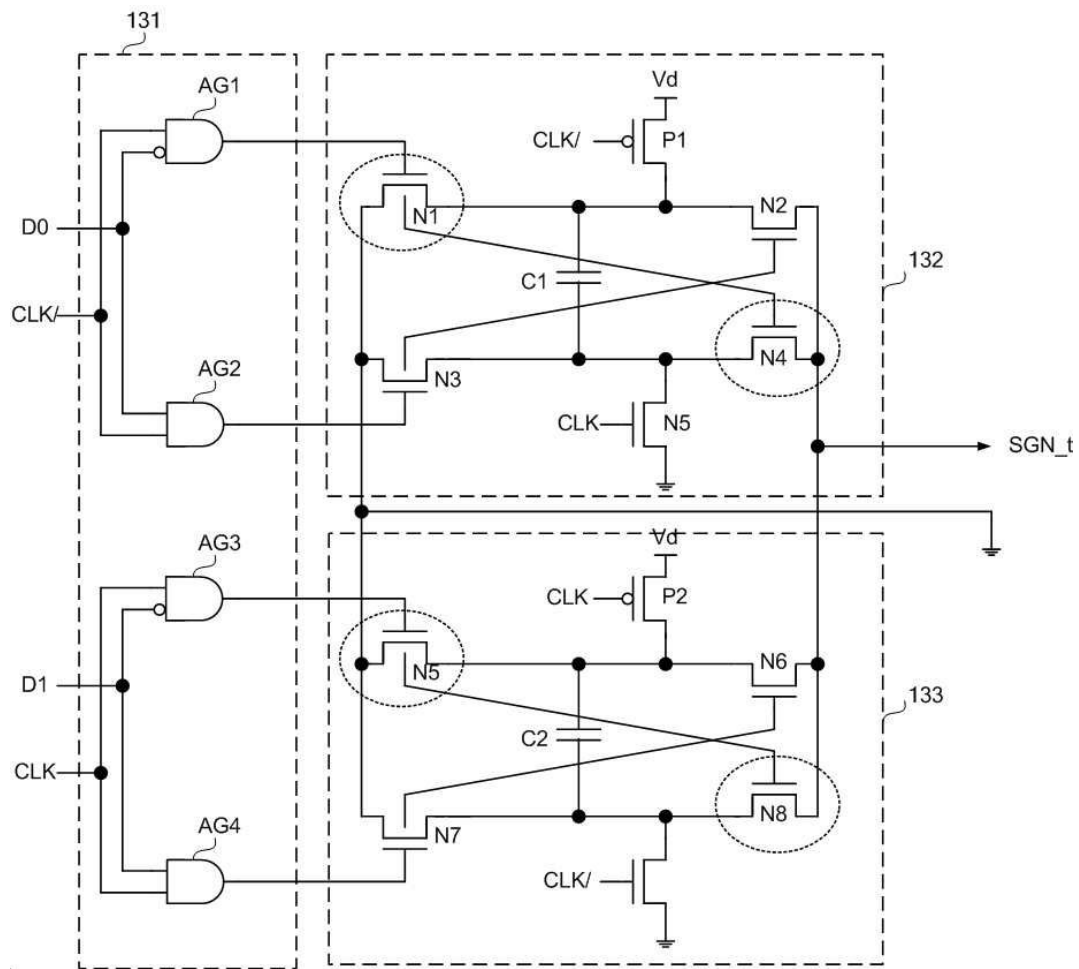
- [0073]
- 100: 송신기
 - 110: 신호 생성기
 - 120: 시리얼라이저
 - 130: 드라이버
 - 140: 자가보정 회로
 - 200: 수신기

도면

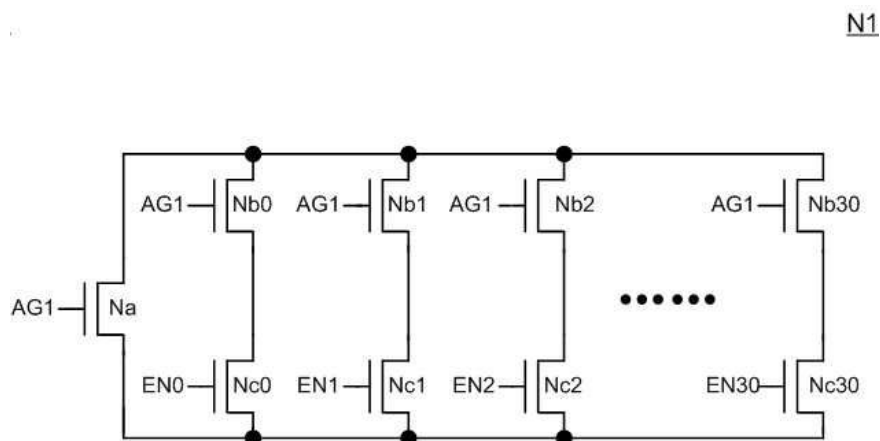
도면1



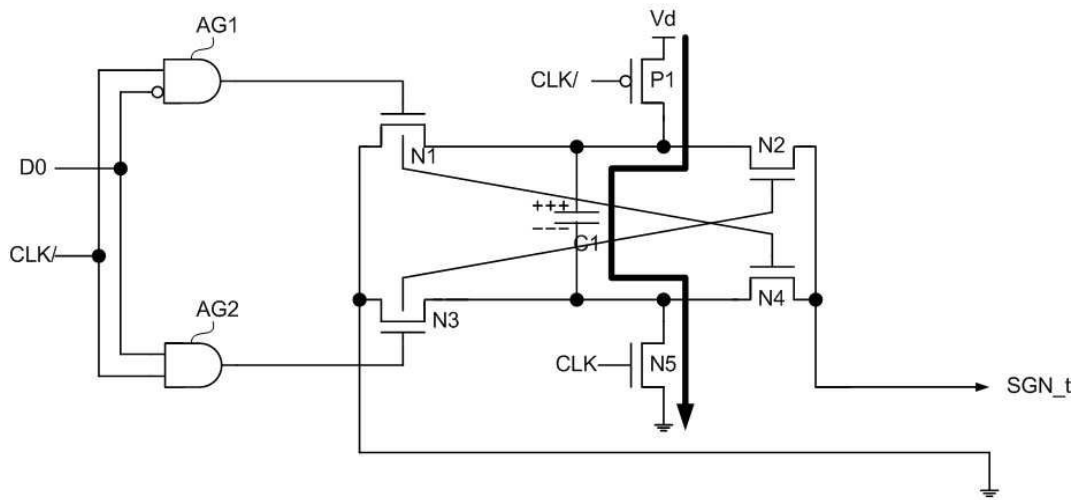
도면2



도면3

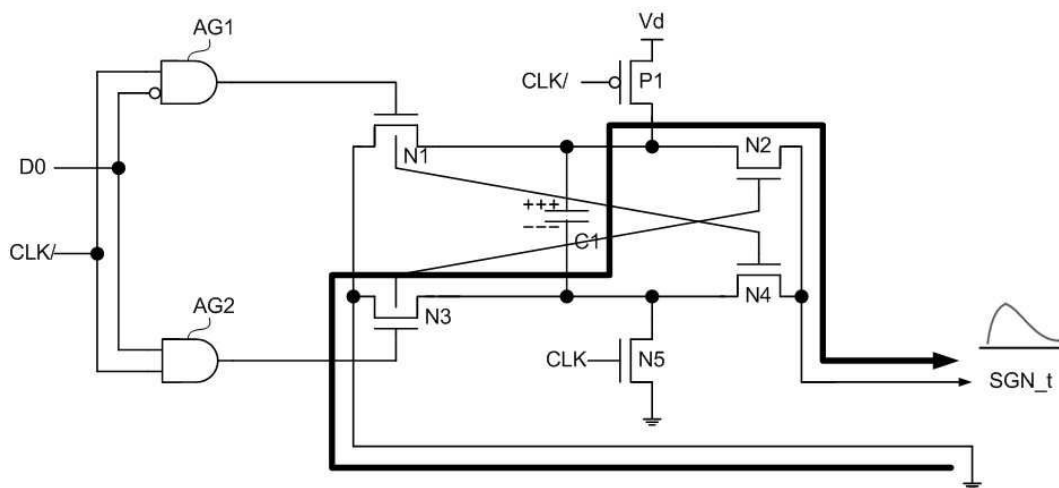


도면4



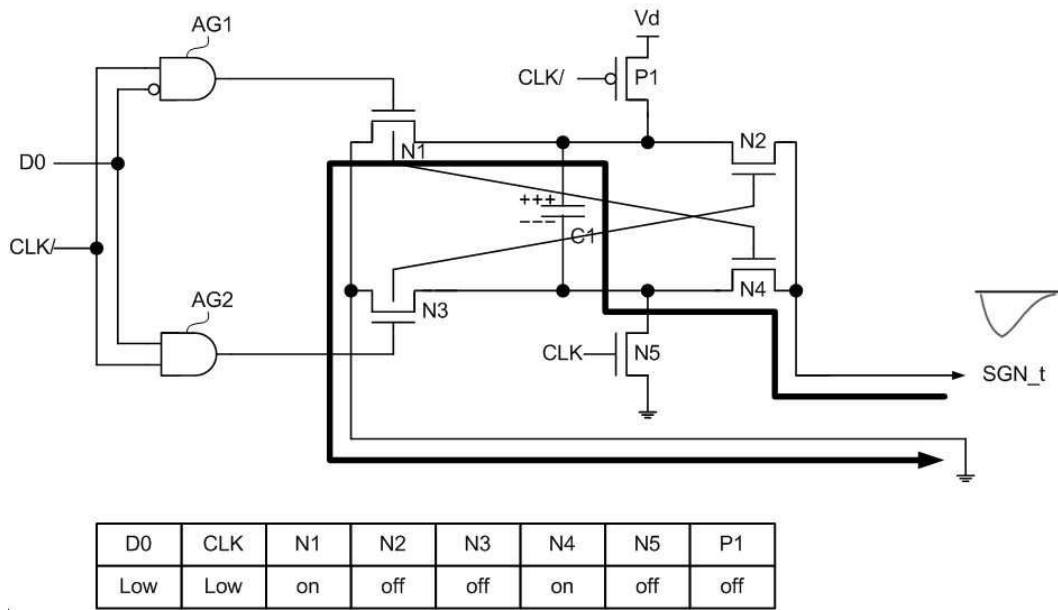
CLK	N1	N2	N3	N4	N5	P1
High	off	off	off	off	on	on

도면5

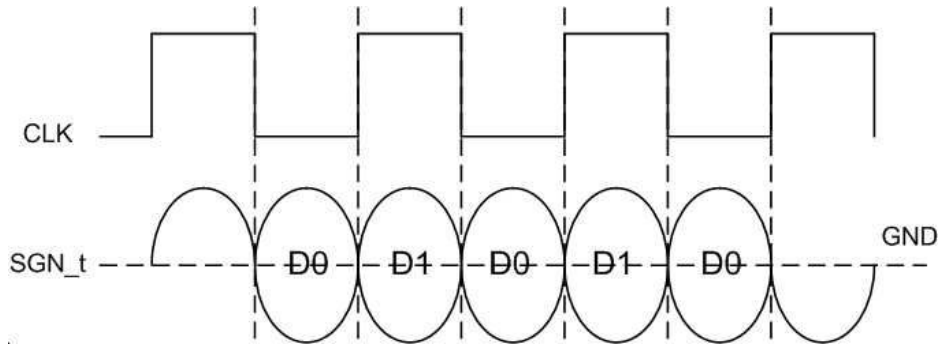


D0	CLK	N1	N2	N3	N4	N5	P1
High	Low	off	on	on	off	off	off

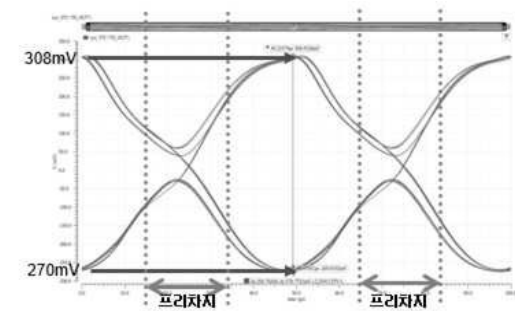
도면6



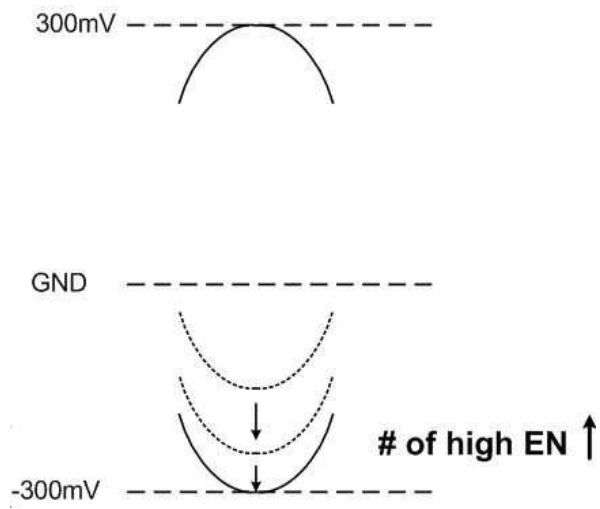
도면7a



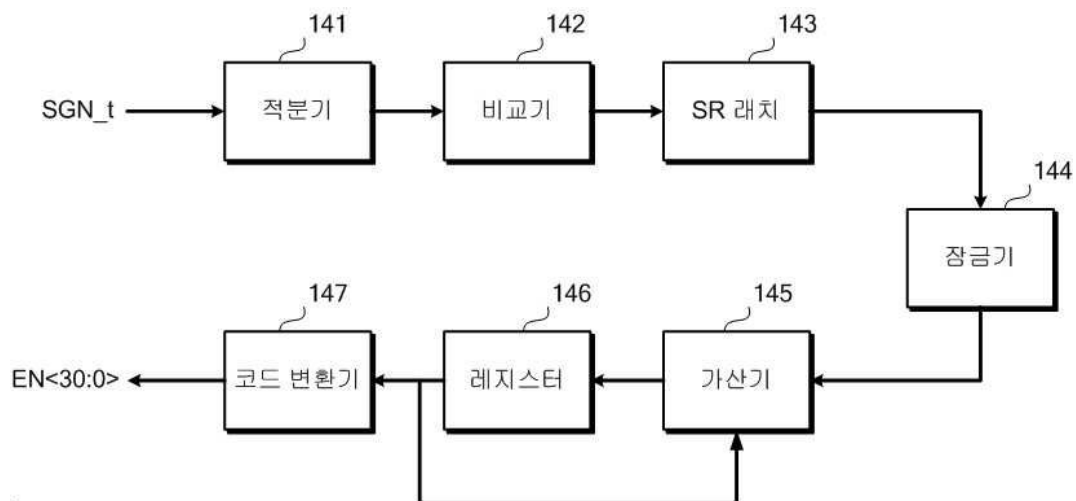
도면7b



도면8



도면9



도면10

