(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3539898号
(P3539898)
(45)発行日　平成16年7月7日(2004.7.7)　(24)登録日　平成16年4月2日(2004.4.2)

(51)Int.Cl.[7]　F I
H01L 21/822　H01L 27/04　D
H01L 27/04

請求項の数 3　(全 14 頁)

(21)出願番号　特願平11-244951
(22)出願日　平成11年8月31日(1999.8.31)
(65)公開番号　特開2000-77607(P2000-77607A)
(43)公開日　平成12年3月14日(2000.3.14)
審査請求日　平成13年5月2日(2001.5.2)
(31)優先権主張番号　144299
(32)優先日　平成10年8月31日(1998.8.31)
(33)優先権主張国　米国(US)

(73)特許権者　398038580
ヒューレット・パッカード・カンパニー
HEWLETT－PACKARD COMPANY
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　３０００
(74)代理人　100063897
弁理士　古谷　馨
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100087642
弁理士　古谷　聡

最終頁に続く

(54)【発明の名称】集積回路信号のパッケージ経路指定方法

(57)【特許請求の範囲】
【請求項１】
集積回路における信号遅延及びスキューを低減する方法であって、
ａ）集積回路と集積回路パッケージ層の間の第１の接続部を介して信号を駆動するステップと、
ｂ）前記集積回路パッケージ層に形成された２ポイント間伝送線路によって、前記集積回路と前記集積回路パッケージ層の間の第２の接続部に前記信号を分配するステップと、
ｃ）前記集積回路と前記集積回路パッケージ層の間の前記第２の接続部を介して、前記集積回路内に前記信号を受信するステップと、
からなる方法。
【請求項２】
前記信号がクロック信号である、請求項１記載の方法。
【請求項３】
ａ）第１の２ポイント間伝送線路が形成されているパッケージ層からなる、集積回路パッケージと、
ｂ）前記集積回路パッケージに接続され、第１の駆動回路と第１の受信回路からなる、集積回路と、
ｃ）前記第１の２ポイント間伝送線路の第１の端部と前記第１の駆動回路との間の第１の結合部と、
ｄ）前記第１の２ポイント間伝送線路の第２の端部と前記第１の受信回路との間の第２の

結合部と
からなる装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、集積回路パッケージ層を介した集積回路信号の分配に関する。より詳細には本発明は、集積回路パッケージ層を介してタイミング決定信号を分配することによって、ワイヤ遅延及び信号スキューを最小限に抑える、集積回路パッケージ層を介した集積回路信号の分配に関する。
【０００２】
【従来の技術】
集積回路がますます大規模化し、集積度が高くなるにつれて、ワイヤ遅延が、集積回路の最高動作周波数を決定する上での支配的な要素の１つになる。ワイヤ遅延には、集積回路の動作周波数を遅らせる雪だるま（ｓｎｏｗｂａｌｌ）効果がある。信号がポイントＡからポイントＢに進むのに要する時間が長くなるので、集積回路の動作周波数が低下するだけでなく、信号がポイントＡからポイントＢ及びＣに伝送される場合、ワイヤ遅延の変動性によって、ポイントＢ及びＣで受信する信号のコピー間にスキューを生じる可能性がある。この種のスキューによって、不適正な回路動作が生じないということを確かにするため、信号のコピー間のスキューを軽減することを目的として、追加遅延を回路に組み込まなければならない。
【０００３】
あいにくワイヤ遅延は、製造プロセス及び環境の変動によって大いに左右され、従って集積回路は、「最悪の場合の」配線シナリオ（ｗｉｒｉｎｇ　ｓｃｅｎａｒｉｏ）の下において機能するように設計しなければならない。結果として、集積回路の最高動作周波数を決定する際における主たる要素の１つとして、ワイヤ遅延を軽減及び／又は排除する方法及び装置が必要とされる。
【０００４】
集積回路とそのパッケージ間における領域の接続（例えば、Ｃ４ハンダバンプ技術）を利用できるようになる以前において、実現可能な唯一のタイミング決定信号（例えば、クロック）分配方法は、集積回路の製作技術によって形成される金属層によるものであった。
【０００５】
あいにく「チップ上における」ワイヤ遅延及びスキューにはさまざまな原因が存在する。遅延及びスキューの原因の１つは、経路指定の不整合である。経路指定の不整合には、非理想的な経路長、位相の相違、結合の相違及びプロセスと温度の変動といった要素が含まれている。例えばＩＬＤ（層間誘電体）の厚みの変動は、信号スキューの重要な原因である。遅延及びスキューのさらなる原因は、リピータの不整合である。リピータの不整合には、非理想的なリピータの配置、ＦＥＴ（電界効果トランジスタ）の不整合、ダイ全域における温度変動及び局部的電源の相違といった要素が含まれている。局部的信号負荷の相違も、信号遅延及びスキューの重要な原因になる。
【０００６】
集積回路とそのパッケージ間における領域の接続が利用可能になったので、タイミング決定信号分配ネットワークを集積回路のパッケージに移す試みがなされてきた。例えばＺｈｕ及びＤａｉは、１９９６　ＩＥＥＥ　Ｍｕｌｔｉ－Ｃｈｉｐ　Ｍｏｄｕｌｅ　Ｃｏｎｆｅｒｅｎｃｅ（１９９６年２月６～７日）で発表された「Ｃｈｉｐ　ａｎｄ　Ｐａｃｋａｇｅ　Ｃｏ－Ｄｅｓｉｇｎ　Ｔｅｃｈｎｉｑｕｅ　ｆｏｒ　Ｃｌｏｃｋ　Ｎｅｔｗｏｒｋｓ」と題する論文において、及びＩＥＥＥ　Ｔｒａｎｓａｃｔｉｏｎｓ　ｏｎ　Ｖｅｒｙ　Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｉｏｎ（１９９６年６月、Ｖｏｌ．４、Ｎｏ．２）で公表された「Ｐｌａｎａｒ　Ｃｌｏｃｋ　Ｒｏｕｔｉｎｇ　ｆｏｒ　Ｈｉｇｈ　Ｐｅｒｆｏｒｍａｎｃｅ　Ｃｈｉｐ　ａｎｄ　Ｐａｃｋａｇｅ　Ｃｏ－Ｄｅｓｉｇｎ」と題する論文において、パッケージクロック分配案を提案している。パッケージクロック

分配については、ＩＥＥＥ Ｔｒａｎｓａｃｔｉｏｎｓ ｏｎ Ｃｏｍｐｏｎｅｎｔｓ，Ｐａｃｋａｇｉｎｇ，ａｎｄ Ｍａｎｕｆａｃｔｕｒｉｎｇ Ｔｅｃｈｎｏｌｏｇｙ（１９９７年2月、Ｐａｒｔ Ｂ.、Ｖｏｌ.２０、Ｎｏ.１）で公表された「Ｐａｃｋａｇｅ Ｃｌｏｃｋ Ｄｉｓｔｒｉｂｕｓｉｔｏｎ Ｄｅｓｉｇｎ Ｏｐｔｉｍｉｚａｔｉｏｎ ｆｏｒ Ｈｉｇｈ－Ｓｐｅｅｄ ａｎｄ Ｌｏｗ－Ｐｏｗｅｒ ＶＬＳＩ’ｓ」と題する論文において、Ｚｈｕ及びＴａｍによってさらに論じられている。パッケージ信号分配の完全な背景について、本明細書において再度説明する必要のないように、これらの論文は、参考までに本明細書においてその開示の全てが援用される。

【０００７】

理論的には、集積回路パッケージ層を介したタイミング決定信号の分配によって、集積回路の遠隔コーナで受信された信号のコピー間に見受けられる相違が軽減されるはずであり、このため集積回路の動作周波数を高め、従って所定の集積回路製作技術に関する性能を高めることが可能になる。この「理論的」利点を支援する多くの要素が存在する。第１にパッケージ配線は、オンチップ配線よりも抵抗が小さい。パッケージ配線は一般に銅から形成されるが、オンチップ配線は一般にアルミ合金から形成される。さらにパッケージワイヤは、オンチップワイヤよりも幅広で、厚めにすることが可能である（従って、パッケージ配線に関連した抵抗は、さらに小さくすることができる）。

【０００８】

パッケージ配線のもう１つの利点は、オンチップ金属利用率が低下することである。結果として、集積回路製作プロセスにおけるより小さいダイ寸法及び／又はより少ない金属層の利用が可能になり、信号遅延及びスキューをさらに低減することができる（ダイが小さくなれば、信号が伝搬しなければならない距離が短くなる）。代替案として、信号経路をパッケージに移すことによって解放されるオンチップ領域を追加機能（例えば、より大形のキャッシュ、追加機能装置等）に利用することも可能である。

【０００９】

パッケージ配線のさらにもう１つの利点は、パッケージ上における信号スキューの原因が少ないことにある。オンチップ信号経路と同様、経路指定の不整合（例えば、非理想的経路長、ＩＬＤ変動等）によって生じるスキューもやはり存在する。しかしながら経路指定スキューの原因はかなり減少する。例えば製造プロセス変動によって誘発されるスキューははるかに少なくなり、リピータの不整合に帰することが可能なスキューは排除される（なぜならリピータはパッケージ配線に関して利用されない）。

【００１０】

しかしながらこれらの理論的利点にもかかわらず、その多くは、これから実現しなければならないか、あるいは十分には実現されていない。最も重要なのは、パッケージ信号分配は、これから信号分配速度を大幅に速めなければならないということである。そしてまたパッケージ信号分配によって、大幅に改良された信号（例えば、スキューがより少なく、エッジがより明確な、より高速のクロック）が得られるわけではない。

【００１１】

【発明が解決しようとする課題】

従って本発明の第一の目的は、改良されたパッケージ信号分配方法及び装置を提供することであり、この方法及び装置では、低減した遅延及びスキューを備える集積回路の遠隔位置にクロックのようなタイミング決定信号が分配される。

【００１２】

本発明のもう１つの目的は、追加機能（及び／又はより小さいダイの利用）のためにオンチップ領域を解放する方法及び装置を提供することにある。

【００１３】

本発明のさらにもう１つの目的は、既存の製造技術及び集積回路製作プロセスを利用して、実現可能な方法及び装置を提供することにある。

【００１４】

【課題を解決するための手段】

本発明の以上の及びそれ以外の目的を実現するため、本発明者らは、集積回路パッケージ層を介してタイミング決定信号を分配するための新規の方法及び装置を考案した。

【００１５】

従来のパッケージ分配方式は、ただ単に既存の大域オンチップ配線ネットワークをパッケージ層に移して、パッケージ層（前述のように、通常は、銅で形成され、より幅広で、より厚いトレースのための空間をもたらす）のより小さい抵抗を利用するだけであった。これら既存のネットワークは、平衡Ｈツリーネットワーク（ｂａｌａｎｃｅｄ　Ｈ－ｔｒｅｅ　ｎｅｔｗｏｒｋ）のような平衡ＲＣネットワークから構成された。ＲＣネットワークの場合、ネットワークによる遅延は、ネットワークの抵抗及びキャパシタンスに比例する。すなわちほぼ、

$R_{wire} \times (C_{wire} + C_{load})$

である。

【００１６】

しかしながらパッケージ上のR_{wire}が、チップ上のR_{wire}よりほぼ３桁小さいと正確に仮定しているが、以前のパッケージ分配方式では、パッケージ経路の受信端（例えば、ＥＳＤ保護回路）が、極度に大きいキャパシタンス（C_{load}）にさらされるものと想定されていた。しかし本発明者らは、この仮定が誤りであることを立証した。従来のパッケージ分配方式では、C_{load}がほぼ５ｐＦ程度と仮定しているが、受信側のＥＳＤ抵抗器が実際にさらされる負荷キャパシタンスは、０．０５ｐＦ程度である（Ｚｈｕ及びＴａｍの仮定した値よりさらに２桁小さい）。これは上述の方程式のＲ成分及びＣ成分が、両方ともパッケージ上において極めて小さく、パッケージ分配システムが、Ｈツリーのような平衡ＲＣネットワークではなく、複数の２ポイント間（ｐｏｉｎｔ－ｔｏ－ｐｏｉｎｔ）伝送線路として最もうまく構成された場合である。

【００１７】

パッケージ信号経路が、２ポイント間伝送線路として構成される場合、信号遅延及びスキューに対するパッケージ層の製造及び環境の変動による影響は、（遅延及びスキューに対する製造及び環境の変動による影響が大きい、オンチップと比較して）大幅に低下する。

【００１８】

さらに、パッケージ層伝送線路によって伝達される信号の遅延及びスキューは、主として、伝送線路のまわりの誘電体の相対誘電率によって決まり、製造変動性とはほとんど無関係である。

【００１９】

「パッケージ上における」ドライバ／受信器の不整合は、オンチップ受信回路のＥＳＤ保護の必要と同様に、パッケージ層を介して経路指定される信号に対して、スキューの付加成分を加えることになる。しかしながらこれらの付加スキュー成分は、リピータの不整合によって誘発されるスキューがないことによって相殺される以上である。

【００２０】

パッケージ層における２ポイント間信号経路は、信号の反射を阻止するため、適正に終端されなければならない。さもなければ信号反射によって、信号の質が劣化し、信号がスイッチしたかどうか、及びいつスイッチしたかの判定が困難になる。抵抗及び容量の影響が極めて低いパッケージ層の場合、信号反射は重要な問題である。しかしながら信号の反射は、伝送線路の特性インピーダンスにほぼ整合するインピーダンスで、各２ポイント間伝送線路の少なくとも一方の端部を終端することによって制御可能である。

【００２１】

信号は、パッケージ層を介して大域に分配されると、次により一般的なやり方で（例えば、Ｈツリーのようなオンチップ ＲＣネットワークを介して）、ただし大幅に縮小されたオンチップ領域にわたって、局部的に分配される。

【００２２】

本発明のこれらの及びその他の重要な利点及び目的については、付属の説明、図面及び請求項においてさらに説明が加えられ、明らかになるであろう。

【００２３】
【発明の実施の形態】
図１０には、集積回路の信号遅延及びスキューを低減する方法１０００が例示されている。この方法は、一般に集積回路と集積回路パッケージ層の間の第１の接続部を介して信号を駆動するステップ１００２と、集積回路パッケージ層に形成された２ポイント間伝送線路によって、集積回路と集積回路パッケージ層の間の１つ以上の追加接続部に信号を分配するステップ１００４と、集積回路と集積回路パッケージ層の間の１つ以上の接続部を介して、集積回路内に信号を受信するステップ１００６を含むことが可能である。
【００２４】
図１～６及び８には、こうした方法を実施するための装置が例示されている。この装置は一般に、集積回路パッケージ１００（図１）と、集積回路パッケージ１００の内部に取り付けられた集積回路２００（図２）を含むことが可能である。集積回路パッケージ１００には、１つ以上の伝送線路６１８～６６４、８１８（図５、６及び８）が形成されたパッケージ層４０４（図４）が含まれている。各伝送線路８１８の第１の端部８３４（図８）は、集積回路２００内に配置された駆動回路８０６（あるいは、２つ以上の伝送線路に共通の駆動回路）に結合されている。各伝送線路８１８の第２の端部８３６は、集積回路２００内に配置された受信回路８３２に結合されている（各伝送線路は、異なる受信回路に結合されている）。各伝送線路８１８は、伝送線路８１８の端部８３４、８３６の一方又は両方に終端インピーダンスを接続して、適正に終端されている。
【００２５】
この説明で用いられる限りにおいて、「適正に終端される」という用語は、伝送線路における反射の可能性を所定の用途に許容可能なレベルにまで低下させるように、伝送線路が一方又は両方の端部で終端される（信号源及び／又は負荷終端を利用して）ことを表している。一般に終端インピーダンス８４０は、伝送線路８１８の特性インピーダンスにほぼ整合する。この説明で用いられる限りにおいて、「ほぼ整合する」及び「ほぼ等しい」といった用語は、比較される２つの要素が、製造上の及びその他の意図せぬ変動がなければ、同等であることを表している。
【００２６】
信号遅延及びスキューを低減するための方法１０００及び装置について概略を説明してきたが、次に方法１０００及び装置についてさらに詳細に述べることにする。
【００２７】
図１には、典型的な集積回路パッケージ１００が示されている。集積回路パッケージ１００の下側に形成されたボールグリッドアレイ１０６が、パッケージ１００の内部に取り付けられた集積回路２００（「チップ」；図２）をプリント回路基板に電気的に結合するための手段を与える。当該技術において既知の通り、図１に示すボールグリッドアレイ１０６は、集積回路をプリント回路基板に電気的に結合するための手段のほんの一例にすぎない。他の手段には、ピン、エッジコネクタ等が含まれる。
【００２８】
集積回路パッケージ１００は、さまざまな方法で構成することが可能である。図１～３に示す集積回路パッケージ１００には、ベース１０２と、キャップ１０４が含まれている。図２の場合、集積回路パッケージのベース１０２内に取り付けられたチップ２００が見えるようにするため、キャップ１０４が取り除かれている。
【００２９】
図３には、図１に示す装置の断面３００が示されている。図３には、チップ２００とそのパッケージ１０２、１０４の間の領域接続部３０２、３０４が示されている。領域接続部３０２、３０４には、例えば加熱されると、チップ２００とそのパッケージ１０２、１０４の間に接続部３０２、３０４を形成するＣ４ハンダバンプを含むことができる。Ｃ４ハンダバンプ３０２、３０４は、チップ２００のいずれかの表面にあって、チップ２００とプリント回路基板（例えば、ボールグリッドアレイ１０６のハンダバンプを介して）を相互接続することもできるし、あるいは代わりに、チップ２００とパッケージ内部に存在す

る材料層（例えば、パッケージ１００のベース１０２又はキャップ１０４の層）を相互接続することもできる。

【００３０】

図３には、そのパッケージ１００に対する領域接続部３０２、３０４を備えたチップ２００が示されているが、チップ２００は、領域接続部３０２及び／又は他の接続部を介してそのパッケージ１００に接続することができる。例えばチップ２００は、チップ２００上のパッドとパッケージ１０２上のパッドの間にボンディングされた細いワイヤを介して、そのパッケージ１００に接続することが可能である。

【００３１】

図４には、図１～３の集積回路パッケージ内の典型的な層４０２、４０４、４０６、４０８がより詳細に示されている。これらのパッケージ層には、金属層４０２、第１の誘電体層４０６、銅層４０４及び第２の誘電体層４０８が含まれている。図４は、集積回路パッケージ２００内に配置可能な層を例示しただけのものであり、実際にはより多くの、あるいはより少ない層を設けることも可能である。層間、すなわち層４０４と集積回路２００の間の相互接続は、中間層４０８にバイア４１２を形成し、第１の層４０４の材料（例えば、銅）がバイア４１２を通って流れ、第２の層（例えば、集積回路チップ２００におけるＣ４ハンダバンプ４１０）と接触できるようにすることによって形成される。こうして、チップ２００内の信号をチップのパッケージの層４０４に送り込み、チップ２００上の１つ以上の遠隔位置に分配することが可能になる。

【００３２】

前述のように、信号に「オフチップ」経路指定を施す理由の１つは、より小さいオフチップ抵抗を利用するためである。チップ上の金属層には、アルミ合金のトレースが含まれる場合が多いが、チップ外の金属層には、銅のトレースを含むことが可能である。銅は、アルミ合金よりはるかに優れた導体である（約２～３倍優れている）。しかしながらオフチップクロック分配ネットワークの従来の実施態様に関する問題は、こうした分配方式の実施者が、オフチップクロック分配ネットワークをＲＣネットワークとして扱ったことにある。従来のオフチップクロック分配ネットワークは、パッケージ層の抵抗が、オンチップ抵抗よりも小さいという前提の下に製作されたが、同時にこれらのネットワークは、パッケージ層のキャパシタンスが相対的に重要であるという前提の下においても製作されている。実際には、それは違っている。パッケージ層クロック分配の理論的利点を実現する上での重要な点は、パッケージ層の抵抗とキャパシタンスが、両方とも小さく、Ｒ＜＜ωＬ及びＲ＜＜１／ωＣという前提の下に、オフチップクロック分配ネットワークを設計することにある。

【００３３】

これらの前提が正しければ、パッケージ層のトレースは、ＲＣネットワークの脚ではなく、２ポイント間伝送線路として最適に構成される。Ｈツリー分配ネットワークは、チップのＲＣ環境（又は、他の任意のＲＣ環境）内で実施される場合には、かなりの利点をもたらすが、パッケージ層で実施される場合には、インピーダンスの不連続性を生じる場合が多いので、制限要素をもたらすことになる。これらのインピーダンス不連続性によって、さらに信号の反射、従ってスキューが生じることになる。

【００３４】

結果として、図５には、パッケージ信号分配のための典型的な信号分配方式５００が示されている。望ましい分配方式において、共通のクロック信号が、８つのドライバ６０２～６１６（図６）によってオフチップ駆動される。複数のドライバ６０２～６１６が利用されるので、各ドライバが受ける見掛けのインピーダンスは、比較的高い一定のレベルに留まり、信号ドライバに対応する受信器とのインピーダンス整合は、より正確になる。

【００３５】

各ドライバ６０２～６１６は、同様の構成であり、クロック信号を３つの適正に終端された２ポイント間伝送線路（例えば、６１８～６２２）に送り込む。伝送線路は、例えばエッチングプロセスによってパッケージ層に形成することが可能である。共通信号を分配す

るために利用される各伝送線路６１８～６６４は、長さ及び特性インピーダンスがほぼ等しいことが望ましい。こうして、各伝送線路６１８～６６４は、信号の反射による劣化（例えば、スキュー）を最小限に抑えて、クロック信号の波面７００（図７Ａ）を伝搬する。図５及び６に示す伝送線路６１８～６６４には、「鋭い」屈曲部が含まれているが、伝送線路の屈曲部は、丸みをつけて、伝送線路に対するインピーダンスの不連続性の導入を減少させることが望ましい（実際、屈曲部の少ない又は屈曲部のない伝送線路は、インピーダンスの不連続性を含む可能性がいっそう低下するが、実際の経路選択要件によって、こうした「屈曲部のない」伝送線路の利用は制限されるか、あるいは阻止される場合さえある）。

【００３６】

図７Ａ及び７Ｂには、信号の反射を低減させることが重要である理由が示されている。図７Ａには、時点Ａにおいて、伝送線路のドライバによって、信号波面（論理「０」（ＧＮＤ）から論理「１」（ＶＤＤ）への、又はこの逆の遷移を表す）が誘発されるものと仮定して、適正に終端された２ポイント間伝送線路の受信端に生じる波形が示されている。時点Ａのすぐ後の時点Ｂにおいて、信号波面が、伝送線路の受信端に到達する。

【００３７】

図７Ｂには、１）適正に終端されなかった伝送線路、２）ＲＣ定数が極めて低い媒体で実施されるＨツリーネットワークの脚、のいずれかの受信端に生じる波形が示されている。図７Ｂでは、伝送線路又はＨツリーネットワークのドライバによって、図７Ａと同じ信号波面が誘発されるものと仮定している。時点Ｂにおいて、Ｈツリーネットワークの受信端で、電圧の揺らぎが認められる。しかしながらＨツリーネットワークのブランチ、分岐によって（又は、適正な終端が施されてないことによって）生じる反射のため、受信端は、V_{TH}（受信器のしきい値電圧）を超える電圧を受信することはなく、Ｈツリーネットワークの駆動端によって送り出される論理「１」は認識されない。時点Ｂ以後のある時点において、Ｈツリー受信器によって受信される信号は、実際のところV_{TH}を超えて上昇する可能性があるが、その後Ｈツリー受信器が、論理「１」が送られてきたことを認識できる前に、V_{TH}未満にまで降下する。ある時点（例えば、時点Ｃ）において、ネットワークを介して伝搬した多くの信号反射が鎮静すると、V_{TH}を超える電圧が受信器によって認識されるので、スイッチする。

【００３８】

従って、パッケージ分配ネットワークを介して信号波面（すなわち、明確なエッジを備える信号）を伝搬させるために、信号の反射を軽減すると、受信器のスイッチングがより高速化され、パッケージ分配ネットワーク内における遅延が減少する。また信号の反射を軽減すると、信号のコピー間におけるスキューの確率も低下する。

【００３９】

図６に示す駆動回路、ドライバ６０２～６１６は、共通の信号源によって駆動可能である。図８にはこうした構成が示されている。信号源８０２がクロック源であれば、信号源８０２は、おそらく外部クロック源から生じ、１）ボールグリッドアレイのハンダボールを介して、さらに２）集積回路２００とそのパッケージ１００の間のＣ４ハンダバンプ（又は、他の接続部）を介して、内部クロック源回路要素８０２に供給されるシステムクロック信号を受信することになるであろう。

【００４０】

信号源８０２は、１つ以上の駆動回路８０４、８０６、８０８を駆動する。駆動回路は、当該技術において既知のところであり、特定のドライバの実施例は、この開示の範囲を超えることになる。各駆動回路８０４～８０８は、それぞれＣ４ハンダバンプ８１６接続部（又は、ワイヤもしくは他の接続手段）によって、１つ又は複数の２ポイント間伝送線路８１０、８１２、８１８を駆動する。各伝送線路８１８の第１の端部８３４及び／又は第２の端部８３６は、伝送線路８１８に対して適正に整合させられた（それによって、伝送線路８１８の反射が軽減される）特性インピーダンス８４０（例えば、５０Ωの抵抗器）によって終端されている。図８には、負荷終端が示されている。ただし回路設計者は、代

わりに（又は、追加して）信号源終端の利用を選択することも可能である。
【００４１】
伝送線路８１８を介して伝送される信号は、第２のＣ４ハンダバンプ８２０によって受信され、集積回路２００に戻され、その後局部的信号分配ネットワーク８３８のドライバ８３２に加えられる。
【００４２】
パッケージ経路指定クロック又は信号分配ネットワークの製造時に考慮すべき重要な事項は、静電放電（ＥＳＤ）の影響である。集積回路２００がそのパッケージ１００内への取り付け及び／又はそのパッケージ１００に対する接続を施されている際中に、静電気の影響による問題が生じることがある。従って図８の伝送線路８１８の受信端８３６には、ＥＳＤ保護回路要素が組み込まれている。図には示さないが、駆動回路要素８０４～８０８によって、同様のＥＳＤ保護回路要素を実施することも可能である。図８に示すＥＳＤ保護回路要素には、ＥＳＤ抵抗器８２２を取り囲むいくつかのクランプダイオード（ｃｌａｍｐ　ｄｉｏｄｅ）８２４～８３０が含まれている。標準的なＥＳＤ構成の場合、２つのクランプダイオード８２４、８２８が、それぞれＥＳＤ抵抗器８２２の一方の端部と電源又はアースの間に接続されており、さらに２つのクランプダイオード８２６、８３０が、それぞれＥＳＤ抵抗器８２２のもう一方の端部と電源又はアースの間に接続されている。こうして、局部ドライバ８３２が耐えることが可能な値を超える電荷が、システムのアースなどに集中して流される。シミュレーションによって、ＥＳＤ抵抗器８２２に対して、１５０Ωの値が有効であることが分かった。従来のパッケージ経路指定方式の教示によれば、抵抗器８２２のこの高い値は、極度に大きく、付加的な信号反射及びスキューを生じさせることとなるが、実情はこの通りではない。
【００４３】
図９には、パッケージ経路指定信号を追加集積回路位置に送るために利用可能なＨツリー分配ネットワーク９００が示されている。好ましくは大域信号分配は、図５、６及び８の装置を介して実施され、局部信号分配は、図９の装置を介して実施される。図９のＨツリーの線路９０４は、図８の線路８３８と同等とすることもできるし、あるいは線路８３８によって（直接又は間接的に）駆動することもできる。Ｈツリーネットワークにおける慣例に従い、９０４と９０６、９０４と９０８及び９０４と９１０の間に延びる線路の長さは、実質上等しくすべきである。
【００４４】
一面においてパッケージ信号分配は、より一様な電気的環境が得られるが、オンチップ信号分配の電気的環境は、実質上一様ではないので、パッケージ信号分配はオンチップ信号分配より有利である。パッケージ信号分配では、隣接信号との結合を低減する、適正に設計された伝送線路（例えば、差動伝送線路）の働きによって、スキューがさらに軽減される。
【００４５】
０．１８μｍの集積回路プロセスの回路シミュレーションを利用したテストによって、信号が、クロック源から６，０００μｍ×２５μｍの層をなす５つの金属ワイヤを介して、Ｈツリーネットワークの２つのほぼ同一のリピータに経路指定され、さらに７，５００μｍ×４０μｍの層をなす６つの金属ワイヤを介して、Ｈツリーネットワークの２つの追加リピータ（この追加リピータは、やはりほぼ同一である）に経路指定され、最後に３，０００μｍ×２０μｍの層をなす６つの金属ワイヤと１，５００μｍ×１０μｍの層をなす５つの金属ワイヤを介して、２つのほぼ同一の受信器に経路指定されると、２つの受信器に生じる信号のコピーに、１００ｐｓのスキューが生じる可能性のあることが分かった。同じプロセスを利用するが、パッケージ層における１６，０００μｍ×５５μｍの銅の伝送線路を介して、クロック源から２つの受信器に直接的な信号の経路指定を行うと、２つの受信器に生じる信号のコピーには、わずか２０ｐｓのスキューしか生じない。
【００４６】
上記段落の構成を所与のものとすれば、ワイヤ、リピータ、ドライバ及びＥＳＤの影響に

起因する信号スキューは、次の表１の通りである：

【００４７】

【表１】

	チップ経路	パッケージ経路
ワイヤ	68ps	3ps
リピータ	36ps	0ps
ドライバ	0ps	4ps
ESD	0ps	13ps
全スキュー	104ps	20ps

【００４８】

ドライバ及びＥＳＤの影響によるスキューは、パッケージ経路においてしか見受けられないが、これらのスキュー成分は、リピータスキューよりもはるかに小さく、ワイヤ及びリピータによって生じるスキューを除くことによって完全に相殺される。

【００４９】

以上の説明は、「２ポイント間」伝送線路の議論に制限されたが、伝送線路の受信端にいくつかの比較的短いスタブを含むことは、本発明の範囲内である。例えば１６～１８，０００μｍの伝送線路からのいくつかの１，０００μｍのスタブがある。各スタブは、適正な終端を備え、他のスタブの長さ及び特性インピーダンスと整合される。伝送線路からのスタブを利用する場合、スキュー及び遅延を軽減したいという要求と、タイミング決定信号のコピーをより多数の位置に分配する必要とを比較することが可能である。伝送線路からのスタブが利用されるか否かに関係なく、パッケージ信号分配は、ＲＣ環境ではなく、伝送線路環境として扱われる。

【００５０】

本発明の例証となる、現時点において望ましい実施態様について、詳細に述べてきたが、もちろん本発明の概念は、別様にさまざまな形で実施することが可能であり、付属の請求項は、先行技術による制限のある場合を除いて、このような変更を含むと解釈されることを意図したものである。付属の請求項において、単数扱いの記載（冠詞「ａ」）は、「唯一」を意味するものではない。

【００５１】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

【００５２】

１．集積回路（２００）における信号遅延及びスキューを低減する方法（１０００）であって、

ａ）集積回路と集積回路パッケージ層（４０４）の間の第１の接続部（８１６）を介して信号を駆動するステップ（１００２）と、

ｂ）前記集積回路パッケージ層に形成された伝送線路（８１８）によって、前記集積回路と前記集積回路パッケージ層の間の第２の接続部（８２０）に信号を分配するステップ（１００４）と、

ｃ）前記集積回路と前記集積回路パッケージ層の間の前記第２の接続部を介して、前記集積回路内に信号を受信するステップ（１００６）と、

からなる方法。

【００５３】

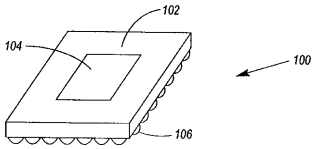
２．さらに、前記集積回路（２００）と前記集積回路パッケージ層（４０４）の間の複数

の追加接続部に信号を分配するステップが含まれ、
該複数の追加接続部のそれぞれに対する分配が、前記集積回路パッケージ層に形成された別個の追加伝送線路（６１８～６６４）によって実施される、１項に記載の方法。
【００５４】
３．前記伝送線路（８１８）が、前記伝送線路の特性インピーダンスに実質上整合するインピーダンス（８４０）によって、一方又は両方の端部（８３４、８３６）が終端されている、１項に記載の方法。
【００５５】
４．ａ）第１の伝送線路（８１８）が形成されたパッケージ層（４０４）を含む集積回路パッケージ（１０２）と、
ｂ）第１の駆動回路（８０６）と第１の受信回路（８３２）を含む、集積回路パッケージに接続された集積回路（２００）と、
ｃ）前記第１の伝送線路の第１の端部（８３４）と前記第１の駆動回路の間の第１の結合部（８１６）と、
ｄ）前記第１の伝送線路の第２の端部（８３６）と前記第１の受信回路の間の第２の結合部（８２０、８２２～８３０）と、
を含む装置。
【００５６】
５．前記第１の伝送線路（８１８）が、前記第１の伝送線路の特性インピーダンスに実質上整合するインピーダンス（８４０）によって、一方又は両方の端部（８３４、８３６）が終端されている、４項に記載の装置。
【００５７】
６．さらに、ａ）前記パッケージ層（４０４）内に形成された複数の追加伝送線路（６１８～６６４）と、
ｂ）前記集積回路（２００）内に配置された複数の追加受信回路と、
ｃ）前記複数の追加伝送線路の第１のサブセットの第１の端部と前記第１の駆動回路（８０６）の間の第１の追加結合部と、
ｄ）前記複数の追加伝送線路の第１のサブセットの第２の端部と前記複数の追加受信回路のそれぞれとの間の第２の追加結合部と、
を含む、４項に記載の装置。
【００５８】
７．さらに、ａ）前記集積回路（２００）内に配置された複数の追加駆動回路（８０４、８０８）と、
ｂ）前記複数の追加伝送線路の追加サブセットの端部と前記複数の追加駆動回路のそれぞれとの間の第３の追加結合部とを含み、
ｃ）各駆動回路（８０４～８０８）がクロックドライバであり、各クロックドライバが、前記集積回路内に配置されたクロック源（８０２）に接続され、
ｄ）各伝送線路（８１８）の少なくとも１つの端部（８３６）が、取り付けられる伝送線路の特性インピーダンスに実質上整合する終端インピーダンス（８０４）に結合され、
ｅ）第１の結合部（８１６）、第２の結合部（８２０）、第１の追加結合部、第２の追加結合部及び第３の追加結合部のそれぞれが、Ｃ４ハンダバンプ接続部を含み、
ｆ）前記第１の伝送線路及び複数の追加伝送線路（６１８～６６４）の長さが実質上等しく、
ｇ）前記受信回路（８３２）のそれぞれのキャパシタンス負荷が、それらが結合される伝送線路のキャパシタンスを大きく下回る、
６項に記載の装置。
【００５９】
８．前記第１の伝送線路（８１８）が差動伝送線路である、４項に記載の装置。
【００６０】
９．ａ）前記第１の伝送線路（８１８）の第２の端部（８３６）が、前記第１の伝送線路

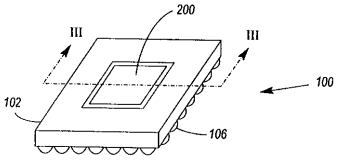
から延びるいくつかの短いスタブの１つであり、
ｂ）前記集積回路（２００）が、いくつかの追加受信回路を含み、前記装置が、さらに、
ｃ）いくつかの短いスタブの追加スタブといくつかの追加受信回路との間のいくつかの追加結合部を含む、４項に記載の装置。
【００６１】
１０．ａ）伝送線路（８１８）が形成されたパッケージ層（４０４）を含む集積回路パッケージ（１０２）と、
ｂ）受信回路（８３２）を含む、前記集積回路パッケージに接続された集積回路（２００）と、
ｃ）前記伝送線路の第１の端部（８３４）と前記集積回路パッケージの外部に配置された駆動回路（８０６）の間の第１の結合部（８１６）と、
ｄ）前記伝送線路の第２の端部（８３６）と前記受信回路の間の第２の結合部（８２０）と、
ｅ）前記伝送線路の一方の端部に結合された終端インピーダンス（８４０）と、該終端インピーダンスが前記伝送線路の特性インピーダンスに実質上整合することと、
を含む装置。
【００６２】
【発明の効果】
集積回路（２００）内の信号遅延及びスキューは、１）信号が集積回路の遠隔ポイントに集積回路パッケージ（１０２）の層（４０４）を介して分配される場合、２）集積回路パッケージの層のトレース（８１８）が伝送線路としてエッチングされて処理される場合に、最小となる。本発明で開示されるように、信号は、集積回路と集積回路パッケージ層の間の第１の接続部（８１６）を介して駆動される。さらに信号は、集積回路と集積回路パッケージ層の間の１以上の追加の接続部（８２０）に、集積回路パッケージ層に形成された２ポイント間伝送線路によって分配され、伝送線路のそれぞれは、それらが取り付けられる伝送線路の特性インピーダンスに実質上整合するインピーダンス（８４０）によって、一方もしくは両方の端部（８３４、８３６）を終端される。さらに信号は、集積回路と集積回路パッケージ層の間の１以上の追加の接続部を介して、集積回路に受信される。集積回路パッケージ層を介してタイミング決定信号を分配することによって、ワイヤ遅延及び信号スキューを最小限に抑えることができる。
【図面の簡単な説明】
【図１】集積回路パッケージの斜視図である。
【図２】そのベース内に取り付けられた集積回路が見えるようにするため、そのキャップを取り除いた、図１の集積回路パッケージの斜視図である。
【図３】図１及び２に示す集積回路とパッケージベースの間の接続部に関する断面図である。
【図４】図３に示す集積回路パッケージベースの拡大断面図である。
【図５】いくつかの伝送線路が経路指定された集積回路パッケージ層の平面図である。
【図６】図５の駆動回路の拡大図である。
【図７】図７Ａは波面の伝搬を示すグラフである。図７Ｂは波面の伝搬に対する信号反射の影響を示すグラフである。
【図８】図５の信号伝送線路の唯１つに接続された駆動回路、受信回路、負荷終端インピーダンス及びＥＳＤ保護回路を示す概略図である。
【図９】図８の受信回路に接続可能なＨツリー分配ネットワークを示す概略図である。
【図１０】集積回路における信号遅延及びスキューを低減するための方法に関するフローチャートである。
【符号の説明】
１００　装置
１０２　集積回路パッケージ
２００　集積回路

４０４　集積回路パッケージ層
６１８～６６４　追加伝送線路
８００　装置
８０２　クロック源
８０４　追加駆動回路
８０６　追加駆動回路
８０８　追加駆動回路
８１６　第１の結合部
８１８　伝送線路
８２０　第２の結合部
８３２　第１の受信回路
８３４　伝送線路の第１の端部
８３６　伝送線路の第２の端部
８４０　抵抗器

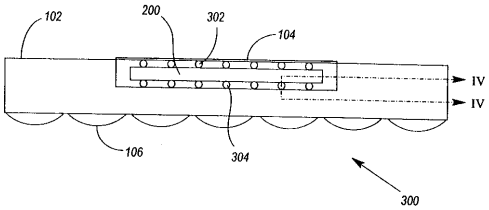
【図１】



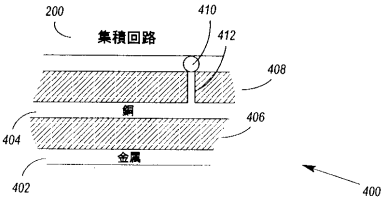
【図２】



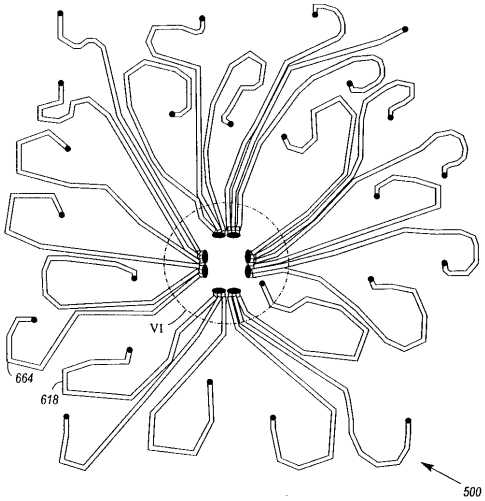
【図３】



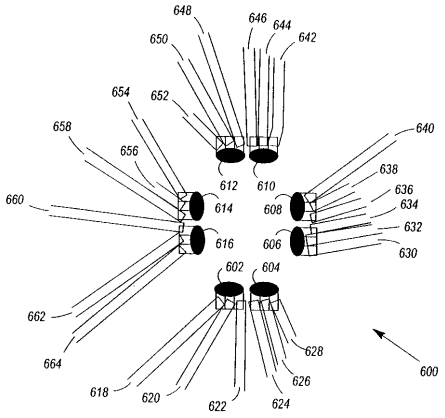
【図４】



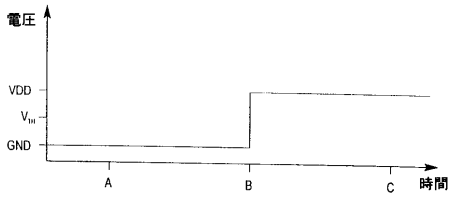
【図５】



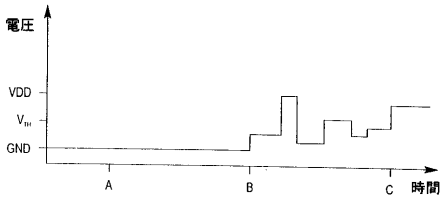
【図６】



【図７】

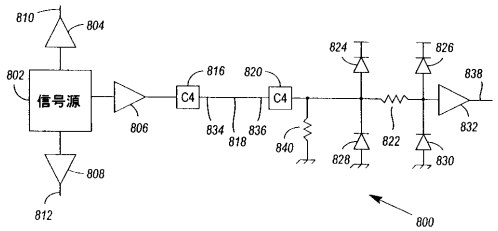


（Ａ）

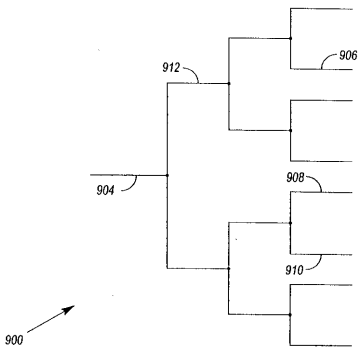


（Ｂ）

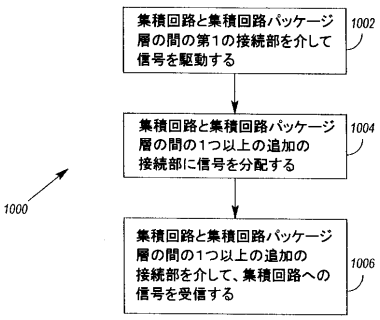
【図８】



【図９】



【図１０】



フロントページの続き

(72)発明者 デイビッド・ビー・ホレンベック
アメリカ合衆国コロラド州８０５２６，フォート・コリンズ，タナガー・ストリート・４１１３
(72)発明者 ウィリアム・エス・ウォーレイ，ジュニア
アメリカ合衆国コロラド州８０２０６，デンバー，ジャクソン・ストリート・２６５
(72)発明者 デイビッド・ダブリュー・クイント
アメリカ合衆国コロラド州８０５２６，フォート・コリンズ，ハイ・プレーンズ・コート・２７２２
(72)発明者 ティモシー・エル・ミチャルカ
アメリカ合衆国コロラド州８０５２６，フォート・コリンズ，サマリー・レーン・１０００

審査官 棚田 一也

(56)参考文献 特開昭６２－２７２５６０（ＪＰ，Ａ）
特開平０８－０６４９８３（ＪＰ，Ａ）
特表平０９－５０８７６１（ＪＰ，Ａ）
Qing Zhu,Wayne W.H.Dai, Chip and Package Co-Design Technique for Clock Networks, IEEE Multi-chip Module Conference, １９９６年 2月, 160-163

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H01L 21/822
H01L 27/04
H01L 21/82
H01L 23/12