

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4931404号
(P4931404)

(45) 発行日 平成24年5月16日 (2012. 5. 16)

(24) 登録日 平成24年2月24日 (2012. 2. 24)

(51) Int. Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 A
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 1 1 G
	G 1 1 C 17/00 6 2 2 E

請求項の数 58 (全 21 頁)

(21) 出願番号	特願2005-330698 (P2005-330698)	(73) 特許権者	390019839
(22) 出願日	平成17年11月15日 (2005. 11. 15)		三星電子株式会社
(65) 公開番号	特開2006-155871 (P2006-155871A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成18年6月15日 (2006. 6. 15)		C o . , L t d .
審査請求日	平成20年11月10日 (2008. 11. 10)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
(31) 優先権主張番号	2004-099953		4 1 6, M a e t a n - d o n g, Y e o
(32) 優先日	平成16年12月1日 (2004. 12. 1)		n g t o n g - g u, S u w o n - s i,
(33) 優先権主張国	韓国 (KR)		G y e o n g g i - d o, R e p u b l i
			c o f K o r e a
		(74) 代理人	100086368
			弁理士 萩原 誠
		(72) 発明者	李 鎬 吉
			大韓民国京畿道龍仁市器興邑靈德里 タイ
			ヨンアパート 201-403
			最終頁に続く

(54) 【発明の名称】 不揮発性メモリ装置

(57) 【特許請求の範囲】

【請求項 1】

行と列に配列されたメモリセルで構成されたメモリセルアレイと、
プログラム検証動作時、選択された行のメモリセルからデータビットを読み出すページバッファ回路と、

前記メモリセルアレイのページにプログラムされるデータの列アドレス情報を貯蔵するように構成され、前記列アドレス情報は初期列アドレス及び最終列アドレスを含み、前記初期列アドレス及び前記最終列アドレスにより前記ページ内の複数列からなるサブページを定め、前記サブページ内の列の数はプログラム検証動作に応じて可変であるアドレス貯蔵回路と、

前記ページバッファ回路に読み出された前記データビットを選択するための列アドレスを前記初期列アドレスから前記最終列アドレスまで順に発生するアドレス発生回路と、

前記アドレス発生回路で生成された列アドレスが前記最終列アドレスと一致するとプログラム動作モードを終了させるスキャン制御回路とを含み、

前記スキャン制御回路は、列スキャン方式により前記プログラム検証動作を制御し、

前記プログラム動作モードは、

前記サブページ内のメモリセルのみをプログラムするプログラム動作と、

前記サブページ内のメモリセルのみを検証する前記プログラム検証動作とからなることを特徴とする不揮発性メモリ装置。

【請求項 2】

前記初期列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 1 に記載の不揮発性メモリ装置。

【請求項 3】

前記アドレス発生回路は前記プログラムされるデータビットが前記ページバッファ回路にローディングされる間列アドレスを順に発生することを特徴とする請求項 2 に記載の不揮発性メモリ装置。

【請求項 4】

前記プログラムされるデータビットが全部前記ページバッファ回路にローディングされるとき、前記アドレス発生回路で最終的に生成された列アドレスは前記最終列アドレスとして前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 3 に記載の不揮発性メモリ装置。

10

【請求項 5】

前記初期及び最終列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 1 に記載の不揮発性メモリ装置。

【請求項 6】

前記アドレス発生回路からの列アドレスに応答して前記読み出されたデータビットを選択する列ゲート回路をさらに含むことを特徴とする請求項 1 に記載の不揮発性メモリ装置。

20

【請求項 7】

前記スキャン制御回路は前記列ゲート回路によって選択されたデータビットが全部プログラム状態を示すか否かによって前記アドレス発生回路を制御することを特徴とする請求項 6 に記載の不揮発性メモリ装置。

【請求項 8】

前記選択されたデータビットが全部プログラム状態を示すとき、前記スキャン制御回路は次の列アドレスを発生するように前記アドレス発生回路を制御することを特徴とする請求項 7 に記載の不揮発性メモリ装置。

【請求項 9】

前記選択されたデータビットのうちの一部だけがプログラム状態を示すとき、前記スキャン制御回路は次の列アドレスを発生しないように前記アドレス発生回路を制御することを特徴とする請求項 7 に記載の不揮発性メモリ装置。

30

【請求項 10】

前記プログラムされるデータのサイズは前記選択された行のサイズと同一、またはそれより小さいことを特徴とする請求項 1 に記載の不揮発性メモリ装置。

【請求項 11】

前記スキャン制御回路は NAND インターフェース方式、NOR インターフェース方式、及び SRAM インターフェース方式のうちのいずれか一つのインターフェース方式に従って外部装置とインターフェースするように構成されることを特徴とする請求項 1 に記載の不揮発性メモリ装置。

40

【請求項 12】

行と列に配列されたメモリセルで構成されたメモリセルアレイと、
プログラム検証動作時、選択された行のメモリセルからデータビットを読み出すページバッファ回路と、

前記メモリセルアレイのページにプログラムされるデータの列アドレス情報を貯蔵するように構成され、前記列アドレス情報は初期列アドレス及び最終列アドレスを含み、前記初期列アドレス及び前記最終列アドレスにより前記ページ内の複数列からなるサブページを定め、前記サブページ内の列の数はプログラム検証動作に応じて可変であるアドレス貯蔵回路と、

前記プログラム検証動作時、前記アドレス貯蔵回路に貯蔵された前記初期列アドレス及

50

び最終列アドレスを順に選択する列選択回路と、

前記選択されたデータビット及び前記最終列アドレスに応答してプログラム動作モードの終了を制御するスキャン制御回路とを含み、

前記スキャン制御回路は、列スキャン方式により前記プログラム検証動作を制御し、

前記プログラム動作モードは、

前記サブページ内のメモリセルのみをプログラムするプログラム動作と、

前記サブページ内のメモリセルのみを検証する前記プログラム検証動作とからなることを特徴とする不揮発性メモリ装置。

【請求項 1 3】

前記列選択回路は、

10

前記初期列アドレスに応答して列アドレスを前記初期列アドレスから前記最終列アドレスまで順に発生するアドレス発生回路と、

前記列アドレスに応答して前記読み出されたデータビットを選択する列ゲート回路とを含むことを特徴とする請求項 1 2 に記載の不揮発性メモリ装置。

【請求項 1 4】

前記スキャン制御回路は前記列ゲート回路によって選択されたデータビットが全部プログラム状態を示すか否かによって前記アドレス発生回路を制御することを特徴とする請求項 1 3 に記載の不揮発性メモリ装置。

【請求項 1 5】

前記選択されたデータビットが全部プログラム状態を示すとき、前記スキャン制御回路は次の列アドレスを発生するように前記アドレス発生回路を制御することを特徴とする請求項 1 4 に記載の不揮発性メモリ装置。

20

【請求項 1 6】

前記選択されたデータビットのうちの一部だけがプログラム状態を示すとき、前記スキャン制御回路は次の列アドレスを発生しないように前記アドレス発生回路を制御することを特徴とする請求項 1 4 に記載の不揮発性メモリ装置。

【請求項 1 7】

前記スキャン制御回路は前記アドレス発生回路で生成された列アドレスが前記最終列アドレスと一致するとき、前記プログラム動作モードを終了させることを特徴とする請求項 1 3 に記載の不揮発性メモリ装置。

30

【請求項 1 8】

前記初期列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 1 2 に記載の不揮発性メモリ装置。

【請求項 1 9】

前記アドレス発生回路は前記プログラムされるデータビットが前記ページバッファ回路にローディングされる間列アドレスを順に発生することを特徴とする請求項 1 3 に記載の不揮発性メモリ装置。

【請求項 2 0】

前記プログラムされるデータビットが全部前記ページバッファ回路にローディングされるとき、前記アドレス発生回路で最終的に生成された列アドレスは前記最終列アドレスとして前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 1 9 に記載の不揮発性メモリ装置。

40

【請求項 2 1】

前記初期及び最終列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 1 2 に記載の不揮発性メモリ装置。

【請求項 2 2】

前記スキャン制御回路は、

前記列ゲート回路によって選択されたデータビットが全部プログラム状態を示すか否か

50

を判別するデータ判別回路と、

前記アドレス発生回路で生成された列アドレスが前記最終列アドレスと一致するか否かを検出する検出回路と、

前記データ判別回路の判別結果及び前記検出回路の検出結果に応答して前記プログラム動作モードの終了を制御する制御ロジックとを含むことを特徴とする請求項 1 3 に記載の不揮発性メモリ装置。

【請求項 2 3】

前記列ゲート回路によって選択されたデータビットのうちの一部だけがプログラム状態を示すとき、前記アドレス発生回路による次の列アドレスの生成が中止されることを特徴とする請求項 2 2 に記載の不揮発性メモリ装置。

10

【請求項 2 4】

前記アドレス発生回路で生成された列アドレスが前記最終列アドレスを示すとき、前記制御ロジックは前記プログラム動作モードを終了させることを特徴とする請求項 2 3 に記載の不揮発性メモリ装置。

【請求項 2 5】

前記制御ロジックは NAND インターフェース方式、NOR インターフェース方式、及び SRAM インターフェース方式のうちのいずれか一つのインターフェース方式に従って外部装置とインターフェースするように構成されることを特徴とする請求項 2 2 に記載の不揮発性メモリ装置。

【請求項 2 6】

20

行と列に配列されたメモリセルで構成されたメモリセルアレイと、

プログラム検証動作時、選択された行のメモリセルからデータビットを読み出すページバッファ回路と、

前記メモリセルアレイのページにプログラムされるデータの列アドレス情報を貯蔵するように構成され、前記列アドレス情報は初期列アドレス及び最終列アドレスを含み、前記初期列アドレス及び前記最終列アドレスにより前記ページ内の複数列からなるサブページを定め、前記サブページ内の列の数はプログラム検証動作に応じて可変であるアドレス貯蔵回路と、

前記ページバッファ回路に読み出された前記データビットを選択するための列アドレスを前記初期列アドレスから前記最終列アドレスまで順に発生するアドレス発生回路と、

30

前記列アドレスに応答して前記データビットを選択する列ゲート回路と、

前記アドレス発生回路を制御するスキャン制御回路とを含み、

前記スキャン制御回路は、

列スキャン方式により前記プログラム検証動作を制御し、

前記選択されたデータビットが全部プログラム状態を示すか否かを判別するデータ判別回路と、

前記アドレス発生回路から生成された列アドレスが前記アドレス貯蔵回路の最終列アドレスと一致するか否かを検出する検出回路と、

前記検出回路の検出結果及び前記データ判別回路の判別結果に応答してプログラム動作モードの終了を制御する制御ロジックとを含み、

40

前記プログラム動作モードは、

前記サブページ内のメモリセルのみをプログラムするプログラム動作と、

前記サブページ内のメモリセルのみを検証する前記プログラム検証動作とからなることを特徴とする不揮発性メモリ装置。

【請求項 2 7】

前記初期列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 2 6 に記載の不揮発性メモリ装置。

【請求項 2 8】

前記アドレス発生回路は前記プログラムされるデータビットが前記ページバッファ回路

50

にローディングされる間列アドレスを順に発生することを特徴とする請求項 27 に記載の不揮発性メモリ装置。

【請求項 29】

前記プログラムされるデータビットが全部前記ページバッファ回路にローディングされるとき、前記アドレス発生回路で最終的に生成された列アドレスは前記最終列アドレスとして前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 28 に記載の不揮発性メモリ装置。

【請求項 30】

前記初期及び最終列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵されることを特徴とする請求項 26 に記載の不揮発性メモリ装置。

10

【請求項 31】

前記制御ロジックは前記アドレス発生回路で生成された列アドレスが前記最終列アドレスと一致するとき、前記プログラム動作を終了させることを特徴とする請求項 26 に記載の不揮発性メモリ装置。

【請求項 32】

前記列ゲート回路によって選択されたデータビットのうちの一部だけがプログラム状態を示すとき、前記アドレス発生回路による次の列アドレスの生成が前記プログラム検証動作時に中止されることを特徴とする請求項 26 に記載の不揮発性メモリ装置。

【請求項 33】

20

前記列ゲート回路によって選択されたデータビットが全部プログラム状態を示すとき、前記アドレス発生回路は前記プログラム検証動作時、次の列アドレスを生成することを特徴とする請求項 26 に記載の不揮発性メモリ装置。

【請求項 34】

前記スキャン制御回路は NAND インターフェース方式、NOR インターフェース方式、及び SRAM インターフェース方式のうちのいずれか一つのインターフェース方式に従って外部装置とインターフェースするように構成されることを特徴とする請求項 26 に記載の不揮発性メモリ装置。

【請求項 35】

行と列に配列されたメモリセルを含む不揮発性メモリ装置をプログラムする方法において、

30

初期及び最終列アドレスを含む列アドレス情報を貯蔵する段階と、

プログラム動作の以後、プログラム検証動作を開始し、前記プログラム検証動作は前記列アドレス情報に応じて列スキャン動作を実行する段階とを含み、

前記列スキャン動作時、前記初期及び最終列アドレスによって定義されるデータローディング領域の列だけがスキャンされることを特徴とする方法。

【請求項 36】

前記列スキャン動作を実行する段階は、

前記列スキャン動作時、前記初期列アドレスに応答して前記列を選択するための列アドレスを生成する段階と、

40

前記生成された列アドレスが前記最終列アドレスと一致するか否かによってプログラム動作モードの終了を決める段階とを含むことを特徴とする請求項 35 に記載の方法。

【請求項 37】

前記列スキャン動作を実行する段階は、

前記生成された列アドレスが前記最終列アドレスと一致するときに、前記プログラム動作モードを終了させる段階をさらに含むことを特徴とする請求項 36 に記載の方法。

【請求項 38】

前記プログラム動作の以前にプログラムされるデータをローディングする段階をさらに含むことを特徴とする請求項 35 に記載の方法。

【請求項 39】

50

行と列に配列されたメモリセルで構成されたメモリセルアレイと、
プログラム検証動作時、選択された行のメモリセルからデータビットを読み出すページバッファ回路と、

前記メモリセルアレイのページにプログラムされるデータの列アドレス情報を貯蔵するように構成され、前記列アドレス情報は初期列アドレス及び最終列アドレスを含み、前記初期列アドレス及び前記最終列アドレスにより前記ページ内の複数列からなるサブページを定め、前記サブページ内の列の数はプログラム検証動作に応じて可変であるアドレス貯蔵回路と、

前記貯蔵回路の初期列情報と最終列情報を利用して選択されなければならないメモリセルに対するアドレスの生成を制御するアドレス発生制御回路とを含み、

前記アドレス発生制御回路は、列スキャン方式で前記プログラム検証動作を制御するスキャン制御回路を含み、

プログラム動作で、前記サブページ内のメモリセルのみをプログラムし、

前記プログラム検証動作で、前記サブページ内のメモリセルのみを検証することを特徴とする不揮発性メモリ装置。

【請求項 4 0】

前記初期列情報は初期列アドレスであることを特徴とする請求項 3 9 に記載の不揮発性メモリ装置。

【請求項 4 1】

前記初期列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記貯蔵回路に貯蔵されることを特徴とする請求項 4 0 に記載の不揮発性メモリ装置。

【請求項 4 2】

前記アドレス発生制御回路は前記初期列情報によって順にアドレスを発生させることを特徴とする請求項 4 1 に記載の不揮発性メモリ装置

【請求項 4 3】

前記最終列情報は最終列アドレスであることを特徴とする請求項 3 9 に記載の不揮発性メモリ装置。

【請求項 4 4】

前記最終列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記貯蔵回路に貯蔵されることを特徴とする請求項 4 3 に記載の不揮発性メモリ装置。

【請求項 4 5】

前記アドレス発生制御回路は前記初期列情報によって順に発生するアドレスと前記最終列アドレスとを比較して動作モードを終了させることを特徴とする請求項 4 4 に記載の不揮発性メモリ装置

【請求項 4 6】

前記最終列情報はローディングされるデータの量を示す情報であることを特徴とする請求項 3 9 に記載の不揮発性メモリ装置。

【請求項 4 7】

前記最終列情報は前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記貯蔵回路に貯蔵されることを特徴とする請求項 4 6 に記載の不揮発性メモリ装置。

【請求項 4 8】

前記アドレス発生制御回路は順に発生されるアドレス増加量と前記ローディングされるデータ量の情報とを比較して動作モードを終了させることを特徴とする請求項 3 7 に記載の不揮発性メモリ装置

【請求項 4 9】

前記アドレス発生制御回路からの列アドレスに応答して前記読み出されたデータビットを選択する列ゲート回路をさらに含むことを特徴とする請求項 3 9 に記載の不揮発性メモ

10

20

30

40

50

リ装置。

【請求項 5 0】

前記アドレス発生制御回路は前記列ゲート回路によって選択されたデータビットが全部プログラム状態を示すか否かによってアドレス生成を制御することを特徴とする請求項 4 0 に記載の不揮発性メモリ装置。

【請求項 5 1】

前記選択されたデータビットが全部プログラム状態を示すとき、前記アドレス発生制御回路は次の列アドレスを発生することを特徴とする請求項 5 0 に記載の不揮発性メモリ装置。

【請求項 5 2】

前記選択されたデータビットのうちの一部だけがプログラム状態を示すとき、前記アドレス発生制御回路は次の列アドレスを発生しないことを特徴とする請求項 5 0 に記載の不揮発性メモリ装置。

【請求項 5 3】

行と列に配列されたメモリセルを具備したメモリセルアレイと、

初期列アドレスから終了列アドレスまで及ぶ一連の列を識別するように前記初期列アドレスのインジケータと前記終了列アドレスのインジケータとを貯蔵するアドレス貯蔵ユニットと、

前記初期列アドレスから前記終了列アドレスまで及ぶ一連の列に位置した選択された行のメモリセルを順に選択して前記一連の列に対してのみ列スキャン方式でプログラム動作を検証するプログラム回路とを含むことを特徴とする不揮発性メモリ装置。

【請求項 5 4】

前記プログラム回路は選択された行のため、前記初期列アドレスから前記終了列アドレスまで及ぶ一連の列のプログラム動作を検証することを特徴とする請求項 5 3 に記載の不揮発性メモリ装置。

【請求項 5 5】

前記列は前記メモリセルアレイのページに対応して、前記一連の列は前記ページの一連の列に対応することを特徴とする請求項 5 3 に記載の不揮発性メモリ装置。

【請求項 5 6】

行と列に配列されたメモリセルを具備したメモリセルアレイを含む不揮発性メモリ装置をプログラムする方法において、

初期列アドレスから終了列アドレスまで及ぶ一連の列を識別するように前記初期列アドレスのインジケータと前記終了列アドレスのインジケータとを貯蔵する段階と、

前記初期列アドレスから前記終了列アドレスまで及ぶ一連の列に位置した選択された行のメモリセルを順に選択して前記一連の列に対してのみ列スキャン方式でプログラム動作を検証する段階とを含むことを特徴とする方法。

【請求項 5 7】

前記選択された行のため、前記初期列アドレスから前記終了列アドレスまで及ぶ一連の列のプログラム動作を検証する段階をさらに含むことを特徴とする請求項 5 6 に記載の方法。

【請求項 5 8】

前記列は前記メモリセルアレイのページに対応して、前記一連の列は前記ページの一連の列に対応することを特徴とする請求項 5 6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明はメモリ装置に係り、さらに具体的には向上したプログラム検証方式を有する不揮発性メモリ装置に関する。

【背景技術】

【0 0 0 2】

10

20

30

40

50

半導体メモリは、一般的に、衛星から消費者電子技術までの範囲に属するマイクロプロセッサを基盤とした応用、及びコンピュータのようなデジタルロジック設計の最も必須なマイクロ電子素子である。したがって、高集積化及び高速化のための縮小（Scaling）を通じて得られるプロセス技術の向上、及び技術開発を含む半導体メモリの製造技術の進歩は他のデジタルロジック系列の性能基準を確立するのに役立つ。

【0003】

半導体メモリ装置は、大きく揮発性半導体メモリ装置と不揮発性半導体メモリ装置とに区分される。揮発性半導体メモリ装置において、ロジック情報はスタティックランダムアクセスメモリの場合、双安定フリップフロップロジック状態を設定することによって、またダイナミックランダムアクセスメモリの場合、キャパシタの充電を通じて貯蔵される。揮発性半導体メモリ装置の場合、電源が印加されている間データが貯蔵されて読み出され、電源が遮断される時データは消失する。

10

【0004】

MRAM、PROM、EPROM、EEPROMなどのような不揮発性半導体メモリ装置は電源が遮断されてもデータを貯蔵することができる。不揮発性メモリデータ貯蔵状態は使用される製造技術に従って永久的であるか、または再プログラム可能である。不揮発性半導体メモリ装置はコンピュータ、航空電子工学、通信、及び消費者電子技術産業のような広範囲の応用でプログラム及びマイクロコードの貯蔵のために使用される。単一チップで揮発性及び不揮発性メモリ貯蔵モードの組合が速く、再プログラム可能な不揮発性メモリを要求するシステムで不揮発性RAM（nvRAM）のような装置でも使用可能である。さらに、応用志向業務のための性能を最適化させるためにいくつかの追加的なロジック回路を含む特定メモリ構造が開発されている。

20

【0005】

不揮発性半導体メモリ装置において、MRAM、PROM及びEPROMはシステム自体、消去及び書き込みが自由ではなく、一般ユーザが記憶内容を新しくするのは容易ではない。これに対して、EEPROMは電氣的に消去及び書き込みが可能であるので、継続的な更新が必要なシステムプログラミング（system programming）や補助記憶装置への応用が広がっている。特にフラッシュEEPROM（以下、フラッシュメモリと称する）は既存のEEPROMに比べて集積度が高く、大容量補助記憶装置への応用に非常に有利である。フラッシュメモリの中でもNAND型フラッシュメモリはNORフラッシュメモリに比べて集積度が非常に高い。

30

【0006】

図1は一般的なNAND型フラッシュメモリ装置を示すブロック図である。図1を参照すると、NAND型フラッシュメモリ装置10はメモリセルアレイ20、行選択回路（図面には“X-SEL”として表記する）40、及びページバッファ回路60を含む。メモリセルアレイ20はビットラインBL0-BLmに各々連結される複数個のセルストリング（またはNANDストリング）21を含む。各列のセルストリング21は第1選択トランジスタとしてストリング選択トランジスタ（string selection transistor、SST）、第2選択トランジスタとして接地選択トランジスタ（ground selection transistor、GST）、及び選択トランジスタSST、GSTの間に直列連結された複数のフラッシュEEPROMセルまたはメモリセルMC0-MCnで構成される。各列のストリング選択トランジスタSSTは対応するビットラインに連結されたドレインとストリング選択ライン（string selection line、SSL）に連結されたゲートとを有する。接地選択トランジスタGSTは共通ソースライン（common source line、CSL）に連結されたソースと接地選択ライン（ground selection line、GSL）に連結されたゲートとを有する。ストリング選択トランジスタSSTのソースと接地選択トランジスタGSTのドレインとの間にはメモリセルMCn-MC0が直列連結されている。各セルストリングのセルはフローティングゲートトランジスタで構成され、トランジスタの制御ゲートは対応するワードラインWLn-WL0に各々連結される。

40

50

【0007】

ストリング選択ラインSSL、ワードラインWLO-WLn、及び接地選択ラインGSLは行選択回路40に電氣的に連結されている。行選択回路40は行アドレス情報によってワードラインのうちの一つのワードラインを選択して、選択されたワードラインと非選択されたワードラインへ各動作モードによるワードライン電圧を供給する。例えば、行選択回路40はプログラム動作モード時選択されるワードラインへプログラム電圧(program voltage)を供給して、非選択されるワードラインへパス電圧(pass voltage)を供給する。行選択回路40は読み出し動作モード時選択されるワードラインへ接地電圧GNDを供給して、非選択されるワードラインへ読み出し電圧(read voltage)を供給する。プログラム電圧、パス電圧、及び読み出し電圧は電源電圧より高い高電圧である。メモリセルアレイ20を通じて配列されるビットラインBLO-BLmはページバッファ回路60に電氣的に連結されている。ページバッファ回路60は読み出し/検証動作モードでビットラインBLO-BLmを通じて選択されたワードラインのメモリセルからデータを感知して、プログラム動作モードでプログラムされるデータによってビットラインBLO-BLmへ電源電圧(またはプログラム禁止電圧: program-inhibited voltage)または接地電圧(またはプログラム電圧: program voltage)を各々供給する。ページバッファ回路60にはビットラインBLO-BLmに各々対応するページバッファを提供することができる。または、各ページバッファは一对のビットラインを共有するように実現することができる。

10

20

【0008】

NAND型フラッシュメモリ装置において、周知のように、セル構造特性上、プログラムされてはならないセル(以下、プログラム禁止セルと称する)がプログラム電圧によってソフトプログラムされることがあり、これはプログラムディスタート(program disturbance)と呼ばれる。プログラム禁止セルのプログラムディスタートはプログラム禁止セルが属したセルストリングのチャンネル電圧を高めることによって防止され、これはセルフブースティングスキームと呼ばれる。セルストリングのチャンネル電圧は非選択されたワードラインに各々供給されるパス電圧に依存する。パス電圧が高いほどプログラム禁止セルがソフトプログラムされる程度をより緩和することができる。しかし、パス電圧が高くなれば、非選択されたワードラインの各々に連結されたメモリセルがパス電圧によってソフトプログラムされることがあり、これはパスディスタート(pass disturbance)と呼ばれる。したがって、パス電圧は以上の条件を考慮して決められる。

30

【0009】

上述のセルフブースティングスキームを利用したプログラム禁止方法は特許文献1、2に各々記載されており、参照として含まれる。

【0010】

NAND型フラッシュメモリ装置の場合、一つのワードラインに連結されたメモリセルは同時にプログラムすることができる。または一つのワードラインに連結されたメモリセルは何回にわたってプログラムすることができ、これは部分プログラムスキーム(partial program scheme)と呼ばれる。例えば、図2に示したように、ビットラインBLO-BLiのメモリ領域にプログラムされるデータだけがページバッファ回路60にローディングされたと仮定すれば(図面で斜線で表示された部分)、データがローディングされた領域のメモリセルとデータがローディングされないメモリ領域(ここにビットラインBLi+1-BLmが配列される)のメモリセルが全部同一のワードラインに連結されているので、データローディング位置にかかわらず同一のワードラインのメモリセルにはプログラム電圧が供給される。プログラム動作が実行された後、周知のように、プログラム検証動作が実行される。

40

【0011】

プログラム検証動作によると、まず、ページバッファ回路60は選択された行(または

50

ページ)のメモリセルからデータを検知及びラッチする。感知されたデータのプログラム状態はワイヤード－OR方式及び列スキャン方式によって判別することができる。ワイヤード－OR方式によると、感知されたデータ値の全部が同時にプログラム状態を示すか否かが判別される。これに対して、列スキャン方式によると、感知されたデータ値が所定単位(例えば、x8、x16、など)で列選択回路(図示しない)によって選択されて、選択されたデータ値がプログラム状態を示すか否かが判別される。もし選択されたデータ値がプログラム状態を示せば、所定単位のデータ値が再選択される。このようなプログラム検証動作は選択されたページのすべてのメモリセルに対して行われる。すなわち、列スキャン方式を利用したプログラム検証動作はプログラムされたデータ量にかかわらず選択されたページのすべてのメモリセルに対して実行される。例えば、図2を参照すると、たと

えビットラインBLO－BLiに連結されたメモリセルが実質的にプログラムされていても、すべてのビットラインBLO－BLiに連結されたメモリセル(選択された行に共通に連結される)に対するプログラム検証動作が実行される。これは、上述の列スキャン方式を利用したプログラム検証動作が非効率的であることを意味する。

10

【特許文献1】米国特許第5,677,873号

【特許文献2】米国特許第5,991,202号

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の目的は、プログラム時間を減らすことができる不揮発性メモリ装置及びその方法を提供することにある。

20

【0013】

本発明の他の目的は、プログラムされるデータ量に応じて列スキャン時間を制御することができる不揮発性メモリ装置及びその方法を提供することにある。

【課題を解決するための手段】

【0014】

上述の目的を達成するために、本発明の一特徴によると、不揮発性メモリ装置は行と列に配列されたメモリセルで構成されたメモリセルアレイと、プログラム検証動作時選択された行のメモリセルからデータビットを読み出すページバッファ回路と、前記メモリセルアレイにプログラムされるデータの列アドレス情報を貯蔵するように構成され、前記列アドレス情報は初期列アドレス及び最終列アドレスを含むアドレス貯蔵回路と、前記アドレス貯蔵回路の初期列アドレスに応答して前記読み出されたデータビットを選択するための列アドレスを順に発生するアドレス発生回路と、前記アドレス発生回路で生成された列アドレスが前記最終列アドレスと一致するか否かによってプログラム動作モードを終了させるスキャン制御回路とを含む。

30

【0015】

望ましい実施例において、前記初期列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵される。

【0016】

望ましい実施例において、前記アドレス発生回路は前記プログラムされるデータビットが前記ページバッファ回路にローディングされる間列アドレスを順に発生する。

40

【0017】

望ましい実施例において、前記プログラムされるデータビットが全部前記ページバッファ回路にローディングされるとき、前記アドレス発生回路で最終的に生成された列アドレスは前記最終列アドレスとして前記アドレス貯蔵回路に貯蔵される。

【0018】

望ましい実施例において、前記初期及び最終列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵される。

【0019】

50

望ましい実施例において、前記アドレス発生回路からの列アドレスに応答して前記読み出されたデータビットを選択する列ゲート回路をさらに含む。

【0020】

望ましい実施例において、前記スキャン制御回路は前記列ゲート回路によって選択されたデータビットが全部プログラム状態を示すか否かによって前記アドレス発生回路を制御する。

【0021】

望ましい実施例において、前記選択されたデータビットが全部プログラム状態を示すとき、前記スキャン制御回路は次の列アドレスを発生するように前記アドレス発生回路を制御する。

10

【0022】

望ましい実施例において、前記選択されたデータビットのうちの一部だけがプログラム状態を示すとき、前記スキャン制御回路は次の列アドレスを発生しないように前記アドレス発生回路を制御する。

【0023】

望ましい実施例において、前記プログラムされるデータのサイズは前記選択された行のサイズと同一、またはそれより小さい。

【0024】

望ましい実施例において、前記スキャン制御回路はNANDインターフェース方式、NORインターフェース方式、及びSRAMインターフェース方式のうちのいずれか一つのインターフェース方式に従って外部装置とインタフェースするように構成される。

20

【0025】

本発明の他の特徴によると、不揮発性メモリ装置は行と列に配列されたメモリセルで構成されたメモリセルアレイと、プログラム検証動作時、選択された行のメモリセルからデータビットを読み出すページバッファ回路と、前記メモリセルアレイにプログラムされるデータの列アドレス情報を貯蔵するように構成され、前記列アドレス情報は初期列アドレス及び最終列アドレスを含むアドレス貯蔵回路と、前記プログラム検証動作時、前記アドレス貯蔵回路の初期列アドレスに응答して前記データビットを順に選択する列選択回路と、前記選択されたデータビット及び前記最終列アドレスに응答してプログラム動作モードの終了を制御するスキャン制御回路とを含む。

30

【0026】

望ましい実施例において、前記列選択回路は前記初期列アドレスに응答して列アドレスを順に発生するアドレス発生回路と、前記列アドレスに응答して前記読み出されたデータビットを選択する列ゲート回路とを含む。

【0027】

望ましい実施例において、前記スキャン制御回路は前記列ゲート回路によって選択されたデータビットが全部プログラム状態を示すか否かによって前記アドレス発生回路を制御する。

【0028】

望ましい実施例において、前記選択されたデータビットが全部プログラム状態を示すとき、前記スキャン制御回路は次の列アドレスを発生するように前記アドレス発生回路を制御する。

40

【0029】

望ましい実施例において、前記選択されたデータビットのうちの一部だけがプログラム状態を示すとき、前記スキャン制御回路は次の列アドレスを発生しないように前記アドレス発生回路を制御する。

【0030】

望ましい実施例において、前記スキャン制御回路は前記アドレス発生回路で生成された列アドレスが前記最終列アドレスと一致するとき、前記プログラム動作モードを終了させる。

50

【0031】

望ましい実施例において、前記初期列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵される。

【0032】

望ましい実施例において、前記アドレス発生回路は前記プログラムされるデータビットが前記ページバッファ回路にローディングされる間列アドレスを順に発生する。

【0033】

望ましい実施例において、前記プログラムされるデータビットが全部前記ページバッファ回路にローディングされるとき、前記アドレス発生回路で最終的に生成された列アドレスは前記最終列アドレスとして前記アドレス貯蔵回路に貯蔵される。

10

【0034】

望ましい実施例において、前記初期及び最終列アドレスは前記プログラムされるデータが前記ページバッファ回路にローディングされる以前に前記アドレス貯蔵回路に貯蔵される。

【0035】

望ましい実施例において、前記スキャン制御回路は前記列ゲート回路によって選択されたデータビットが全部プログラム状態を示すか否かを判別するデータ判別回路と、前記アドレス発生回路で生成された列アドレスが前記最終列アドレスと一致するか否かを検出する検出回路と、前記データ判別回路の判別結果及び前記検出回路の検出結果に応答して前記プログラム動作モードの終了を制御する制御ロジックとを含む。

20

【0036】

望ましい実施例において、前記列ゲート回路によって選択されたデータビットのうちの一部だけがプログラム状態を示すとき、前記アドレス発生回路による次の列アドレスの生成が中止される。

【0037】

望ましい実施例において、前記アドレス発生回路で生成された列アドレスが前記最終列アドレスを示すとき、前記制御ロジックは前記プログラム動作モードを終了させる。

【0038】

望ましい実施例において、前記制御ロジックはNANDインターフェース方式、NORインターフェース方式、及びSRAMインターフェース方式のうちのいずれか一つのインターフェース方式に従って外部装置とインターフェースするように構成される。

30

【0039】

本発明のまた他の特徴によると、不揮発性メモリ装置は行と列に配列されたメモリセルで構成されたメモリセルアレイと、プログラム検証動作時、選択された行のメモリセルからデータビットを読み出すページバッファ回路と、前記メモリセルアレイにプログラムされるデータの列アドレス情報を貯蔵するように構成され、前記列アドレス情報は初期列アドレス及び最終列アドレスを含むアドレス貯蔵回路と、前記アドレス貯蔵回路の初期列アドレスに응答して列アドレスを発生するアドレス発生回路と、前記列アドレスに응答して前記データビットを選択する列ゲート回路と、前記選択されたデータビットが全部プログラム状態を示すか否かを判別するデータ判別回路と、前記アドレス発生回路は前記データ判別回路の判別結果によって制御され、前記アドレス発生回路から生成された列アドレスが前記アドレス貯蔵回路の最終列アドレスと一致するか否かを検出する検出回路と、前記検出回路の検出結果及び前記データ判別回路の判別結果に응答してプログラム動作モードの終了を制御する制御ロジックとを含む。

40

【0040】

本発明の他の特徴によると、行と列に配列されたメモリセルを含む不揮発性メモリ装置をプログラムする方法が提供される。プログラム方法は初期及び最終列アドレスを含む列アドレス情報を貯蔵する段階と、プログラム動作の以後、前記列アドレス情報に応じて列スキャン動作を実行する段階とを含み、前記列スキャン動作時、前記初期及び最終列アドレスによって定義されるデータローディング領域の列だけがスキャンされる。

50

【0041】

望ましい実施例において、前記列スキャン動作を実行する段階は、前記列スキャン動作時、前記初期列アドレスにตอบสนองして前記列を選択するための列アドレスを生成する段階と、前記生成された列アドレスが前記最終列アドレスと一致するか否かによってプログラム動作モードの終了を決める段階とを含む。

【0042】

望ましい実施例において、前記列スキャン動作を実行する段階は、前記生成された列アドレスが前記最終列アドレスと一致するとき、前記プログラム動作モードを終了させる段階をさらに含む。

【0043】

望ましい実施例において、前記プログラム動作の以前にプログラムされるデータをローディングする段階をさらに含む。

【発明の効果】

【0044】

プログラムされるデータ量に応じて列スキャン時間を制御することによってプログラム時間を減らすことができる。

【発明を実施するための最良の形態】

【0045】

本発明の例示的な実施例が参照の図に基づいて以下詳細に説明される。

【0046】

図3は本発明による不揮発性メモリ装置を概略的に示すブロック図である。本発明による不揮発性メモリ装置はNAND型フラッシュメモリ装置である。しかし、本発明が他のメモリ装置（例えば、MRAM、PRAM、FRAM、NOR型フラッシュメモリ装置、など）に適用することができることは、この分野の通常の知識を習得した者等に自明である。

【0047】

図3を参照すると、本発明による不揮発性メモリ装置100はメモリセルアレイ110、行選択回路120、ページバッファ回路130、列ゲート回路140、入出力回路150、アドレス貯蔵回路160、アドレス発生回路170、及びスキャン制御回路180を含む。メモリセルアレイ110、行選択回路120、及びページバッファ回路130は図1に示したのと同様であるので、それに対する説明は省略する。

【0048】

列ゲート回路140はアドレス発生回路170からの列アドレスにตอบสนองしてページバッファ回路130のページバッファを所定単位（例えば、ビット構造：x8、x16、など）で選択する。プログラム動作時、入出力回路150を介して入力されたデータビット（ワードデータまたはバイトデータ）は列ゲート回路140を介して選択されたページバッファに貯蔵される。読み出し動作時、選択されたページバッファのデータビット（ワードデータまたはバイトデータ）は列ゲート回路140を介して入出力回路150に伝達される。プログラム検証動作時、選択されたページバッファのデータビット（ワードデータまたはバイトデータ）は列ゲート回路140を介してスキャン制御回路180に伝達される。プログラム検証動作時、列（またはページバッファ）がアドレス発生回路170で生成された列アドレスに応じて所定単位に順に列ゲート回路140によって選択される動作を以下“列スキャン動作”と称する。アドレス貯蔵回路160はスキャン制御回路180の制御に応じてプログラムされるデータの列アドレス情報を貯蔵する。アドレス貯蔵回路160は、例えば、レジスタを利用して実現することができる。列アドレス情報はプログラムされるデータの初期列アドレス及び最終列アドレスを含む。初期列アドレスはプログラムされるデータのうちの一番目に入力されるバイト／ワードデータに対応する列アドレスであり、最終列アドレスはプログラムされるデータのうちの最後に入力されるバイト／ワードデータに対応する列アドレスである。最終列アドレスは一ページのメモリセルのうちの一部だけがプログラムされるプログラム動作モードと一ページのメモリセルが全部プ

10

20

30

40

50

ログラムされるプログラム動作モードとで異なる。

【0049】

アドレス発生回路170はスキャン制御回路180によって制御され、アドレス貯蔵回路160に貯蔵された初期列アドレスにตอบสนองして列アドレスを発生する。例えば、プログラムされるデータがページバッファ回路130にローディングされる間、アドレス発生回路170はアドレス貯蔵回路160に貯蔵された初期列アドレスにตอบสนองして列アドレスを順に発生する。列アドレスの生成はプログラムされるデータが全部ページバッファ回路130に貯蔵されるまで行われる。

【0050】

ここで、初期及び最終列アドレスはページバッファ回路130にデータがローディングされる以前にアドレス貯蔵回路160に貯蔵することができる。または、初期列アドレスはページバッファ回路130にデータがローディングされる以前にアドレス貯蔵回路160に貯蔵され、最終列アドレスはページバッファ回路130にデータがローディングされた後、アドレス貯蔵回路160に貯蔵される。後者の場合、最終列アドレスはアドレス発生回路170によって生成された列アドレスである。言い替えれば、アドレス発生回路170によって最後に生成された列アドレスは最終列アドレスとしてスキャン制御回路180の制御に応じてアドレス貯蔵回路160に貯蔵することができる。したがって、プログラムされるデータのローディング領域（図2で、斜線として表示された部分）はアドレス貯蔵回路160に貯蔵された初期及び最終列アドレスによって定義することができる。または、プログラム検証動作時、列スキャン範囲はアドレス貯蔵回路160に貯蔵された初期及び最終列アドレスによって定義することができる。

【0051】

続いて、図3を参照すると、スキャン制御回路180はアドレス発生回路170で生成された列アドレスが最終列アドレスと一致するか否かによって（または到達したか否かによって）プログラム動作（または、読み出されたデータビットに対するプログラム検証動作）を終了させる。例えば、スキャン制御回路180はアドレス発生回路170で生成された列アドレスがアドレス貯蔵回路160の最終列アドレスと一致するとき、プログラム動作（またはプログラム検証動作）を終了させる。また、スキャン制御回路180は列ゲート回路140によって選択されたデータビットが全部プログラム状態を示すか否かによってアドレス発生回路170を制御する。例えば、選択されたデータビットが全部プログラム状態を示すとき、スキャン制御回路180は次の列アドレスを発生するようにアドレス発生回路170を制御する。これに対して、選択されたデータビットのうちの一部だけがプログラム状態を示すとき、スキャン制御回路180は次の列アドレスを発生しないようにアドレス発生回路170を制御する。

【0052】

本発明の不揮発性メモリ装置100によると、プログラム検証動作は一ページのすべてのメモリセルに対して実行されるのではなく、プログラムされるデータがローディングされた領域（初期列アドレス及び最終列アドレスによって定義される）に対してだけ実行される。したがって、プログラムされるデータ量に応じてプログラム検証時間（または列スキャン時間）を制御（調節）することによってプログラム時間を減らすことができる。

【0053】

図4は本発明の例示的な実施例による図3に示したスキャン制御回路を示すブロック図である。図4を参照すると、本発明のスキャン制御回路180はデータ判別回路182、終了アドレス検出回路184、及び制御ロジック186を含む。

【0054】

データ判別回路182は、プログラム検証動作時、列ゲート回路140から伝達されるデータビットが全部プログラム状態を示すか否かを判別する。入力されたデータビットが全部プログラム状態を示せば、データ判別回路182はプログラムパスを知らせるパス／フェイル信号PFを出力する。入力されたデータビットのうちの一部だけがプログラム状態を示せば、データ判別回路182はプログラムフェイルを知らせるパス／フェイル信号

P Fを出力する。パス／フェイル信号P Fがプログラムパスを示すとき、アドレス発生回路170は次の列アドレスを生成する。これに対して、パス／フェイル信号P Fがプログラムフェイルを示すとき、アドレス発生回路170による列アドレスの生成は中止される。たとえ列アドレスの生成が中止されても、以前に生成された列アドレスはプログラム動作時、初期化されず、アドレス発生回路170によって維持される。

【0055】

終了アドレス発生回路184はアドレス発生回路170で生成された列アドレスがアドレス貯蔵回路160に貯蔵された最終列アドレスと一致するか、（または到達したか）否かを検出する。例えば、アドレス発生回路170で生成された列アドレスがアドレス貯蔵回路160に貯蔵された最終列アドレスに到達しなかったとき、終了アドレス検出回路184は検出信号ADD_ENDを非活性化させる。アドレス発生回路170で生成された列アドレスがアドレス貯蔵回路160に貯蔵された最終列アドレスに到達したとき、終了アドレス検出回路184は検出信号ADD_ENDを活性化させる。検出信号ADD_ENDが活性化されるとき、アドレス発生回路170による列アドレスの生成は中止される。

10

【0056】

制御ロジック186はプログラム動作時外部から印加される初期／最終列アドレスを貯蔵するようにアドレス貯蔵回路160を制御する。例えば、プログラム動作時、初期及び最終列アドレスはプログラムされるデータがページバッファ回路130に貯蔵される以前に制御ロジック186の制御下にアドレス貯蔵回路160に貯蔵することができる。または、初期列アドレスはプログラムされるデータがページバッファ回路130に貯蔵される以前に制御ロジック186の制御下にアドレス貯蔵回路160に貯蔵される。そして、プログラムされるデータが全部ページバッファ回路130に貯蔵された後、アドレス発生回路170で最終的に生成された列アドレスは最終列アドレスとして制御ロジック186の制御下にアドレス貯蔵回路160に貯蔵することができる。制御ロジック186はパス／フェイル信号P F及び検出信号ADD_ENDに応答してプログラム及びプログラム検証動作を制御する。これは、以後詳細に説明する。

20

【0057】

本発明の不揮発性メモリ装置において、制御ロジック186またはスキャン制御回路180はNANDインターフェース方式、NORインターフェース方式、及びSRAMインターフェース方式のうちのいずれか一つのインターフェース方式に従って外部装置とインターフェースするように構成される。

30

【0058】

図5は本発明による不揮発性メモリ装置のプログラム及びプログラム検証動作を説明するためのフローチャートである。以下、本発明による不揮発性メモリ装置のプログラム及びプログラム検証動作が参照の図に基づいて詳細に説明される。動作説明に先立って、周知のように、不揮発性メモリ装置がプログラム動作モードに進入すれば、複数のプログラムループが制御ロジック186の制御によって自動的に実行される。各プログラムループはプログラム区間及びプログラム検証区間で構成される。プログラム区間では、ページバッファ回路130にローディングされたデータ値に応じて選択されたページ（または行）のメモリセルがプログラムされる。プログラム検証区間では、選択された行のメモリセルが正常にプログラムされたか否かが決められたプログラムループ回数内で判別されなければならない。もしそうではなければ、プログラムフェイルとしてプログラム動作が終了する。

40

【0059】

プログラム動作モードが開始されれば、まず、外部から提供される列アドレス情報は制御ロジック186の制御に応じてアドレス貯蔵回路160に貯蔵される（S100）。列アドレス情報は初期列アドレスを含む。または、列アドレス情報は初期及び最終列アドレスを含む。ここで、列アドレス情報が初期及び最終列アドレスを含むと仮定すれば、列アドレス情報がアドレス貯蔵回路160に貯蔵された後、プログラムされるデータがページ

50

バッファ回路 130 にローディングされる (S110)。具体的に、アドレス発生回路 170 は初期列アドレスにตอบสนองして一番目のワード／バイトデータが入力されるための列アドレスを発生して、列ゲート回路 140 はアドレス発生回路 170 で生成された列アドレスにตอบสนองしてページバッファのうちの一部を選択する。選択されたページバッファには列ゲート回路 140 を介して入力されたデータビットが各々貯蔵される。その次に、アドレス発生回路 170 は次の列アドレスを発生して、列ゲート回路 140 はアドレス発生回路 170 で生成された次の列アドレスにตอบสนองして残りのページバッファのうちの一部を選択する。このような過程を通じてプログラムされるデータが全部ページバッファ回路 130 にローディングされる。最後のバイト／ワードデータが入力されるためにアドレス発生回路 170 によって生成された列アドレスは最終列アドレスである。アドレス貯蔵回路 160 に初期列アドレスだけが貯蔵される場合、データローディング区間で生成された最後の列アドレスは制御ロジック 186 の制御下に最終列アドレスとしてアドレス貯蔵回路 160 に貯蔵される。

10

【0060】

ページバッファ回路 130 にローディングされたデータの量は一ページ分であるか、それより少ないこともある。この実施例において、ページバッファ回路 130 にローディングされたデータの量は一ページ分より少ないと仮定し、例えば、図 2 を参照すると、ビットライン BL0-BLi に連結されたページバッファ（以下、データローディング領域と称する）にだけデータビットがローディングされたと仮定する。

【0061】

20

プログラムされるデータが全部ページバッファ回路 130 にローディングされた後、一番目のプログラムループのプログラム動作が周知の方式に応じて実行される (S120)。プログラム動作が実行された後、一番目のプログラムループの検証読み出し動作が実行される (S130)。検証読み出し動作によると、選択された行（またはページ）のすべてのメモリセルのデータビットがページバッファ回路 130 によって読み出される。以後、読み出されたデータビットに対するプログラムパス／フェイルを判別するために列スキャン動作が実行される。列スキャン動作は次のようになる。

【0062】

アドレス貯蔵回路 160 に貯蔵された初期列アドレスは制御ロジック 186 の制御下にアドレス発生回路 170 に伝達される。アドレス発生回路 170 は初期列アドレスにตอบสนองして一番目のワード／バイトデータを選択するための列アドレスを発生して、列ゲート回路 140 はアドレス発生回路 170 で生成された列アドレスにตอบสนองしてページバッファ（または列）のうちの一部を選択する (S140)。選択されたページバッファのデータビットは列ゲート回路 140 を介してデータ判別回路 182 に伝達される。データ判別回路 182 は入力されたデータビットが全部プログラム状態（例えば、ロジック‘1’）を有するか否かを判別する (S150)。入力されたデータビットのうちの一部だけがプログラム状態（例えば、ロジック‘1’）を有すれば、データ判別回路 182 はプログラムフェイルを示すパス／フェイル信号 PF を発生する。これはアドレス発生回路 170 による次の列アドレスの生成を中止するようにする。たとえ列アドレスの生成が中止されても、一番目のプログラムループで生成された列アドレス（プログラムフェイルされたメモリセルを含む列）を選択するためのアドレスはそのまま維持される。これと同時に、制御ロジック 186 はパス／フェイル信号 PF にตอบสนองしてプログラム検証区間を終了させて、プログラムループ回数が最大プログラムループ回数に到達したか否かを判別する (S160)。もしプログラムループ回数が最大プログラムループ回数より少なければ、二番目のプログラムループのプログラム動作が実行されるように行選択回路 120 とページバッファ回路 130 とを制御する。二番目のプログラムループのプログラム動作は S120 段階で説明したのと同様に実行される。

30

40

【0063】

これに対して、もし入力されたデータビットが全部プログラム状態（例えば、ロジック‘1’）を有すれば、データ判別回路 182 はプログラムパスを示すパス／フェイル信号

50

P Fを発生する。次に、段階（S 1 7 0）で、終了アドレス検出回路 1 8 4 はアドレス発生回路 1 7 0 によって生成された列アドレスがアドレス貯蔵回路 1 6 0 に貯蔵された最終列アドレスに到達したか否かを判別する。もしアドレス発生回路 1 7 0 によって生成された列アドレスがアドレス貯蔵回路 1 6 0 に貯蔵された最終列アドレスに到達しなかったら、アドレス発生回路 1 7 0 は次の列アドレスを発生する。すなわち、パス／フェイル信号 P F がプログラムパスを示して、検出信号 A D D _ E N D が非活性化されるとき、アドレス発生回路 1 7 0 は次のプログラムループのための列アドレスを発生する。次の列アドレスが生成されることによって、列ゲート回路 1 4 0 は列アドレスにตอบสนองして残りのページバッファのうちの一部を選択する。以後の段階（S 1 5 0、S 1 6 0、S 1 7 0）が上述と同様に実行される。

10

【0 0 6 4】

（S 1 7 0）段階で、アドレス発生回路 1 7 0 によって生成された列アドレスがアドレス貯蔵回路 1 6 0 に貯蔵された最終列アドレスに到達すれば、終了アドレス検出回路 1 8 4 は検出信号 A D D _ E N D を活性化させる。これはアドレス発生回路 1 7 0 による列アドレスの生成が中止されるようにする。これと同時に、制御ロジック 1 8 6 は検出信号 A D D _ E N D の活性化にตอบสนองしてローディングされたデータに対するプログラム動作すなわち、プログラム動作モードを終了させる。

【0 0 6 5】

上述のように、プログラム検証動作時、指定される列領域は一ページのすべての列を含むのではなく、初期及び最終列アドレスによって定義される列を含む。すなわち、プログラムされるデータがローディングされたデータローディング領域に属する列だけがプログラム検証区間で選択される。言い替えれば、部分プログラム動作を実行することにおいて、すべての列がプログラム検証区間で選択されるのではなく、初期及び最終列アドレスによって定義される列だけが選択されるので、列スキャン時間またはプログラム検証時間が短縮されることができる。本発明による不揮発性メモリ装置の効果を図 6 A 乃至図 6 C を参照して、より具体的に説明すれば、次のようになる。

20

【0 0 6 6】

例えば、ページサイズが 2 K バイトであり、内部動作サイクルが 4 0 n s であると仮定すれば、プログラム動作モードは、大きく、データローディング区間、高電圧設定区間、及び複数のプログラムループで構成される。各プログラムループはプログラム区間とプログラム検証区間で構成される。プログラム検証区間では、前に説明した列スキャン動作が実行される。列ゲート回路がワード単位でページバッファを選択すると仮定する。

30

【0 0 6 7】

一ページ分の 2 K バイトデータをプログラムするためには、図 6 A を参照すると、4 0 u s のデータローディング時間が必要であり、1 0 u s の高電圧設定時間が必要である。そして、プログラムループごとに 4 8 u s のプログラム時間が要求される。プログラムループごとに最小 4 0 n s から最大 4 0 u s のプログラム検証時間（すなわち、列スキャン時間）が要求される。列スキャン時間は一ページのすべてのメモリセルに対するプログラム検証のための時間である。

【0 0 6 8】

40

一ページのメモリセル 5 1 2 バイトのデータをプログラムするためには、図 6 B を参照すれば、4 0 u s のデータローディング時間が必要であり、1 0 u s の高電圧設定時間が必要である。そして、プログラムループごとに 4 8 u s のプログラム時間が要求される。プログラムループごとに最小 4 0 n s から最大 4 0 u s のプログラム検証時間（すなわち、列スキャン時間）が要求される。たとえ 5 1 2 バイトデータだけがプログラムされるにもかかわらず、一ページのすべてのメモリセルに対するプログラム検証動作のための列スキャン時間が要求される。

【0 0 6 9】

図 6 A 及び図 6 B を参照すると、プログラムされるデータ量に関係なしに、列スキャン動作が選択された行のすべてのメモリセルに対して実行され、その結果、5 1 2 バイト

50

データをプログラムするのにかかる時間は2 K-バイトデータをプログラムするのにかかる時間と同様である。

【0070】

これに対して、本発明による不揮発性メモリ装置の場合、列スキャン動作がプログラムされるデータ量に応じて調節（制御）さる。言い替えれば、図6Cを参照すると、基本的にデータローディング時間、高電圧設定時間、及び毎プログラム区間のプログラム時間は同様である。しかし、毎プログラムループのプログラム検証区間で列スキャン時間がプログラムされるデータ量によって調節される。すなわち、図6Cに示したように、プログラムループごとに最小40 nsから最大10 usのプログラム検証時間（すなわち、列スキャン時間）が要求されることが分かる。

10

【0071】

以上、本発明による回路の構成及び動作を上記した説明及び図によって示したが、これは例をあげて説明したに過ぎず、本発明の技術的思想及び範囲を逸脱しない範囲内で多様な変化及び変更が可能であることはもちろんである。

【図面の簡単な説明】

【0072】

【図1】一般的なNAND型フラッシュメモリ装置を示すブロック図である。

【図2】部分プログラム動作に応じて部分的にデータがローディングされた図1に示すページバッファ回路を示す図である。

【図3】本発明による不揮発性メモリ装置を概略的に示すブロック図である。

20

【図4】本発明の例示的な実施例による図3に示したスキャン制御回路を示すブロック図である。

【図5】本発明による不揮発性メモリ装置のプログラム及びプログラム検証動作を説明するためのフローチャートである。

【図6A】本発明及び一般的な技術による不揮発性メモリ装置のプログラム時間を比較するための図である。

【図6B】本発明及び一般的な技術による不揮発性メモリ装置のプログラム時間を比較するための図である。

【図6C】本発明及び一般的な技術による不揮発性メモリ装置のプログラム時間を比較するための図である。

30

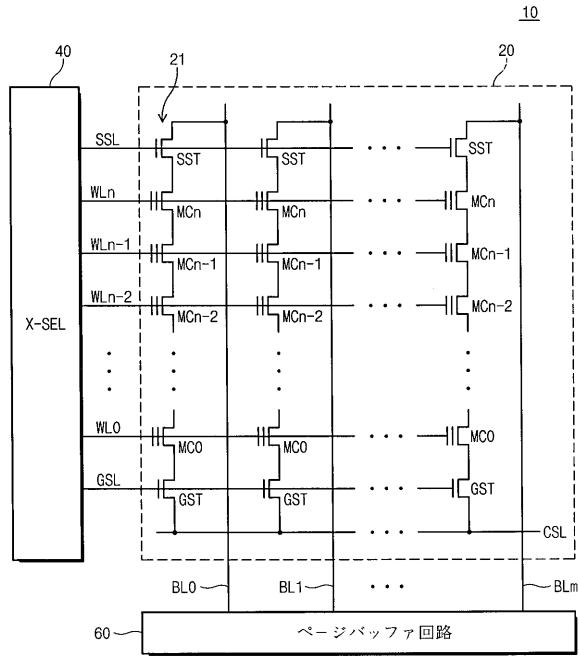
【符号の説明】

【0073】

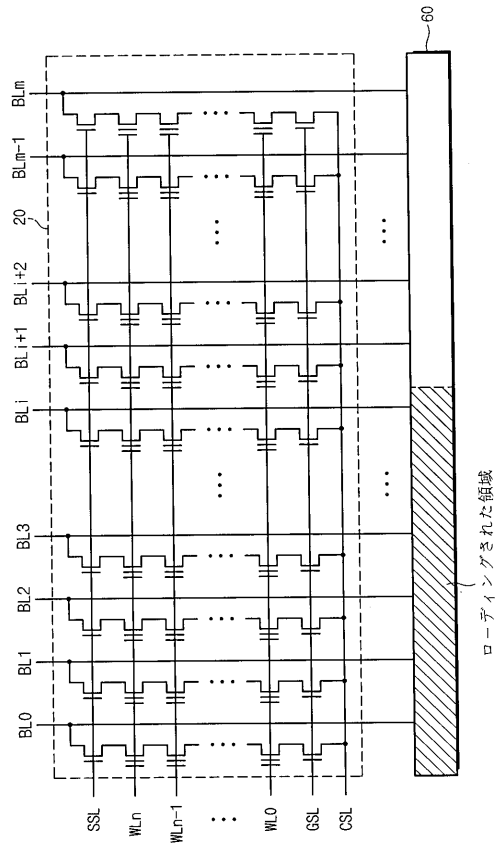
- 110 メモリセルアレイ
- 120 行選択回路
- 130 ページバッファ回路
- 140 列ゲート回路
- 150 入出力回路
- 160 アドレス貯蔵回路
- 170 アドレス発生回路
- 180 スキャン制御回路

40

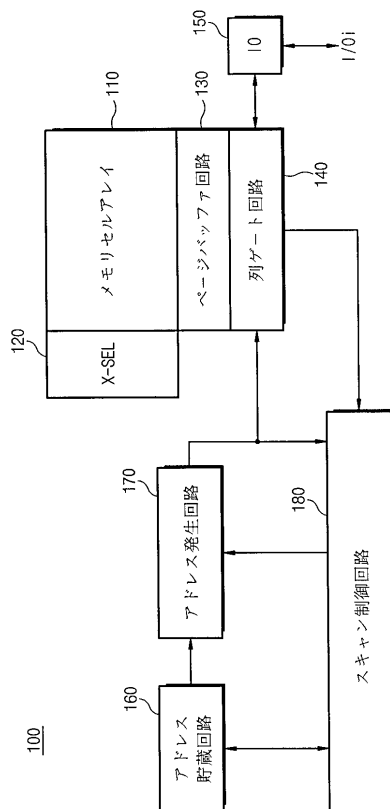
【図 1】



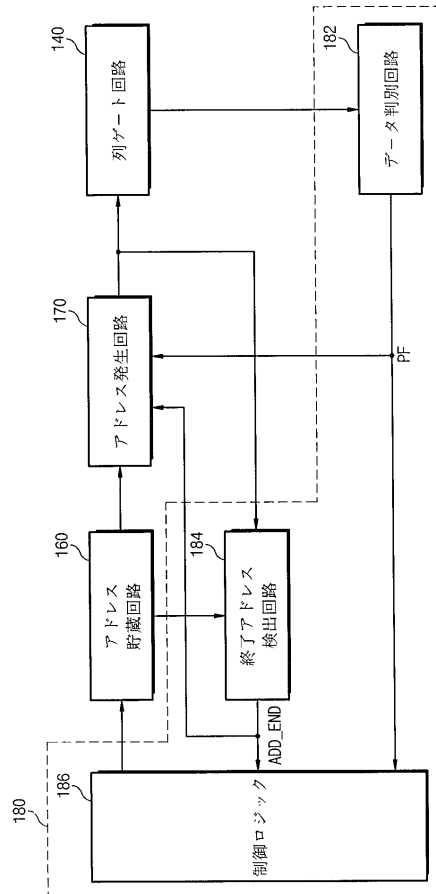
【図 2】



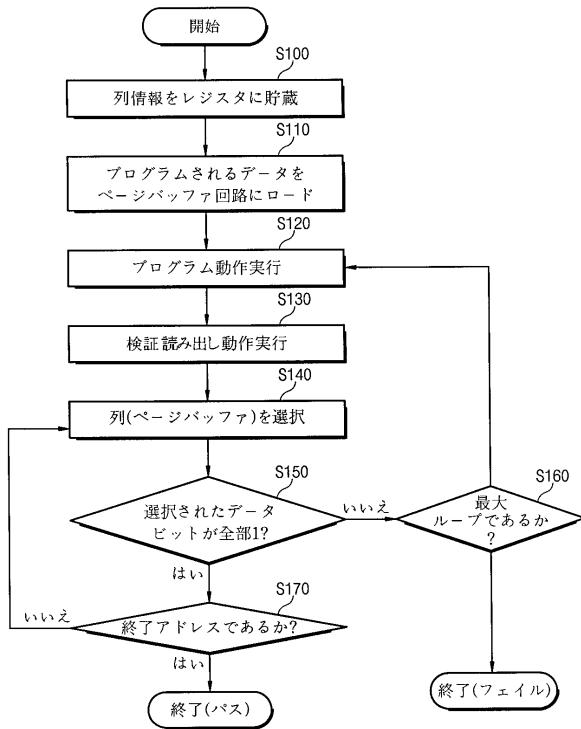
【図 3】



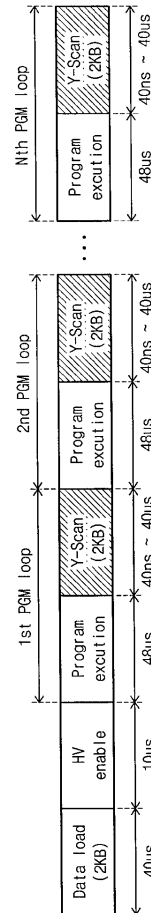
【図 4】



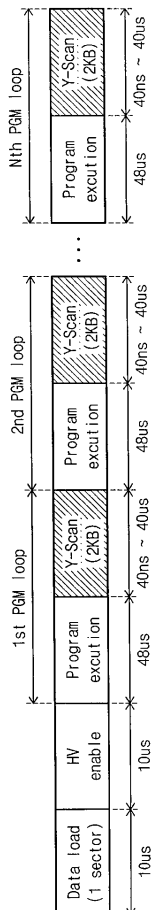
【図 5】



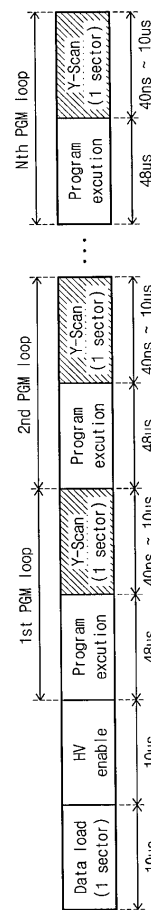
【図 6 A】



【図 6 B】



【図 6 C】



フロントページの続き

(72)発明者 李 眞 ▲ユブ▼

大韓民国ソウル瑞草区蠶院洞 シンバンポ4次アパート207-904

審査官 滝谷 亮一

(56)参考文献 国際公開第02/082451 (WO, A1)

特開2003-085988 (JP, A)

特開2002-197879 (JP, A)

特開2004-319070 (JP, A)

特開2000-113687 (JP, A)

特開2004-022112 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/04