



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I604614 B

(45)公告日：中華民國 106 (2017) 年 11 月 01 日

(21)申請案號：104142715

(22)申請日：中華民國 99 (2010) 年 11 月 04 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2009/11/06 日本

2009-255272

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；平石鈴之介 HIRAISHI, SUZUNOSUKE
(JP)；秋元健吾 AKIMOTO, KENGO (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200802888A

TW 200901528A

TW 200915579A

JP 2009072533A

審查人員：陳聖

申請專利範圍項數：13 項 圖式數：16 共 84 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

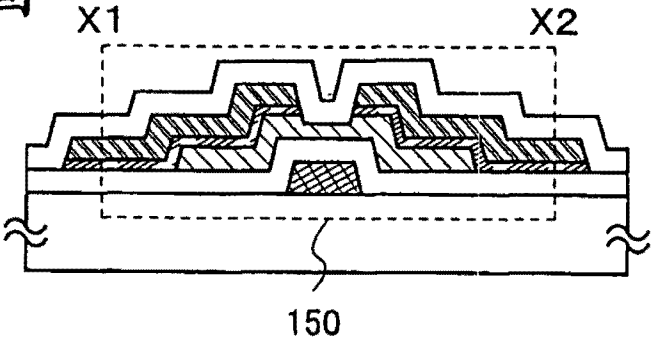
一目的在於，在包括氧化物半導體層之薄膜電晶體中，減少氧化物半導體層與電連接至氧化物半導體層的源極及汲極電極層之間的接觸電阻。源極及汲極電極層具有兩或更多層之堆疊層結構，其中使用工作函數比氧化物半導體層之工作函數更低之一金屬或含有這類金屬的合金來形成接觸氧化物半導體層的層。使用選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素、含有這些元素之任何作為成分的合金、含有這些元素之任何的組合之合金、或之類來形成源極及汲極電極層之與氧化物半導體層接觸的層以外的層。

An object is, in a thin film transistor including an oxide semiconductor layer, to reduce contact resistance between the oxide semiconductor layer and source and drain electrode layers electrically connected to the oxide semiconductor layer. The source and drain electrode layers have a stacked-layer structure of two or more layers in which a layer in contact with the oxide semiconductor layer is formed using a metal whose work function is lower than the work function of the oxide semiconductor layer or an alloy containing such a metal. Layers other than the layer in contact with the oxide semiconductor layer of the source and drain electrode layers are formed using an element selected from Al, Cr, Cu, Ta, Ti, Mo, or W, an alloy containing any of these elements as a component, an alloy containing any of these elements in combination, or the like.

指定代表圖：

符號簡單說明：
150 . . . 薄膜電晶體

第1D圖



發明摘要

※申請案號：104142715 (由99137942分割)

※申請日：099年11月04日

※IPC分類：H01L 29/18 (2006.01)

【發明名稱】(中文/英文)

H01L 23/52 (2006.01)

半導體裝置

Semiconductor device

【中文】

一目的在於，在包括氧化物半導體層之薄膜電晶體中，減少氧化物半導體層與電連接至氧化物半導體層的源極及汲極電極層之間的接觸電阻。源極及汲極電極層具有兩或更多層之堆疊層結構，其中使用工作函數比氧化物半導體層之工作函數更低之一金屬或含有這類金屬的合金來形成接觸氧化物半導體層的層。使用選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素、含有這些元素之任何作為成分的合金、含有這些元素之任何的組合之合金、或之類來形成源極及汲極電極層之與氧化物半導體層接觸的層以外的層。

【 英文 】

An object is, in a thin film transistor including an oxide semiconductor layer, to reduce contact resistance between the oxide semiconductor layer and source and drain electrode layers electrically connected to the oxide semiconductor layer. The source and drain electrode layers have a stacked-layer structure of two or more layers in which a layer in contact with the oxide semiconductor layer is formed using a metal whose work function is lower than the work function of the oxide semiconductor layer or an alloy containing such a metal. Layers other than the layer in contact with the oxide semiconductor layer of the source and drain electrode layers are formed using an element selected from Al, Cr, Cu, Ta, Ti, Mo, or W, an alloy containing any of these elements as a component, an alloy containing any of these elements in combination, or the like.

【代表圖】

【本案指定代表圖】：第(1D)圖。

【本代表圖之符號簡單說明】：

150：薄膜電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明有關於具有包括薄膜電晶體（亦稱為 TFT）之電路的半導體裝置，及其製造方法。例如，本發明關於電子裝置，其中安裝有的光電裝置（典型為包括發光元件的液晶顯示面板或發光顯示裝置）作為其之構件。

在此說明書中，半導體裝置意指可利用半導體特性來作用之所有類型的裝置，並且光電裝置、半導體裝置、及電子裝置皆為半導體裝置。

【先前技術】

近年來，藉由使用形成在具有絕緣表面的基板上方的半導體薄膜（具有近乎數奈米至數百奈米的厚度）來形成薄膜電晶體（TFT）之一種技術已吸引許多注意。薄膜電晶體係應用於多種電子裝置，如 IC 或光電裝置，且尤其迅速發展用於影像顯示裝置中之開關元件的薄膜電晶體。

存在各種的金屬氧化物且用於各種應用。氧化銦為熟知的材料且用為液晶顯示器及之類所需之發光電極材料。一些金屬氧化物具有半導體特性。具有半導體特性之金屬

氧化物的實例包括氧化錫、氧化錫、氧化銦、氧化鋅、及之類。已知其中通道形成區域係由這類具有半導體特性之金屬氧化物所形成之薄膜電晶體（專利文獻 1 及 2）。

[參考]

[專利文獻]

[專利文獻 1]日本公開專利申請案第 2007-123861 號

[專利文獻 2]日本公開專利申請案第 2007-096055 號

【發明內容】

本發明之一實施例的目的在於，在包括氧化物半導體層的薄膜電晶體中，減少氧化物半導體層與和氧化物半導體層電連接之源極及汲極電極之間的接觸電阻。

另一目的在於，在包括氧化物半導體層的薄膜電晶體中，放寬源極及汲極電極層的選擇。

揭露在此說明書中之本發明的一實施例為一種半導體裝置，其中形成在具有絕緣表面的基板上方的源極及汲極電極層具有兩或更多層的堆疊層結構，且在堆疊層結構中，使用具有工作函數低於氧化物半導體層之工作函數的金屬或含有這類金屬的合金來形成一薄層。使用具有工作函數低於氧化物半導體層之工作函數的金屬或含有這類金屬的合金來形成接觸氧化物半導體層的一層，所以得以形成接觸氧化物半導體層之最佳狀態。此外，可放寬源極及汲極電極層的選擇。例如，可在使用具有工作函數低於氧

化物半導體層之工作函數的金屬或含有這類金屬的合金所形成的該層上方設置使用具有高耐熱性之金屬材料所形成的一層，藉此可提高製程溫度的上限。鎢或鉬可用為具有高耐熱性之金屬材料。

本發明的另一實施例為一種半導體裝置，其中形成在具有絕緣表面的基板上方的源極及汲極電極層具有兩或更多層的堆疊層結構，且在堆疊層結構中，使用具有工作函數低於氧化物半導體層之電子親和力的金屬或含有這類金屬的合金來形成一薄層。使用具有工作函數低於氧化物半導體層之電子親和力的金屬或含有這類金屬的合金來形成接觸氧化物半導體層的一層，所以得以形成接觸氧化物半導體層之最佳狀態。此外，可放寬源極及汲極電極層的選擇。例如，可在使用具有工作函數低於氧化物半導體層之電子親和力的金屬或含有這類金屬的合金所形成的該層上方設置使用具有高耐熱性之金屬材料所形成的一層，藉此可提高後續執行之製程溫度的上限。

表 1 中列出數種金屬材料的工作函數，但所使用之材料不限於此。

[表 1]

	工作函數 (eV)
Y	3.3
Mn	4.1
In	4.12
Al	4.28
Ti	4.33
Zn	4.33
W	4.55
Mo	4.6
Co	5
Ge	5
Ni	5.15

例如，使用銦（In）層或含有銦之合金來形成接觸氧化物半導體層的層，藉此可在其中使用含有氧化銦的氧化物半導體材料作為氧化物半導體層之材料的情況中形成最佳接觸狀態。在此情況中，可減少接觸電阻。將僅包括銦之區域（其之工作函數低於含有氧化銦的氧化物半導體材料之工作函數）或含有大量銦之區域故意設置在氧化物半導體層與源極電極層之間的界面處以及在氧化物半導體層與汲極電極層之間的界面處是很重要的。

此外，可使用鋅（Zn）來取代銦。本發明之另一實施例為一種半導體裝置，其中在具有絕緣表面的基板上方設置氧化物半導體層、源極電極層、及汲極電極層，源極電

極層及汲極電極層具有堆疊層結構，且在堆疊層結構中，使用鋅層或含有鋅的合金層來形成接觸氧化物半導體層的一層。使用鋅層或含有鋅的合金層來形成接觸氧化物半導體層的層，藉此可在其中使用含有氧化鋅的氧化物半導體材料作為氧化物半導體層之材料的情況中形成最佳接觸狀態。例如，可減少接觸電阻。

此外，可使用鈦（Ti）來取代銦。本發明之另一實施例為一種半導體裝置，其中在具有絕緣表面的基板上方設置氧化物半導體層、源極電極層、及汲極電極層，源極電極層及汲極電極層具有堆疊層結構，且在堆疊層結構中，使用鈦層或含有鈦的合金層來形成接觸氧化物半導體層的一層。可在其中使用鈦層或含有鈦的合金層來形成接觸氧化物半導體層的層之情況中形成最佳接觸狀態。例如，可減少接觸電阻。

還有，可使用釔（Y）來取代銦。本發明之另一實施例為一種半導體裝置，其中在具有絕緣表面的基板上方設置氧化物半導體層、源極電極層、及汲極電極層，源極電極層及汲極電極層具有堆疊層結構，且在堆疊層結構中，使用釔層或含有釔的合金層來形成接觸氧化物半導體層的一層。可在其中使用釔層或含有釔的合金層來形成接觸氧化物半導體層的層之情況中形成最佳接觸狀態。例如，可減少接觸電阻。

還有，可使用銦－鋅合金或含有鎵（Ga）之合金（如，氮化鎵）來取代銦。將這類合金之區域或主要含有

這類合金之區域故意設置在氧化物半導體層與源極電極層之間的界面處以及在氧化物半導體層與汲極電極層之間的界面處是很重要的。這類合金之區域或主要含有這類合金之區域可形成與氧化物半導體層接觸的最佳狀態。例如，可減少接觸電阻。

使用選自鋁（Al）、鉻（Cr）、銅（Cu）、鉭（Ta）、鈦（Ti）、鉬（Mo）、或鎢（W）、含這些元素之任何者的組合之合金、或之類來形成源極及汲極電極層之堆疊層結構中之非接觸氧化物半導體層的層之層。替代地，可使用透光導電材料（諸如含氧化鎢的氧化銦、含氧化鎢的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫（此後稱為 ITO）、氧化銦鋅、或添加氧化矽至其之氧化銦錫）來形成源極及汲極電極層。在其中將薄膜電晶體用於顯示面板的情況中，可改善孔徑比。

注意到可使用含金屬（其之工作函數低於氧化物半導體層之工作函數）或含這類金屬的合金的層及含另一金屬的層來形成源極及汲極電極層。藉由這種結構，可減少接觸電阻。當將具有高耐熱性之金屬用為另一金屬時，可提高後續執行之製程溫度的上限。

設置源極及汲極電極層，使利用具有工作函數低於氧化物半導體層之工作函數的金屬或含這類金屬的合金所形成的層接觸氧化物半導體層。源極及汲極電極層可具有堆疊層結構，其中在使用具有工作函數低於氧化物半導體層之工作函數的金屬或含這類金屬的合金所形成的層上方進

一步設置具有使用高耐熱性的金屬所形成之層。替代地，源極及汲極電極層可具有使用具有工作函數低於氧化物半導體層之工作函數的金屬或含這類金屬的合金所形成的層之單層結構。

藉由上述結構，可解決上述問題之至少一個。

較佳在上述結構的每一者中，將至少一共同金屬元素包括在氧化物半導體層之一或複數材料中及在源極及汲極電極層之堆疊層結構中接觸氧化物半導體層的層之材料中。例如，當使用銦作為在源極及汲極電極層之堆疊層結構中接觸氧化物半導體層的層之材料時，較佳使用 In-Ga-Zn-O 為基的非單晶膜、In-Sn-Zn-O 為基的氧化物半導體材料、In-Al-Zn-O 為基的氧化物半導體材料、In-Zn-O 為基的氧化物半導體材料、In-Sn-O 為基的氧化物半導體材料、或 In-O 為基的氧化物半導體材料作為氧化物半導體層之材料。

此外，在其中使用鋅作為在源極及汲極電極層之堆疊層結構中接觸氧化物半導體層的層之材料的情況中，可使用 In-Ga-Zn-O 為基的非單晶膜、In-Sn-Zn-O 為基的氧化物半導體材料、In-Al-Zn-O 為基的氧化物半導體材料、Sn-Ga-Zn-O 為基的氧化物半導體材料、Al-Ga-Zn-O 為基的氧化物半導體材料、Sn-Al-Zn-O 為基的氧化物半導體材料、In-Zn-O 為基的氧化物半導體材料、Sn-Zn-O 為基的氧化物半導體材料、Al-Zn-O 為基的氧化物半導體材料、或 Zn-O 為基的氧化物半導體材料。

此外，在其中使用鉍作為在源極及汲極電極層之堆疊層結構中接觸氧化物半導體層的層之材料的情況中，可使用 In-Ga-Zn-O 為基的非單晶膜、In-Sn-Zn-O 為基的氧化物半導體材料、In-Al-Zn-O 為基的氧化物半導體材料、Sn-Ga-Zn-O 為基的氧化物半導體材料、Al-Ga-Zn-O 為基的氧化物半導體材料、Sn-Al-Zn-O 為基的氧化物半導體材料、In-Zn-O 為基的氧化物半導體材料、Sn-Zn-O 為基的氧化物半導體材料、Al-Zn-O 為基的氧化物半導體材料、Zn-O 為基的氧化物半導體材料、In-Sn-O 為基的氧化物半導體材料、或 In-O 為基的氧化物半導體材料。

此外，在其中使用鈦作為在源極及汲極電極層之堆疊層結構中接觸氧化物半導體層的層之材料的情況中，可使用 In-Ga-Zn-O 為基的非單晶膜、In-Sn-Zn-O 為基的氧化物半導體材料、In-Al-Zn-O 為基的氧化物半導體材料、Sn-Ga-Zn-O 為基的氧化物半導體材料、Al-Ga-Zn-O 為基的氧化物半導體材料、Sn-Al-Zn-O 為基的氧化物半導體材料、In-Zn-O 為基的氧化物半導體材料、Sn-Zn-O 為基的氧化物半導體材料、Al-Zn-O 為基的氧化物半導體材料、或 Zn-O 為基的氧化物半導體材料。

氧化物半導體層及接觸氧化物半導體層之層的材料不限於上述氧化物半導體及上述金屬或含該金屬的上述合金。當結合氧化物半導體採用使用具有工作函數低於氧化物半導體層之工作函數的金屬或含這類金屬的合金所形成的層時，可實現本發明之一實施例。

亦可以任何組合的結構來形成本發明之一實施例，只要金屬或含金屬的合金之工作函數低於氧化物半導體的電子親和力。

實現上述結構之本發明的另一實施例為一種製造半導體裝置的方法，包括下列步驟：在具有絕緣表面之基板上方形成閘極電極層；在閘極電極層上方形成閘極絕緣層；在閘極絕緣層上方形成氧化物半導體層；在氧化物半導體層上方形成銮層或含銮之合金層及金屬導電層的堆疊層；以及選擇性蝕刻銮層或含銮之合金層及金屬導電層以形成具有銮層或含銮之合金層及金屬導電層的堆疊層結構之源極及汲極電極層。

藉由上述製造方法，可製造出底閘極薄膜電晶體。

可使用鋅來取代銮。實現上述結構之本發明的另一實施例為一種製造半導體裝置的方法，包括下列步驟：在具有絕緣表面之基板上方形成閘極電極層；在閘極電極層上方形成閘極絕緣層；在閘極絕緣層上方形成氧化物半導體層；在氧化物半導體層上方形成鋅層或含鋅之合金層及金屬導電層的堆疊層；以及選擇性蝕刻鋅層或含鋅之合金層及金屬導電層以形成具有鋅層或含鋅之合金層及金屬導電層的堆疊層結構之源極及汲極電極層。

在製造反向共面（亦稱為底接觸）薄膜電晶體的情況中，在具有絕緣表面之基板上方形成閘極電極層；在閘極電極層上方形成閘極絕緣層；在閘極絕緣層上方形成金屬導電層及銮層或含銮之合金層的堆疊層；選擇性蝕刻金屬

導電層及銦層或含銦之合金層以形成具有金屬導電層及銦層或含銦之合金層的堆疊層結構之源極及汲極電極層；以及在源極及汲極電極層上方形成氧化物半導體層。

在上述製造方法中，藉由濺鍍方法或蒸發方法形成銦層或含銦之合金層。較佳在形成銦層或含銦之合金層之後不暴露至空氣下形成金屬導電層。

在上述製造方法中，藉由濺鍍方法、蒸發方法、或 MOCVD 方法形成鋅層、含鋅之合金層、使用銦－鋅合金所形成之層、或含鎵之合金層（如氮化鎵）。在形成鋅層、含鋅之合金層、使用銦－鋅合金所形成之層、或含鎵之合金層（如氮化鎵）之後，較佳在不暴露至空氣下於其上方形成金屬導電層並可防止電阻增加。

另外，很難使用銦來製造濺鍍靶材。因此，在沉積難以製造出濺鍍靶材之金屬或合金（如銦）的情況中，將銦粒放置在另一金屬靶材（如鉬靶材或鎢靶材）上並藉由濺鍍方法執行接續沉積。在此情況中，可在不暴露至空氣的一濺鍍設備中執行沉積。在一些情況中，其取決於濺鍍設備，形成銦及鎢的混合層。另外，可在複數銦粒配置在金屬靶材上方的狀態中執行濺鍍。該粒具有直徑為 5 mm 至 50 mm 及高度為 2 mm 至 30 mm 的柱狀形狀。注意到不特別限制粒的形狀。該粒可為立方體、矩形固體、橢圓柱體、或之類。

在此說明書中之「接續沉積」一詞意指在一連串藉由濺鍍方法（蒸發方法或之類）的第一沉積步驟及藉由濺鍍

方法（蒸發方法或之類）的第二沉積步驟期間，其中設置待處理之基板的周圍環境不混合污染周圍環境（如空氣），且恆控為真空或惰性氣體周圍環境（氮周圍環境或稀有氣體周圍環境）。藉由接續沉積，可在防止濕氣或之類再次附接至已清理的待處理基板的同時進行沉積。在一些情況中，其取決於濺鍍條件，形成堆疊金屬的混合層。

在因濺鍍條件而形成混合層之情況中，堆疊金屬的濃度分布並不一致且在一些情況中濃度可能會有梯度。例如，在藉由濺鍍方法沉積銦作為氧化物半導體層上之第一層並接續沉積鎢作為第一層上之第二層的情況中，可形成一混合層，其中第一層與第二層之間的界面並不清楚。在此情況中，在混合層中接近氧化物半導體層的區域中之銦濃度為高，且距離氧化物半導體層越遠，銦的濃度變得越低。

此時，當在第一層（具有大於或等於 1 nm 或小於或等於 50 nm 的厚度）上方堆疊第二層時，形成一混合層，其中第一層與第二層之間的界面並不清楚。

在相同室之中執行從第一沉積步驟到第二沉積步驟的程序是在此說明書中之接續沉積的範疇內。

另外，下列亦在此說明書中之接續沉積的範疇內：在於不同室中執行從第一沉積步驟到第二沉積步驟的程序的場合中，在第一沉積步驟之後在不暴露至空氣下將基板轉移至另一室並受到第二沉積。

注意到在第一沉積步驟與第二沉積步驟之間，可提供

基板轉移步驟、對準步驟、緩慢冷卻步驟、加熱或冷卻基板至第二沉積步驟所需之溫度的步驟、或之類。這類程序亦是在此說明書中之接續沉積的範疇內。

然而，在第一沉積步驟與第二沉積步驟之間，有使用液體之步驟（如清理步驟、濕蝕刻、或阻劑形成）的情況則不在此說明書中之接續沉積的範疇內。

在包括氧化物半導體層之薄膜電晶體中，可放寬源極及汲極電極層之材料的選擇，故可實現具有優異電氣特性及高可靠度之薄膜電晶體。另外，藉由使用具有高耐熱性之金屬，可提高後續執行之製程溫度的上限。

【圖式簡單說明】

第 1A 至 1D 圖為繪示本發明之一實施例的剖面圖。

第 2 圖為繪示本發明之一實施例的頂視圖。

第 3A 至 3C 圖為繪示本發明之一實施例的剖面圖。

第 4A 至 4D 圖為繪示本發明之一實施例的剖面圖。

第 5A1、5A2、及 5B 圖為繪示本發明之一實施例的頂視圖及剖面圖。

第 6 圖為繪示本發明之一實施例的剖面圖。

第 7A 及 7B 圖為繪示本發明之一實施例的頂視圖及剖面圖。

第 8A 及 8B 圖各繪示電子裝置之一實例。

第 9A 及 9B 圖各繪示電子裝置之一實例。

第 10 圖繪示電子裝置之實例。

第 11 圖繪示電子裝置之一實例。

第 12 圖為顯示本發明之一實施例的能帶圖。

第 13A 及 13B 圖為顯示本發明之一實施例的剖面之能帶圖。

第 14 圖為顯示本發明之一實施例的能帶圖。

第 15A 及 15B 圖為顯示本發明之一實施例的剖面之能帶圖。

第 16A 及 16B 圖為顯示本發明之一實施例的剖面之能帶圖。

【實施方式】

此後，將參照附圖說明本發明之實施例。注意到本發明不限於下列說明，且熟悉此技藝者輕易了解到可以各種方式修改在此揭露之模式及細節而不背離本發明之精神與範疇。因此，不應將本發明為詮釋限制於下列實施例之說明。

[實施例 1]

在此實施例中，將說明一種堆疊結構，其中氧化物半導體層及工作函數低於氧化物半導體層之工作函數的金屬或含這種金屬的合金互相接觸。

例如，據稱 In-Ga-Zn-O 為基的氧化物半導體膜在其帶隙 (E_g) 為 3.15 eV 的情況中電子親和力 (χ) 為 4.3 eV。根據本發明從氧化物半導體盡可能地移除諸如氫或水

之雜質，並且高度純化氧化物半導體為 i 型半導體（本質半導體）或接近 i 型半導體。因此，氧化物半導體的工作函數為 5.8 eV。此時，作為用為源極及汲極電極層且其之工作函數低於 5.8 eV 的材料，可如表 1 中所示般提供鉍、銦、鋁、或之類。替代地，可使用含工作函數低於 5.8 eV 的金屬之合金。

作為 In-Sn-O 為基的氧化物半導體，例如，可提供氧化銦錫（ITO）。ITO 的工作函數為 4.7 eV。在使用 ITO 作為源極及汲極電極層之材料的情況中，可使用工作函數低於 4.7 eV 的金屬（如表 1 中所示般提供鉍、銦、鈦、或鋅）。尤其，較佳使用鉍，因為鉍具有 3.3 eV 之低工作函數。替代地，可使用含工作函數低於 4.7 eV 的金屬之合金。

作為氧化物半導體，可提供含氧化矽之氧化銦錫（ITSO）。ITSO 的工作函數為 4.69 eV。在使用 ITSO 作為源極及汲極電極層之材料的情況中，可使用工作函數低於 4.69 eV 的金屬（如表 1 中所示般提供鉍、銦、鈦、或鋅）。尤其，較佳使用鉍，因為鉍具有 3.3 eV 之低工作函數。替代地，可使用含工作函數低於 4.69 eV 的金屬之合金。

如上述般使用工作函數低於氧化物半導體之工作函數的金屬，藉此氧化物半導體與金屬之間的接觸電阻可為小。

第 12 圖顯示，在使源極及汲極電極 1212 及氧化物半

導體 1213 互相接觸之前，源極及汲極電極 1212（接觸氧化物半導體的金屬）的工作函數（ ϕ_M ）與氧化物半導體 1213 的工作函數（ ϕ_{MS} ）之間的關係。第 12 圖顯示其中源極及汲極電極 1212 的工作函數（ ϕ_M ）低於氧化物半導體 1213 的工作函數（ ϕ_{MS} ）之情況。

在室溫，金屬中之電子退化，且費米能階位在導通帶中。另一方面，傳統的氧化物半導體一般為 n 型，且在那情況中之費米能階（ E_F ）位在導通帶附近並遠離位在帶隙（ E_g ）中間之本質費米能階（ E_i ）。注意到已知氧化物半導體中之一些氫形成施體，並為使氧化物半導體成為 n 型氧化物半導體的因素之一。

相反地，根據本發明的氧化物半導體為高度純化而變成本質（i 型）氧化物半導體或變成實質上本質半導體，該高度純化為 n 型雜質的氫之移除，以盡可能地防止氧化物半導體含有非氧化物半導體之主要成分的雜質。換言之，根據本發明之氧化物半導體為並非藉由添加雜質而藉由盡可能地移除雜質（如氫或水）之高度純化而變成 i 型（本質）半導體或變成接近 i 型（本質）半導體。因此，費米能階（ E_F ）可與本質費米能階（ E_i ）在相同能階。

第 16A 及 16B 圖為與根據本發明之源極及汲極（容後說明）的剖面垂直之氧化物半導體 1213 及閘極電極 1214 的剖面之能帶圖（示意圖）。第 16A 圖繪示其中供應正電位（ $+V_G$ ）至閘極電極 1214 的情況，亦即，薄膜電晶體在啓通狀態中的情況，其中載子（電子）流動在源極

與汲極之間。第 16B 圖繪示其中供應負電壓 ($-V_G$) 至閘極電極 1214 的情況，亦即，薄膜電晶體在關閉狀態中的情況（其中少數載子不流動）。注意到 GI 標示閘極絕緣膜。

第 13A 及 13B 圖為在形成接觸氧化物半導體 1213 的源極及汲極電極 1212 之後所得的源極及汲極之剖面的能帶圖（示意圖）。在第 13B 圖中，黑點（•）代表電子。當供應正電位至汲極時，電子跨過能障而注入氧化物半導體中並且朝汲極流動。在那情況中，能障（ h ）的高度隨閘極電壓和汲極電壓而變。在供應正汲極電壓的情況中，能障（ h ）的高度小於第 13A 圖中之無供應電壓的能障（ h ）高度；亦即，能障（ h ）的高度小於帶隙（ E_g ）的一半。

在此情況中，如第 16A 圖中所示，電子沿著在閘極絕緣膜與高度純化氧化物半導體膜之間的界面處的氧化物半導體膜側之最低部分移動，其為能量穩定。

在第 16B 圖中，當供應負電位至閘極電極 1214 時，作為少數載子的電洞數量實質上為零；因此，電流值變成非常接近零的值。

例如，即使當薄膜電晶體具有 $1 \times 10^4 \mu\text{m}$ 的通道寬度 W 及 $3 \mu\text{m}$ 的通道長度時，可獲得 $1 \times 10^{-13} \text{ A}$ 或更少之關閉狀態電流及 0.1 V/dec 的次臨限擺幅（ S 值）（閘極絕緣膜的厚度： 100 nm ）。依照此方式，氧化物半導體經高度純化而盡可能少地含有非氧化物半導體之主要成份的雜

質，藉此薄膜電晶體之操作可合意。尤其，可減少關閉電流。

當將源極及汲極電極 1212 及氧化物半導體 1213 帶到互相接觸時，源極及汲極電極 1212 的費米能階 (E_F) 及氧化物半導體 1213 的為相同。此時，電子從源極及汲極電極 1212 移至氧化物半導體 1213，故產生第 13A 及 13B 圖中所示之帶曲線。第 13A 圖為在形成接觸氧化物半導體 1213 的源極及汲極電極 1212 之後所得的源極及汲極之剖面的能帶圖（示意圖）。注意到第 13A 圖顯示其中源極電極及汲極電極具有相同電位 ($V_D=0$) 之情況。第 13B 圖顯示其中供應相關於源極電極之正電位 ($V_D>0$) 至汲極電極的情況。

如上述，在源極及汲極電極層之堆疊層中，使用工作函數 (ϕ_M) 低於氧化物半導體層之工作函數 (ϕ_{MS}) 的金屬或含這種金屬的合金作為接觸氧化物半導體之層的材料。在此情況中，不會在金屬與氧化物半導體之間的界面處形成電子之肖特基能障；故接觸電阻可為小。

因此，亦可使用工作函數低於氧化物半導體層之工作函數的金屬或含這種金屬的合金。

注意到可由紫外線光電子能譜 (UPS) 來測量氧化物半導體之工作函數及電子親和力。採用包括工作函數低於氧化物半導體層之測量的工作函數或電子親和力的金屬或含這種金屬的合金之堆疊層結構，藉此接觸電阻可為小。

注意到工作函數意指真空能階 (E_∞) 及費米能階

(E_F) 之間的能量差。注意到根據本發明從氧化物半導體盡可能地移除諸如氫或水之雜質，以高度純化氧化物半導體為 i 型半導體（本質半導體）或接近 i 型半導體；因此，氧化物半導體的工作函數及氧化物半導體之真空能階 (E_∞) 及費米能階 (E_i) 之間的能量差實質上為相同。在第 12 圖中， E_v 標示在氧化物半導體之價鍵的上端之能量位階。

可結合其他實施例的任何者來實行此實施例。

[實施例 2]

在此實施例中，將說明一種堆疊結構，其中氧化物半導體層及工作函數低於氧化物半導體層之電子親和力的金屬或含這種金屬的合金互相接觸。

例如，據稱 In-Ga-Zn-O 為基的氧化物半導體膜在其帶隙 (E_g) 為 3.15 eV 的情況中電子親和力 (χ) 為 4.3 eV。此時，作為用為源極及汲極電極層且其之工作函數低於 4.3 eV 的材料，可如表 1 中所示般提供鉕、銦、鋁、或之類。替代地，可使用含工作函數低於 4.3 eV 的金屬之合金。

作為氧化物半導體，例如，可提供 In-Ga-Zn-O 為基的非單晶膜 (IGZO)。IGZO 的電子親和力為 4.3 eV。在使用 IGZO 作為源極及汲極電極層之材料的情況中，可使用工作函數低於 4.3 eV 的金屬（如表 1 中所示般提供的鉕、銦、或鋁）。尤其，較佳使用鉕，因為鉕具有 3.3 eV

之低工作函數。替代地，可使用含工作函數低於 4.3 eV 的金屬之合金。

如上述般使用工作函數低於氧化物半導體之電子親和力的金屬，藉此氧化物半導體與金屬之間的接觸電阻可為小。

第 14 圖顯示，在使源極及汲極電極 1212 及氧化物半導體 1213 互相接觸之前，源極及汲極電極 1212（接觸氧化物半導體的金屬）的工作函數（ ϕ_M ）與氧化物半導體 1213 的電子親和力（ χ ）之間的關係。第 14 圖顯示其中源極及汲極電極 1212 的工作函數（ ϕ_M ）低於氧化物半導體 1213 的電子親和力（ χ ）的情況。

在室溫，金屬中之電子退化，且費米能階位在導通帶中。另一方面，傳統的氧化物半導體一般為 n 型，且在那情況中之費米能階（ E_F ）位在導通帶附近並遠離位在帶隙（ E_g ）中間之本質費米能階（ E_i ）。注意到已知氧化物半導體中之一些氫形成施體，並為使氧化物半導體成為 n 型氧化物半導體的因素之一。

相反地，藉由移除為 n 型雜質的氫之高度純化使氧化物半導體變成本質（i 型）氧化物半導體或變成實質上本質半導體，以盡可能地防止氧化物半導體含有非氧化物半導體之主要成分的雜質。換言之，根據本發明之氧化物半導體具有一特徵，其並非藉由添加雜質而藉由盡可能地移除雜質（如氫或水）之高度純化而變成 i 型（本質）半導體或變成接近 i 型（本質）半導體。因此，費米能階

(E_F) 可與本質費米能階 (E_i) 在相同能階。

第 16A 及 16B 圖為與根據本發明之源極及汲極（容後說明）的剖面垂直之氧化物半導體 1213 及閘極電極 1214 的剖面之能帶圖（示意圖）。第 16A 圖繪示其中供應正電位 ($+V_G$) 至閘極電極 1214 的情況，亦即，薄膜電晶體在啓通狀態中的情況，其中載子（電子）流動在源極與汲極之間。第 16B 圖繪示其中供應負電壓 ($-V_G$) 至閘極電極 1214 的情況，亦即，薄膜電晶體在關閉狀態中的情況（其中少數載子不流動）。注意到 GI 標示閘極絕緣膜。

第 15A 及 15B 圖為在形成接觸氧化物半導體 1213 之源極及汲極電極 1212 之後所得之源極及汲極之剖面的能帶圖（示意圖）。在第 15B 圖中，黑點（•）代表電子。當供應正電位至汲極時，電子跨過能障而注入氧化物半導體中並且朝汲極流動。在那情況中，能障 (h) 的高度隨閘極電壓和汲極電壓而變。在供應正汲極電壓的情況中，能障 (h) 的高度小於第 15A 圖中之無供應電壓的能障 (h) 高度；亦即，能障 (h) 的高度小於帶隙 (E_g) 的一半。

在此情況中，如第 16A 圖中所示，電子沿著在閘極絕緣膜與高度純化氧化物半導體膜之間的界面處的氧化物半導體膜側之最低部分移動，其為能量穩定。

在第 16B 圖中，當供應負電位至閘極電極 1214 時，作為少數載子的電洞數量實質上為零；因此，電流值變成

非常接近零的值。

例如，即使當薄膜電晶體具有 $1 \times 10^4 \mu\text{m}$ 的通道寬度 W 及 $3 \mu\text{m}$ 的通道長度時，可獲得 $1 \times 10^{-13} \text{ A}$ 或更少之關閉狀態電流及 0.1 V/dec 的次臨限擺幅（ S 值）（閘極絕緣膜的厚度： 100 nm ）。依照此方式，氧化物半導體經高度純化而盡可能少地含有非氧化物半導體之主要成份的雜質，藉此薄膜電晶體之操作可合意。尤其，可減少關閉電流。

當將源極及汲極電極 1212 及氧化物半導體 1213 帶到互相接觸時，源極及汲極電極 1212 的費米能階（ E_F ）及氧化物半導體 1213 的為相同。此時，電子從源極及汲極電極 1212 移至氧化物半導體 1213，故產生第 15A 及 15B 圖中所示之帶曲線。第 15A 圖為在形成接觸氧化物半導體 1213 的源極及汲極電極 1212 之後所得的源極及汲極之剖面的能帶圖（示意圖）。注意到第 15A 圖顯示其中源極電極及汲極電極具有相同電位（ $V_D=0$ ）之情況。第 15B 圖顯示其中供應相關於源極電極之正電位（ $V_D>0$ ）至汲極電極的情況。

如上述，在源極及汲極電極層之堆疊層中，使用工作函數（ ϕ_M ）低於氧化物半導體之電子親和力（ χ ）的金屬或含這種金屬的合金作為接觸氧化物半導體之層的材料。在此情況中，不會在金屬與氧化物半導體之間的界面處形成電子之肖特基能障；故接觸電阻可為小。注意到源極及汲極電極 1212 的工作函數（ ϕ_M ）越低，越不可能形

成肖特基能障。

因此，亦可使用工作函數低於氧化物半導體層之電子親和力的金屬或含這種金屬的合金。

由於金屬退化，電子親和力及工作函數為相同。

注意到可由紫外線光電子能譜（UPS）來測量氧化物半導體之工作函數及電子親和力。採用包括工作函數低於氧化物半導體之測量的工作函數或電子親和力的金屬或含這種金屬的合金之堆疊層結構，藉此可實現合意的連結結構。

注意到電子親和力意指真空能階（ E_{∞} ）及傳導帶（ E_c ）末端之間的能量差。在第 14 圖中， E_v 標示在氧化物半導體之價鍵的上端之能量位階。

可結合其他實施例的任何者來實行此實施例。

[實施例 3]

在此實施例中，將參照為繪示薄膜電晶體 150 之製造程序的剖面圖之第 1A 至 1D 圖來說明製造繪示在第 1D 圖中之薄膜電晶體的方法之一實施例。薄膜電晶體 150 為底閘極電晶體的一種。

較佳使用玻璃基板作為基板 100。當後續執行的熱處理之溫度為高時，較佳使用其之應變點大於或等於 730°C 之玻璃基板來做為 100。此外，作為玻璃基板 100 的材料，使用，例如，矽酸鋁玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃之玻璃材料。注意到，一般而言，藉由含有比

氧化硼 (B_2O_3) 更大量的氧化鋇 (BaO)，可獲得更實用之耐熱性玻璃。因此，較佳使用其中含有比 B_2O_3 更多 BaO 的玻璃基板。

注意到可使用以絕緣體所形成之基板（如陶瓷基板、石英玻璃基板、石英基板、或藍寶石基板）來取代玻璃基板。替代地，可使用結晶玻璃或之類。

此外，充當基礎層之絕緣層可設置在基板 100 與閘極電極層 101 之間。基礎層具有防止雜質元素從基板 100 擴散的功能，並可使用氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜之一或更多來形成有單層或堆疊層的結構。

可使用金屬導電層作為閘極電極層 101。作為金屬導電層的材料，較佳使用選自 Al 、 Cr 、 Cu 、 Ta 、 Ti 、 Mo 、及 W 之元素、含有這些元素之任何者的組合之合金、或之類。例如，其中鋁層堆疊在鈦層上方及鈦層堆疊在該鋁層上方的三層結構，或其中鋁層堆疊在鉬層上方及鉬層堆疊在該鋁層上方的三層結構為較佳。當然，金屬導電層可具有單層結構或兩或更多層之堆疊層結構。

接下來，在閘極電極層 101 上方形成閘極絕緣層 102。

在此實施例中，使用高密度電漿設備來形成閘極絕緣層 102。在此，高密度電漿設備是指可實現高於或等於 $1 \times 10^{11}/cm^3$ 的電漿密度之一種設備。例如，藉由施加高於或等於 3 kW 及低於或等於 6 kW 的微波功率來產生電漿，以形成絕緣膜。

引進單矽烷 (SiH_4)、氧化亞氮 (N_2O)、及稀有氣體到室中作為來源氣體以產生在高於或等於 10 Pa 及低於或等於 30 Pa 的壓力之高密度電漿，以在具有絕緣表面的基板（如玻璃基板）上方形成絕緣膜。之後，停止單矽烷氣體的供應，並且在不暴露至空氣下引進氧化亞氮 (N_2O) 及稀有氣體，以在絕緣膜的表面上執行電漿處理。至少在形成絕緣膜之後執行藉由引進氧化亞氮 (N_2O) 及稀有氣體而在絕緣膜表面上所執行的電漿處理。經由上述製程所形成之絕緣膜具有小的厚度並對應至即使當具有例如少於 100 nm 的厚度仍可確保可靠度之絕緣膜。

在形成閘極絕緣層 102 中，引進室內之單矽烷 (SiH_4) 對氧化亞氮 (N_2O) 的流速比在 1:10 至 1:200 的範圍中。另外，作為引進室內之稀有氣體，可使用氦、氬、氖、或之類。尤其，較佳使用便宜的氬。

另外，由於藉由使用高密度電漿設備所形成之絕緣膜會有均勻的厚度，絕緣膜具有優異的階梯覆蓋。此外，針對使用高密度電漿設備所形成之絕緣膜，可精確控制薄膜的厚度。

透過上述製程所形成之絕緣膜與使用傳統平板電漿 CVD 設備所形成之絕緣膜大不相同。在互相比較使用相同蝕刻劑之蝕刻率的情況中，透過上述製程所形成之絕緣膜的蝕刻率比使用傳統平板電漿 CVD 設備所形成之絕緣膜低 10%或更多或 20%或更多。因此，使用高密度電漿設

備所形成之絕緣膜可說是稠密膜。

在此實施例中，使用利用高密度電漿設備所形成之具有 100 nm 的厚度之氧氮化矽膜（亦稱為 SiO_xN_y ，其中 $x>y>0$ ）作為閘極絕緣層 102。

接下來，在閘極絕緣層 102 上方，形成氧化物半導體層至大於或等於 5 nm 及小於或等於 200 nm 的厚度，較佳大於或等於 10 nm 及小於或等於 50 nm 的厚度。此外，藉由在稀有氣體（典型為氬）的周圍環境、氧周圍環境、或含有稀有氣體（典型為氬）及氧之周圍環境下的濺鍍方法來形成氧化物半導體層。

可使用 In-Ga-Zn-O 為基的非單晶層、In-Sn-Zn-O 為基的氧化物半導體層、In-Al-Zn-O 為基的氧化物半導體層、Sn-Ga-Zn-O 為基的氧化物半導體層、Al-Ga-Zn-O 為基的氧化物半導體層、Sn-Al-Zn-O 為基的氧化物半導體層、In-Zn-O 為基的氧化物半導體層、Sn-Zn-O 為基的氧化物半導體層、In-Sn-O 為基的氧化物半導體層、Al-Zn-O 為基的氧化物半導體層、In-O 為基的氧化物半導體層、Sn-O 為基的氧化物半導體層、或 Zn-O 為基的氧化物半導體層來形成氧化物半導體層。在此實施例中，例如，可藉由使用 In-Ga-Zn-O 為基的氧化物半導體靶材之濺鍍方法來形成氧化物半導體膜。

在此，在基板與靶材之間的距離為 100 mm、壓力為 0.6 Pa、及直流電（DC）功率為 0.5 kW 的條件以及周圍環境為氧周圍環境（氧流速比例為 100%）下，使用含有

In、Ga、及 Zn 之金屬氧化物靶材（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 莫耳比）來形成具有 30 nm 的厚度之 In-Ga-Zn-O 爲基的非單晶層。

較佳金屬氧化物靶材中之氧化物半導體的相對密度爲 80%或更多；更佳 95%或更多；又更佳 99.9%或更多。可減少使用具有高相對密度之靶材所形成的氧化物半導體膜中之雜質濃度，並因此可獲得具有高電氣特性及高可靠度之薄膜電晶體。

較佳在形成氧化物半導體膜之前執行預熱處理以移除留在濺鍍設備的內壁上、靶材表面上、或靶材材料中之濕氣或氫。作爲預熱處理，可提供其中在減壓下將沉積室內部加熱至 200°C 至 600°C 的方法、其中在加熱沉積室內部的同時重複氮或惰性氣體之引進並排出的方法、及之類。在此情況中，較佳使用油或之類而非水來做爲靶材的冷卻劑。雖在不加熱下重複氮之引進並排出可獲得某程度的效果，但較佳在加熱沉積室內部的同時執行該處理。在預熱處理之後，冷卻基板或濺鍍設備，並接著形成氧化物半導體膜。

另外，在濺鍍方法之沉積期間可將基板加熱至 400°C 至 700°C 。

較佳於氧化物半導體膜形成之前、期間、或之後使用低溫泵來移除濺鍍設備中殘留的濕氣或之類。

較佳在不暴露至空氣下接續地形成閘極絕緣層 102 及氧化物半導體膜。藉由不暴露至空氣，可在不受環境成分

或漂浮在空氣中之雜質元素（如水或烴）的污染下形成堆疊層之每一界面。因此可減少薄膜電晶體的特性變異。

接下來，藉由光微影步驟（參見第 1A 圖）將氧化物半導體層處理成島狀的氧化物半導體層 103。可藉由噴墨方法形成用以形成島狀氧化物半導體層之阻劑遮罩。當以噴墨方法形成阻劑遮罩時，無需光罩；故可減少製造成本。

接著，可執行氧化物半導體層 103 的脫水或脫氫的第一熱處理。在脫水或脫氫的第一熱處理期間之最高溫度設定成 350°C 至 750°C ，較佳 425°C 或更高。注意到在溫度為 425°C 或更高的情況中，熱處理時間可為一小時或更短，而在溫度低於 425°C 的情況中，熱處理時間比一小時更久。在此實施例中，在氮周圍環境中於 450°C 執行熱處理一小時。

注意到，在第一熱處理中，較佳氮或稀有氣體（諸如氮、氖、或氬）中不含有水、氫、及之類。較佳引進熱處理設備中的氮或稀有氣體（諸如氮、氖、或氬）之純度設定成 6N（99.9999%）或更高，較佳 7N（99.99999%）或更高（亦即，雜質濃度為 1 ppm 或更低，較佳 0.1 ppm 或更低）。

可使用利用電爐之加熱方法來執行第一熱處理。注意到熱處理之設備不限於電爐，且可為設有用於使用來自加熱器（如電阻式加熱器）的熱傳導或熱輻射來加熱待處理物體的裝置者。例如，諸如氣體迅速熱退火（GRTA）設

備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備。LRTA 設備為藉由從諸如鹵素燈、金屬鹵化物、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）來加熱待處理物體之設備。GRTA 設備為藉由使用從上述燈所發射的光之熱輻射極藉由從自燈發射的光所加熱的氣體之熱傳導來加熱待處理物體的設備。作為氣體，使用不藉由熱處理而與待處理物體起反應之惰性氣體，例如氮或諸如氬之稀有氣體。

接下來，在閘極絕緣層 102 及氧化物半導體層 103 上方形成用於形成源極電極層和汲極電極層的導電層之堆疊層結構。

以一種方式形成導電層之堆疊層結構，以形成具有大於或等於 1 nm 及少於或等於 50 nm 的厚度並接觸氧化物半導體層 103 之銮層或含銮的合金層，並且在銮層或含銮的合金層上方堆疊使用選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素、含有這些元素之任何作為成分的合金、含有這些元素之任何的組合之合金、或之類所形成的金屬導電層或使用透光導電材料（諸如含氧化錫的氧化銮、含氧化錫的氧化銮鋅、含氧化鈦的氧化銮、含氧化鈦的氧化銮錫、氧化銮錫（此後稱為 ITO）、氧化銮鋅、或添加氧化矽至其之氧化銮錫）所形成之導電層。

在此實施例中，採用四層之堆疊結構，其中第一銮層、鋁層、及第二銮層堆疊在含銮之合金層（其具有大於或等於 1 nm 及少於或等於 50 nm 的厚度，且其小於氧化

物半導體層之厚度)上方。在一多來源濺鍍設備中執行沉積，其中可設定複數不同材料的靶材，藉由使用其上在氧周圍環境中放置銮粒的第一鉬靶材。接下來，在不暴露至空氣下在一室中使用其上不放置銮粒的第二鉬靶材及鋁靶材來接續堆疊四層。注意到含銮之合金層的厚度為四層中之最小且小於氧化物半導體層之厚度。藉由接續沉積，防止含銮之薄合金層的電阻增加。

在此實施例中，說明一實例，其中使用含銮之合金層作為接觸源極電極層及汲極電極層的堆疊層之氧化物半導體層的層；然而，可使用工作函數至少低於氧化物半導體層之金屬或含此類金屬的合金，諸如鋅、含鋅之合金、鈮、含鈮之合金、鈦、含鈦之合金、或含鎳之化合物。

在此實施例中，說明一實例，其中源極電極層及汲極電極層具有一含有銮之混合層及金屬導電層之堆疊層結構，該金屬導電層係選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素、含有這些元素之任何作為成分的合金、含有這些元素之任何的組合之合金、或之類；然而，如第 4A 至 4D 圖中所示，可採用使用工作函數至少低於氧化物半導體層之金屬或含此類金屬的合金所形成之混合層 115a 及 115b (單層)。

在第 4A 至 4D 圖的情況中，採用一種堆疊結構，其中使用工作函數至少低於氧化物半導體層之金屬 (諸如銮、含銮之合金、鋅、含鋅之合金、鈮、含鈮之合金、鈦、含鈦之合金、或含鎳之化合物) 或含此類金屬的合金

作為第一層，並使用選自 Al、Cr、Cu、Ta、Ti、Mo、或 W 之元素或含有這些元素之任何作為成分的合金作為第二層。在混合層中，第一層具有大於或等於 1 nm 並少於或等於 50 nm 的小厚度。此混合層可用為源極及汲極電極層。

接下來，使用選擇性蝕刻的光罩使用於形成源極及汲極電極層的四層結構受到光微影步驟，並形成具有堆疊層結構之源極電極層 104a 及 105a 及汲極電極層 104b 及 105b（參見第 1B 圖）。注意到在源極及汲極電極層中，在氧化物半導體層 103 上並接觸其的含銮之混合層對應至由參考符號 104a 及 104b 所標示的層。此時，亦蝕刻氧化物半導體層 103 的部分，並因此形成具有溝槽（凹部）的氧化物半導體層 103。注意到取決於氧化物半導體層 103 的材料、源極及汲極電極層之材料、及蝕刻條件，在某些情況中不在氧化物半導體層 103 中形成溝槽（凹部）。

接下來，形成保護絕緣層 107，其覆蓋閘極絕緣層 102、氧化物半導體層 103、源極電極層 105a、及汲極電極層 105b，且其接觸氧化物半導體層 103 之部分（參見第 1C 圖）。可使用一種方法來形成保護絕緣層 107 至至少 1 nm 或更多的厚度，藉由該方法可防止諸如水及氫的雜質混合至保護絕緣層 107，視需求，該方法例如 CVD 方法、或濺鍍方法。在此，藉由例如反應性濺鍍方法（其為濺鍍方法的一種）來形成保護絕緣層 107。使用不含雜質（諸如濕氣、氫離子、及 OH^- ）並防止這些雜質從外部

進入的無機絕緣層來形成接觸氧化物半導體層 103 之部分的保護絕緣層 107。詳言之，可使用氧化矽層、氮氧化矽層、氮化矽層、氧化鋁層、氧氮化鋁層、或氮化鋁層。

又替代地，保護絕緣層 107 可具有一種結構，其中氮化矽層或氮化鋁層是堆疊在氧化矽層、氮氧化矽層、氧化鋁層、或氧氮化鋁層的上方。尤其，氮化矽層為較佳，因其不含有雜質（諸如濕氣、氫離子、及 OH^- ）並防止這些雜質從外部進入。

在形成保護絕緣層 107 之時的基板溫度可設定在室溫至 300°C 的範圍中。可藉由濺鍍方法在稀有氣體（典型為氬）的周圍環境、氧周圍環境、或含有稀有氣體（典型為氬）及氧之周圍環境下形成氧化矽層。作為靶材，可使用氧化矽靶材或矽靶材。例如，藉由使用矽靶材，可藉由在含有氧及稀有氣體的周圍環境中之濺鍍方法來形成氧化矽層。在此實施例中，使用矽靶材來形成具有 300 nm 的厚度之氧化矽膜。

透過上述程序，可形成底閘極薄膜電晶體 150（參見第 1D 圖）。在薄膜電晶體 150 中，在基板 100（其為具有絕緣表面之基板）上方設置閘極電極層 101，在閘極電極層 101 上方設置閘極絕緣層 102，在閘極絕緣層 102 上方設置氧化物半導體層 103，在氧化物半導體層 103 上方設置源極電極層 104a 及 105a 及汲極電極層 104b 及 105b 的堆疊結構，並設置保護絕緣層 107，其覆蓋閘極絕緣層 102、氧化物半導體層 103、源極電極層 104a 及 105a、及

汲極電極層 104b 及 105b 且其接觸氧化物半導體層 103 之部分。

第 2 圖為在此實施例中所述之薄膜電晶體 150 的頂視圖。第 1D 圖繪示沿著第 2 圖中之線 X1-X2 所得之剖面結構。在第 2 圖中， L 代表通道長度且 W 代表通道寬度。另外， A 代表在與通道寬度方向平行的方向中氧化物半導體層 103 不與源極電極層 105a 或汲極電極層 105b 重疊之區域。 L_s 代表與閘極電極層 101 重疊之源極電極層 105a 的部份之長度，且 L_d 代表與閘極電極層 101 重疊之汲極電極層 105b 的部份之長度。

在形成具有 300 nm 之厚度的氧化矽膜作為保護絕緣層 107 之後，若有必要則在 100°C 至 400°C 的範圍中之溫度執行第二熱處理。在此實施例中，在 150°C 加熱基板十小時。藉由此第二熱處理，可形成高度可靠的薄膜電晶體。

另外，第二熱處理的時間不限於在形成保護絕緣層 107 不久後且可在於其上形成佈線或電極（諸如畫素電極）之後。

雖然在此實施例中說明第 1D 圖中所示之底閘極薄膜電晶體 150 的製造方法，此實施例之結構不限於此。亦可使用類似材料及類似方法來形成如第 3A 圖中所示之具有底閘極結構的底部接觸型薄膜電晶體 160、如第 3B 圖中所示之包括通道保護層 110 的通道保護型（亦稱為通道停止型）薄膜電晶體 170、或之類。第 3C 圖繪示通道蝕刻

型薄膜電晶體的另一實例。第 3C 圖中所示之薄膜電晶體 180 具有其中閘極電極層 101 延伸至超出氧化物半導體層 103 的一邊緣部之外側的結構。

爲了減少光罩數量及光微影步驟中的步驟，可使用利用多色調遮罩所形成之阻劑遮罩來執行蝕刻，該多色調遮罩爲曝光遮罩，其透光以有複數強度。由於使用多色調遮罩所形成之阻劑遮罩具有複數厚度並可藉由執行蝕刻來進一步地改變形狀，可在複數蝕刻步驟中使用阻劑遮罩來提供不同的圖案。因此，可使用多色調遮罩來形成對應至至少兩種不同圖案的阻劑遮罩。故可減少曝光遮罩的數量並且亦可減少對應的光微影步驟之數量，藉此實現製程的簡化。

注意到薄膜電晶體之通道長度（第 2 圖中之 L ）定義爲源極電極層 105a 及汲極電極層 105b 之間的距離且通道保護型薄膜電晶體的通道長度定義爲在與載子流動方向平行之方向中之通道保護層的寬度。

依照這種方式，藉由使用工作函數低於氧化物半導體之工作函數的金屬，可形成一種半導體裝置，其中氧化物半導體與金屬之間的接觸電阻爲小。

可結合其他實施例的任何者來實行此實施例。

[實施例 4]

在此實施例中，將說明一種情況，其中製造薄膜電晶體並製造具有顯示功能之半導體裝置（亦稱爲顯示裝

置)，其中薄膜電晶體用於畫素部及驅動器電路。此外，可在與畫素部相同的基板上方形成驅動器電路，藉此可獲得系統面板。

顯示裝置包括顯示元件。作為顯示元件，可使用液晶元件（亦稱為液晶顯示元件）或發光元件（亦稱為發光顯示元件）。發光元件在其類別中包括亮度由電流或電壓控制的元件，且在其類別中，特別包括，無機電致發光（EL）元件、有機 EL 元件、及之類。此外，可使用對比由電場改變之顯示媒體，如電子墨水。

另外，顯示裝置包括其中密封顯示元件之一面板，以及其中包括控制器的 IC 及之類安裝在面板上的一模組。顯示裝置有關於在顯示裝置的製程中完成顯示元件之前的一元件基板的模式，且元件基板設置有用以供應電流至複數畫素的每一者中之顯示元件的機構。詳言之，元件基板可能在僅形成顯示元件的一畫素電極之後的狀態、在形成將成為畫素電極的導電層之後且在蝕刻導電膜以形成畫素電極之前的狀態、或任何其他狀態中。

注意到在此說明書中之顯示裝置意指影像顯示裝置、顯示裝置、或光源（包括發光裝置）。此外，「顯示裝置」在其類別中包括下列模組：諸如撓性印刷電路（FPC）、帶自動接合（TAB）帶、或帶載體封裝（TCP）之連接器附接至其的模組、具有在其端部設有印刷佈線板之 TAB 帶或 TCP 的模組、及其中藉由覆晶玻璃（COG）將積體電路（IC）直接安裝在顯示元件上的模

組。

在此實施例中，說明液晶顯示裝置之一實例作為為本發明之一實施例的半導體裝置。首先，將參照第 5A1、5A2、及 5B 圖說明液晶顯示面板的外觀及剖面圖，其為半導體裝置之一實施例。第 5A1 及 5A2 圖各為面板的頂視圖，其中薄膜電晶體 4010 及 4011（其各包括 In-Ga-Zn-O 為基的非單晶層及形成在第一基板 4001 上之液晶元件 4013）係以密封膠 4005 密封在第一基板 4001 與第二基板 4006 之間。第 5B 圖為沿著第 5A1 及 5A2 圖之線 M-N 所得之剖面圖。

設置密封膠 4005 以圍繞設置在第一基板 4001 上方的畫素部 4002 及掃描線驅動器電路 4004。在畫素部 4002 及掃描線驅動器電路 4004 上方設置第二基板 4006。因此，藉由第一基板 4001、密封膠 4005、及第二基板 4006，將畫素部 4002 及掃描線驅動器電路 4004 與液晶層 4008 密封在一起。使用在個別備置的基板上之單晶半導體或多晶半導體所形成之信號線驅動器電路 4003 係安裝在與第一基板 4001 上方以密封膠 4005 圍繞的區域不同之區域中。

注意到不特別限制個別形成的驅動器電路之連結方法，且可使用 COG 方法、打線接合方法、TAB 方法、或之類。第 5A1 圖繪示其中藉由 COG 方法安裝信號線驅動器電路 4003 的一實例，以及第 5A2 圖繪示其中藉由 TAB 方法安裝信號線驅動器電路 4003 的一實例。

設置在第一基板 4001 上畫素部 4002 及掃描線驅動器電路 4004 各包括複數薄膜電晶體。第 5B 圖中繪示包括在畫素部 4002 中之薄膜電晶體 4010 及包括在掃描線驅動器電路 4004 中之薄膜電晶體 4011。在薄膜電晶體 4010 及 4011 上方設置絕緣層 4020 及 4021。

可使用實施例 1 中所示之包括氧化物半導體層之薄膜電晶體作為薄膜電晶體 4010 及 4011 各個。注意到薄膜電晶體 4010 及 4011 之源極電極層及汲極電極層形成有鋅層與錫層的堆疊層結構，其中鋅層接觸氧化物半導體層。在此實施例中，薄膜電晶體 4010 及 4011 為 n 通道薄膜電晶體。

導電層 4040 設置在絕緣層 4021 的部份上方，其重疊用於驅動器電路之薄膜電晶體 4011 的氧化物半導體層。導電層 4040 設置在重疊氧化物半導體層之通道形成區域的一位置中，藉此可減少在 BT 測試之前及之後的薄膜電晶體 4011 之臨限電壓的改變量。另外，可藉由在重疊用於驅動器電路之薄膜電晶體 4011 的一部分中設置導電層 4040 來執行靜電阻擋，因此可獲得通常為關閉的薄膜電晶體。靜電阻擋意指外部電場之阻擋，亦即，防止外部電場對內部（包括 TFT 及之類的電路）之作用。

包括在液晶元件 4013 中之畫素電極層 4030 電連接至薄膜電晶體 4010。在第二基板 4006 上形成液晶元件 4013 的相對電極層 4031。其中畫素電極層 4030、相對電極層 4031、及液晶層 4008 彼此重疊之部分對應至液晶元件

4013。注意到畫素電極層 4030 及相對電極層 4031 分別設有絕緣層 4032 及絕緣層 4033，其各作用為對準膜，且液晶層 4008 夾在這些電極層之間，且其之間有絕緣層 4032 及 4033。

在形成絕緣層 4032 之後，執行在 200℃ 至 300℃ 的烘烤。

注意到可以玻璃、金屬（典型為不鏽鋼）、陶瓷、或塑膠形成第一基板 4001 及第二基板 4006。作為塑膠，可使用強化玻璃（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸樹脂膜。此外，可使用具有其中鋁箔夾在 PVF 膜或聚酯膜之間的結構之片。

間隔體 4035 為藉由選擇性蝕刻絕緣膜而得之柱狀間隔體並加以提供以控制畫素電極層 4030 與相對電極層 4031 之間的距離（單元間隔）。注意到可使用球形間隔體。另外，相對電極層 4031 電連接至形成在與薄膜電晶體 4010 相同的基板上方之共同電位線。此外，藉由使用共同連結部，可藉由配置在一對基板間的導電粒子互相電連相對電極層 4031 及共同電位線。注意到導電粒子係包括在密封膠 4005 中。

替代地，可使用呈現藍相的無需對準膜之液晶。藍相為液晶相之一，其正好在當膽固醇液晶的溫度增加的同時膽固醇相改變成各向同性相之前出現。由於藍相僅出現在一窄溫度範圍內，使用含有在 5 wt% 或更多的手性劑之液晶組成物作為液晶層 4008 以改善該溫度範圍。包括呈現

藍相之液晶及手性劑的液晶組成物具有 1 msec 或更少之短響應時間、具有光學各向同性，故無需對準處理並具有小視角相依性。

當使用呈現藍相之液晶，在對準膜上之摩擦處理為不必要；依此，可防止由摩擦處理所導致之靜電放電破壞並且可減少製程中之液晶顯示裝置的破壞。因此，可增加液晶顯示裝置之製造產量。使用氧化物半導體層之薄膜電晶體尤其具有一種可能性，即薄膜電晶體之電氣特性受到靜電影響會明顯改變並偏離設計的範圍。因此，使用呈現藍相的液晶材料作為包括使用氧化物半導體層之薄膜電晶體的液晶顯示裝置。

注意到雖此實施例中所述之液晶顯示裝置為透射型液晶顯示裝置的一實例；然而，液晶顯示裝置可應用至反射型液晶顯示裝置或半透射型液晶顯示裝置。

以偏光板設置在基板的外表面上（觀賞者側上）且顯示元件用之著色層及電極層設置在基板的內表面上之順序說明在此實施例中所述之液晶顯示裝置的一實例；然而，偏光板可設置基板的內表面上。偏光板及著色層的堆疊結構不限於此實施例且可隨偏光板及著色層的材料或製程條件適當地予以設定。此外，可設置充當黑色矩陣的遮光層。

另外，在此實施例中，為了減少薄膜電晶體的表面粗糙度並改善薄膜電晶體的可靠度，可以充當保護層的絕緣層 4020 或充當平面化絕緣層的絕緣層 4021 覆蓋薄膜電晶

體。注意到設置保護層以防止含在空氣中之諸如有機物質、金屬、或濕氣的污染雜質進入，且較佳為稠密膜。可藉由濺鍍方法以氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、及/或氮氧化鋁層之單層或堆疊層來形成保護層。在此實施例中說明其中藉由濺鍍方法形成保護層的一實例；然而，不特別限制方法，且可採用各種方法。

在此，形成具有堆疊層結構的絕緣層 4020 作為保護層。在此，作為絕緣層 4020 之第一層，藉由濺鍍方法形成氧化矽。在其中使用鋁層作為源極與汲極電極層的情況中，使用氧化矽層作為保護層提供防止鋁層的小丘（hillock）之好的效果。

作為保護層 4020 之第二層，藉由濺鍍方法形成氮化矽層。使用氮化矽層作為保護層可防止諸如鈉離子之移動離子進入半導體區域，而得以抑制 TFT 之電氣特性的變異。

接下來，形成絕緣層 4021 作為平面化絕緣層。作為絕緣層 4021，可使用有耐熱之有機材料（如丙烯酸、聚醯亞胺、苯並環丁烯、聚醯胺、環氧樹脂）。除了上述有機材料外，亦可使用低介電常數材料（低 k 材料）、矽氧烷為基樹脂、磷矽酸玻璃（PSG）、硼磷矽酸玻璃（BPSG）、或之類。注意到可藉由堆疊以這些材料所形成的複數絕緣層來形成絕緣層 4021。

注意到矽氧烷為基樹脂對應至包括使用矽氧烷為基材

料作為起始材料所形成之包括 Si-O-Si 鍵的樹脂。矽氧烷為基樹脂可包括有機基（如烷基或芳基）或氟基作為替代物。另外，有機基可包括氟基。

對於形成絕緣層 4021 的方法沒有特別限制。可根據材料，藉由濺鍍方法、SOG 方法、旋塗方法、浸漬方法、噴塗方法、液滴排出方法（如噴墨方法、網板印刷、或偏置印刷）、或以諸如醫生刀、捲繞塗佈機、簾式塗佈機、或刀式塗佈機的工具來形成絕緣層 4021。在其中使用材料溶液來形成絕緣層 4021 的情況中，可在與烘烤步驟同時執行退火（300℃至 400℃）。絕緣層 4021 之烘烤步驟亦充當半導體層的退火時，藉此可有效率地製造半導體裝置。

可使用透光導電材料（含氧化鎢之氧化銦、含氧化鎢之氧化銦鋅、含氧化鈦之氧化銦、含氧化鈦之氧化銦錫、氧化銦錫（此後稱為 ITO）、氧化銦鋅、添加氧化矽至其之氧化銦錫、或之類）來形成畫素電極層 4030 及相對電極層 4031。

針對畫素電極層 4030 及相對電極層 4031 可使用包括導電高分子（亦稱為導電聚合物）的導電組成物。使用導電組成物所形成的畫素電極較佳具有少於或等於每平方 1000 歐姆的薄片電阻及在 550 nm 的波長大於或等於 70% 的透射率。此外，包括在導電組成物中的導電高分子的電阻率較佳小於或等於 $0.1 \Omega \cdot \text{m}$ 。

作為導電高分子，可使用所謂的 π 電子共軛導電聚合

物。例如，可提供聚苯胺或其衍生物，聚吡咯或其衍生物，聚噻吩或其衍生物、上述兩或更多種的共聚物、及之類。

此外，從 FPC 4018 供應各種信號及電位至個別形成的信號線驅動器電路 4003、掃描線驅動器電路 4004、或畫素部 4002。

在此實施例中，使用與包括在液晶元件 4013 中之畫素電極層 4030 相同的導電層來形成連結端子電極 4015。使用與包括在薄膜電晶體 4010 及 4011 中的源極和汲極電極層相同的導電層來形成端子電極 4016。依此，端子電極 4016 具有鋅層 4014 及鎢層的堆疊結構。

連結端子電極 4015 經由各向異性導電層 4019 電連接至包括在 FPC 4018 中的端子。

第 5A1、5A2、及 5B 圖繪示其中個別形成並在第一基板 4001 上安裝信號線驅動器電路 4003 之一實例；然而，此實施例不限於此結構。可個別形成並接著安裝掃描線驅動器電路，或僅個別形成並接著安裝信號線驅動器電路的部分或掃描線驅動器電路的部分。

另外，若有必要，針對每一畫素設置濾色器。此外，在第一基板 4001 及第二基板 4006 的外側上設置偏光板或擴散板。此外，使用冷陰極管或 LED 作為背光的光源來獲得液晶顯示模組。

針對液晶顯示模組，可使用扭轉向列（TN）模式、共面電場切換（IPS）模式、邊界電場切換（FFS）模式、

多象限垂直配向（MVA）模式、圖案化垂直配向（PVA）模式、軸向對稱配向微單元（ASM）模式、光補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式、或之類。

透過上述程序，可製造包括具有優異電氣特性的薄膜電晶體之液晶顯示裝置。

可結合其他實施例的任何者來實行此實施例。

[實施例 5]

在此實施例中，將說明電子紙的一實例作為半導體裝置的一實施例。

實施例 1 中所述之薄膜電晶體可用於電子紙，其中由電連接至開關元件的元件來驅動電子墨水。電子紙亦稱為電泳顯示裝置（電泳顯示器）並具有與一般紙張有相同可閱性程度、比其他顯示裝置有較少耗電量、及可設定成具有輕薄形式之優點。

電泳顯示器可具有各種模式。電泳顯示器含有分散在溶劑或溶質中的複數微膠囊，每一微膠囊含有帶正電的第一粒子及帶負電之第二粒子。藉由施加電場至微膠囊，微膠囊中之粒子在互相相反方向中移動並僅顯示集結在一側上之粒子的顏色。注意到第一粒子及第二粒子各含有顏料並在沒有電場下不會移動。此外，第一粒子及第二粒子具有不同的顏色（其可為無色）。

因此，電泳顯示器為利用所謂的介電泳效應

(dielectrophoretic effect) 之顯示器，藉此具有高介電常數之物質移動至高電場區域。

將上述微膠囊分散於溶劑中之溶液稱為電子墨水。此電子墨水可藉由印刷而施加至玻璃、塑膠、布、紙、或之類。此外，藉由使用濾色器或具有顏料的粒子，亦可實現彩色顯示。

另外，若在主動矩陣基板上方適當地配置複數個上述微膠囊而插置在兩電極之間，可完成主動矩陣顯示裝置，且可藉由施加電場至微膠囊來執行顯示。例如，可藉由使用實施例 1 中所述之薄膜電晶體來獲得主動矩陣基板。

注意到微膠囊中之第一粒子及第二粒子可各以選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色、及磁泳材料之單一材料所形成，或以這些材料的任何者之合成材料所形成。

第 6 圖繪示作為半導體裝置之一實例的主動矩陣電子紙。可以和實施例 3 中所述的薄膜電晶體類似的方式來製造用於半導體裝置中之薄膜電晶體 581，且其包括接觸氧化物半導體的包括銦之堆疊作為源極及汲極電極層。

第 6 圖中之電子紙為使用扭轉球顯示系統的顯示裝置之一實例。扭轉球顯示系統意指一種方法，其中各著色為黑色及白色的球形粒子係配置在第一電極層與第二電極層（其為用於顯示元件之電極層）之間，且在第一電極層與第二電極層之間產生電位差以控制球形粒子的方位，以執行顯示。

密封在基板 580 與基板 596 之間的薄膜電晶體 581 為底閘極薄膜電晶體，並以絕緣層 583 加以覆蓋。薄膜電晶體 581 之源極和汲極電極層透過形成在絕緣層 583 及絕緣層 585 中之開口電性電連接至第一電極層 587。在第一電極層 587 及第二電極層 588 之間設置扭轉球 589。各扭轉球 589 包括黑色區域 590a、白色區域 590b、及圍繞黑色區域 590a 及白色區域 590b 之填充有液體的凹部 594。以諸如樹脂之填充劑 595 填充扭轉球 589 的圓周（見第 6 圖）。第一電極層 587 對應至一畫素電極，且第二電極層 588 對應至一共同電極。第二電極層 588 電連接至設置在與薄膜電晶體 581 相同的基板上方之一共同電位線。藉由使用共同連結部，第二電極層 588 可透過設置在一對基板之間的導電粒子電連接至共同電位線。

另外，取代扭轉球，亦可使用電泳元件。使用具有約 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 的直徑之微膠囊，其中封裝透明液體、帶正電的白色微粒子、及帶負電的黑色微粒子。在設置在第一電極層及第二電極層之間的微膠囊中，當由第一電極層及第二電極層施加電場時，白色微粒子及黑色微粒子在相反方向中移動，故可顯示白色或黑色。使用此原理之顯示元件為電泳顯示元件且一般稱為電子紙。電泳顯示元件具有比液晶顯示元件更高的反射率，且因此，不需輔助光線，耗電量較低，且可在昏暗的地方辨識顯示部分。另外，即使當電源未供應到顯示部分時，可維持已顯示一次的影像。依此，即使若具有顯示功能之半導體裝置（其可

簡單稱為顯示裝置或設有顯示裝置之半導體裝置)與電波來源有距離，仍可儲存顯示的影像。

透過上述程序，可製造包括具有優異電氣特性之薄膜電晶體的電子紙。

可結合其他實施例的任何者來實行此實施例。

[實施例 6]

將參照第 7A 及 7B 圖說明發光顯示面板(亦稱為發光面板)的外觀及剖面，其對應至根據本發明之半導體裝置的一實施例。第 7A 圖為其中形成在第一基板上方之薄膜電晶體及發光元件係以密封膠密封在第一基板與第二基板之間的面板之平面圖。第 7B 圖為沿著第 7A 圖之線 H-I 所得之剖面圖。

設置密封膠 4505 以圍繞設置在第一基板 4501 上方之畫素部 4502、信號線驅動器電路 4503a 及 4503b、及掃描線驅動器電路 4504a 及 4504b。另外，在畫素部 4502、信號線驅動器電路 4503a 及 4503b、及掃描線驅動器電路 4504a 及 4504b 上方設置第二基板 4506。依此，由第一基板 4501、密封膠 4505、及第二基板 4506 將畫素部 4502、信號線驅動器電路 4503a 及 4503b、及掃描線驅動器電路 4504a 及 4504b 與填充劑 4507 密封在一起。較佳以保護膜(如疊合膜或紫外線可固化樹脂膜)或具有高氣密度及少脫氣之覆蓋材料封裝(密封)面板，依此方式，使面板不致暴露至空氣。

形成在第一基板 4501 上方的畫素部 4502、信號線驅動器電路 4503a 及 4503b、及掃描線驅動器電路 4504a 及 4504b 各包括複數薄膜電晶體，且在第 7B 圖中說明包括在畫素部 4502 中之薄膜電晶體 4510 及包括在信號線驅動器電路 4503a 中之薄膜電晶體 4509 作為實例。

針對薄膜電晶體 4509 及 4510，可使用實施例 3 中所述之薄膜電晶體。注意到薄膜電晶體 4509 及 4510 之源極及汲極電極層的每一層具有含銦的合金層及鉬層的堆疊層結構。在此堆疊層結構中之含銦的合金層接觸氧化物半導體層。在此實施例中，薄膜電晶體 4509 及 4510 為 n 通道薄膜電晶體。

導電層 4540 係設置在絕緣層 4544 的一部分上方，其重疊用於驅動器電路之薄膜電晶體 4509 中之氧化物半導體層的通道形成區域。導電層 4540 係至少設置在重疊氧化物半導體層的通道形成區域的部分中，藉此可減少在 BT 測試之前及之後的薄膜電晶體 4509 之臨限電壓的改變量。另外，可藉由在重疊用於驅動器電路之薄膜電晶體 4509 的一部分中設置導電層 4540 來執行靜電阻擋，以獲得通常為關閉的薄膜電晶體。導電層 4540 之電位可與薄膜電晶體 4509 中之閘極電極層的相同或不同。導電層 4540 亦可作為第二閘極電極層。另外，導電層 4540 之電位可為 GND 或 0 V，或導電層 4540 可在浮置狀態中。

在薄膜電晶體 4509 中，形成接觸包括通道形成區域之半導體層的絕緣層 4541 作為保護絕緣層。可使用與實

施例 1 中所述之保護絕緣層 107 的類似之材料及方法來形成絕緣層 4541。此外，充當平面化絕緣層的絕緣層 4544 覆蓋薄膜電晶體以減少薄膜電晶體所造成之表面不均勻。在此，作為絕緣層 4541，可藉由使用實施例 1 中之保護絕緣層 107 的濺鍍方法來形成氧化矽層。

絕緣層 4544 形成為平面化絕緣層。可使用與實施例 2 中所述之絕緣層 4021 的類似之材料及方法來形成絕緣層 4544。在此，使用丙烯酸作為絕緣層 4544。取代絕緣層 4544，可設置濾色器層。當執行全彩顯示時，例如，發光元件 4511 用為綠色發光元件；相鄰發光元件之一用為紅色發光元件；且另一者用為藍色發光元件。替代地，可使用四種發光元件（其包括白色發光元件還有三種發光元件）來製造能夠全彩顯示之發光顯示裝置。可以一種方式製造能夠全彩顯示之發光顯示裝置使得配置之所有複數發光元件為白色發光元件且具有濾色器或之類的密封基板係配置在發光元件 4511 上。形成呈現單色（如白色）之材料並與濾色器或顏色轉換層結合，藉此可執行全彩顯示。不用說，亦可執行單色光的顯示。例如，可使用白光發射來形成照明系統，或可使用單色光發射來形成區域顏色發光裝置。

此外，參考符號 4511 標示發光元件。第一電極層 4517（其為包括在發光元件 4511 中之畫素電極）電性連接至薄膜電晶體 4510 之源極電極層或汲極電極層。注意到雖發光元件 4511 具有第一電極層 4517、電致發光層

4512、及第二電極層 4513 之堆疊層結構，發光元件 4511 之結構不限於此實施例中所述之結構。可依據在其中從發光元件 4511 抽取光線的方向或之類來適當地改變發光元件 4511 之結構。

使用有機樹脂層、無機絕緣層、或有機聚矽氧烷來形成隔件 4520。尤其較佳使用感光材料來形成隔件 4520 並在第一電極層 4517 上方形成開口，使開口的側壁形成為具有連續曲率的傾斜表面。

可以單層或堆疊之複數層形成電致發光層 4512。

為了防止氧、氫、濕氣、二氧化碳、或之類進入發光元件 4511，可在第二電極層 4513 及隔件 4520 上方形成保護層。作為保護層，可形成氮化矽層、氮氧化矽層、DLC 薄層、或之類。

另外，可從 FPC 4518a 及 FPC 4518b 供應各種信號及電位至信號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b、或畫素部 4502。

從與包括在發光元件 4511 中之第一電極層 4517 相同的導電層形成連結端子電極 4515，並從與包括薄膜電晶體 4509 及 4510 之源極電極層和汲極電極層相同的導電層形成端子電極 4516。因此，端子電極 4516 具有含銦之合金層 4514 及鉬層的堆疊層結構。

連結端子電極 4515 經由各向異性導電層 4519 電性連接至包括在 FPC 4518a 中之端子。

位在其中從發光元件 4511 抽取光線之方向中的基板

需具有透光的性質。在那情況中，使用諸如玻璃板、塑膠板、聚酯膜、或丙烯酸膜之透光材料。

作為填充劑 4507，除了如氮或氬之惰性氣體外，可使用紫外線可固化樹脂或熱固樹脂。例如，聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、聚矽氧、聚乙烯醇縮丁醛（PVB）、或乙烯醋酸乙烯酯（EVA）。例如，使用氮作為填充劑。

另外，若有需要，可在發光元件之發光表面上適當地設置光學膜，如偏光板、環形偏光板（包括橢圓形偏光板）、阻滯板（四分之一波長板或半波長板）、或濾色器。此外，偏光板或環形偏光板可設有抗反射膜。例如，可執行抗強光處理，藉此可藉由表面上之凸部及凹部擴散反光以減少強光。

信號線驅動器電路 4503a 及 4503b 和掃描線驅動器電路 4504a 及 4504b 可安裝在分別製備之基板上方作為使用單晶半導體膜或多晶半導體膜而形成之驅動器電路。替代地，可分別形成並安裝僅信號線驅動器電路或其之部分，或僅掃描線驅動器電路或其之部分。此實施例不限於第 7A 及 7B 圖中所示之結構。

透過上述程序，可製造包括具有優異電器特性之薄膜電晶體的發光顯示裝置（顯示面板）。

可結合其他實施例的任何者來實行此實施例。

[實施例 7]

揭露在此說明書中之半導體裝置可應用至各種的電子裝置（包括遊戲機）。電子裝置之實例為電視裝置（亦稱為電視或電視接收器）、電腦的監視器或之類、數位相機或數位視頻相機之相機、數位相框、行動電話機（亦稱為行動電話或行動電話裝置）、可攜式遊戲機、可攜式資訊終端機、音頻再生裝置、大尺寸遊戲機（如柏青哥機）、太陽能電池、及之類。

第 8A 圖描繪行動電話。行動電話 1100 設有併入機殼 1101 中之顯示部 1102、操作鈕 1103、外部連結埠 1104、揚聲器 1105、麥克風 1106、及之類。

當以手指或之類觸碰第 8A 圖中所示的行動電話 1100 之顯示部 1102 時，可輸入資料到行動電話 1100 中。此外，可藉由以手指或之類觸碰顯示部 1102 來執行諸如打電話及寫短訊之操作。

主要有三種顯示部 1102 的螢幕模式。第一模式為主要用於顯示影像的顯示模式。第二模式為主要用於輸入如文字的資料之輸入模式。第三模式為顯示及輸入模式，其中可結合顯示模式及輸入模式的兩種模式。

例如，在打電話及寫短訊的情況中，為顯示部 1102 選擇主要用於輸入如文字的文字輸入模式，以便輸入螢幕上所顯示之字符。在那情況中，較佳在顯示部 1102 的幾乎整個螢幕面積上顯示鍵盤或數字鈕。

當包括用於偵測傾斜的感測器（如陀螺儀或加速度感測器）之偵測裝置設置在行動電話 1100 內時，可藉由判

斷行動電話 1100 的方位（行動電話 1100 為直立豎起或橫擺在其側上）來自動切換顯示部 1102 的螢幕上之顯示。

藉由觸碰顯示部 1102 或操作機殼 1101 之操作鈕 1103 來切換螢幕模式。替代地，可依據顯示在顯示部 1102 上之影像的種類來切換螢幕模式。例如，當顯示部分上所顯示之影像的信號為移動影像資料的信號時，將螢幕模式切換到顯示模式。當信號為文字資料的信號時，將螢幕模式改變成輸入模式。

另外，在輸入模式中，當未執行藉由觸碰顯示部 1102 之輸入一段特定時間且同時偵測到由顯示部 1102 中的光學感測器所偵測到之信號時，可控制螢幕模式以從輸入模式改變到顯示模式。

顯示部 1102 亦可作為影像感測器。例如，在當以手掌或手指觸碰顯示部 1102 時，取得掌紋、指紋、或之類的影像，藉此可執行個人識別。此外，藉由在顯示部中提供發射近紅外線光之背光或感測光源，可取得手指靜脈、手掌靜脈、或之類的影像。

在顯示部 1102 中，設置複數個實施例 1 中所述之薄膜電晶體作為畫素的開關元件。

第 8B 圖繪示行動電話的另一實例。可攜式資訊終端機，其之一實例繪示在第 8B 圖中，可具有複數功能。例如，除了電話功能外，這類可攜式資訊終端機可藉由併入電腦而具有各種資料處理功能。

第 8B 圖中所示之可攜式資訊終端機形成有機殼 2800

及機殼 2801。機殼 2801 設有顯示面板 2802、揚聲器 2803、麥克風 2804、指點裝置 2806、相機透鏡 2807、外部連結端子 2808、及之類。機殼 2800 設有用於充電可攜式資訊終端機的太陽能電池 2810、外部記憶體槽 2811、及之類。另外，天線併入機殼 2801 中。

此外，顯示面板 2802 設有觸碰面板。藉由第 8B 圖中之虛線來繪示顯示成影像之複數操作鍵 2805。

此外，除了上述結構外，可併入無接觸式 IC 晶片、小型記憶體裝置、或之類。

可使用發光裝置作為顯示面板 2802 並且根據應用模式適當地改變顯示方向。由於相機透鏡 2807 設置在與顯示面板 2802 相同的平面中，可攜式資訊終端機可作為視訊電話。揚聲器 2803 及麥克風 2804 可用於諸如視頻通話、聲音記錄、及播放的操作而不限於視頻電話功能。此外，可滑動在開發成第 8B 圖中所示之狀態中之機殼 2800 及機殼 2801，使得一者搭接在另一者之上；因此，可減少可攜式資訊終端機的尺寸，這使得可攜式資訊終端機適合用於攜帶。

外部連結端子 2808 可連接至 AC 轉接器及各種電纜（如 UBS 電纜），並且可以與個人電腦或之類進行充電及資料通訊。此外，可插入記錄媒體到外部記憶體槽 2811 中，並且可攜式資訊終端機可處置較大量的資料之儲存及轉移。

此外，除了上述功能外，可設置紅外線通訊功能、電

視接收功能、或之類。

第 9A 圖繪示電視裝置 9600 之一實例。在電視裝置 9600 中，顯示部 9603 係併入機殼 9601 中。顯示部 9603 可顯示影像。在此，由支架 9605 支撐機殼 9601。

可以機殼 9601 之操作開關或個別的遙控器 9610 來操作電視裝置 9600。可以遙控器 9610 之操作鍵 9609 來控制頻道及音量以控制顯示在顯示部 9603 上之影像。此外，遙控器 9610 可設有顯示部 9607，以顯示從遙控器 9610 輸出的資料。

注意到電視裝置 9600 設有接收器、數據機、及之類。藉由使用接收器，可接收一般電視廣播。再者，當電視裝置 9600 藉由有線或無線連結經由數據機連接至通訊網路時，可執行單道（從發送器至接收器）或雙道（發送器與接收器之間或接收器之間）資料通訊。

在顯示部 9603 中，設置複數個實施例 1 中所述之薄膜電晶體作為畫素的開關元件。

第 9B 圖繪示數位相框 9700。例如，在數位相框 9700 中，顯示部 9703 係併入機殼 9701 中。顯示部 9703 可顯示各種影像。例如，顯示部 9703 可顯示由數位相機所拍下的影像之資料或之類並可作為一般相框。

在顯示部 9703 中，設置複數個實施例 1 中所述之薄膜電晶體作為畫素的開關元件。

注意到數位相框 9700 設有操作部分、外部連結部分（USB 端子、可連接至如 USB 電纜之各種電纜的端子、

或之類）、記錄媒體插入部、及之類。雖這些構件可設置在其上設置顯示部之表面上，爲了數位相框 9700 之設計，較佳將其設置在側表面或背表面上。例如，將儲存由數位相機所拍下的影像之資料的記憶體插入數位相框的記錄媒體插入部中，藉此可轉移影像資料並接著顯示在顯示部 9703 上。

數位相框 9700 可組態成無線式傳送及接收資料。可採用該結構，其中無線式傳送所要的影像資料以供顯示。

第 10 圖爲其中根據實施例 4 所形成之發光裝置用作室內照明裝置 3001 的一實例。由於可增加實施例 4 中所述的發光裝置的面積，發光裝置可用爲具有大面積之照明裝置。此外，實施例 4 中所述的發光裝置可用爲檯燈 3000。注意到照明裝備在其類別中包括，壁燈、載具內部之照明裝置、引導燈、及之類，還有雲幕燈及檯燈。

依照此方式，可如上述般在各種電子裝置的顯示面板中設置根據本發明之一實施例的薄膜電晶體。

可結合其他實施例的任何者來實行此實施例。

[實施例 8]

揭露在此說明書中之半導體裝置可應用至電子紙。電子紙可用於各種領域的電子裝置，只要其可顯示資料。例如，電子紙可應用於電子書讀取器（電子書）、海報、如火車之載具中的廣告、或如信用卡之各種卡的顯示。第 11 圖中繪示電子裝置之一實例。

第 11 圖繪示電子書（e-book）讀取器之實例。例如，電子書讀取器 2700 包括兩機殼，機殼 2701 及 2703。機殼 2701 及 2703 以軸部 2711 結合在一起，所以可以軸部 2711 作軸打開並闔上電子書讀取器 2700。藉由此一結構，可如紙本書般操作電子書讀取器 2700。

顯示部 2705 及顯示部 2707 係分別併入機殼 2701 及 2703 中。顯示部 2705 及顯示部 2707 可顯示一影像或不同影像。在其中顯示部 2705 及顯示部 2707 顯示不同影像的情況中，例如，可在右邊的顯示部上顯示文字（第 11 圖中之顯示部 2705）並在左邊的顯示部上顯示圖形（第 11 圖中之顯示部 2707）。

第 11 圖繪示一實例，其中機殼 2701 設有操作部分及之類。例如，機殼 2701 設有電源開關 2721、操作鍵 2723、揚聲器 2725、及之類。藉由操作鍵 2723，可翻頁。注意到鍵盤、指點裝置、及之類可設置在與機殼的顯示部相同的表面上。再者，外部連結端子（耳機端子、USB 端子、可連接至如 AC 轉接器及 USB 電纜之各種電纜的端子、或之類）、記錄媒體插入部、及之類可設置在機殼的背表面或側表面上。還有，電子書讀取器 2700 可具有電子字典的功能。

電子書讀取器 2700 可無線式傳送及接收資料。經由無線通訊，可從電子書伺服器購買並下載想要的書資料或之類的。

可適當地結合根據本發明之一實施例的薄膜電晶體或

實施例 5 中所述之電子紙的結構來實行此實施例。

可結合其他實施例的任何者來實行此實施例。

此申請案根據在 2009 年 11 月 6 日向日本專利局申請的日本專利申請案序號 2009-255272，其全部內容以引用方式包含於此。

【符號說明】

100：基板

101：閘極電極層

102：閘極絕緣層

103：氧化物半導體層

104a：源極電極層

104b：汲極電極層

105a：源極電極層

105b：汲極電極層

107：保護絕緣層

110：通道保護層

115a：混合層

115b：混合層

150：薄膜電晶體

160：薄膜電晶體

170：薄膜電晶體

180：薄膜電晶體

580：基板

581：薄膜電晶體
 583：絕緣層
 585：絕緣層
 587：電極層
 588：電極層
 589：扭轉球
 590a：黑色區域
 590b：白色區域
 594：凹部
 595：填充劑
 596：基板
 1100：行動電話
 1101：機殼
 1102：顯示部
 1103：操作鈕
 1104：外部連結埠
 1105：揚聲器
 1106：麥克風
 1212：源極及汲極電極
 1213：氧化物半導體
 1214：閘極電極
 2700：電子書讀取器
 2701：機殼
 2703：機殼

2705：顯示部
2707：顯示部
2711：軸部
2721：電源開關
2723：操作鍵
2725：揚聲器
2800：機殼
2801：機殼
2802：顯示面板
2803：揚聲器
2804：麥克風
2805：操作鍵
2806：指點裝置
2807：相機透鏡
2808：外部連結端子
2810：太陽能電池
2811：外部記憶體槽
3000：檯燈
3001：室內照明裝置
4001：基板
4002：畫素部
4003：信號線驅動器電路
4004：掃描線驅動器電路
4005：密封膠

- 4006：基板
- 4008：液晶層
- 4010：薄膜電晶體
- 4011：薄膜電晶體
- 4013：液晶元件
- 4014：鋅層
- 4015：連結端子電極
- 4016：端子電極
- 4018：撓性印刷電路
- 4019：各向異性導電層
- 4020：絕緣層
- 4021：絕緣層
- 4030：畫素電極層
- 4031：相對電極層
- 4032：絕緣層
- 4033：絕緣層
- 4035：間隔體
- 4040：導電層
- 4501：基板
- 4502：畫素部
- 4503a：信號線驅動器電路
- 4503b：信號線驅動器電路
- 4504a：掃描線驅動器電路
- 4504b：掃描線驅動器電路

4505：密封膠
4506：基板
4507：填充劑
4509：薄膜電晶體
4510：薄膜電晶體
4511：發光元件
4512：電致發光層
4513：電極層
4515：連結端子電極
4516：端子電極
4517：電極層
4518a：FPC
4518b：FPC
4519：各向異性導電層
4520：隔件
4540：導電層
4541：絕緣層
4544：絕緣層
9600：電視裝置
9601：機殼
9603：顯示部
9605：支架
9607：顯示部
9609：操作鍵

9610：遙控器

9700：數位相框

9701：機殼

9703：顯示部

申請專利範圍

1. 一種製造半導體裝置之方法，包括下列步驟：

在基板上方形成閘極電極；

在該閘極電極上方形成閘極絕緣層；

藉由在腔室中濺鍍，在該閘極絕緣層上方形成氧化物半導體層，其中該氧化物半導體層為非單晶；

在形成該氧化物半導體層之前，在 200℃ 到 600℃ 的溫度執行預熱處理以移除留在該腔室的內壁上之濕氣或氫；以及

藉由至少於形成該氧化物半導體層期間，使用低溫泵來移除該腔室內部的濕氣，

其中該基板於形成該氧化物半導體層期間被加熱。

2. 如申請專利範圍第 1 項所述之方法，更包括以下步驟：

將該氧化物半導體層處理成島狀的氧化物半導體層，該島狀的氧化物半導體層包括待成為通道形成區域的一區域；以及

形成導電層在該氧化物半導體層上並與其接觸，其中該導電層包含金屬，該金屬之功函數係低於該氧化物半導體層之功函數。

3. 一種製造半導體裝置之方法，包括下列步驟：

在基板上方形成閘極電極；

在該閘極電極上方形成閘極絕緣層；

藉由在腔室中濺鍍，在該閘極絕緣層上方形成氧化物

半導體層，其中該氧化物半導體層為非單晶；

在形成該氧化物半導體層之前，執行預熱處理以移除留在該腔室的內壁上之濕氣或氫；

藉由至少於形成該氧化物半導體層期間，使用低溫泵來移除該腔室內部的濕氣；

將該氧化物半導體層處理成島狀的氧化物半導體層，該島狀的氧化物半導體層包括待成為通道形成區域的一區域；以及

在 350°C 到 750°C 的溫度加熱該島狀的氧化物半導體層。

4. 如申請專利範圍第 3 項所述之方法，其中該島狀的氧化物半導體層係於惰性氣體中被加熱。

5. 如申請專利範圍第 3 項所述之方法，其中該島狀的氧化物半導體層係於氮周圍環境中被加熱。

6. 一種製造半導體裝置之方法，包括下列步驟：

在基板上方形成閘極電極；

在該閘極電極上方形成閘極絕緣層；

藉由在腔室中濺鍍，在該閘極絕緣層上方形成氧化物半導體層，其中該氧化物半導體層為非單晶；以及

藉由至少於形成該氧化物半導體層期間，使用低溫泵來移除該腔室內部的濕氣；

將該氧化物半導體層處理成島狀的氧化物半導體層，該島狀的氧化物半導體層包括待成為通道形成區域的一區域；

在形成該島狀的氧化物半導體層之後，在 350℃ 到 750℃ 的溫度執行第一熱處理；

在執行該第一熱處理之後，在該氧化物半導體層上方形成絕緣層；以及

在形成該絕緣層之後，在 100℃ 到 400℃ 的溫度執行第二熱處理。

7. 如申請專利範圍第 6 項所述之方法，其中該第一熱處理係於惰性氣體中被執行。

8. 如申請專利範圍第 1、3 及 6 項中任一項之方法，其中該氧化物半導體層係為本質或實質上本質。

9. 如申請專利範圍第 1、3 及 6 項中任一項之方法，其中該基板於形成該氧化物半導體層期間，以 400℃ 到 700℃ 的溫度加熱。

10. 如申請專利範圍第 1、3 及 6 項中任一項之方法，其中該氧化物半導體層包含選自 In-Ga-Zn-O 為基的材料、In-Sn-Zn-O 為基的氧化物半導體材料、In-Al-Zn-O 為基的氧化物半導體材料、In-Zn-O 為基的氧化物半導體材料、In-Sn-O 為基的氧化物半導體材料、及 In-O 為基的氧化物半導體材料所組成之群組中之材料。

11. 如申請專利範圍第 3 或 6 項所述之方法，更包括以下步驟：

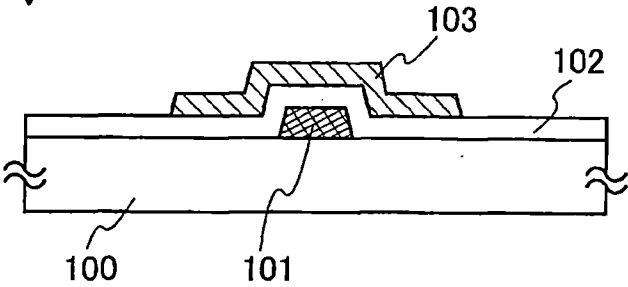
形成導電層在該氧化物半導體層上並與其接觸，其中該導電層包含金屬，該金屬之功函數係低於該氧化物半導體層之功函數。

12. 如申請專利範圍第 6 項所述之方法，其中該絕緣層包含氧化矽。

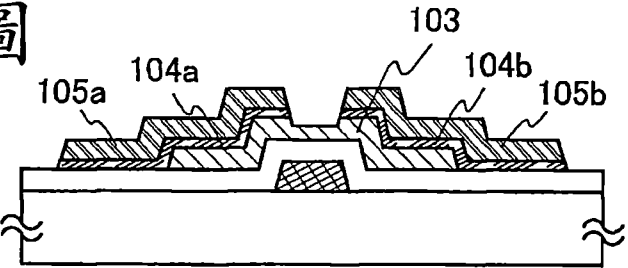
13. 如申請專利範圍第 6 項所述之方法，其中該絕緣層包含氧化鋁。

圖 式

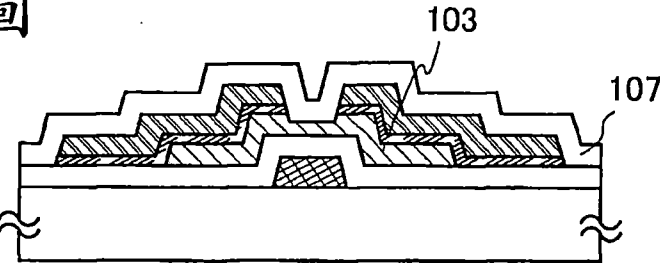
第1A圖



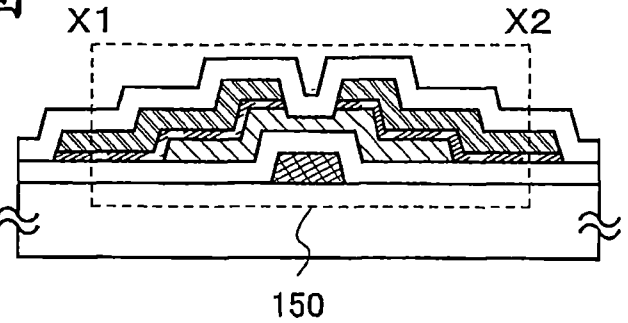
第1B圖



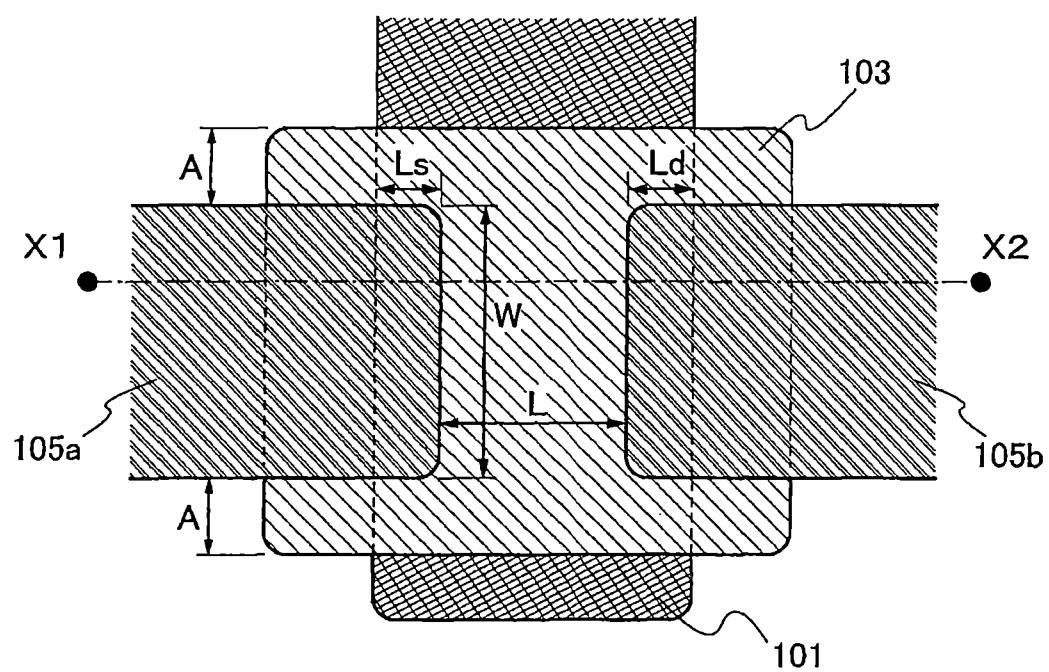
第1C圖



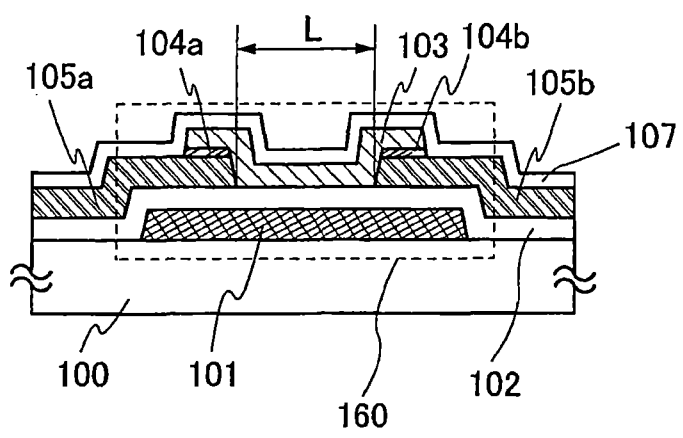
第1D圖



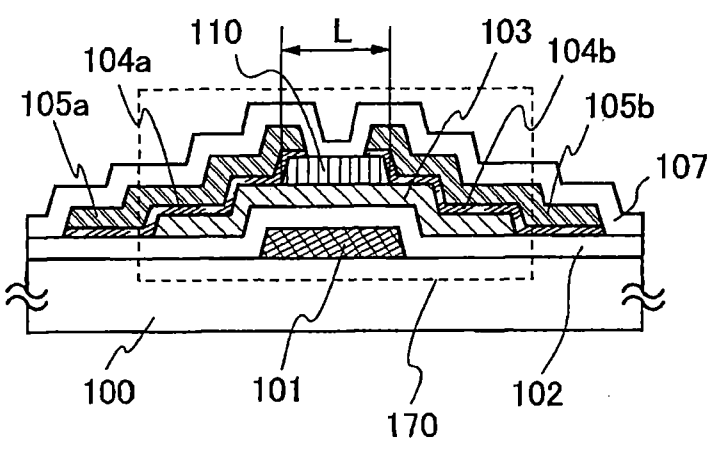
第2圖



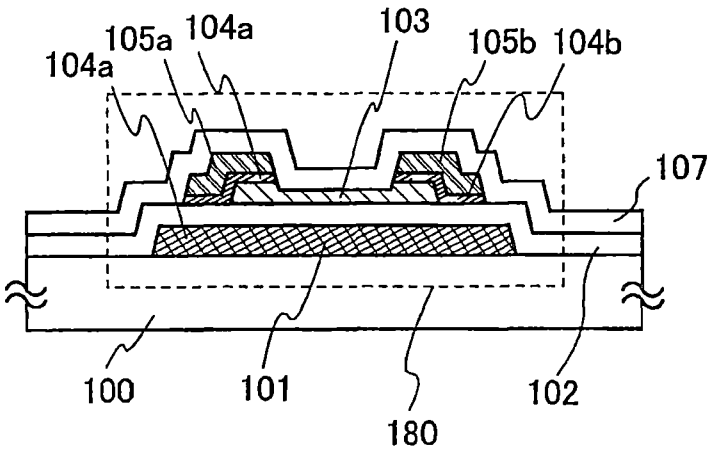
第3A圖



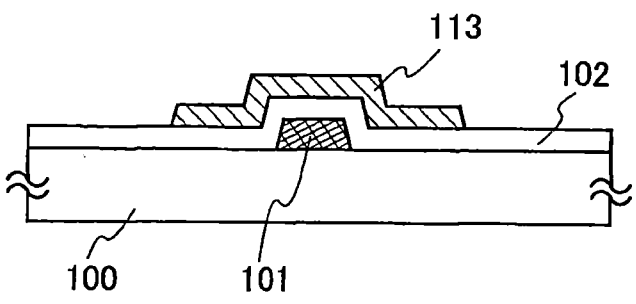
第3B圖



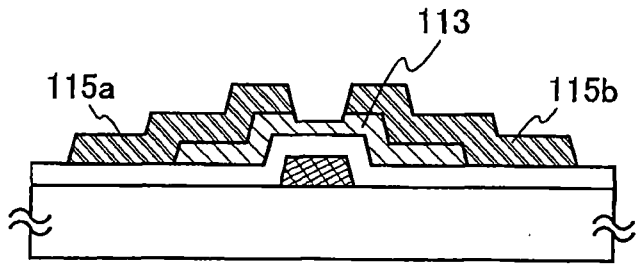
第3C圖



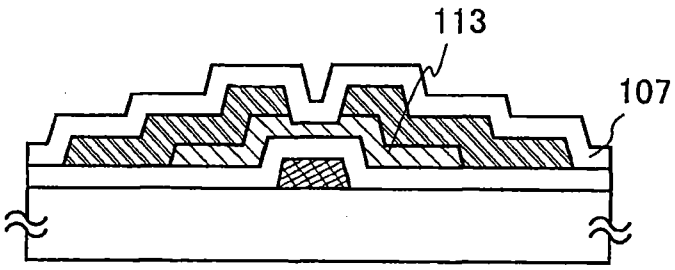
第4A圖



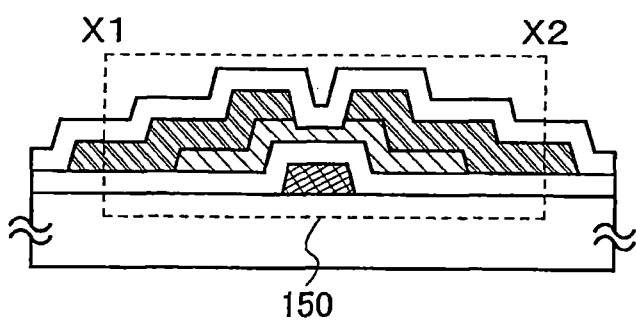
第4B圖



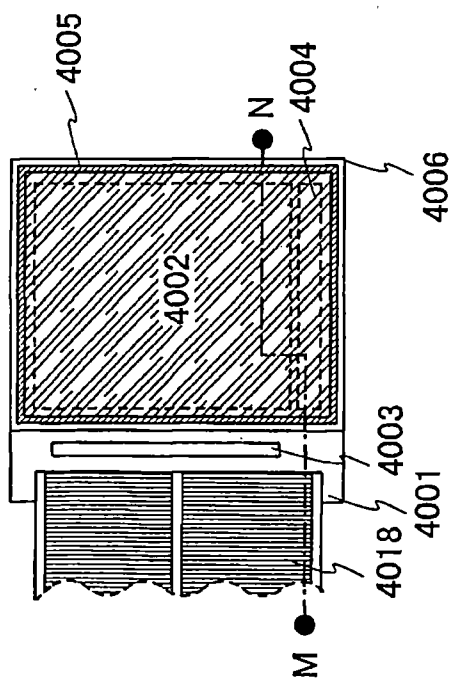
第4C圖



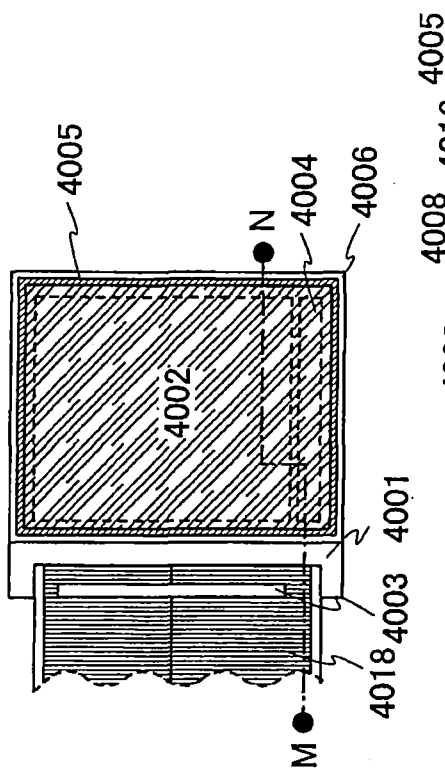
第4D圖



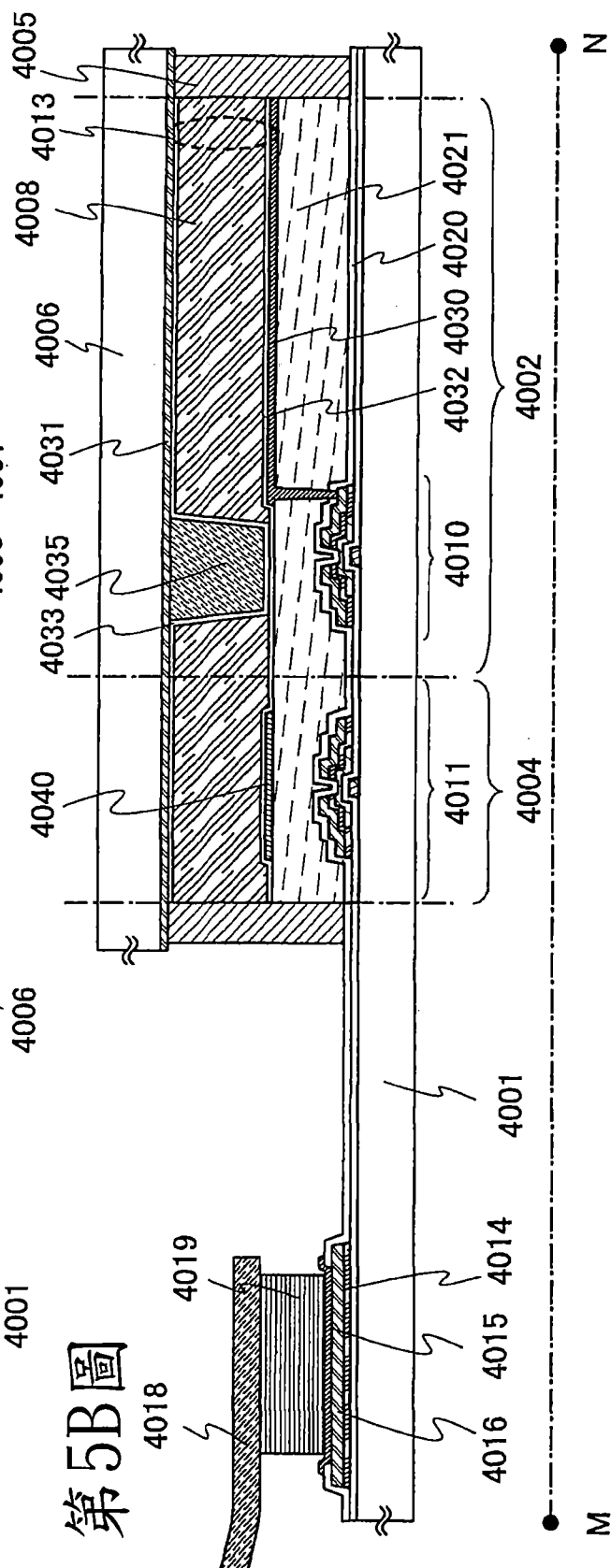
第5A1圖



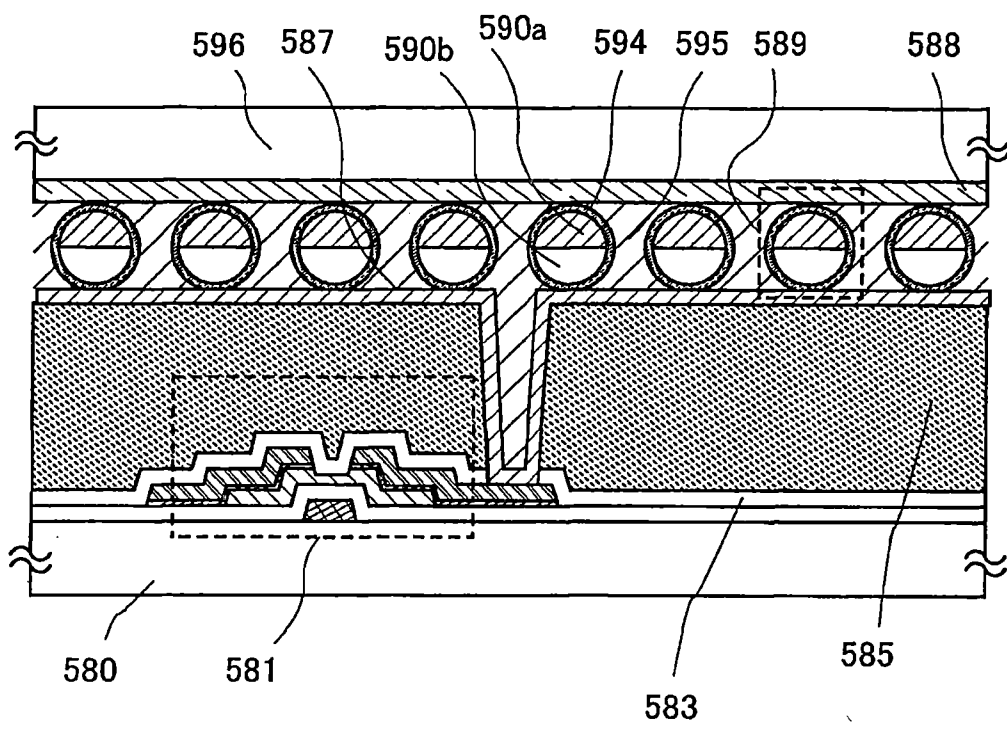
第5A2圖



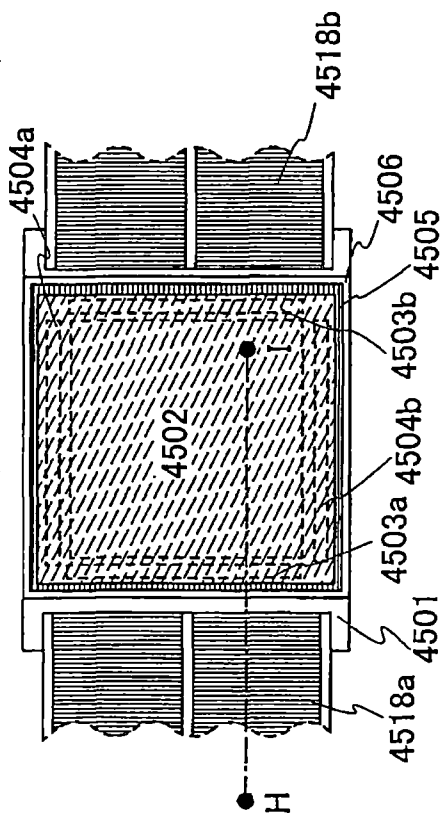
第5B圖



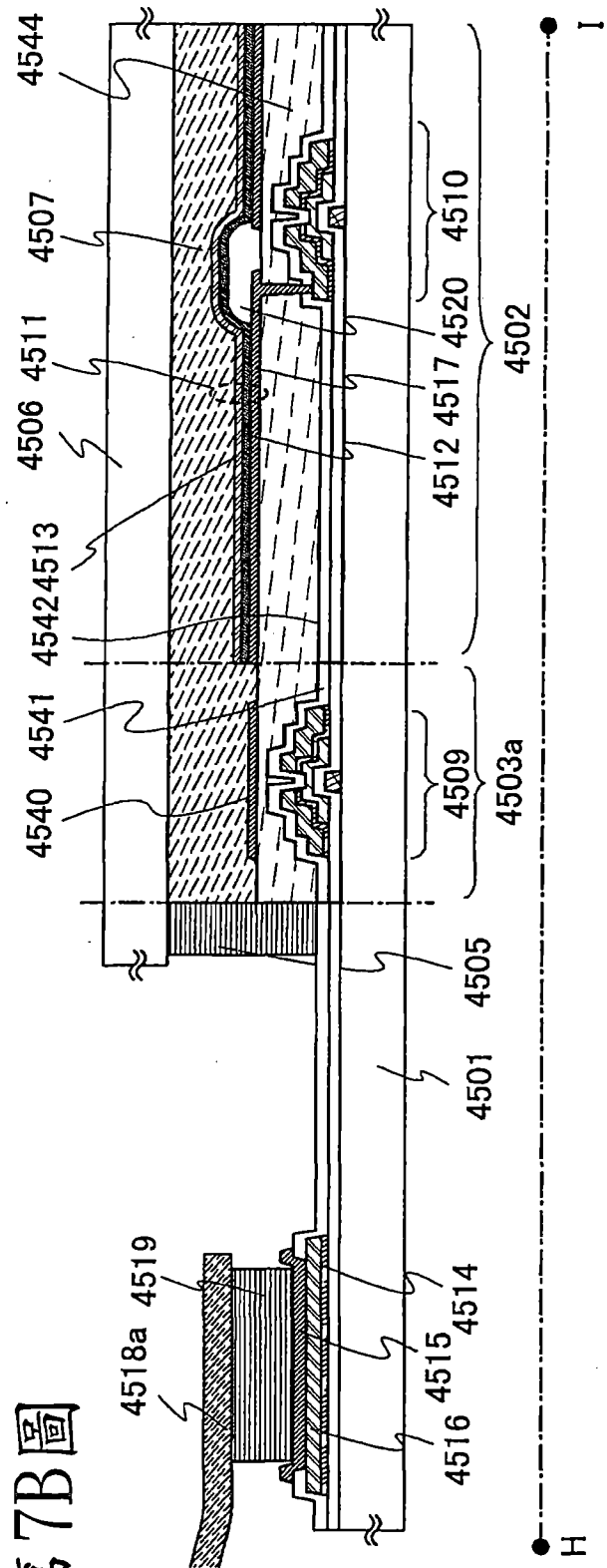
第6圖



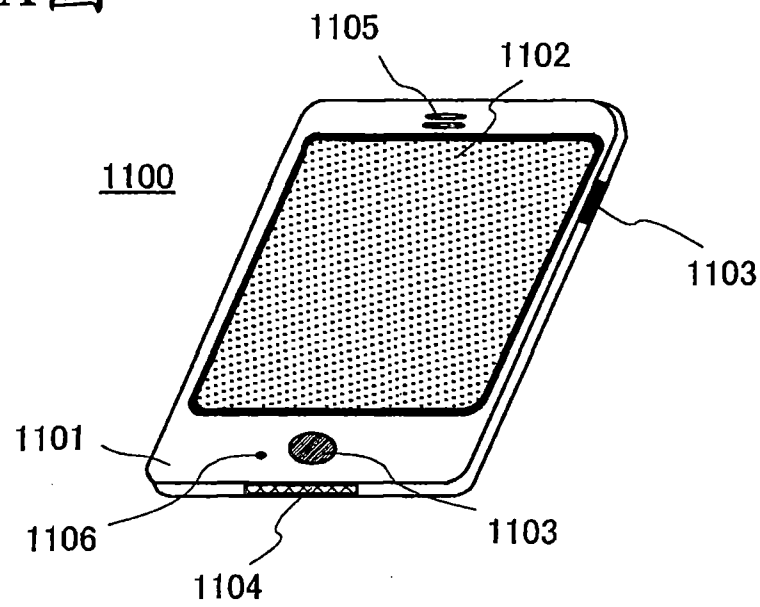
第7A圖



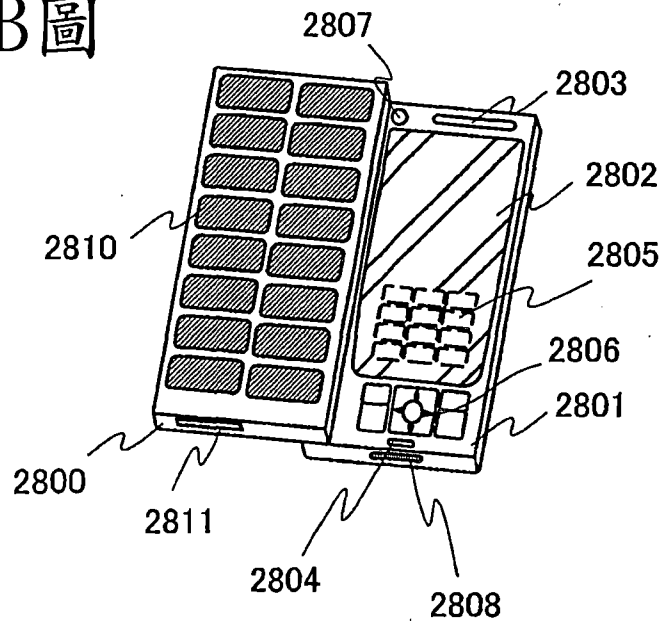
第7B圖



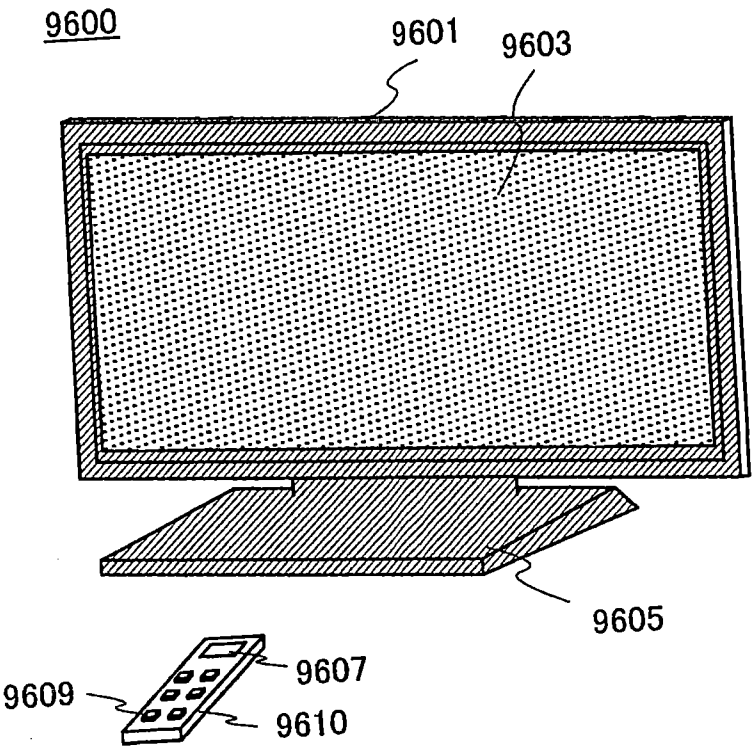
第8A圖



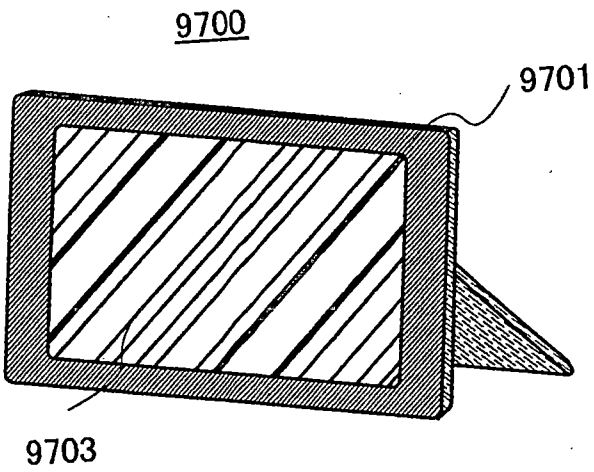
第8B圖



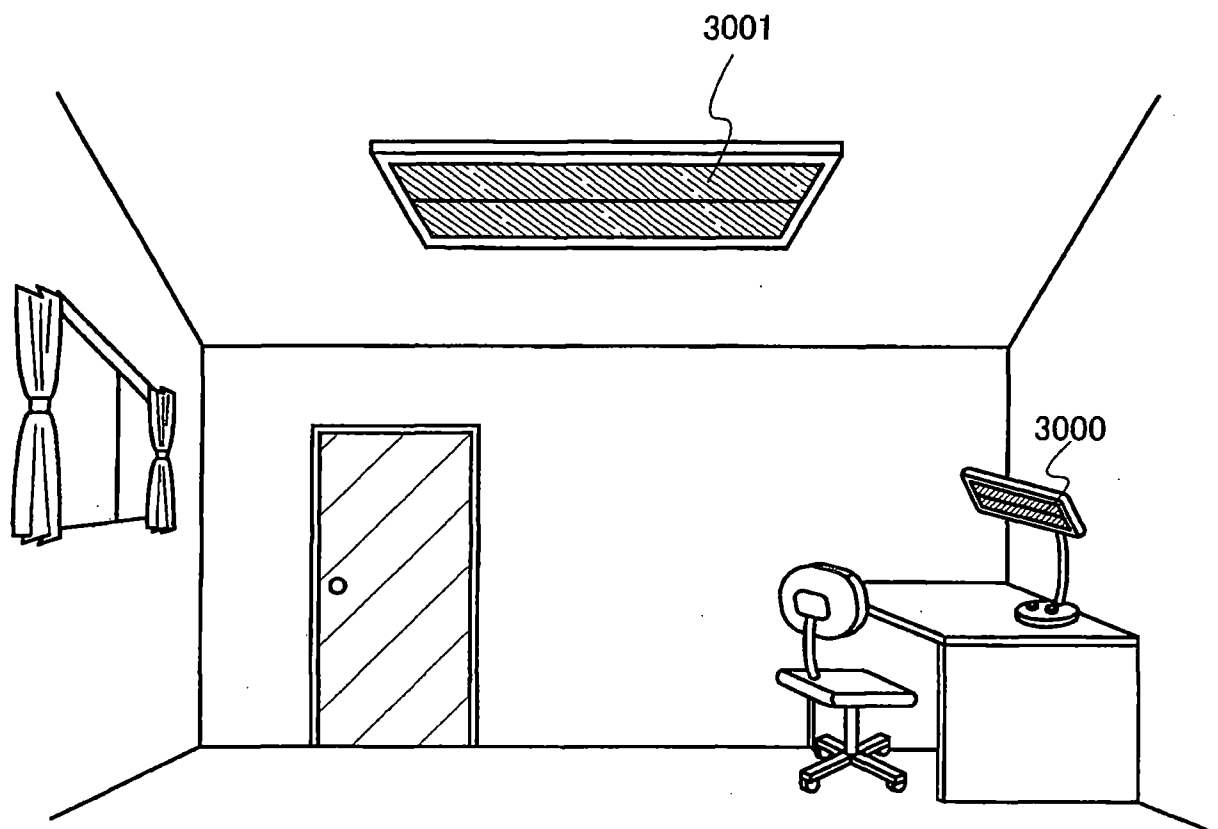
第9A圖



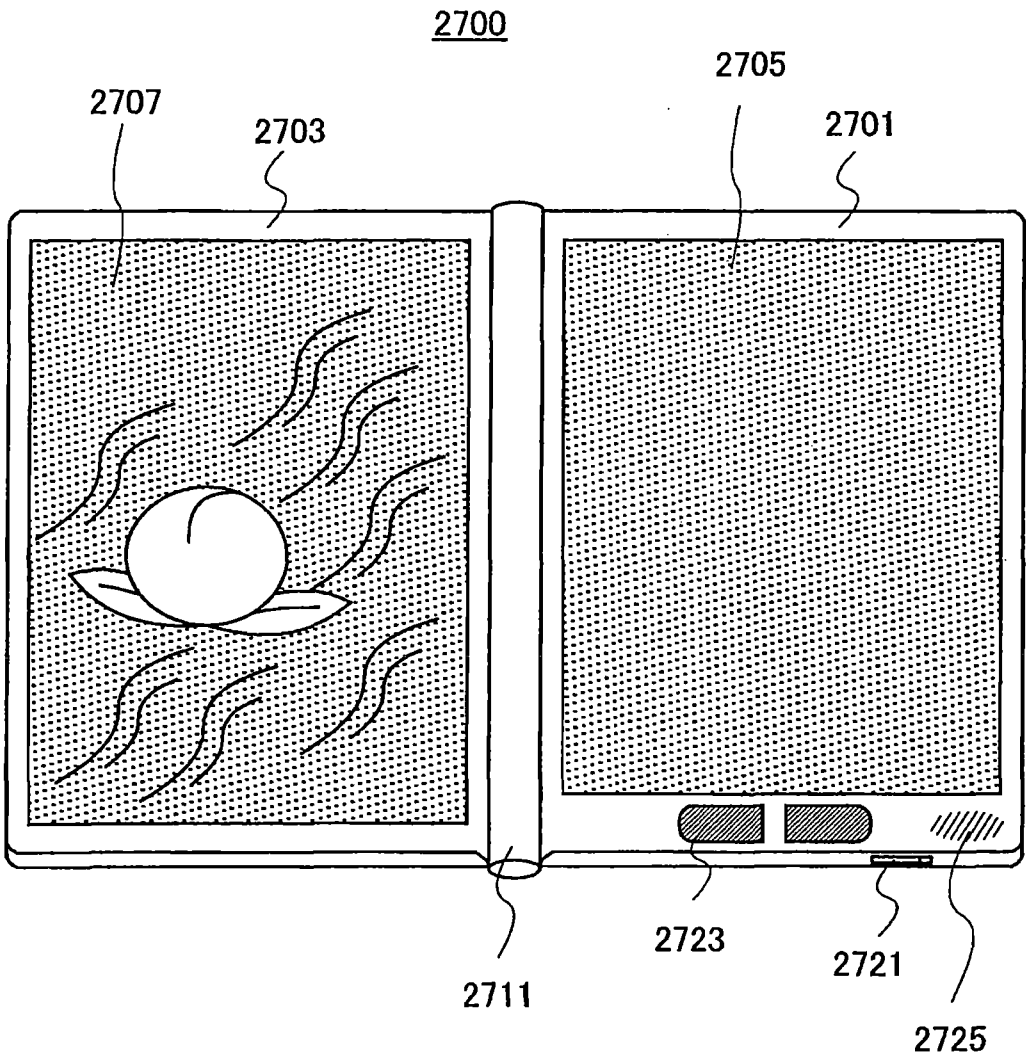
第9B圖



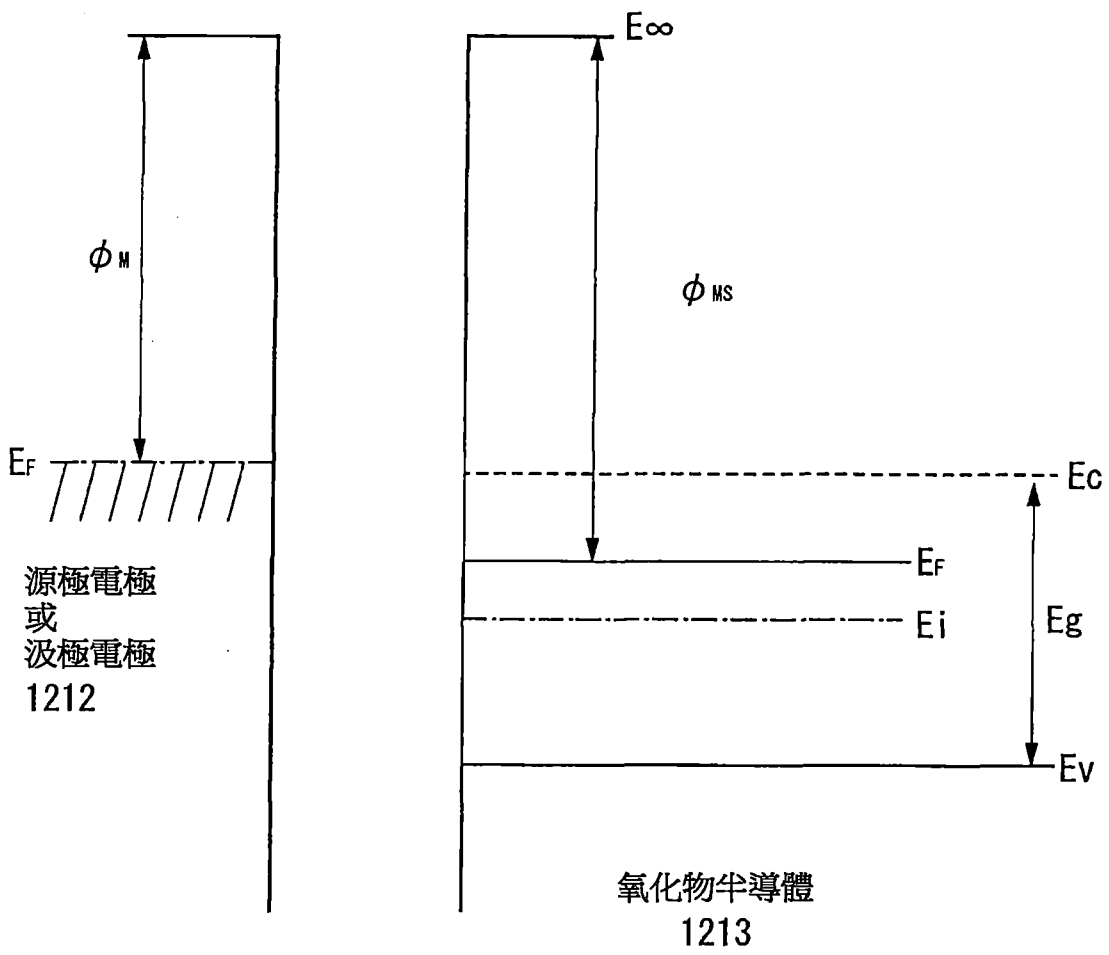
第10圖



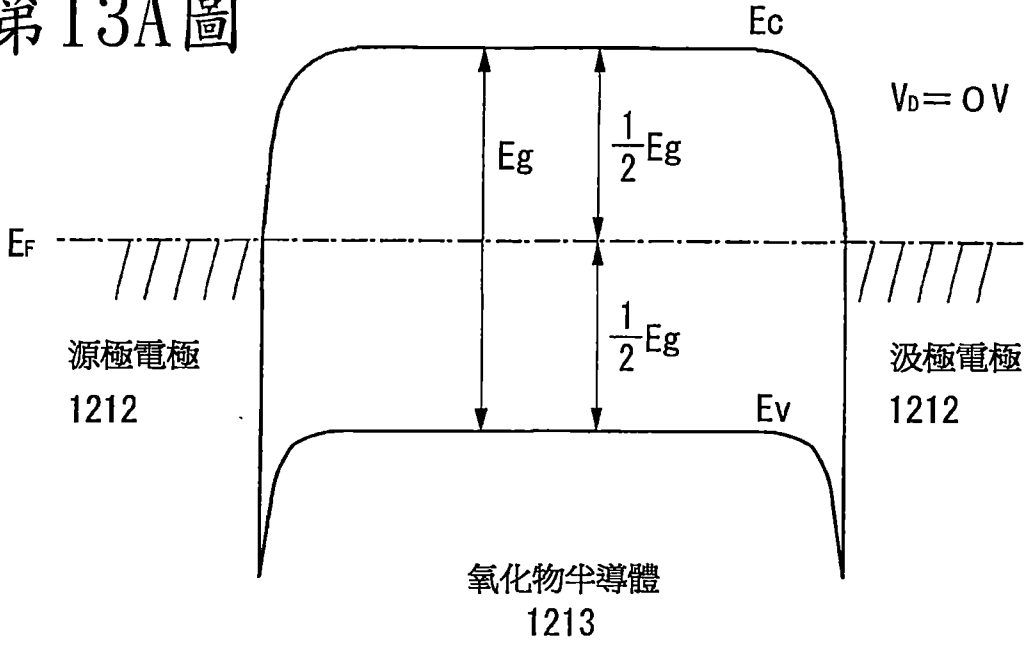
第11圖



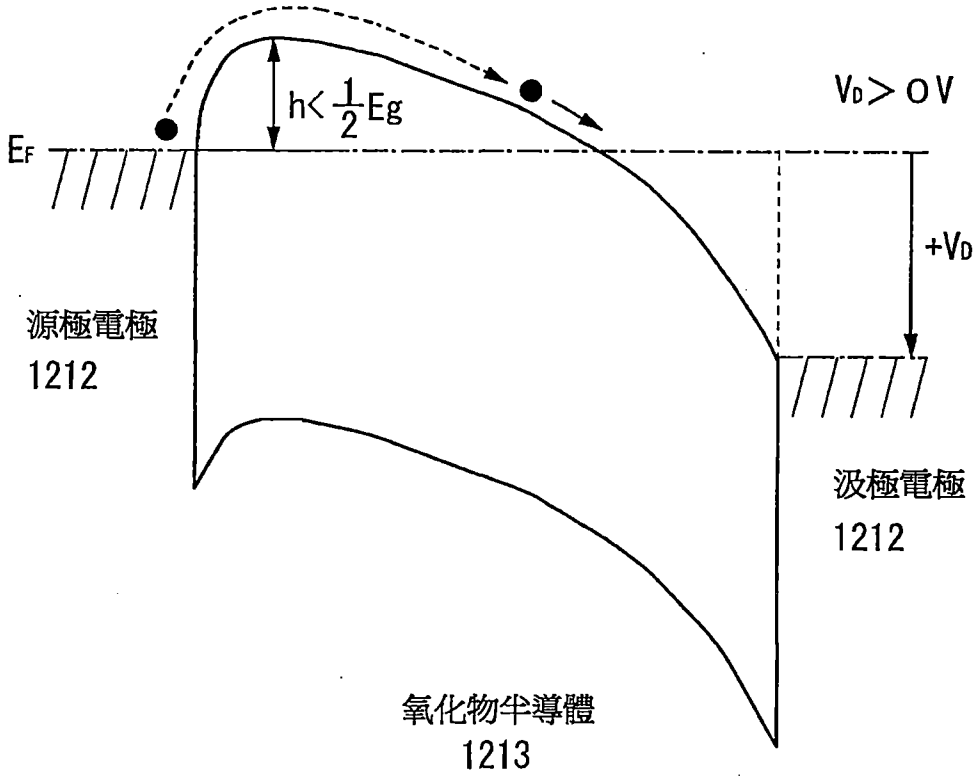
第12圖



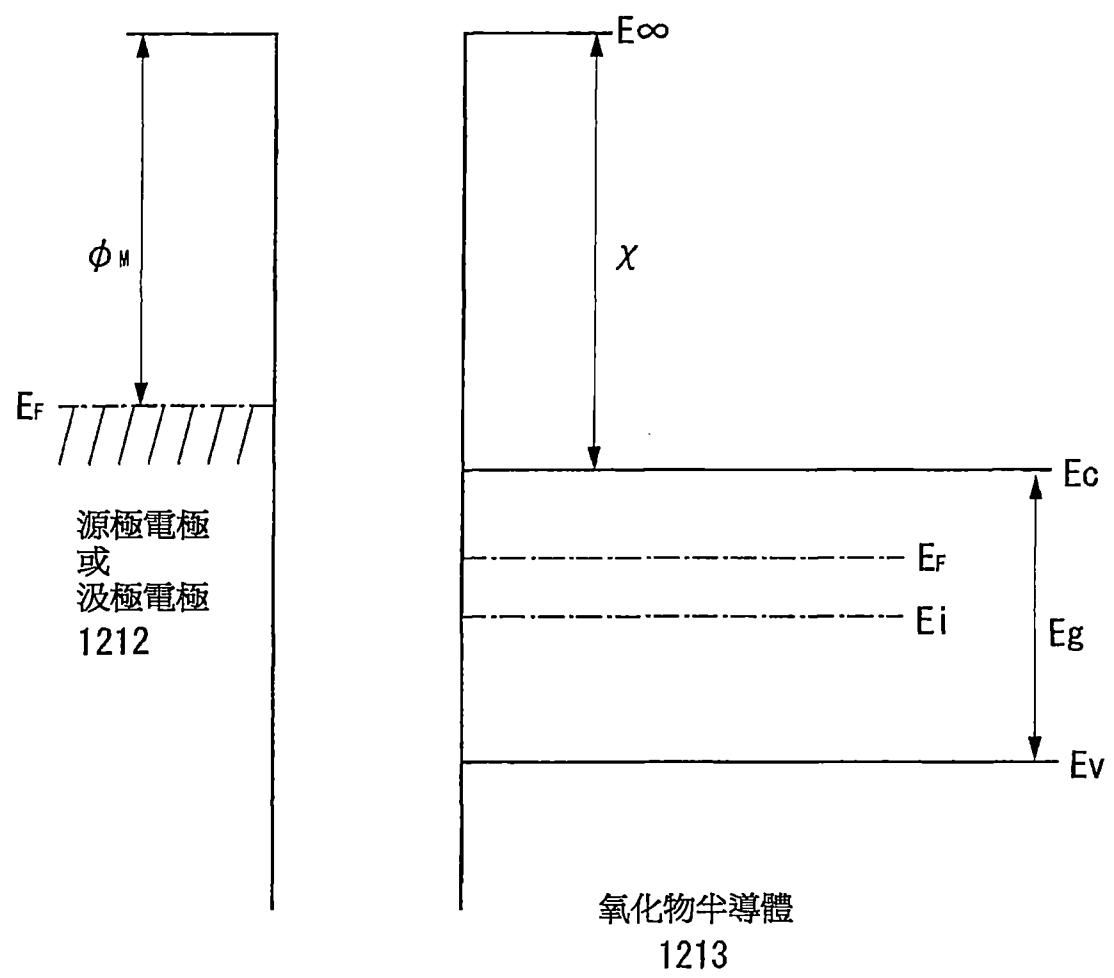
第13A圖



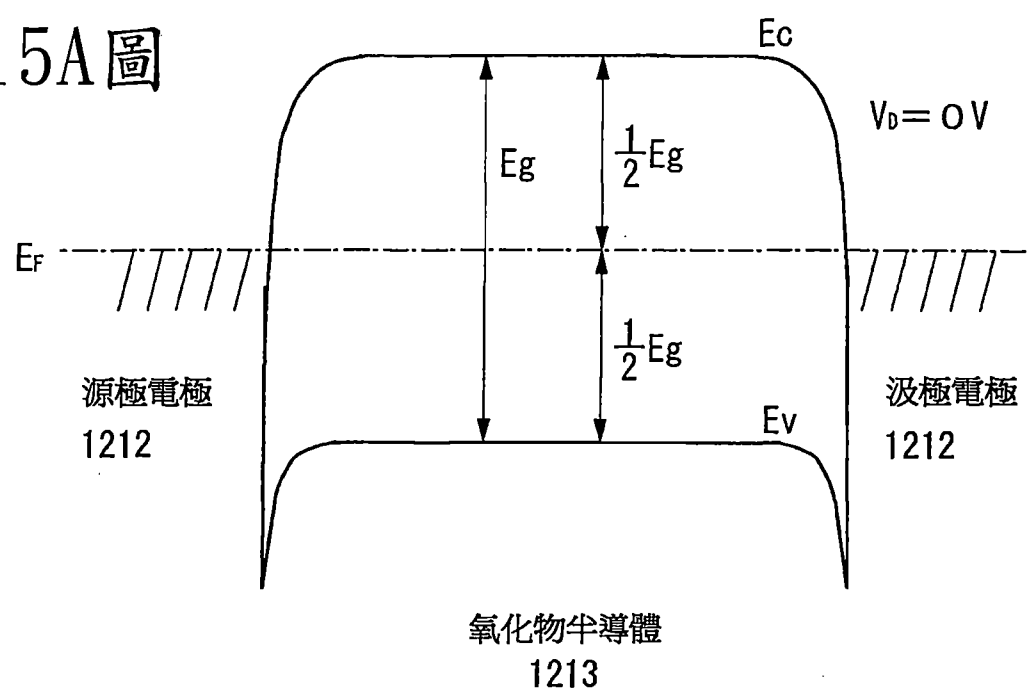
第13B圖



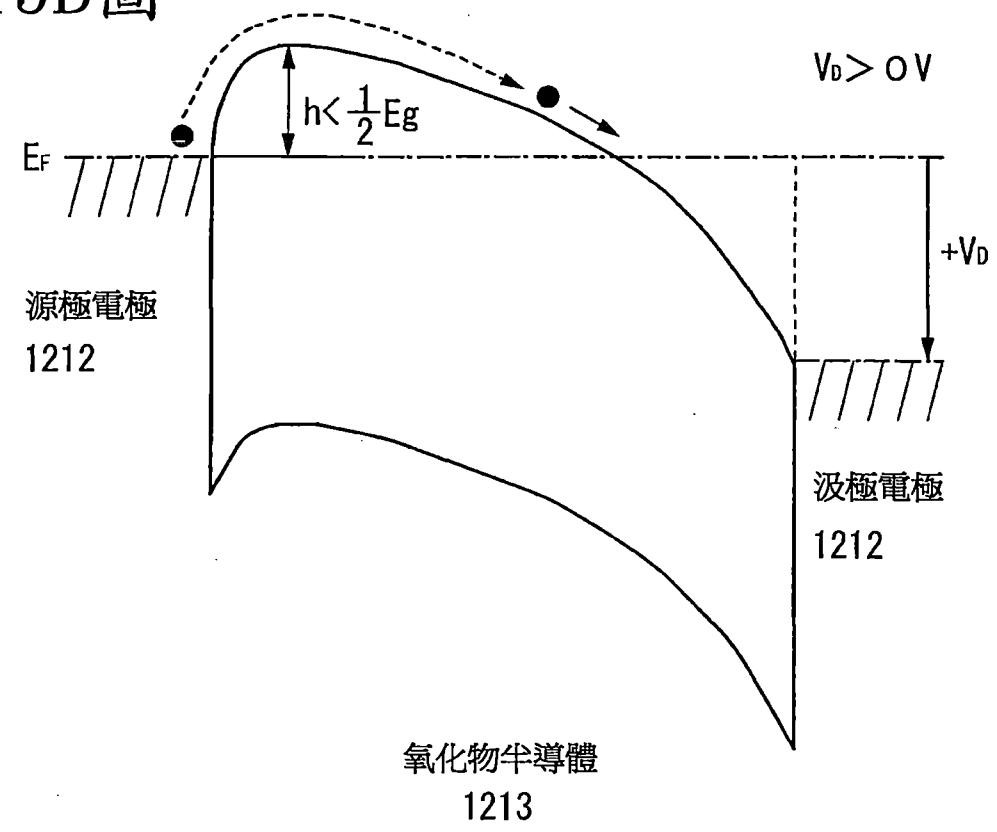
第14圖



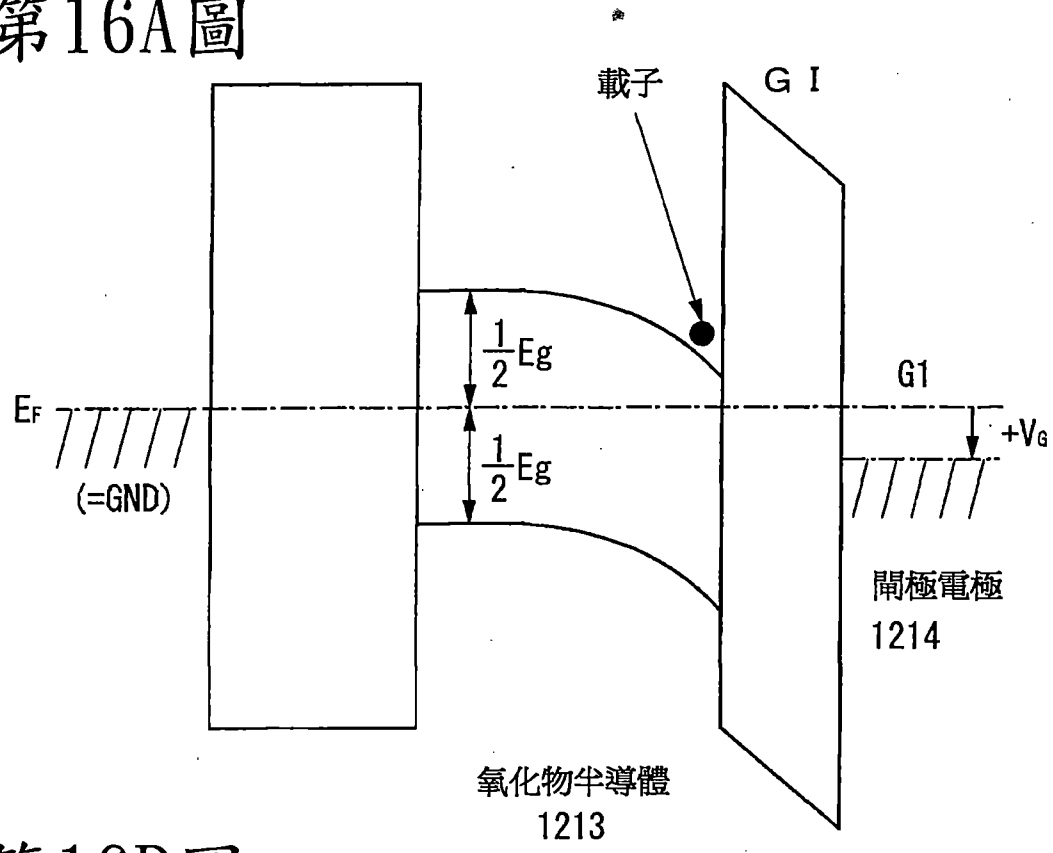
第15A圖



第15B圖



第16A圖



第16B圖

