

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4386725号
(P4386725)

(45) 発行日 平成21年12月16日 (2009.12.16)

(24) 登録日 平成21年10月9日 (2009.10.9)

(51) Int. Cl.	F I
H03K 23/64 (2006.01)	H03K 23/64 F
H03L 7/197 (2006.01)	H03L 7/18 A
H04B 1/04 (2006.01)	H04B 1/04 H

請求項の数 13 (全 16 頁)

(21) 出願番号 特願2003-524117 (P2003-524117)
 (86) (22) 出願日 平成14年8月22日 (2002.8.22)
 (65) 公表番号 特表2005-508108 (P2005-508108A)
 (43) 公表日 平成17年3月24日 (2005.3.24)
 (86) 国際出願番号 PCT/IB2002/003444
 (87) 国際公開番号 W02003/019781
 (87) 国際公開日 平成15年3月6日 (2003.3.6)
 審査請求日 平成17年8月19日 (2005.8.19)
 (31) 優先権主張番号 01120554.9
 (32) 優先日 平成13年8月29日 (2001.8.29)
 (33) 優先権主張国 欧州特許庁 (EP)

前置審査

(73) 特許権者 507219491
 エヌエックスピー ビー ヴィ
 NXP B. V.
 オランダ国 5656エイジー アインド
 ーフェン ハイ テク キャンパス 60
 High Tech Campus 60
 , NL-5656 AG Eindhoven,
 Netherlands
 (74) 代理人 100147485
 弁理士 杉村 憲司
 (74) 代理人 100134005
 弁理士 澤田 達也
 (74) 代理人 100153017
 弁理士 大倉 昭人

最終頁に続く

(54) 【発明の名称】 低減されたジッタを備える改良された分周器及びそれに基づく送信器

(57) 【特許請求の範囲】

【請求項 1】

入力信号の周波数よりも低い周波数を有する出力信号を生成するための装置であって、
 前記装置は、分周セルのチェーンを有し、前記分周セルの各々は、設定可能な分周比を有
 すると共に、

入力クロックを受信するためのクロック入力部と、

後続する分周セルに出力クロックをもたらしするための分周クロック出力部と、

前記後続する分周セルからモード制御入力信号を受信するためのモード制御入力部と、

先行する分周セルにモード制御出力信号をもたらしするためのモード制御出力部と

を有し、

前記装置は、m入力部を有する論理ネットワークを更に有し、前記m入力部の各々は、
 前記分周セルのチェーンのm個の連続した分周セルのうちの一つのモード制御入力部に接
 続され、前記出力信号は、前記論理ネットワークの出力部で生成され、前記出力信号は、
 前記論理ネットワークの前記m入力部における前記モード制御入力信号のうちの最も広い
 パルス幅よりも広いパルス幅を有し、

前記論理ネットワークは、

前記m個の連続した分周セルのうちの一つの第一のモード制御入力部における信号の立
 上りエッジが、前記出力信号の立上りエッジをトリガし、

前記m個の連続した分周セルのうちの一つの第二のモード制御入力部における信号の立
 上りエッジが、前記出力信号の立下りエッジをトリガする

10

20

ように設計され、

前記第一のモード制御入力部における前記信号を、前記 m 個の連続した分周セルそれぞれのモード制御入力部における信号の中で、最小のジッタを有するものとしたものである装置。

【請求項 2】

前記 m = 2 となる請求項 1 に記載の装置。

【請求項 3】

前記論理ネットワークは、論理和ゲート又は否定論理和ゲートを有する請求項 1 又は 2 に記載の装置。

【請求項 4】

前記論理ネットワークが、コンバータ、インバータ、リクロックユニット、及び否定論理和ゲートを有する請求項 1 又は 2 に記載の装置。

【請求項 5】

前記分周セルが 2 / 3 分周セルであり、前記分周比が 2 と 3 との間で切り換えられ得る請求項 1 乃至 4 の何れか一項に記載の装置。

【請求項 6】

カレントモードロジックで実現されるラッチを有する請求項 1 乃至 5 の何れか一項に記載の装置。

【請求項 7】

前記分周セルのチェーンの各々の分周セルが、前記モード制御入力信号と共に前記分周セルの前記分周比が切り換えられることを可能にするバイナリコードワードの使用のためのプログラミング入力端子を有する請求項 1 乃至 6 の何れか一項に記載の装置。

【請求項 8】

前記分周セルのチェーンが、ジッパ分周器アーキテクチャによって実現される請求項 1 乃至 7 の何れか一項に記載の装置。

【請求項 9】

特に C M O S 技術で実現される送信器であって、

チャンネルに渡って前記送信器によって送信されるべきデータのための第一のデータ入力部と、

搬送波周波数が、前記搬送波周波数を決定するデータをもたらしことによって供給されることを可能にする第二のデータ入力部と、

前記搬送波周波数を決定するデータと前記送信されるべきデータとを加算することによって変調データをもたらし加算器と、

自身の出力部において出力信号をもたらし論理ネットワークを備えるジッパ分周器と、モード制御入力信号と共に前記ジッパ分周器の前記実際の分周比が切り換えられることを可能にするバイナリコードワードを生成するために前記変調データを処理する Σ / Δ 変調器と、

基準信号及び前記出力信号を処理する位相周波数検出器と、

前記位相周波数検出器の後に位置されるループフィルタと、

前記送信されるべきデータで周波数変調される前記搬送波周波数によって規定される出力信号をもたらし、前記ループフィルタに後続する電圧制御発振器とを有し、

前記論理ネットワークは、

m 個の連続した分周セルのうちの一つの第一のモード制御入力部における信号の立上りエッジが、前記出力信号の立上りエッジをトリガし、

前記 m 個の連続した分周セルのうちの一つの第二のモード制御入力部における信号の立上りエッジが、前記出力信号の立下りエッジをトリガする

ように設計され、

前記第一のモード制御入力部における前記信号を、前記 m 個の連続した分周セルそれぞれのモード制御入力部における信号の中で、最小のジッタを有するものとしたものである

10

20

30

40

50

送信器。

【請求項 10】

前記ジッパ分周器、前記論理ネットワーク、前記位相周波数検出器、及び前記電圧制御発振器が、位相同期ループを形成する請求項 9 に記載の送信器。

【請求項 11】

前記 Σ / Δ 変調器は、前記基準信号がもたらされる入力部を有する請求項 9 又は 10 に記載の送信器。

【請求項 12】

前記論理ネットワークが、論理和ゲート又は否定論理和ゲートを有する請求項 9 乃至 11 の何れか一項に記載の送信器。

10

【請求項 13】

前記送信器がフラクショナル NPLL 送信器である請求項 9 乃至 12 の何れか一項に記載の送信器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、分周のための分周器 (frequency divider) 及び装置に関する。更に特に、本発明は、特に高周波信号送信のための送信器における使用によく適しているジッパ分周器アーキテクチャに基づく分周器アーキテクチャ及び回路技術に関する。変調器を有さない送信器にも関する。

20

【背景技術】

【0002】

近年、標準的な相補型金属酸化膜半導体 (complementary metal oxide semiconductor (CMOS)) でのワンチップトランシーバに対する高周波 (RF) 設計において多大な取り組みがなされてきた。特に、送信器における主要なビルディングブロック (key building block) のうちの一つである周波数シンセサイザ (frequency synthesizer) 及び分周器の CMOS による実現には多くの関心が払われてきた。この場合最も注目されるべきトレンドは、ジッパ分周器アーキテクチャ及びいわゆるカレントモードロジック (CML (current-mode logic)) にある。

30

【0003】

知られているジッパ分周器は、同じ回路の 2/3 分周セル (divider-by-2/3 cell) のチェーンから構成されている。五つの端子 11 乃至 15、すなわちクロック入力部 (clock input) (CKin) 11、分周クロック出力部 (divided clock output) (CKout) 12、モード制御入力部 (mode control input) (MDin) 13、モード制御出力部 (mode control output) (MDout) 14、及びプログラミング入力部 (programming input) (P) 15 を有する従来の 2/3 分周セル 10 が図 1 に示されている。各々の 2/3 分周セル 10 は、二つの回路ブロックから構成されている。すなわち、2 又は 3 の何れかによって分周するプリスケアラ論理ブロック (prescaler logic block) 16 は、エンドオブサイクル論理部 (end-of-cycle logic) 17 と称される他のブロックによって生成されるスワロー信号 (SW (swallow signal)) によって制御される。プログラミングビット $P = 0$ ($MDin = 1$ 又は $MDin = 0$ の場合) がプログラミング入力部 15 に入力されると、セル 10 は 2 分周し、 $P = 1$ 且つ $MDin = 1$ のとき、セル 10 は 3 分周する。

40

【0004】

2/3 分周セルは通常 CML で実現される。基本の CML 論理回路は、複数のスタックド差動対 (stacked differential pair) と、二つの抵抗性又は能動負荷 (resistive or active load) と、一つのテール電流源 (tail current source) とを有する。CML により実現された

50

ジッパ分周器に関する更なる詳細については、1999年発行のC. Vaucher氏及びZ. Wang氏による“標準CMOS技術による低電力純正モジュール方式1.8GHzプログラマブル分周器(A low-power truly-modular 1.8GHz programmable divider in standard CMOS technology)”(ESSCIR'99、406乃至409頁)と、2000年発行のC. Vaucher氏、I. Ferencic氏、M. Locher氏、S. Sedvallson氏、U. Voegeli氏、及びZ. Wang氏による“標準0.35μm CMOS技術による低電力純正モジュール方式プログラマブル分周器ファミリ(A family of low-power truly modular programmable dividers in standard 0.35μm CMOS technology)”(IEEE J. Solid-State Circuits SC-35, No. 7、1039乃至1045頁)とに記載される。

【0005】

入力ラッチ27及び六つの2/3分周セル21乃至26のチェーンを有する知られている分周器20の例が図2Aに示されている。CMOSで実現される場合、分周器20はGHzの帯域における入力クロック周波数(CK1)で動作し得る。図2Bは、分周器20の端子の信号を示している。クロック入力及びクロック出力信号(CK1乃至CK7)の振幅は図2Bの左側にプロットで示されており、モード信号(MD1乃至MD6)はCK1と共に右側に示されている。分周器20はCMLで実現されるため、クロック入力及びクロック出力信号(CK1乃至CK7)は、本例において、-500mVと500mVとの間(ピークトゥピーク(peak-to-peak))の範囲を有している。本例において、ほとんどの期間の間、セル21乃至26は自身の各々の入力クロックを2分周する。分周比が3である場合、図2Bの左側に示されているようにパルス幅はより広くなる。信号CK3の場合、例えば時点t1及びt2において分周比は3となる。このことは、バイナリワード(binary word)P=111111が入力ラッチ27のプログラミング入力(P0乃至P5)に入力されるという事実による。プログラミング入力部が常に論理“1”となっている場合、個々のセル21乃至26の分周比は、先行するセルに対して後続するセルによって発行(issue)されるモード制御信号(MD)によってのみ決定される。

【0006】

低電力用途の場合、消費電力を50%まで低減させ得る分周器アーキテクチャが、“低減された消費電力を有する改良された分周器、それに基づく装置、及び電力効率的な分周器のための方法(Improved frequency divider with reduced power consumption, apparatus based thereon, and method for power efficient frequency division)”という名称の同時係属中の特許出願において提案されている。2000年12月22日に出願された当該同時係属中の特許出願は、現在本特許出願の譲受人(assignee)にもたらされている。出願番号第00128322.5号が割り当てられている。

【0007】

二重リクロック(二重再クロック)機能(double-reclocking)を備える新規な分周器アーキテクチャ及び新規なリクロック機能が、“低減されたジッタを有する改良された分周器及びそれに基づく装置”という名称の同時係属中の特許出願において記載されている。2001年5月17日に出願された当該同時係属中の特許出願は、現在本特許出願の譲受人にもたらされている。出願番号第01112125.8号が割り当てられている。当該特許出願に記載されている新規なアーキテクチャ及び技術は、知られているジッパ分周器アーキテクチャに基づいている。

【0008】

変調器31は、長い間送信器30の不可欠のコンポーネントであった。当該変調器は、図3に示されているように、送信されるべきデータによって搬送波周波数(キャリア周波

10

20

30

40

50

数) (carrier frequency) を変調し、前記搬送波周波数 (fo) は位相同期ループ (フェーズロックドループ) (phase-locked-loop (PLL)) 32 によって生成される。

【0009】

対照的に、最新の送信器 40 は、搬送波周波数の生成のためだけでなく変調のために PLL 41 が使用されるフラクショナル N (N 分数) PLL 送信器 (fraction-PLL transmitter) を利用する傾向にある。図 4 に示されているように、送信器 40 において、従来のアナログ変調器は、シグマ/デルタ (Σ/Δ) 変調器 43 及び加算器 42 によって置換される。両方は好ましくはデジタルである。

【0010】

フラクショナル N 分周器 (fraction-N divider) は送信器 40 において主要なコンポーネントである。当該分周器は、位相誤差 (phase error) をランダム化 (random) すると共に DR を制御する Σ/Δ 変調器 43 と、整数分周比 (DR) を備える分周器 44 とを有している。分周器 44 の制御データ (Pi) は、送信されるべきデータと分周器 44 の比を制御する搬送波周波数 (fo) との両方の情報を含んでいる。

【0011】

GHz の帯域及びそれより高い帯域において、前述のジッパ分周器アーキテクチャ及び CML 技術は、低電力に対する第一の選択となる。分周器 44 がジッパアーキテクチャ及び CML 技術で実現され得る場合、図 4 の送信器 40 の様々な部分が接続されているとい

【0012】

たとえわずかなジッタを前記回路にもたらすだけでも、タイミング特性及び周波数スペクトラムにおいて劇的な変化がもたらされ、その結果、より低い信号対雑音比 (signal-to-noise ratio)、増大されたビットエラーレート (bit error rate)、及び隣接するチャネルに対するより高い干渉 (interference) がもたらされるため、ジッタは例えば送信器及び分周器における主要な問題となる。ゼロクロス (zero-crossing) は、スイッチング時点 (switching instant) における何れかの不定状態 (uncertainty) がエラーをもたらすという情報をしばしば含んでいるため、ジッタはクロック及びサンプルデータシステム (clocked and sampled-data system) においても重要となる。

【0013】

これまで、CML によるジッパ分周器回路が設計される際、及び当該ジッパ分周器を使用する送信器が設計される際、出力パルス幅及びジッタは特に慎重に考慮されてこなかった。

【発明の開示】

【発明が解決しようとする課題】

【0014】

従って本発明の目的は、現状の分周器回路及び送信器を改良することにある。

【0015】

本発明の他の目的は、低減又は除去された出力ジッタを備える分周器を提供することにある。

【0016】

本発明の他の目的は、送信器の一部である位相周波数検出器 (phase frequency detector) に適切に供給するのに十分な広さである出力パルス幅を備える分周器を提供すること、タイミング制約を特定すること、及び前記問題に対処する簡単な手段を示すことにある。

【課題を解決するための手段】

【0017】

論理ネットワークを備える新規な分周器アーキテクチャがこの場合示される。新規なアーキテクチャ及び技術は知られているジッパ分周器アーキテクチャに基づいている。これにより、所望のパルス幅及び低ジッタを有する出力信号がもたらされ得る。

【0018】

本発明による装置が請求項1に記載されている。

【0019】

様々な有利な実施例が請求項2乃至9に記載されている。

【0020】

本発明による装置は、変調器が必要とされることのない、送信器における使用に特によく適している。本発明による送信器は、請求項10に記載されている。

【0021】

送信器の様々な有利な実施例が請求項11乃至16に記載されている。

【0022】

ここにもたらされる分周器アーキテクチャにより、異なる種類の回路、特にジッパ分周器回路のような非同期回路のジッタが低減され得るか除去され得る。本発明によるデバイスは非常に効果的であると共にロバストである。

【0023】

最良の特性を達成させるために様々な実施例がこの場合提案される。

【0024】

ここに記載されている実施例の最も顕著な利点は、搬送波(carrier)に近い非常に低いレベルの位相雑音を備える、比較的スプリアスのない出力スペクトラム(spurious free output spectrum)及び製造コストのかなりの低減を含んでいることにある。

【0025】

本発明によるフラクショナルNPLL送信器は、トランシーバ及び他のデバイスにおける使用によく適している。

【0026】

本発明の他の利点は、詳細な実施例に関して説明される。

【0027】

本発明の更なる完全な記載、及びその更なる目的及び利点に対して、添付図面と共に以下の記載が参照される。

【発明を実施するための最良の形態】

【0028】

簡略化のため、様々な図におけるある一定の信号線(signal line)はシングルエンド(single end)の信号線として示されている。実際、多くの信号は差動(differential)である。このことは、実際二つの信号線がもたらされていることを意味する。他の信号は、あるビット幅(bit wide)を持つデジタル信号であってもよい。本発明の更なる理解のために必要な場合、デジタル信号の幅が示される。示された信号幅は用途/実施例で特定される。

【0029】

分周器の出力信号(fdiv)のパルス幅とジッタ(jitter)とは二つの相反する事項である。分周器が使用される回路に依存して、出力信号(fdiv)のジッタとパルス幅とが考慮されるべきである。

【0030】

ジッパ分周器(ジッパディバイダ(zipper divider))の場合、例えば図2Bから明らかに理解されるように、これら全ては、同じ周波数であるが異なるパルス幅を有するため、MDiの間の何れの信号も出力としての役割を果たす。示されている波形において現れていないが、異なる大きさの関連するジッタももたらされる。MDiのパ

10

20

30

40

50

ルス幅はインデックス i で変わるので、要求仕様を満たすのに十分な MD_i のパルス幅を選択することが可能である。しかしながら、低電力の場合、消費電流はセル毎に低減され、同時に分周器セルの利得を保持するために負荷抵抗 (load resistance) は増大される。従って、 MD_i のパルス幅が広がるほど、関連するジッタは大きくなるであろう。更に、この種の分周器の非同期特性 (asynchronous nature) のために、ジッタはセル毎に信号経路に沿って蓄積される。それ故に MD_1 乃至 MD_6 の間で、 MD_1 における信号は最も小さなジッタを有するが、都合の悪いことに最も狭いパルス幅を有する。 MD_6 における信号は最も広いパルス幅を有するが、最も大きなジッタを有する。このため、より広い出力パルス幅とより低い出力ジッタとは、設計上相反する事項となる。

10

【0031】

ここに提案されていると共に記載されている解決策により、可能な最も低いジッタを備える所望のパルス幅が生成され得る。本発明によればこのことは、適切な論理回路によって、 MD_1 を含む複数の連続した MD_i 信号を組み合わせてることにより実現される。好ましくは、論理和 (OR) ゲートが論理回路として使用される。

【0032】

図5は、本発明による第一の分周器50を示している。当該分周器は、本例において、チェーンの六つの2/3分周セル51乃至56を有している。分周器50は、セル51の入力部 (CK1) 57に入力される入力信号 (fvc) の周波数よりも低い周波数を有する出力信号 (fdi) を生成する。分周器セル51乃至56は、予め規定された分周比 (division ratio) (N) を有している。本例において、前記セルは、 $N=2$ 又は $N=3$ となる2/3分周セルである。セル51乃至56の各々は、五つの端子 (terminal) を有している。チェーンの第一のセル51において四つの端子しか使用されていないことは注意される。第一の端子は、入力クロック (CKin) を受信するためのクロック入力部としての役割を果たし、ある一つの端子は、後続する分周セルに出力クロック (CKout) を供給するための分周クロック出力部 (divided clock output) であり、ある一つの端子は、後続する分周セルからモード制御入力信号 (MDin) を受信するためのモード制御入力部 (mode control input) であり、端子のうちの他の一つは、先行する分周セルにモード制御出力信号 (MDout) を供給するためのモード制御出力部である。本例において、入力クロック信号 fvc は、第一のセル51の端子 (CK1) 57に入力される。当該入力信号 fvc は、入力信号 fvc よりも低い周波数を有する出力信号 fdi を生成するために処理される。

20

30

【0033】

本発明によれば、分周器50は、モード制御入力部における複数の信号を組み合わせてための論理ネットワークを更に有する。本例において、論理ネットワークは、m入力部 (本実施例においては $m=4$) を持つ論理和ゲート58を有する。m入力部の各々は、m個の連続した分周セル51、52、53、及び54のうちの一つのモード制御入力部 MD_1 、 MD_2 、 MD_3 、及び MD_4 に接続される。 MD_1 を含む複数の連続した MD_i 信号 (MD_1 、 MD_2 、 MD_3 、及び MD_4) は、論理和ゲート58によって組み合わせられる。出力信号 (fdi) は、論理和ゲート58の出力部59においてもたらされる。出力部59における出力信号 (fdi) は、論理和ゲート58のm入力部におけるモード制御入力信号 MD_1 、 MD_2 、 MD_3 、又は MD_4 の何れかのうちの最も広いパルス幅よりも広いパルス幅 $\tau_{1,4}$ を有する。図5の6段のジッパ分周器50の第一の MD_1 乃至 MD_i 信号の論理和をとることによって、もたらされるパルス幅 $\tau_{1,4}$ は論理和ゲートのm個の入力信号の何れよりも広くなる。

40

【0034】

図6の上部において、 $i=1$ 乃至6の場合の分周器50の MD_i 信号が示されている。図6の下部において、出力信号 (fdi) 60が示されている。出力信号 (fdi) 60のパルス幅 $\tau_{1,4}$ は、信号 MD_1 、 MD_2 、 MD_3 、又は MD_4 の何れのパルスの

50

幅よりも広い。

【0035】

他の出力信号 (f d i v) 6 1 が図 6 の下部に示されている。出力信号 (f d i v) 6 1 のパルス幅 $\tau_{1,5}$ は、信号 M D 1、M D 2、M D 3、M D 4、又は M D 5 の何れのパルスの幅よりも広い。出力信号 (f d i v) 6 1 は、例えば M D 1 乃至 M D 5 における信号を五つの入力部を備える論理和ゲートに入力することによってもたらされ得る。

【0036】

適切な等式を使用して、図 6 に示されている種類の装置の場合、もたらされるパルス幅は入力信号の何れのパルス幅よりも広いことが示され得る。この結果から、以下に示されるように、更なる実施例の設計がもたらされる。信号 M D i の何れかの組み合わせからもたらされる出力信号 (f d i v) のパルス幅が計算され得る。図 6 は、各々が異なるパルス幅 $\tau_{1,4}$ 及び $\tau_{1,5}$ を備える二つの例を示している。

【0037】

出力信号 f d i v のパルス幅 $\tau_{1,x}$ は分周器の分周比 (D R) に依存している。n 段のジッパ分周器の場合、D R の可能な範囲は、 $y_{min} = 2^n$ 及び $y_{max} = 2^{n+1} - 1$ である。ここで y は分周比である。

【0038】

本発明によれば、送信器 7 0 が図 7 に示されている。本例において、送信器 7 0 は C M O S 技術で実現される。当該送信器は、チャンネル 7 2 に渡って送信器 7 0 によって送信されるべきデータのための第一のデータ入力部 7 1 を有している。第二のデータ入力部 7 3 が設けられる。第二のデータ入力部 7 3 にもたらされるデータにより、搬送波周波数 (c a r r i e r f r e q u e n c y) (f 0) が選択され得る。第一のデータ入力部 7 1 及び第二のデータ入力部 7 3 は、送信されるべきデータと搬送波周波数 (f 0) を識別するデータとを加算することによってディジタル信号 (この場合変調データ (m o d u l a t i n g d a t a) と称される) を供給する加算器 (a d d e r) 7 4 にもたらされる。本実施例において、変調データは 16 ビット幅 (16 b i t w i d e) である。当該データは、ディジタル信号を処理して、モード制御入力信号 (M D i n) と共にジッパ分周器 7 7 の実際の分周比 (N) がスイッチされることを可能にするバイナリコードワード (b i n a r y c o d e w o r d) (P i) を生成する Σ / Δ 変調器 ($\Sigma / \Delta m o d u l a t o r$) 7 6 (S / D 変調器とも称される) の入力部 7 5 に入力される。ジッパ分周器 7 7 は、 Σ / Δ 変調器 7 6 と共に、フラクショナル N 分周器を構成する整数分周比 (i n t e g e r d i v i s i o n r a t i o) を可能にする。本実施例において、ジッパ分周器 7 7 は六つの 2 / 3 分周セル (図 7 に示されていない) を有しているため、バイナリコードワード (P i) は 6 ビット幅である。ジッパ分周器 7 7 は、自身の出力部 7 9 において出力信号 (f d i v) をもたらず論理ネットワーク (r o g i c n e t w o r k) に接続されている。本実施例において、論理ネットワークは論理和ゲート 7 8 を有している。送信器 7 0 は、基準 (参照) 信号 (r e f e r e n c e s i g n a l) (f r e f) 及び出力信号 (f d i v) を処理するための位相周波数検出器 ((P F D) p h a s e f r e q u e n c y d e t e c t o r) 8 0 を更に有している。位相周波数検出器 (P F D) 8 0 は、P L L フィードバック信号 (P L L f e e d b a c k s i g n a l) f d i v と入力信号 f r e f とを比較することによって出力部 8 6 に誤差信号 (e r r o r s i g n a l) を生成する。

【0039】

本実施例において、位相周波数検出器 (P F D) 8 0 は、電圧制御発振器 (V C O (v o l t a g e c o n t r o l l e d o s c i l l a t o r)) 8 2 及びループフィルタ (l o o p f i l t e r) 8 1 によって後続される。電圧制御発振器 (V C O) 8 2 は、出力部 8 3 に出力信号 (f v c o) をもたらず。入力部 7 5 における入力データは、ジッパ分周器 7 7 の比 (m o d u l u s) 制御する搬送波周波数 (f 0) と通信チャンネル 7 2 を介して送信されるべき信号との情報 (入力データ) を含んでいる。結果として、電圧制御発振器 (V C O) 8 2 の出力部 8 3 における出力信号 f v c o は、所望の搬送波周

10

20

30

40

50

波数 (f_0) における変調高周波信号 (modulated radio-frequency (RF) signal) である。送信器 70 は、変調高周波 (RF) 信号がチャネル 72 に放射されるアンテナ 85 及びパワーアンプ (power amplifier (PA)) 84 を更に有している。出力部 83 における VCO 82 出力信号 f_{vco} は、PLL フィードバック信号 f_{div} を生成するために使用される。このため、出力信号 f_{vco} は、ジッタ分周器 77 の入力部 87 に入力される。

【 0040 】

通常の場合、基準周波数が一定に保たれると、 y を変化させることにより、 y に比例した VCO 周波数がもたらされる。従って、 $i = n$ の場合、出力信号 (f_{div}) の可能な最小出力パルス幅は、1 又は $0.5 f_{ref}$ (基準周波数 f_{ref} の半分の周期) にほぼ等しく、実現可能な最大出力パルス幅 $y = y_{min}$ は、 f_{ref} の周期に近づく。

10

【 0041 】

分周器 77 の出力信号 (f_{div}) が位相周波数検出器 (PFD) 80 に入力されるとき、PFD 80 はある応答期間を必要とする。PFD 80 の適切な動作のために、入力部 79 における入力パルス幅は狭すぎではない。他方、出力ジッタは最小限化されなければならない。通常の場合、PFD 80 がエッジトリガ (edge trigger) であるとき、トリガされるエッジにおけるジッタは考慮されるべきである。二つの入力信号 f_{ref} (安定な基準信号) 及び PFD 80 の f_{div} が同じデューティサイクル (duty cycle) を有する必要はない。

20

【 0042 】

より広いパルス幅を生成する上記提案の回路技術、例えば $i = 4$ の場合、図 5 に示されている例、又は $i = 5$ の場合、図 7 に示されている例は、非常に簡単且つロバストであり、出力信号 f_{div} は、連続した MDi 信号の間のオーバーラップのためにグリッチ (glitch) (誤り) がない。論理和ゲート 78 においてモード制御入力 (MDi) 信号を組み合わせるとき MD1 が含まれるため、論理和ゲート 78 が低いジッタ設計である場合、立下りエッジにおいて可能な最も低いジッタがもたらされ得る。同様に、否定論理和 (NOR-gate) で論理和ゲート 78 を置換することによって論理ネットワークを修正することにより、立上りエッジにおいて可能な最も低いジッタがもたらされる。

【 0043 】

本発明によれば、PLL における分周器の適切な動作のために、特にフラクショナル N 分周比の場合、分周器 77 が正確に Σ/Δ 変調器 76 の制御のもとで分周することは最も重要なことである。分周器 77 の分周比がデータ P_i によって制御されるので、データ P_i に対するタイミング制約を認識することは極めて重要なことになる。

30

【 0044 】

複雑且つ冗長なタイミング解析を避けるために、この場合代わりのアプローチがとられる。簡略化及び明確化のために、分周比は整数であると共に定数である最も簡単な場合がまず考慮され得る。この解析の結果は図 8 に示されている。ジッタ分周器 77 の設計から結論付けられ得ることに、正確な動作のために、制御ビット P_0 乃至 P_5 は、図 8 に示されているように期間インターバル T_x の間のみで変化することが可能とされ、出力サイクル T_o の残りの期間の間、安定であると共に変化しない状態が保持されなければならない。制御ビット P_i のタイミングについての理解を深めるために、次に f_{ref}/f_{div} と P_i との間のどのタイミング関係は必要とされるかが考慮され得る。本実施例の場合、立下りエッジにおいて f_{div} と f_{ref} との間の位相差を検出 (sense) するために PFD 80 が必要とされると、 f_{div} の立下りエッジは MD1 から直接もたらされるエッジとなるべきである。このことは、破線 90 によって図 8 に示されている。

40

【 0045 】

PLL がロック (lock) されると、PFD 80 の入力信号 f_{div} と f_{ref} との両方は同じ周波数及び同じ位相を有し、 f_{ref} 及び f_{div} の立下りエッジ 91 及び 92 は一定の分周比に対して調整 (align) されるであろう。制御データ P_i は Σ/Δ 変調器 76 によってもたらされ、 Σ/Δ 変調器 76 は f_{ref} でクロックされる (クロッ

50

クがもたらされる)ため(図7参照)、ノイズ及び電波障害(d i s t u r b a n c e)を最小限化するために、立上りエッジで動作するΣ/Δ変調器76及び他のデジタル回路を有することは好ましい。

【0046】

P iに対するタイミング制約についての先行する議論に基づいて、図8に示されているように、f r e fの立上りエッジの所要の位置が導き出され得る。それ故に、f r e fの最小デューティサイクルは50%よりも大きくななければならない。必要とされるデューティサイクルΩは量的に以下のように表現され得る。

$$\Omega = (T_o - T_x) / T_o = 47 / \gamma$$

【0047】

必要とされるデューティサイクルΩは、分周比γに依存している。γ = γ_{min} = 64の場合、前記等式によるデューティサイクルは73.44%より大きくななければならない。この状態は図8に示されている。

【0048】

實際上ほとんど全ての用途において50%デューティサイクルが使用されるため、可能ならば、50%以外の普通でないデューティサイクル(e x o t i c d u t y c y c l e)は避けられなければならない。50%デューティサイクルを備える基準クロックf r e fを可能にするために、信号f d i vの立下りエッジ91はMD4の立上りエッジの近くに再配置(r e p o s i t i o n)されなければならないことが分かっている。このため、Σ/Δ変調器76から立上りエッジで制御データP iをクロックする(P iにクロックをもたらす)と共に基準クロックf r e fに対して50%デューティサイクルを維持するために、出力パルスのf d i vは上記提案のようにもはや生成され得ない。しかしながら、図9に示されているように、MD5からの立上りエッジ103、及びMD4の立上りエッジ102から信号f d i vの立下りエッジ101がもたらされ得る。それ故に、以下のパルス幅を備える出力信号f d i vがもたらされる。

$$\tau = \tau_{1,5} - \tau_{1,4} = 24 / (f r e f \tau)$$

【0049】

ここでもパルス幅は分周比に依存している。f r e f = 26MHz且つ127の最大分周比の場合、可能な最小出力パルス幅は、この場合7.268nsである。

【0050】

上記実施例の場合、基準クロックf r e fに対する50%デューティサイクル及び必要とされる最小パルス幅は全て満たされている。不都合なことに、信号MD4があまりに大きなジッタを含んでいるため、フラクショナルNPLL送信器70によってもたらされる低レベルの位相雑音という利点は害される。

【0051】

“低減されたジッタを有する改良された分周器及びそれに基づく装置(Improved frequency divider with reduced jitter and apparatus based thereon)”という名称の上記の同時係属中の特許出願において、当該ジッタをなくす回路が提案されている。当該同時係属中の特許出願による回路は、本発明に記載の実施例と組み合わせられ得る。

【0052】

制御ビットP iと分周出力サイクルf d i vとの間の位相合わせ不良(m i s a l i g n m e n t)は、起こり得る問題であり、これにより、出力部83において誤ったVCO周波数f v c oがもたらされ、更に深刻なことに、PLLがロックしないという事態さえもたらされ得る。ロックされた状態に先行して、信号f r e f及びf d i vは異なる周波数及び位相を有する。制御ビットP iは、立上りエッジでクロックにより出力されるため、及びフラクショナルN分周のため、取得プロセスの間に、制御ビットP iがジッパ分周器77の信号f d i vの出力サイクルで誤って調整されるという事態が起こり得る。これにより、図10に示されているように、一つの出力サイクルT_o内に二つの連続した分周比が誤ってジッパ分周器77にもたらされるという深刻な状態がもたらされる。このため

10

20

30

40

50

、このサイクル T_o 内でジッパ分周器77は、二つの異なる分周比で分周する。すなわち、第一の部分は分周比 $i - 104$ によって分周され、残りの部分は分周比 $i + 1 - 105$ によって分周される。

【0053】

明らかなことに、このことが起きることは防止されるべきである。

【0054】

二つの異なる分周比を伴う当該問題を解決するための簡単な方法は、 n ビット入力ラッチ又は $dFF(n\text{-bit input latch}/dFF)$ を追加し、 f_{ref} ではなく分周器出力 f_{div} で同期されている信号によって当該ラッチ又は dFF がクロックされるようにすることである。当該クロック信号は、図9及び11においてMD5から直接もたらされる負荷信号($load\ signal$)106として設計される。 Σ/Δ 変調器76からもたらされるデータ D_i は、この場合 P_i として入力ラッチ又は dFF から信号負荷106の立上りエッジでクロックされる。

【0055】

適切な動作のために、使用される入力ラッチ又は dFF のホールドタイム($hold\ time$)及びセットアップタイム($set\text{-}up\ time$) t_{su} が考慮されなければならない。図9における提案された解決策により、 f_{ref} に対して50%デューティサイクルが可能となり、可能なセットアップタイムは、 $t_{su} = (y/2 - 24) / (f_{ref}y)$ によってもたらされ、ここでも分周比に依存している。分周器77が自身の最小分周比(本実施例の場合、76)で分周するとき、最小可能セットアップタイム t_{su} がもたらされる。 $f_{ref} = 26\text{ MHz}$ の場合、十分すぎるマージンを示す 7.1 ns がもたらされる。可能なホールドタイムは $T_o - t_{su}$ に等しい。これは十分に長いので全く問題をもたさない。

【0056】

フラクショナル N 分周比はいくつかの暗示的な事項を含んでいる。上記議論において、一定の分周比が仮定されている。しかしながら、フラクショナル $NPLL$ の場合、 Σ/Δ 変調器76の制御下にある、必要とされる分周比は変化し続ける。最悪の場合、分周比は、出力サイクル T_o 毎に変化し得る。全ての可能な分周比の組み合わせに対するタイミング解析は、非常に複雑且つ冗長となり、切迫した市場投入までの期間($time\text{-}to\text{-}market$)のために不可能とさえなるため、詳細な解析は避けられる。

【0057】

代わりに、以下のアプローチがとられる。まず、上記でなされたように、一定の分周比が仮定され、初期設計は可能な限り多くのマージンを持つようになされる。それから、 PLL 内に、設計された分周器77がシミュレーションによって最悪条件($worst\ case$)下でチェックされる。分周器77は全ての可能な分周比をカバーし得ると共に、分周比は出力サイクル毎に変化する。全てのサイクルで、設計された分周器は設定された分周比($set\ division\ ratio$)に確かに分周していることが保証されると共にチェックされなければならない。

【0058】

本発明による他の分周器120が図11に示されている。当該実施例は、図9のタイミング図に基づいている。本実施例において、複数のモード制御信号 MD_i を組み合わせるための論理ネットワーク138は複数の構成要素又はコンポーネントを有している。ほとんどの場合、 $PDF121$ はフル振幅論理 $dFF(full\text{-}swing\ logic\ dFF)$ から構成されるため、論理ネットワーク138は、小振幅且つ差動の MD_i 信号をフル振幅(レールトゥーレール($rail\text{-}to\text{-}rail$))信号に変換するためのインタフェースとして二つのコンバータ122及び123を有している。第一のコンバータ123は、 $MD5$ の信号を反転するためのインバータ136によって後続されている。更に、論理ネットワーク138は、 f_{vco} 及び信号 $CK3$ によってクロックされるリクロックユニット(リクロックユニット)($reclocking\ unit$)135と、排他的論理和ゲート($XOR\text{-}gate$)134とを有している。出力信号 f_{div} は、

否定論理和ゲート134の出力部にもたらされる。MD5の立上りエッジ103がfdivの立上りエッジ107をもたす態様、及びMD4の立上りエッジ102がfdivの立下りエッジ101をもたす態様で、信号fdivは生成される。本実施例に適用されるリクロック技術に関する更なる詳細については、“低減されたジッタを有する改良された分周器及びそれに基づく装置”という名称の同時係属中の特許出願において理解される。

【0059】

コンバータ122の簡単な実現例が図12にもたらされている。コンバータ122は、二つのインバータ125及び126によって後続される1段の演算増幅器124から構成されている。このPLL送信器127の位相雑音に対してコンバータ122のジッタのみがクリティカルであるため、図11において三角形のより小さな符号によって示されているコンバータ123の消費電流は低減され得る。

【0060】

提案されたアーキテクチャがいかなる数のセルの場合でも必ずジッパ分周器に適用され得ることは注目されなければならない。

【0061】

本発明は、通信システム及び他のシステムにおける使用に適している。本発明は、送信器及び受信器における使用に適している。本発明は、ワンチップCMOSトランシーバにおける使用に特によく適している。本発明によるシステムは、携帯電話(cellular phone)(例えばGSM又はUMTS)、DECTハンドセット(DECT handset)、パーソナル通信システム(personal communication system)、ブルートゥースデバイス(Bluetooth device)、及び言及したいいくつかの例において使用され得る。

【0062】

本発明による分周器は、トランシーバ、高周波(RF)集積回路(IC)、GSMソリューション、DECTデバイス、PCS、及びブルートゥースソリューションの効率的な電力の実現をもたすために他の回路と組み合わせられ得る。

【0063】

別個の実施例の内容に明瞭に記載されている、本発明の様々な特徴が、単一の実施例における組み合わせでももたらされ得ることは評価される。逆に、単一の実施例の内容に簡潔に記載されている、本発明の様々な特徴は、別個に、又は何れかの好適なサブコンビネーションでもたらされてもよい。

【0064】

明細書及び図面において、本発明の好ましい実施例が示されており、特定の用語が使用されているが、このようにもたらされている記載は一般的且つ記述的な意味で術語を使用しているのみであり、限定を目的とするものではない。

【図面の簡単な説明】

【0065】

【図1】二つの論理ブロックを有する従来の2/3分周セルである。

【図2A】六つの2/3分周セルを有する従来のジッパ分周器アーキテクチャである。

【図2B】図2Aの従来のジッパ分周器アーキテクチャのモード制御信号及びクロック信号を示す図である。

【図3】変調器を有する従来の送信器/トランシーバの概略図である。

【図4】一般的なフラクショナルNPLL送信器の概略図である。

【図5】本発明による論理和ゲートを備える分周器の概略図である。

【図6】図5の分周器の信号を示す図である。

【図7】論理和ゲートを備える分周器を有する、本発明によるフラクショナルNPLL送信器の概略図である。

【図8】図7のジッパ分周器の信号を示す概略図である。

【図9】一つの実施例のある波形を示す概略図である。

10

20

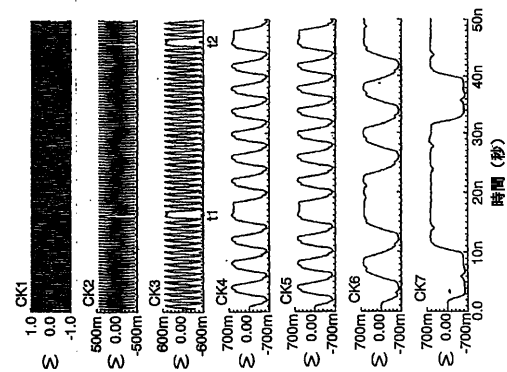
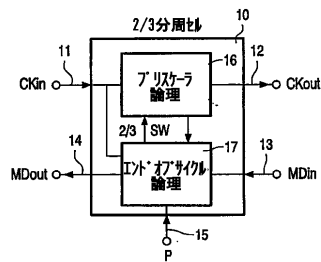
30

40

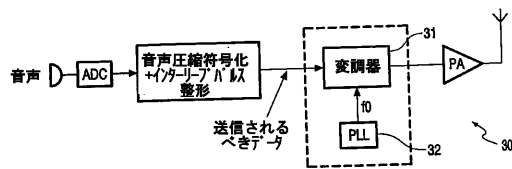
50

【図１１】本発明による、論理ネットワークを備えるフラクショナルNPLL送信器の一部の概略図である。

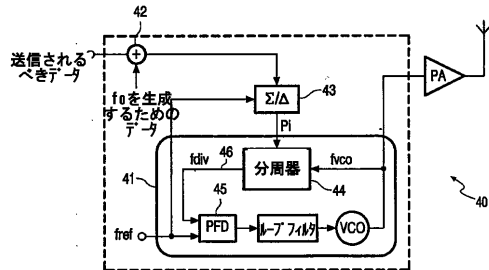
【 図 1 】



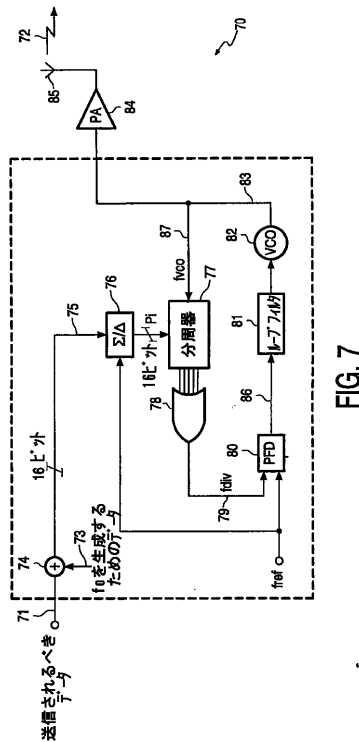
【図 3】



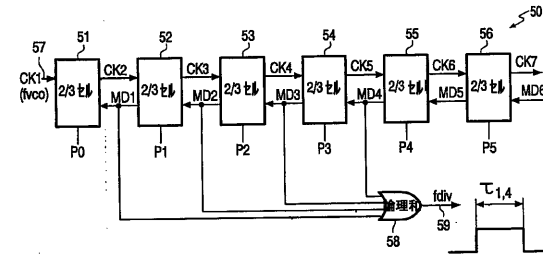
【図 4】



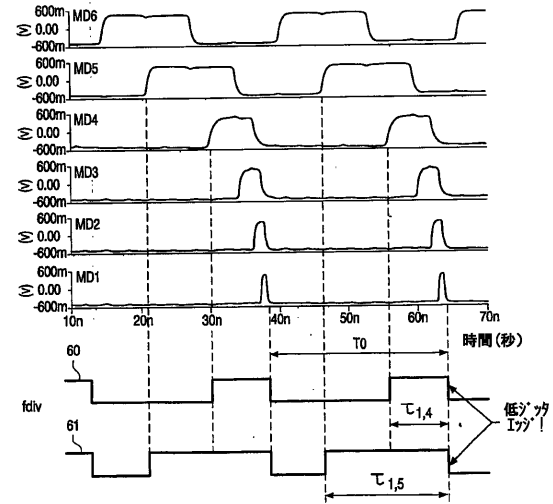
【図 7】



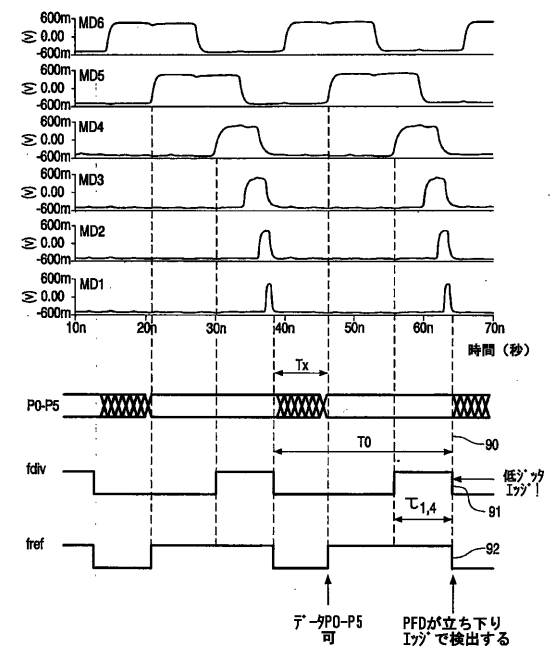
【図 5】



【図 6】



【図 8】



【 図 9 】

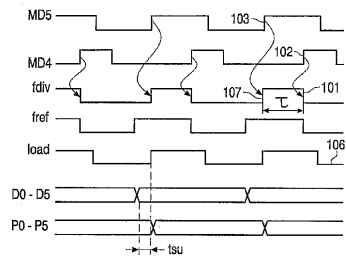
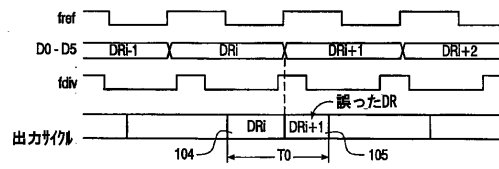
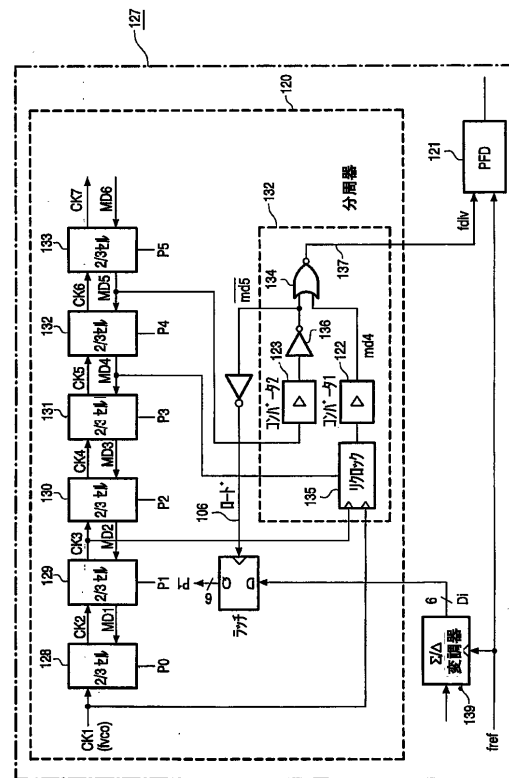


FIG. 9

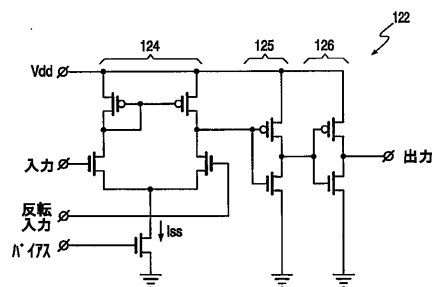
【 図 1 0 】



【 図 1 1 】



【圖 1 2】



フロントページの続き

(72)発明者 ワング ゼンファ

オランダ国 5656 アーアー アインドーフェン プロフ ホルストラーン 6

審査官 石田 勝

(56)参考文献 特開平3 - 136520 (JP, A)

特開平5 - 90953 (JP, A)

特開平4 - 212522 (JP, A)

特開平6 - 244721 (JP, A)

特表平5 - 506338 (JP, A)

国際公開第97/006600 (WO, A1)

特開平7 - 307664 (JP, A)

特開昭54 - 48475 (JP, A)

SHPERLING I, SIGMA DELTA MODULATOR WITH A RANDOM OUTPUT BIT STREAM OF SPECIFIED 1/0 AVERAGE RATIO, MOTOROLA TECHNICAL DEVELOPMENTS, 1993年 3月 1日, V18, P156-160

Cicero S.Vaucher他, 「A family of low-power truly modular programmable dividers in standard 0.35- μ m CMOS technology」, IEEE JOURNAL OF SOLID-STATE CIRCUITS, 米国, IEEE, 2000年 7月, VOL.35, NO.7, pp1039-1045

柳沢 健編, PLL (位相同期ループ) 応用回路, 日本, 総合電子出版社, 1977年 9月20日, 第1版, 57頁, プログラマブル・カウンタ

(58)調査した分野(Int.Cl., DB名)

H03K 23/64

H03L 7/197

H04B 1/04