



(12) 发明专利

(10) 授权公告号 CN 104169768 B

(45) 授权公告日 2016.03.02

(21) 申请号 201380013259.3

(22) 申请日 2013.01.07

(30) 优先权数据

61/585,217 2012.01.10 US

13/362,898 2012.01.31 US

13/454,713 2012.04.24 US

(85) PCT国际申请进入国家阶段日

2014.09.09

(86) PCT国际申请的申请数据

PCT/US2013/020562 2013.01.07

(87) PCT国际申请的公布数据

W02013/106285 EN 2013.07.18

(73) 专利权人 伊文萨斯公司

地址 美国加利福尼亚

(72) 发明人 V·科森科 E·L·麦克拜恩

C·E·乌佐 P·蒙纳德吉米

S·萨瓦斯蒂奥科

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘偶

(51) Int. Cl.

G02B 6/42(2006.01)

G02B 6/36(2006.01)

B81C 1/00(2006.01)

H01L 21/306(2006.01)

(56) 对比文件

EP 0827211 A2, 1998.03.04,

US 2003034438 A1, 2003.02.20,

CN 1653369 A, 2005.08.10,

审查员 许国亚

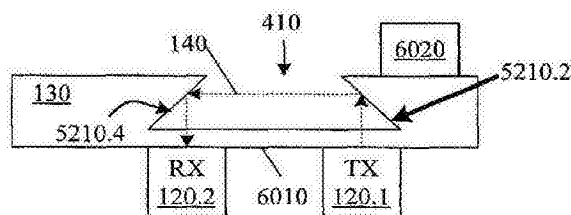
权利要求书3页 说明书22页 附图29页

(54) 发明名称

利用单晶硅和/或其它材料形成的用于光学和其它应用的结构

(57) 摘要

一种光学插入件,包括用于耦接到换能器(120)的波导104(例如,光纤线缆)的槽(310)。通过在衬底(130)中蚀刻腔(410),以某些层(520)填充所述腔,然后蚀刻所述层来形成槽。所述槽可以形成在分立结构中,然后将该分立结构插入到具有用于换能器的电路的插入件中的腔中。所述腔具有向外或向内倾斜的侧壁,其可以作为反射镜(144)或者后来在其上形成反射镜。衬底可以将单晶硅,其中通过不同蚀刻的组合形成所述向内倾斜的(退化)侧壁,所述组合中的至少一个是相对于特定晶面选择性的。还提供了其它特征,包括非光学实施例。



1. 一种衬底,其包括单晶硅区域,所述区域包括:

第一表面,其是单晶硅的晶面;以及

第二表面,其是单晶硅的晶面;

其中所述第一表面和第二表面以 135° 或 125.3° 的角度彼此相遇,所述角度是通过单晶硅所占据的空间测量的,

其中所述第二表面是在电磁波的路径中的第一反射器,所述路径具有与所述第一表面平行的第一段以及通过所述第一表面的第二段,所述第一段和第二段在所述第一反射器处相遇。

2. 根据权利要求 1 所述的衬底,其中所述角度是 135° 。

3. 根据权利要求 2 所述的衬底,其中所述第一表面是单晶硅的 {100} 面,所述第二表面是单晶硅的 {110} 面。

4. 根据权利要求 1 所述的衬底,结合有第一换能器,所述第一换能器与所述路径的所述第二段相遇,用于从所述路径接收电磁波或用于传送电磁波到所述路径中。

5. 根据权利要求 4 所述的衬底,其中所述衬底还包括与所述第二表面相反的第三表面,其中所述第一表面和第三表面以 135° 或 125.3° 的角度彼此相遇,所述角度是通过单晶硅所占据的空间测量的;

其中所述第三表面是第二反射器,所述路径具有通过所述第一表面的第三段,所述第一段和第三段在所述第二反射器处相遇;

其中所述第一换能器用于传送电磁波到所述路径中,所述结构还包括第二换能器,其与所述路径的所述第三段相遇,用于从所述路径接收电磁波。

6. 根据权利要求 5 所述的衬底,其中所述衬底包括隔膜,所述隔膜具有表面,所述表面至少包括所述第一表面的一部分,并且所述路径取决于所述隔膜是否变形,所述第二换能器用于响应于所述隔膜的形变和 / 或移动和 / 或振动产生信号。

7. 根据权利要求 4 所述的衬底,其中所述第一换能器附接到所述衬底。

8. 根据权利要求 1 所述的衬底,其中所述电磁波在 10nm 到 300 微米的波长范围内。

9. 一种结构,其包括根据权利要求 1 所述的衬底,其中所述衬底包括隔膜,所述隔膜具有表面,所述表面至少包括所述第一表面的一部分,所述结构还包括耦接到所述隔膜用于感测所述隔膜的状态的装置。

10. 根据权利要求 9 所述的结构,其中所述隔膜的状态取决于一组参数中的一个或多个,每一个参数是至少与所述隔膜的一部分相关联的参数,该组参数包括温度、电导率、电阻、位置、振动、形变、位移、应变、压力、反射率和折射率。

11. 一种结构,其包括根据权利要求 1 所述的衬底,其中所述衬底包括隔膜,所述隔膜具有表面,所述表面至少包括所述第一表面的一部分,所述结构还包括耦接到所述隔膜用于改变所述隔膜的状态的装置。

12. 根据权利要求 11 所述的结构,其中所述装置用于改变所述隔膜的温度和 / 或位置。

13. 一种结构,其包括根据权利要求 1 所述的衬底,其中所述衬底包括隔膜,所述隔膜具有表面,所述表面至少包括所述第一表面的一部分,所述结构还包括耦接到所述隔膜用于改变下列中的至少一个的装置:

与所述隔膜在所述第一表面处接触的物质的温度;

所述衬底中的腔的体积,所述腔的表面至少包括所述第一表面的一部分并至少包括所述第二表面的一部分。

14. 一种用于制造衬底的方法,所述方法包括:

获得单晶硅的区域,所述区域具有第一表面,所述第一表面是单晶硅的晶面;

在所述第一表面中形成通孔,所述通孔具有侧壁,所述侧壁形成小于 135° 或 125.3° 的预定的角度 α 的一个或多个角度,所述角度 α 是所述侧壁和通过所述通孔的底部并与所述第一表面平行的第一面之间的角度,所述角度 α 是通过所述单晶硅区域测量的;以及

相对于单晶硅的预定的晶面选择性地湿法蚀刻所述侧壁,以形成相对于所述第一面成所述角度 α 的第二表面。

15. 根据权利要求 14 所述的方法,其中:

第一表面是单晶硅的 (100) 面;

所述角度 α 是 135° ;

所述侧壁的湿法蚀刻是相对于所述单晶硅区域的 {110} 面选择性的。

16. 根据权利要求 14 所述的方法,其中所述小于角度 α 的角度包括 90° 角度。

17. 一种制造方法,所述方法包括:

获得包括单晶硅的区域的衬底,所述区域具有第一表面,所述第一表面是单晶硅的晶面;

在所述第一表面中形成通孔,所述通孔具有与所述区域的顶表面平行的第一表面,所述通孔具有第二表面,其中所述第一表面和第二表面以 135° 或 125.3° 的角度彼此相遇,所述角度是通过单晶硅所占据的空间测量的;

其中所述第二表面是在电磁波的路径中的第一反射器,所述路径具有与所述第一表面平行的第一段以及通过所述第一表面的第二段,所述第一段和第二段在所述第一反射器处相遇。

18. 根据权利要求 17 所述的方法,其中所述角度是 135° 。

19. 根据权利要求 18 所述的方法,其中所述第一表面是单晶硅的 {100} 面,所述第二表面是单晶硅的 {110} 面。

20. 根据权利要求 17 所述的方法,其中所述通孔通过湿法蚀刻形式。

21. 根据权利要求 17 所述的方法,还包括设置第一换能器,所述第一换能器与所述路径的所述第二段相遇,用于从所述路径接收电磁波或用于传送电磁波到所述路径中。

22. 根据权利要求 21 所述的方法,其中所述衬底还包括与所述第二表面相反的第三表面,其中所述第一表面和第三表面以 135° 或 125.3° 的角度彼此相遇,所述角度是通过单晶硅所占据的空间测量的;

其中所述第三表面是第二反射器,所述路径具有通过所述第一表面的第三段,所述第一段和第三段在所述第二反射器处相遇;

其中所述第一换能器用于传送电磁波到所述路径中,所述方法还包括放置第二换能器,其与所述路径的所述第三段相遇,用于从所述路径接收电磁波。

23. 根据权利要求 22 所述的方法,其中所述衬底包括隔膜,所述隔膜具有表面,所述表面至少包括所述第一表面的一部分,并且所述路径取决于所述隔膜是否变形,所述第二换能器用于响应于所述隔膜的形变和 / 或移动和 / 或振动产生信号。

24. 根据权利要求 21 所述的方法,其中所述第一换能器附接到所述衬底。

25. 根据权利要求 17 所述的方法,其中所述电磁波在 10nm 到 300 微米的波长范围内。

26. 根据权利要求 17 所述的方法,其中其中所述衬底包括隔膜,所述隔膜具有表面,所述表面至少包括所述第一表面的一部分,所述方法还包括将用于感测所述隔膜的状态的装置耦接到所述隔膜。

27. 根据权利要求 26 所述的方法,其中所述隔膜的状态取决于一组参数中的一个或多个,每一个参数是至少与所述隔膜的一部分相关联的参数,该组参数包括温度、电导率、电阻、位置、振动、形变、位移、应变、压力、反射率和折射率。

28. 根据权利要求 17 所述的方法,其中所述衬底包括隔膜,所述隔膜具有表面,所述表面至少包括所述第一表面的一部分,所述方法还包括耦接到所述隔膜用于改变所述隔膜的状态的装置。

29. 根据权利要求 28 所述的方法,其中所述装置用于改变所述隔膜的温度和/或位置。

30. 根据权利要求 17 所述的方法,其中所述衬底包括隔膜,所述隔膜具有表面,所述表面至少包括所述第一表面的一部分,所述方法还包括将装置耦接到所述隔膜以用于改变下列中的至少一个:

与所述隔膜在所述第一表面处接触的物质的温度;

所述衬底中的腔的体积,所述腔的表面至少包括所述第一表面的一部分并至少包括所述第二表面的一部分。

利用单晶硅和 / 或其它材料形成的用于光学和其它应用的结构

[0001] 相关申请的交叉引用

[0002] 本申请要求如下专利申请的优先权：

[0003] -V. Kosenko 等人于 2012 年 1 月 10 日提交的美国临时专利申请 No. 61/585, 217, 通过引用并入在此；

[0004] - 于 2012 年 1 月 31 日提交的美国专利申请 No. 13/362, 898, 通过引用将其并入在此；以及

[0005] - 于 2012 年 4 月 24 日提交的美国专利申请 No. 13/454, 713, 通过引用将其并入在此。

[0006] 对于美国指定, 本申请是前述专利申请 No. 13/454, 713 的继续申请, 而专利申请 No. 13/454, 713 是前述美国专利申请 No. 13/362, 898 的部分继续申请, 专利申请 No. 13/362, 898 要求前述美国临时申请 No. 61/585, 217 的优先权。对于美国指定, 本申请还是前述申请 No. 13/362, 898 的部分继续申请, 前述申请 No. 13/362, 898 要求前述美国临时申请 No. 61/585, 217 的优先权。

技术领域

[0007] 本发明涉及可以用于处理光学信号的电路以及其他电路的结构。(如在此所使用的, 术语“光学(的)”和“光”表示任意谱的电磁辐射, 不限于可见光; 术语“光纤”表示光纤线缆。) 本发明还涉及蚀刻单晶硅衬底以提供可以用于光学或非光学目的的适当角度。

背景技术

[0008] 光纤光学件逐渐用于传输信息来往于电路。通过光电换能器执行光纤和电路之间的能量转换。已经创建了小型封装件, 其组合换能器、光纤和电路以实现高速和低功率损耗。在 Hsu-Liang Hsiao 等人的“Compact and passive-alignment 4-channel x 2.5-Gbps optical interconnect modules based on silicon optical benches with 45° micro reflectors”(OPTICS EXPRESS, 2009 年 12 月 21 日 Vol. 17, No. 26, 页 24250-24260) 中描述了一个示例, 在图 1-3 中示出。

[0009] 图 1 示出了光纤 104(104.1 和 104.2), 用于互连安装在相应印刷电路板(PCB) 114.1、114.2 上的集成电路(芯片) 110.1、110.2。芯片 110.1、光纤 104.1 和 PCB 114.1 是信号发送模块 116.1 的一部分。芯片 101.2、纤维 104.2 和 PCB 114.2 是信号接收模块 116.2 的一部分。来自芯片 110.1 的电信号被提供到光-电子换能器 120.1 以转换为光。换能器 120.1 是一种包含半导体激光器(垂直腔表面发射激光器, “VCSEL”)的集成电路(IC 或“芯片”)。换能器 120.1 安装在利用硅衬底 130.1 制成的硅插入件(硅光学座或 SiOB) 124.1 上。导电线 134.1 传送来自芯片 110.1 的电信号到换能器 120.1。作为响应, 换能器以垂直光束 140.1 产生光学信号。光束 140.1 被由沉积在硅插入件上的相对于水平成 45° 倾斜的表面上的金层形成的反射镜 144.1 反射。从反射镜 144.1 反射的束进入

光纤 104.1。

[0010] 光纤 104.1 通过连接器 150 连接到模块 116.2 的光纤 104.2。模块 116.2 与模块 116.1 类似。从光纤 104.2 以水平束 140.2 发射光学信号,其被 45° 反射镜 144.2 反射以垂直行进到换能器 120.2。该反射镜是利用硅衬底 130.2 制成的硅插入件 124.2 的一部分。换能器 120.2 安装在插入件 124.2 上。换能器 120.2 是一种光检测器集成电路,其将光学信号转换成电信号经由导线 134.2 提供到芯片 110.2。插入件 124.2 和芯片 110.2 安装在 PCB 114.2 上。

[0011] 图 2 和 3 示出了模块 116,其可以是 116.1 或 116.2。图 2 是顶视图,图 3 通过横贯光纤 104 的平面示出了截面图。每一个模块 116.1、116.2 具有四个光纤 104(即,104.1 或 104.2);换能器 120.1 具有四个激光器,其发射四个相应束 140.1 进入四个相应光纤 104.1;换能器 120.2 具有四个光检测器,其接收通过四个相应光纤 104.2 的四个相应的束 140.2。如图 2 中所示,在每一个模块中,具有 (100) 取向的单晶硅衬底 130 支撑全部四个光纤 104。光纤安装在通过衬底 130 的湿法蚀刻形成的 V 形槽 310 中。该蚀刻还形成反射镜 144 下面的硅表面。该 V 形槽具有 45° 倾斜的侧壁。该 45° 角是通过作为 (100) 取向的单晶硅晶片的硅衬底 130 的各向异性湿法蚀刻而产生的。倾斜的侧壁是 (110) 晶面。蚀刻剂是 KOH(氢氧化钾)和异丙醇(IPA)的溶液,其被选择来将 {110} 面的蚀刻速率抑制到低于 {111} 面的蚀刻速率之下的水平。如此产生的角是高度精确的,这有助于光纤 104 的精确定位,这是因为光纤不到达槽底部,并且因此通过槽的侧壁的角度(45°)和槽的顶部处的宽度决定光纤位置。

[0012] 概述

[0013] 这节概要说明本发明某些特征。在随后的节中可能描述其它特征。本发明由所附权利要求限定,通过引用将权利要求并入到这节中。

[0014] 本发明的某些实施例提供了光学插入件及其制造方法,允许将光纤精确定位在不同形状的槽中。例如,可以使用矩形槽(具有垂直侧壁)。垂直侧壁可能是合乎期望的,以降低相邻光纤之间的节距(测量为相邻光纤或相邻槽的中心之间的距离)。例如,在图 3 中,每一个槽顶部处的宽度大于每一个光纤的直径。如果侧壁是垂直的,则每一个槽的宽度可以等于光纤的直径。因此,对于给定的光纤直径,可以提供更密集更紧凑的结构(即,直径对节距比可以增加)。另外,如果侧壁是垂直的,则槽宽度以及槽之间的间距独立于槽的深度(对于 V 形槽,槽顶部处的宽度随着深度而增加,并且槽之间的间距相应地降低)。如果槽宽度以及槽之间的间距独立于槽的深度,则光纤的垂直定位(由深度限定)独立于槽之间的间距。这是有利的,因为槽之间的区域可以用于多种目的(例如,用于电路或用于悬臂式换能器的机械支撑),可以与光纤的垂直定位无关地优化槽之间的间距。

[0015] 然而,本发明也包括 V 形槽实施例,并权利要求所限定的之外,并不限于在此描述的垂直侧壁或其它特征。此外,在 V 形槽实施例中,侧壁角度可以不同于 45°。该角度可以是任意值。在某些实施例中,该角度超过 85°(相对于水平测量的),但不大于 90°。在其它实施例中,该角度超过 90°,即,槽的侧壁悬突于槽。圆形侧壁以及其它槽形状也是可能的。见,例如 2001 年 12 月 25 日颁布给 Nishikawa 等人的美国专利 No. 6,332,719,以及 2011 年 10 月 4 日颁布给 Bowen 的美国专利 No. 8,031,993,通过引用将两者并入在此。

[0016] 插入件可以基于由硅或某些其它半导体材料和 / 或玻璃、金属和 / 或其它材料制

成的衬底。例如,反射镜 144 可以就是硅表面或其它非金属表面。反射镜 144 可以处于任何角度,包括退行角度 (retrograde angle),即,大于 90° 的角度。换言之,反射镜表面可以悬突于槽 310,例如,如图 4 中所示。在该示例中,反射镜 144 相对于水平处于 135° 的角度。光纤 140 发射的水平光束 140 被反射镜 144 反射垂直向下传播通过衬底 130 到形成在衬底 130 中或者在其他集成电路(可以在衬底下面)中的换能器(未示出)。反射镜表面是衬底 130 的单晶硅表面。该表面通过新颖的包括蚀刻技术组合的工艺形成。该组合中的至少一个蚀刻是相对于单晶硅的特定晶面选择性的湿法蚀刻。例如,在某些实施例中,衬底 130 是 (100) 晶片,该湿法蚀刻可以是与上面结合图 1-3 所述的相同的相对于 {110} 面选择性的蚀刻。然而,有其它工艺先于该湿法蚀刻,例如,形成垂直侧壁的干法蚀刻,从而使得该湿法蚀刻导致图 4 中示出的 135° 的角度。

[0017] 该 135° 角可以用于广泛的多种 MEMS(微机电系统),包括非光学系统。在图 5 中,衬底 130 具有腔 410,腔 410 具有相对于水平面成 135° 的侧壁。这样的衬底可以用于光学或非光学目的。例如,腔 410 的底部平坦表面可以作为传感器的隔膜。形成腔 410 的制造工艺可以取代“The MEMS Handbook”(Mohamed Gad-el-Hak 编辑, CRC Press, 2001 年) 章 16 (“MEMS Fabrication”, 通过引用将其并入在此) 节 16.8.2.3 中描述的使用两个熔融接合的晶片的传感器制造工艺。

[0018] 在某些实施例中,该插入件由两个插入件形成。其中的一个插入件包含槽 310,并被插入到形成在另一插入件中的腔中。

[0019] 除了如所附权利要求所限定的之外,本发明并不限于上面所描述的特征和优点。

附图说明

[0020] 图 1 示出了根据现有技术的光电系统的垂直截面图。

[0021] 图 2 是图 1 的系统的一部分的顶视图。

[0022] 图 3 示出了图 1 的系统的一部分的垂直截面图。

[0023] 图 4 示出了根据本发明某些实施例的带有光纤的光学插入件的垂直截面图。

[0024] 图 5 示出了根据本发明某些实施例的由单晶硅衬底形成的结构的垂直截面图。

[0025] 图 6A、6B、6C 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0026] 图 7 示出了根据本发明某些实施例的带有光纤的光学插入件的垂直截面图。

[0027] 图 8 是根据本发明某些实施例的制造期间的光学插入件的顶视图。

[0028] 图 9A 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0029] 图 9B 是根据本发明某些实施例的制造期间的光学插入件的顶视图。

[0030] 图 10、11、12、13、14、15、16 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0031] 图 17A 是根据本发明某些实施例的制造期间的光学插入件的顶视图。

[0032] 图 17B 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0033] 图 18、19 是根据本发明某些实施例的制造期间的光学插入件的顶视图。

[0034] 图 20 是根据本发明某些实施例的带有光纤的光学插入件的顶视图。

[0035] 图 21 是根据本发明某些实施例的具有光学插入件的模块的顶视图。

[0036] 图 22A、22B、23A、23B、23C、23D、23E 示出了根据本发明某些实施例的具有光学插入件的模块的垂直截面图。

[0037] 图 24 是根据本发明某些实施例的光学插入件的顶视图。

[0038] 图 25 是根据本发明某些实施例的带有光纤的光学插入件的顶视图。

[0039] 图 26 是根据本发明某些实施例的具有光学插入件的模块的顶视图。

[0040] 图 27A、27B、27C 是示出了根据本发明某些实施例的带有光纤的光学插入件的某些特征的顶视图。

[0041] 图 27D 示出了对于根据本发明某些实施例的光学插入件的在顶视图中可能的间隔物形状。

[0042] 图 28 是根据本发明某些实施例的带有光纤的光学插入件的某些特征的顶视图。

[0043] 图 29、30 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0044] 图 31 是根据本发明某些实施例的光学插入件的顶视图。

[0045] 图 32、33、34、35A、35B、35C、35D、35E、35F、36、37、38、39A、39B、39C 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0046] 图 32A、32B、32C、33A、33B、33C、33D、33E、34A 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0047] 图 34B 是示出了根据本发明某些实施例的带有光纤的光学插入件的某些特征的顶视图。

[0048] 图 34C、34D、34E、35A、35B、35C、35D、35E 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0049] 图 35F 示出了根据本发明某些实施例的具有带有光纤的光学插入件的模块的垂直截面图。

[0050] 图 36、37 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0051] 图 38 示出了根据本发明某些实施例的具有光学插入件的模块的垂直截面图。

[0052] 图 39A、39B、39C 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0053] 图 40 是根据本发明某些实施例的制造期间的光学插入件的顶视图。

[0054] 图 41、42 示出了根据本发明某些实施例的带有光纤的光学插入件的垂直截面图。

[0055] 图 43、44A 是根据本发明某些实施例的制造期间的光学插入件的顶视图。

[0056] 图 44B 示出了根据本发明某些实施例的光学插入件的侧视图。

[0057] 图 45 示出了根据本发明某些实施例的光学插入件的垂直截面图。

[0058] 图 46 示出了根据本发明某些实施例的带有光纤的光学插入件的垂直截面图。

[0059] 图 47、48A、48B、48C、48D 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0060] 图 48E 是根据本发明某些实施例的制造期间的光学插入件的顶视图。

[0061] 图 49 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

[0062] 图 50、51 示出了根据本发明某些实施例的具有光学插入件和光纤的模块的垂直截面图。

[0063] 图 52A 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

- [0064] 图 52B 是根据本发明某些实施例的制造期间的光学插入件的顶视图。
- [0065] 图 53、54 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。
- [0066] 图 55A、55B 示出了根据本发明某些实施例的具有光学插入件和光纤的模块的垂直截面图。
- [0067] 图 56 是根据本发明某些实施例的制造期间的光学插入件的顶视图。
- [0068] 图 57、58 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。
- [0069] 图 59 示出了根据本发明某些实施例的具有光学插入件和光纤的模块的垂直截面图。
- [0070] 图 60、61 示出了根据本发明某些实施例的具有垂直插入件的传感器的垂直截面图。
- [0071] 图 62 示出了根据本发明某些实施例的用于光学芯片间通信的具有插入件的多芯片模块的垂直截面图。
- [0072] 图 63A、63B、63C、63D、63E 示出了根据本发明某些实施例的制造期间的光学插入件的垂直截面图。

具体实施方式

[0073] 在该部分中描述的实施例示出了本发明,但并不限制本发明。除了如所附权利要求所限定的之外,本发明并不限于特定的材料、尺寸、工艺步骤或其它特征。

[0074] 图 6A–6C 以与图 3 中那样的横截面图(横贯光纤)示出了本发明的一个实施例。在该实施例中,如下通过两次蚀刻形成槽(光纤通道)310:

[0075] 首先,在衬底 130 中蚀刻腔 410。该腔将最终容纳全部光纤 104。在期望的情况下,腔侧壁可以以 45° 或某一其它角度“ α ”倾斜,以提供反射镜(由硅 130 或单独的层提供,在图 6A 中未示出)或其它元件。

[0076] 然后用某些材料 520 填充该腔(图 6B)。然后将层 520 图案化并蚀刻,以形成槽 310(图 6C)。该蚀刻相对于衬底 130 是选择性的。由于该蚀刻选择性,即使在蚀刻期间早期侧壁暴露,提供或支撑反射镜的 45° 侧壁也将不被蚀刻损伤。

[0077] 在某些实施例中,该处理过程耐受腔掩模(用于形成图 6A 中的腔的蚀刻掩模,未示出)和槽掩模(未示出)之间的不对准,因为在图 6 的视图中,腔掩模可以相对于槽掩模右或左偏移。

[0078] 在某些实施例中,出于下列原因在槽的形成中实现高深一致性。腔 410(图 6A)具有低的高宽比(aspect ratio)(高度对深度比),因此,腔 410 的蚀刻可以容易地控制在整个腔中提供精确均匀一致的深度。在某些实施例中,高宽比至多为 1:2。层 520 的蚀刻也可以容易地控制,因为该蚀刻是对于作为蚀刻停止层的衬底 130 是选择性的。例如,衬底 130 可以是硅,而层 520 可以是二氧化硅。根据所涉及的材料,可以通过在沉积层 520 之前,在腔 410 上形成另外的蚀刻停止层,来改善蚀刻选择性。在某些实施例中,该蚀刻选择性是至少 2:1。

[0079] 另外,在某些实施例中,图 6A–6C 的处理过程易于与形成在衬底 130 中或之上形成导电线或其它电路的其它步骤集成。这样的电路可以在图 6B 和 6C 的阶段之间形成,即,在层 520 的沉积之后在槽蚀刻之前。在该阶段,晶片是平的,许多常规的电制造处理过程在

平的晶片上工作更好。(有时将衬底 130 与和该衬底集成的其它元件一起称作“晶片”;在某些实施例中,在同一晶片中同时制造多个插入件。)尤其是,晶片处理和光刻与平的晶片工作更好。可以与形成其它电路的处理过程一致地选择材料 520。例如,如果这些处理过程需要高温,则材料 520 可以选择为耐受高温。如果反射镜 144(图 6A-6C 中未示出)或其它元件需要由非难熔金属(诸如,金)形成,则金属沉积可以推迟直至高温步骤之后。

[0080] 图 7 是插入件 124 与反射镜 144 和一个或多个光纤 104 的在沿光纤 104 截取的截面图中的图示。光纤被插入到槽 310 中使得它们在插入件的左侧突出超出腔。腔 410 在该侧上并不具有侧壁。腔最初形成有在所有侧上的侧壁(图 6A),但是然后在晶片 130 的切片期间一侧被去除。更具体地,腔 410 的一个侧壁位于晶片的划片线上。该侧壁被切片处理过程去除。

[0081] 现在将说明其他实施例。图 8(顶视图)和图 9A(横截面图)示出了在根据本发明某些实施例的光学插入件的制造的开始阶段在衬底 130 中形成腔 410。图 8 示出了在形成腔之前的结构,而图 9A 和 9B 示出了具有该腔的结构。衬底 130 可以是硅、绝缘体上硅(SOI)、玻璃、金属或其它材料。在某些实施例中,衬底 130 是其中同时制造多个插入件的晶片的一部分。在紧接下面讨论的示例性实施例中,衬底 130 是具有 $750\text{ }\mu\text{m}$ 厚度的单晶硅。

[0082] 衬底 130 最初在顶部和底部上是平的。通过掩模的定时蚀刻形成腔 410。更具体地,清洗衬底 130,并在整个顶表面上沉积掩模层 810 以提供硬掩模。在某些实施例中,层 810 是热生长至示例性的 $1.0\text{ }\mu\text{m}$ 厚度的二氧化硅,但是也可以使用其他材料(例如,碳化硅、氮化硅金属以及其它)和其他制造工艺。也可以在晶片的顶部表面和侧壁表面上形成层 810,尽管这并未被示出。(层 810 是可选的,并且可以省略;根据用于形成腔的蚀刻的类型、腔深度、衬底 130 的材料以及可能的其它因素,硬掩模可能是期望的或者可能是不期望的。)

[0083] 将掩模层 810 图案化,以限定腔 410。见,图 8。去除光致抗蚀剂,并通过掩模开口蚀刻衬底 130 以形成腔。腔具有水平底表面(与衬底的底表面平行),以及倾斜的侧壁 910.1 至 910.4,其相对于衬底的底表面以示例性的 45° 的角度倾斜。将在这些侧壁中的一个或多个上形成反射镜,例如,在侧壁 910.2 上。(本发明并不限于具有四个侧壁的腔;腔在顶视图中可以是非矩形的,并且可以具有圆形和其它形状。)

[0084] 腔 410 的一种示例性的蚀刻是各向异性湿法蚀刻,如果晶片 130 是(100)硅晶片并且如图 8 中所示,掩模层 810 中的开口暴露衬底 130 的顶表面的矩形区域,其侧面取向在硅晶体的 $\langle 100 \rangle$ 方向,则该各向异性湿法蚀刻提供 45° 侧壁。一种适当的湿法蚀刻是与如上面结合图 3 所述的相同的蚀刻,即,具有异丙醇(IPA)作为添加剂的 KOH。倾斜的侧壁 910.1-910.4 是 $\{110\}$ 面,并且如上所述的,该蚀刻相对于这样的面是选择性的。该蚀刻是定时的以提供期望的腔深度。在某些实施例中,腔深度为 $100\text{ }\mu\text{m}$,并且蚀刻定时为大约 100 分钟。也可以使用其它蚀刻工艺。例如,在某些实施例中,蚀刻剂是 TMAH(四甲基氢氧化铵)的溶液或 EDP(乙-二胺-邻苯二酚)的溶液。

[0085] 可以基于许多因素选择蚀刻技术,所述因素诸如,期望的表面形态(涉及反射镜的粗糙度)、掩模 810 的材料和厚度、相对于掩模材料的蚀刻选择性、寄生面尺寸(即,在蚀刻期间可能在基板 130 中形成的不期望的面的尺寸)、蚀刻速率、缺陷密度、材料成本、工艺成本、对蚀刻副产物的使用和处置的限制、以及其它因素。示例的蚀刻技术包括:

- [0086] - 无机蚀刻剂与有机非离子性表面活性剂添加剂的混合物；
- [0087] --KOH(10% -40%) 加上 IPA(异丙醇)到 50%浓度；
- [0088] --KOH(10% -40%) 加上 NC- 系列表面活性剂,其是在 0.01%到 0.1%范围的聚-氧化亚乙基-烷基-苯基-醚(NC-100、NC-200 以及 NC-300)；
- [0089] --KOH(10% -40%) 加上在 0.001%到 0.1%范围的 NC-1002。
- [0090] - 无机蚀刻剂与有机非离子性表面活性剂添加剂的混合物；
- [0091] --EDP(乙二胺和邻苯二酚的水性溶液)(5-20%) 加上 IPA 到 50%；
- [0092] --EDP(5-20%) 加上在 0.01%到 0.1%范围的 NC 系列表面活性剂(NC-100、NC-200 以及 NC-300)；
- [0093] --EDP(5-20%) 加上在 0.001%到 0.1%范围的 NC-1002。
- [0094] - 此外：
- [0095] --TMAH(四甲基氢氧化铵)5 到 25%加上 IPA(异丙醇)到 50%浓度
- [0096] --TMAH 5-25% (例如,如 Chemical Strategies, Inc. (Anthem, Arizona) 提供的 25%水溶液) 加上 Triton X-100(5 - 1000ppm, 例如, 100ppm)；
- [0097] --TMAH 5-25%加上在 0.01%到 0.1%范围的 NC 系列表面活性剂(NC-100、NC-200 以及 NC-300)
- [0098] --TMAH 5-25%加上在 0.001%到 0.1%范围的 NC-1002。
- [0099] 这些示例不是限制性的。
- [0100] 腔深度可以是任何适当的值,例如,100 至 500 μm 或者更小或更大。在某些实施例中,腔是矩形的,腔的顶表面的尺寸是:沿侧壁 910.1 为 2.1mm,沿侧壁 910.2 为 2.0mm。如此,腔的高宽比(aspect ratio) 大约为 1:21。低的高宽比对于提供均匀一致的高可控性的腔深度是期望的。也可以使用其它形状、尺寸以及纵横比。掩模 810 中的矩形开口的不同侧可以具有不同取向;在某些实施例中,将在侧面 910.2 上形成反射镜 144,并且在形成掩模 810 时该侧面具有<110>取向,但其它侧面可以具有其它取向,并且也可以使用非矩形腔。
- [0101] 然后,在衬底之上沉积可选的蚀刻停止层 1010(图 10),以在后续(layer 520(图 6B、6C)的蚀刻中提供蚀刻停止。在某些实施例中,层 520 将是多晶硅,而层 1010 是在硅衬底 130 上热生长至 2.0 μm 厚度的或通过 CVD(化学气相沉积,例如,由 TEOS)沉积的二氧化硅。在该步骤中层 810 的厚度增加。
- [0102] 选择层 520 的材料,以与将在衬底 130 中形成电路的其它制造工艺兼容。多晶硅是期望的,因为其耐受高温,诸如,硅的热氧化中存在的高温。多晶硅也易于沉积且廉价。在某些实施例中,层 520 将用于为悬臂式换能器 120 提供机械支撑,如下面描述的,但将不用于提供半导体电路元件,诸如晶体管区域。因此,可以使用低质量多晶硅和廉价沉积方法。尤其是,层 520 可能是通过 LTCVD(低温化学汽相沉积)形成的冶金多晶硅。另一种可能是通过高温(1200 $^{\circ}\text{C}$)CVD 沉积的多晶硅。也可以使用其它工艺。层 520 可以是具有非常小的精细尺寸(纳米晶粒)的非晶硅或多晶硅,或者,可以是外延生长的硅,或其它种类。其它适当的材料包括聚酰亚胺和光致抗蚀剂(特别是,如果将不使用高温的话)。其它材料也是可能的。
- [0103] 在与下面立即将讨论的不同的实施例中,在层 520 的沉积之前或期间执行在衬底

130 中形成电路的一个或多个（可能所有）工艺步骤，并基于其它考虑选择用于层 520 的材料。在某些实施例中，所述材料是聚合物，可以是微粒聚合物，例如具有玻璃珠微粒以用于机械强化。也可以使用金属或其它材料。

[0104] 层 520 最初覆盖整个晶片，但然后通过停止在氧化物 810 上的化学机械抛光 (CMP) 将其抛光。见图 11。腔 410 保持被层 520 填充，但腔外部的层 520 被去除。在其它实施例中，CMP 或其它工艺留下覆盖整个晶片的层 520，具有平的顶表面。（非平面的顶表面也是可能的。）

[0105] 在蚀刻层 520 以形成槽 310 之前，对晶片进行处理以形成电路，所述电路用于连接至换能器或多个换能器 120，并可能用于其它目的。在图 11 的阶段，晶片是平的，如对于许多的 IC 制造工艺所期望的。如果期望的话，可以在晶片之上沉积另外的平的层（例如，氮化硅）作为保护层 520 的保护层。

[0106] 可以处理该晶片以创建电路 134（图 1）或任何其它期望的电路，包括例如，在衬底 130 的顶部和底部两者处的电路元件，具有在这些电路元件之间的穿晶片互连。见例如，下列美国专利（通过引用将其并入在此）：

[0107] 2011 年 6 月 21 日颁布给 Savastiouk 等人的 No. 7, 964, 508（“Dielectric trenches, nickel/tantalum oxide structures, and chemical mechanical polishing techniques”）；

[0108] 2009 年 4 月 21 日颁布给 Halahan 等人的 No. 7, 521, 360（“Electroplating and electroless plating of conductive materials into openings, and structures obtained thereby”）；

[0109] No. 7, 241, 675（“Attachment of integrated circuit structures and other substrates to substrates with vias”）；

[0110] No. 7, 186, 586（“Integrated circuits and packaging substrates with cavities, and attachment methods including insertion of protruding contact pads into cavities”）；

[0111] No. 7, 060, 601（“Packaging substrates for integrated circuits and soldering methods”）；

[0112] No. 7, 034, 401（“Packaging substrates for integrated circuits and soldering methods”）；

[0113] No. 7, 001, 825（“Semiconductor structures having multiple conductive layers in an opening, and methods for fabricating same”）；

[0114] No. 6, 897, 148（“Electroplating and electroless plating of conductive materials into openings, and structures obtained thereby”）；

[0115] No. 6, 787, 916（“Structures having a substrate with a cavity and having an integrated circuit bonded to a contact pad located in the cavity”）。

[0116] 也见，2011 年 3 月 7 日提交的美国专利申请 No. 13/042, 186；和 2011 年 7 月 12 日提交的 No. 13/181, 006，两者由 V Kosenko 等人提交并通过引用将其两者并入在此。

[0117] 一种示例性的形成这样的电路的工艺如下。在衬底 130 的顶表面中，在期望的穿通衬底通孔（穿通硅通孔，如果衬底由硅制成的话）的每一个位置处，形成通孔 1210（图

12)。该通孔最初并不穿通衬底,而是比衬底的最终厚度(如下面描述的,衬底将被减薄)深。在衬底之上通过在 1100℃ 的示例性的温度热氧化 160 分钟生长二氧化硅层 1220 至 1.0 μm 的示例性的厚度。层 1220 也形成在多晶硅 520 上,除非多晶硅 520 被上面结合图 10-11 所描述的但在附图中未示出的保护层覆盖。该热氧化增加了氧化物 810 的厚度,如果该氧化物未被保护层覆盖的话。

[0118] 然后,在晶片上溅射种籽层 1230(例如,铜),以用于后续的电镀。在晶片上沉积光致抗蚀剂膜 1240(例如,干膜抗蚀剂),并将其图案化以露出通孔 1210 及相邻区域。电镀铜 1250 以填充通孔 1210,并且铜 1250 突出在抗蚀剂 1240 之上。

[0119] 在图 13 中示出了后续阶段。更具体地,通过 CMP 对铜 1250 抛光以提供平坦的顶表面。然后,剥离抗蚀剂 1240,并通过 CMP 向下抛光铜层 1250 和 1230 至氧化物 1220 的高度。氧化物 1220 变得暴露出。(层 1250、1230 两者保留在通孔 1210 中,但在某些图中以 1250 简化示出。)在晶片上溅射另一金属层 1310,并通过光刻将其图案化以形成导电线,该导电线将把金属化的通孔 1210(即,通孔 1210 中的铜)连接到换能器接触件和/或其它电路元件(例如,晶体管、电阻器、二极管、电容器或可以形成在该插入件中的其它元件)。还在腔 1410 之上的氧化物 1220 上形成金属焊盘 1310,以提供对于如下面描述的悬臂梁换能器的机械支撑。这些和其它金属焊盘可以是或者可以不是电路的一部分,并且可以连接到其它电路元件或者可以不连接到其它电路元件。可以沉积另外的电介质和金属层(未示出)以生成多个互连层和其它电路元件以用于连接到换能器的电路以及用于其它电路。然后,形成钝化层 1330(例如,聚酰亚胺)以覆盖晶片的顶面。

[0120] 然后(图 14),将晶片减薄以使通孔 1210 转为穿通通孔(贯通孔)。铜 1250(和 1230)以及绝缘体 1220 从衬底 130 向下突出。然后,在底表面上沉积绝缘体 1410,并通过 CMP 将该底表面平坦化,该 CMP 并不移除全部的绝缘体 1410 而是暴露出铜。见图 15。

[0121] 在晶片的底表面上沉积(例如,通过物理汽相沉积“PVD”)金属 1420(例如,铜)。通过光刻将金属 1420 图案化,以提供用于将金属化的通孔连接到将控制换能器 120 的控制器芯片(在图 22A、22B 中示出)的互连线,并可能提供其它互连线或者其它电路元件。也可以在底部形成其它互连层(未示出)和其它电路元件(例如,晶体管、二极管、电阻器、电容器等,未示出)。

[0122] 在底表面上沉积钝化层 1430(例如,聚酰亚胺),并通过光刻将其图案化以形成露出金属 1420 的接触开口。见图 16。金属 1420 的暴露部分形成接触垫盘,其可以焊接或者以另外的方式附接到控制器芯片或其它电路。

[0123] 然后处理晶片的顶表面,以形成到金属 1310 的接触开口,以及形成槽 310。图 17A 是所得到的结构的顶视图,而图 17B 示出了晶片的与槽垂直的截面图。例如,在某些实施例中,以光致抗蚀剂(未示出)覆盖晶片,并将光致抗蚀剂图案化以限定槽 310 和到金属 1310 的接触开口(图 16)。通过要形成的槽之上以及接触开口中的光致抗蚀剂开口,蚀刻掉钝化层 1330。在槽 310 之上氧化物 1220 变为暴露。(替代地,钝化层 1330 的蚀刻可以移除槽之上的氧化物 1220 并露出层 520)。在钝化层 1330 的蚀刻之后,去除光致抗蚀剂,并沉积另一光致抗蚀剂层(未示出)并将其图案化以限定槽 310。如果槽之上的氧化物 1220 未被去除,则此时将其去除以露出槽中的层 520。相对于光致抗蚀剂和层 1010 选择性地蚀刻层 520,以形成槽,并露出层 1010。在该实施例中,槽侧壁是垂直的,而在其它实施例中形成非

垂直侧壁。在该实施例中,层 520 是通过 DRIE(深反应离子蚀刻(可以是 Bosch 工艺))蚀刻的多晶硅,而层 1010 是二氧化硅。多晶硅相对于二氧化硅的蚀刻选择性为至少 100:1。也可以使用其它制造工艺和选择性值。

[0124] 在利用单晶衬底 130 和多晶硅间隔物 520,利用氧化硅 1010 作为蚀刻停止物的情况下,对于矩形槽 310 可以实现的示例性的尺寸如下:槽宽度为 135 μm ;槽节距(相邻槽的中心之间的距离)为 250 μm ;槽深度为 100 μm 。在某些实施例中,对于矩形槽,适当的槽宽度为 50 至 1000 μm ,槽节距为 150 至 2000 μm ,槽深度为 100 至 500 μm 。其它范围也是可能的。

[0125] 沉积并图案化具有期望的反射率性质的反射层(例如,铝、金或某些其它金属),以在槽的末端处腔侧壁 910.2 上形成反射镜 144(图 18)。在某些实施例中,通过沉积具有不同折射率的层的堆叠来形成反射镜。在某些实施例中,初始在分立衬底(未示出)上形成反射镜,然后将其从该衬底释放,并通过粘合剂将其附接到侧壁 910.2。例如,在某些实施例中,在分立衬底上如下形成层的堆叠:沉积多晶硅层,以电介质层(例如,热生长的二氧化硅)覆盖多晶硅层,然后在电介质上形成 2nm 至 5nm 的铬粘附层,最终在该铬层上形成 500nm 的金、铝或银层以提供反射性的反射镜层。如果使用银,则可以在银上形成另外的透明层以保护银以免氧化。然后,将这样的层的堆叠从分立衬底释放并胶合到侧壁 910.2。

[0126] 在已经完成反射镜制造时,将晶片切片。在图 18 的实施例中,腔 410 的左侧侧壁 910.4 处于切片线上,因此该侧壁 910.4 被去除。见图 19。槽 310 变为在左侧上暴露以用于光纤插入。光纤 104 被插入到槽中,如图 20 中所示。换能器 120 以及可能的其它电路连接到插入件(至金属触点 1310、1420)。在图 21、22A、22B 的示例性实施例中,换能器 120 被利用焊料 1604 或某些其它手段倒装芯片附接至插入件的顶触点 1310,而控制器 1610 被利用焊料 1608 或某些其它手段倒装芯片附接到底部触点 1420。图 21 是顶视图;图 22A 示出了沿相邻槽 310 之间的间隔物 520/1220/1330 的纵向截面图;图 22B 示出了沿光纤 104 的截面图。可以将多个换能器、控制器以及其它集成电路和分立电路元件连接到该插入件。如图 22A 中所见,焊料 1604 还放置在多晶硅间隔物 520 之上的金属 1310 上,以提供机械支撑以用于支撑悬臂梁换能器芯片或多个芯片 120 或可能上覆腔 410 的其它电路。因此,换能器尺寸可以增加而不增加换能器上的应力并且不增加模块的总体面积。

[0127] 模块可以安装在 PCB 上或以任何其它期望的方式安装。

[0128] 如上所述,反射镜 144 可以初始制造在分立衬底上(下面将这样的反射镜被称作是“单独制作的”)。在某些实施例中,单独制作的反射镜与腔侧壁角度独立地以 45° 角或某一其它角度安装。在图 23A、23B 中示出了某些实施例。这些附图通过与图 22A、22B 中的相同的横截面(即,分别通过间隔物 520 和光纤 104)示出了垂直截面图。出于简化,未示出换能器和控制器。腔侧壁 910.2 是垂直的,但也可以处于大于或等于 45° 的任何角度,包括例如,如图 4 中那样的退行角度。衬底 130 可以是任何晶向的硅晶片,或者可以是多晶硅或非硅材料。制造工艺可以是基本上如上面结合图 6A-22B 所述的。间隔物 520 被与腔侧壁 910.2 间隔开,以给反射镜留下空间 - 该间隔物几何特征可以通过图 6C 或 17A-17B 的间隔物蚀刻来提供,或者可以通过在任何其它适当阶段的间隔物图案化来提供。反射镜 144 可以是单个的连续的单独制作的反射性条带,其由侧壁 910.2 的顶部边缘和间隔物 520 的底部边缘支撑。通过例如粘合剂讲反射镜条带 144 固定在适当的位置。腔可以包括与反射

镜相邻的延伸部（未示出），例如，在腔侧面 910.1、910.3 处的“狗骨头”式延伸部，以便于将反射镜放置到腔中。

[0129] 不同槽 310 中的反射镜可以通过多个条带来提供而不是通过单个条带来提供。

[0130] 在图 23C（沿光纤 104 的垂直截面图）中，通过腔 410 的底表面中的台阶 2310 在底部支撑反射镜。该台阶可以利用衬底 130 的适当蚀刻形成。

[0131] 单独制作的反射镜 144 可以是三维形状（诸如，棱锥形 2320）的表面（见图 23D，示出了沿光纤的垂直截面图）。在该实施例中，反射镜是该棱锥的面对光纤的表面。在图 23E（沿光纤的垂直截面图）中，反射镜是使从光纤 104 出来的束 140 准直的准直透镜 2330 的背表面。该束也可以在相反的方向行进。也可以提供其它反射镜结构和光学元件。

[0132] 为了降低制造和操作期间的热应力，插入件中使用材料应当优选具有类似的热膨胀系数，例如，衬底 130 可以是单晶硅而间隔物 520 可以是多晶硅。此外，为了降低操作期间的热和其它机械应力，可以使每一个间隔物 520 不连续和 / 或中空的。另外，不连续的间隔物可以限定彼此上覆的多个通道，如图 24（没有光纤和换能器的顶视图）、图 25（具有两层光纤 104 但没有换能器的顶视图）和图 26（顶视图，具有两层光纤 104 和两个换能器 120）中所示。在图 25 和 25 中，出于简化未示出槽之间的触点 1310。槽 310X 和光纤 104X 在间隔物之间在 X 方向（在图 24-26 的视图中水平地）行进。槽 310Y 和光纤 104Y 在光纤 104X 之上在 Y 方向行进。面 910.2 上的反射镜 144 用于底部光纤 104X。面 910.1 上的反射镜 144 用于顶部光纤 104Y。腔侧壁 910.3、910.4 在切片或在某些其它工艺阶段期间被去除。

[0133] 可以通过利用不连续的或中空的间隔物来改善热可靠性，因为它们较不易受热应力影响。它们可以由金属或其它材料形成。它们可以具有任何期望的形状。图 27A、27B、27C 是具有连续的和间断的间隔物 520 以及光纤的腔 410 的某些实施例的顶视图。（在这些实施例中，反射镜 144 合并到腔侧壁上的连续层中；间隔物不在侧壁上。）图 27A 示出了不连续的矩形间隔物。图 27B 示出了不连续的圆形间隔物。图 27C 示出了连续的中空间隔物。图 27D 以顶视图示出了各间隔物的某些非限制性的示例：A（圆形间隔物，如图 27B 中所示）、B（平行四边形）、C（六边形）、D（半圆）、E（梯形）、F（半环形）、G（全环形）、H（中空矩形）和 I（具有直径的中空圆）。间隔物 J 是另一中空矩形，但该间隔物是连续的，即，行进通过整个腔（如图 27C 中那样）。也可以使用其它形状。在侧视图中，间隔物的侧壁可以是垂直的或倾斜的，并且可以具有锥形或其它形状。

[0134] 在图 28（顶视图）中，每一对光纤 104 之间的间隔物 520 形成双行的不连续间隔物。

[0135] 图 29-30 示出了使用 SOI（绝缘体上硅）衬底 130，其具有通过平的绝缘层 2910 分开的单晶硅层 130.1、130.2。层 2910 可以是二氧化硅、氮化硅、聚合物、或任何其它适合的材料，可以是不同材料的组合。该制造工艺类似于上面所描述的工艺。图 29-30 示出了与相应的图 8、11 相同的视图并且示出了相同的制造阶段。腔 410 的蚀刻停止在绝缘体 2920 上，并因此槽 310 的蚀刻（如上面结合图 17B 所描述的）也将如此。实现了高可控性的腔深度。在某些实施例中，层 130.2 具有（100）取向，掩模 810 中的开口是具有〈100〉侧边的矩形，并且腔蚀刻是上面所描述的 KOH 湿法蚀刻，其形成 45° 侧壁。

[0136] 某些插入件实施例用于安装在同一插入件上的不同换能器之间的光学耦合。例

如,图 31 类似于图 18,除了反射镜 144 形成在腔侧壁 910.2、910.4 上的槽末端处。可以在插入件上全部这些反射镜之上安装换能器(未示出),并且换能器可以通过光纤 104 彼此光学地耦接。同样地,在图 24 的变型中,反射镜和换能器可以设置在全部四个腔面 910.1-910.4 上。

[0137] 单个换能器芯片可以具有光发射器和光检测器两者。在顶视图和 / 或侧视图中,槽可以是弯曲的,并且可以具有变化的宽度。反射镜 144 可以由衬底 130 的表面提供,或者也可以没有反射镜 144,这是因为反射镜可以蚀刻到光纤的端面中,如 2011 年 10 月 4 日颁布给 Bowen 的美国专利 No. 8,031,993 中所述的。反射镜 144(在存在时)可以如上所述是平的,或者,可以是椭圆的或具有其它形状。也可以使用非反射镜光学元件(例如,棱镜等)

[0138] 可以通过如图 32A-32C 中所示的减性方法形成间隔物。图 32A 类似于图 6C,但是层 520 被图案化以保留在槽位置处,即,在与间隔物位置互补的区域中。该图案化使用如图 6C 中的选择性蚀刻。然后,用材料 3410 填充层 520 的特征之间的空间(图 32B)。其可以是适于间隔物的通过任何适当的工艺沉积的任何材料,例如,金属沉积在晶片之上然后被蚀刻掉以提供平的顶表面。也可以使用其它技术,例如,在层 520 的沉积之前在腔中形成的种籽层(未示出)上的电沉积。然后,相对于层 3410(图 32C)选择性地蚀刻掉层 520 以形成槽 310。层 3410 提供槽之间的间隔物。可以与蚀刻停止层(诸如,1010(图 17B))一起使用减性方法,并且减性方法可以与上面所描述的其它特征组合。

[0139] 例如,在某些实施例中,如上面结合图 8、9A、9B、10 所述地处理晶片。然后,在该晶片上沉积种籽层 3420(图 33A)以用于电镀。种籽层的材料、厚度以及沉积方法将取决于稍后要电镀的材料 3410。在某些实施例中,种籽 3420 以及层 3410 是相同的材料,例如,金属,并且种籽层通过溅射或化学汽相沉积(CVD)来沉积。在某些实施例中,在沉积种籽层之前在晶片上形成粘附层 3416。例如,如果种籽层是镍、钨、铜、铝、钛或其合金(例如,镍-钨合金),则粘附层可以通过溅射或蒸镀沉积至 2.5nm 至 100nm 的厚度的钛或铬。

[0140] 然后,如上面结合图 32A 所述的,在晶片上沉积层 520,并将其图案化。如上所述的,可以使用任何适当的材料。在示例性实施例中,层 520 是光致抗蚀剂,除了通过图案化将其去除之处,其覆盖整个晶片。然后,在种籽层 3420 的暴露部分上电镀层 3410(图 33B)。在某些实施例中,电镀在层 3410 的顶表面低于层 520 的顶表面时终止,但这不是必须的。将层 520 从晶片去除(图 33C)。可选地,将种籽层 3420 以及可能的粘附层 3416 从未被间隔物 3410 覆盖的晶片区域去除。(在某些实施例中,在槽外部的层 520 不被去除,并如此,在图 33C 的视图中,层 520 保留在左和右腔边缘处至槽 310 的左侧和右侧。)

[0141] 然后,通过如上所述的任何工艺形成反射镜 144。图 33D 示出了沿间隔物 3410 的示例性的垂直截面图。在图 33D 的示例中,通过抬离(lift-off)方法形成反射镜。在该示例中,间隔物 3410 并不延伸在腔 410 的倾斜的侧面 910 之上,以在电镀工艺(图 33B 的阶段)中在层 3410 中获得平坦的顶表面。该抬离方法使用光致抗蚀剂层 3430,光致抗蚀剂层 3430 被沉积并图案化以限定反射镜。在该实施例中,光致抗蚀剂被图案化以露出整个腔侧面 910.2。然后,在晶片上沉积层 144,并然后去除光致抗蚀剂 3430。层 144 覆盖整个侧面 910.2。图 33E 示出了所得到的结构的沿间隔物 3410 的垂直截面图。

[0142] 可以在腔 410 的蚀刻之前或者在任何其它适当的阶段,形成其它电路元件,例如,如图 22A 中的金属化的通孔。

[0143] 间隔物可以部分地或完全地覆盖光纤 104, 如图 34A 和 34B 中所示。图 34B 是顶视图, 而图 34A 是沿图 34B 中标记的 A-A' 线的与光纤垂直的垂直截面图。未示出金属化的通孔和其它电路。间隔物以 3410 示出 (本发明不限于任何附图标记)。在图 34B 的顶视图中, 间隔物 3410 形成与光纤垂直的条带, 但是在其它实施例中, 间隔物 3410 具有其它几何特征, 并且在某些实施例中, 其形成在腔上面的单个连续结构, 具有用于光纤的通道 310。如图 34B 中的分立条带或其它不连续间隔物形状可以有助于热稳定性以及便于将光纤 104 插入到光纤通道 310 中。

[0144] 图 34C (通过与图 34A 中的相同平面的垂直截面图) 示出了示例性的制造方法。通过如图 32A-32C 中那样的减性方法形成间隔物。例如, 在某些实施例中, 如图 8、9A、9B、10 中那样处理晶片以形成腔 410 以及层 810、1010。然后, 沉积层 520 并将其图案化以保留在光纤通道 310 的位置处。然后, 沉积层 3410 以覆盖层 520 并形成在层 520 的特征之间的间隔物。尤其是, 可以将层 3410 图案化以形成如图 34B 中的条带或其它不连续形状。此外, 层 520 可以被形成延伸为延伸到通道 310 之间的选定的区域以防止在这样的区域中形成间隔物 3410。

[0145] 在形成层 3410 之后, 通过湿法蚀刻将层 520 从腔 410 之上 (以及可能的别处) 去除, 以获得图 34A 的结构。可以在移除层 520 之前或之后将层 3410 图案化。

[0146] 图 34D-34E 示出了另一制造工艺。如图 33A-33C 中那样, 通过电镀形成间隔物 3410。更具体地, 如图 33A 中那样处理晶片。层 520 将作为电镀掩模, 并且在图 34D 的实施例中, 层 520 覆盖除了通道 310 的位置以外的整个晶片。然后, 电镀层 3410 到种籽层 3420 上, 如上面结合图 33B 所述的那样, 除了该电镀工艺继续直至层 3410 与掩模 520 交迭。在图 34D 中, 相邻的特征 (间隔物) 3410 并不在掩模 520 上方相遇, 因此, 通道 310 顶部上并不完全被覆盖; 图 34E 示出了在移除层 520 以及插入光纤 104 到通道 310 之后的结构; 间隔物 3410 部分地在通道和光纤上面。在其它实施例中, 电镀层 3410 直至相邻的特征 3410 在掩模 520 之上相遇, 因此通道 310 和光纤顶部上被覆盖, 如图 34A 中那样。

[0147] 在电镀之后, 去除层 520 (例如, 通过湿法蚀刻)。可以在去除层 520 之前或之后, 将间隔物层 3410 图案化以提供不连续的间隔物, 例如, 如图 34B 中那样。此外, 层 520 可以被形成延伸为延伸到通道之间的选定的区域以防止在这样的区域中形成间隔物 3410。然后, 可以如上所述地形成反射镜 144。

[0148] 如果通道 310 被完全地或部分地覆盖, 如图 34A-34E 中那样, 则光纤位置更稳固。

[0149] 在某些实施例中, 设有光纤的槽设置在插入件的顶表面和底表面两者处。每一表面处的槽可以利用上面所描述的任何技术形成, 包括结合图 1-3 描述的现有技术的技术。一个示例性的工艺如下。衬底 130 被减薄到其最终厚度。然后, 在衬底 130 中在两面上蚀刻 V 形槽或者其它槽, 可以同时地, 可以与湿法蚀刻一起进行。然后, 处理每一面, 可能如图 1-3 中的顶面那样, 以完成插入件制造。

[0150] 在某些实施例中, 如下形成插入件。将衬底 130 减薄到其最终厚度。然后, 利用上面所描述的工艺或者任何其它适当的工艺在衬底的顶和底表面中分别蚀刻腔 410. 1、410. 2 (图 35A), 可以同时地进行。在图 35A 中, 在顶部和底部上使用掩模 810 来限定这两个腔。(在顶部和底部上可以有任何数量的腔, 可以在顶部上有不同于底部上的数量的腔, 并且顶部上的腔不必在底部腔上, 也不必以任何方式对准。) 如上所述, 在顶表面和底表面

上形成蚀刻停止层 1010, 可以同时地形成 (例如, 通过硅的热氧化或者通过 CVD)。然后, 利用上面所描述的技术或者其它技术在晶片的顶表面和底上形成层 520。该层被示出为顶表面上的 520.1 以及底表面上的 520.2。如图 11 中那样, 将顶部层 520.1 平坦化, 以将其从腔 410.1 的外部去除。也可以将底部层平坦化, 但是其覆盖晶片的整个底表面。选择厚度以容纳下面描述的穿通衬底通孔工艺, 并且厚度可以是任何适当的值。

[0151] 然后, 如上面结合图 12 所述的, 通过层 810 和衬底 130 的掩模蚀刻, 在晶片的顶表面中, 在期望的穿通衬底通孔的每一位置处形成盲通孔 1210。通孔 1210 通过衬底 130, 并通过衬底之上和之下的层 810, 并部分地而不是完全地通过层 520.2。

[0152] 然后, 如图 35B 中所示, 将通孔 1210 氧化并金属化, 并利用上面结合图 12-13 所描述的工艺, 在插入件上形成导电线 1310 和可能的其它电路元件以及钝化层 1330。

[0153] 然后, 通过 CMP 或者其它工艺, 在插入件底部处减薄插入件 (图 35C), 以向着氧化物 1010 的层级移除层 520.2。通孔 1220 变为贯通孔。铜 1250 (和种籽 1230) 以及绝缘体 1220 从衬底 130 向下突出。然后, 在底表面上沉积绝缘体 1410, 并通过 CMP 将该底表面平坦化, 该 CMP 并不移除全部的绝缘体 1410 而是暴露出铜。上面结合图 14-15 描述了适当的工艺。

[0154] 如上面结合图 15-16 所述的, 并如图 35D 中所示的, 在插入件底部上形成导电线 1420 和其它电路元件以及钝化层 1430。

[0155] 蚀刻层 520.1、520.2 以形成槽 310 以及插入件顶部和底部, 并在该顶部和底部处形成反射镜 410, 如上面结合图 17A、17B、18 所述的。图 35E 示出了与槽 310 垂直的示例性的垂直截面图。腔 410.1、410.2 并不必须对准, 即, 腔 410.1 可以相对于腔 410.2 横向地偏移。槽 310 也可以具有不同的形状和尺寸。可以在顶部和 / 或底部上设置一个以上的腔, 并且顶部槽 310 并不必须与底部槽平行。

[0156] 如上面结合任何图 19-26 所述地进一步处理该结构, 并且可以如上面结合图 1-34E 所述地使用顶部或底部加工中的任何变型。(尤其是, 可以在一个或两个插入件面上使用用于槽和反射镜形成的现有技术。) 图 35F 示出了处于与图 22B 类似的阶段的示例性的结构, 换能器 120.1、120.2 分别在顶部和底部上。在该实施例中, 两个换能器通过金属化的通孔 1210 彼此连接, 但这并不是必要的。不同的换能器可以连接到不同的通孔, 或者, 可以不连接到任何通孔, 并且在需要时, 可以在插入件上安装控制器 1610 (图 22A) 和其它电路。

[0157] 在某些实施例中, 生成贯通孔 1210 而不首先形成盲通孔, 即, 直接蚀刻通孔 1210 穿过插入件晶片。此外, 本发明也不限于贯通孔。

[0158] 多种腔形状是可能的, 以满足具体应用的要求。例如, 图 36 示出了图 6A-6C 的方法的一种变型。在该变型中, 层 520 被层 3610 覆盖, 层 3610 由与 520 不同的材料 (可以由与腔表面相同的材料) 制成。层 3610 可以通过选择性沉积形成在层 520 上, 或者, 层 3610 可以在层 520 上比在腔底部上沉积更大的厚度, 并且可以被各向异性地蚀刻直至其被从腔底部去除, 或者, 层 3610 可以被留在腔底部上 (这在图 36 中未示出)。

[0159] 间隔物 520 或 3410 的侧壁可以相对于腔的底表面处于任何角度 β (图 37)。在某些实施例中, 该角度是 90° 或至少 85° 的某些其它角度。

[0160] 在某些实施例中, 至少一个间隔物向上突出以提供对所述换能器中的至少一个的

机械支撑。图 38 中所示的一个示例示出了与图 22A 类似的结构,但没有在腔之上的金属 1310 和焊料 1604。换能器 120 落着在间隔物 520 上方的钝化层 1330 上。例如,在图 11 的阶段,可以留下层 520 以向上突出超过衬底 130。然后,在需要时可以蚀刻掉腔外的层 520 以形成电路。层 520 在该腔处的向上突出将导致腔之上的钝化层 1330 的向上突出。

[0161] 在某些实施例中,“反射镜”侧壁(诸如,图 9A 的侧壁 910.2)可以通过单独的蚀刻或者其它工艺形成。例如,反射镜侧壁 910.2 可以处于与侧壁 910.1、910.3、910.4 不同的角度和/或深度。在图 39A-39C 中示出了一种可能的工艺。该工艺适于多种衬底材料,包括上面所描述的单晶硅和其它材料。最初(图 39A),形成腔 410,全部侧壁垂直或处于某其它角度。在某些实施例中,利用光致抗蚀剂掩模(未示出,与图 8 中的掩模 810 类似)通过掩模的干法蚀刻形成腔。然后(图 39B),去除光致抗蚀剂,并蚀刻侧壁 910.2 以改变其几何特征。可以类似地处理或者可以不类似地处理腔其它侧壁,并且可以如此处理整个侧壁或仅仅侧壁的一部分。在所示的实施例中,侧壁 910.2 的几何特征通过机械加工限定,更具体地,利用具有面对侧壁 910.2 的 45° 侧壁 3910A 的切片锯 3910 来限定。锯 3910 绕与侧壁 910.2 垂直的水平轴 3910X 旋转以改变侧壁几何特征。侧壁 910.2 获得与锯侧壁 3910A 匹配的 45° 外廓。见图 39C(垂直截面图)和图 40(顶视图)。

[0162] 后续的步骤可以如上面和下面结合图 1-38 所述。尤其是,腔可以填充有层 520,可以在层 1010 的沉积之后,并且可以通过图 39A-39C 的工艺或其它工艺在衬底 130 的顶部和底部两者处形成这样的腔。

[0163] 在某些实施例中,执行侧壁 910.2 的锯切或其它处理(Fig 39B)至受控的深度,并且在图 39C 的实施例中,该深度小于腔 410 的深度。这导致沿腔侧壁 910.2 的台阶 3930。该台阶可以用作用于光纤 104 的硬停止物以便于光纤对准,如图 41 中所示 - 光纤插入在槽 310 中使得它们邻接台阶 3930。(出于简明,图 41 并未示出氧化物 1010 以及如图 6A-38 中可能存在或可能不存在的其它特征。)如果期望,反射镜侧壁 910.2 可以比腔的其余侧壁深,或者可以具有相同深度。

[0164] 如图 42 中所示,初始可以在分离的晶片中形成具有槽 310 的腔和电路,所述晶片被示出为插入件 124.1 和 124.2,然后将其组装成单个光学插入件 124。一种示例性的制造工艺如下。通过如图 8-19 中那样加工衬底 130.1(单晶硅或其它适当的材料)来形成腔 410 和槽 310 以及反射镜 144 来制造光学插入件 124.1,但没有腔 410 外的电路。如图 17A-19 中那样,在插入件 124.1 中,在腔区域中可能存在氧化物 1220、金属 1310 以及钝化层 1330。如此,可以在该腔区域中形成电路元件以及金属焊盘 1310。然后,将晶片减薄以及切片,以获得包含该腔的结构,如图 43 中的顶视图所示。如上面结合图 19 所述的,在切片工艺中可以(但并不必须)去除一个或多个侧壁。可以使用如上所述的工艺变型,包括图 39A-39C 的变型。

[0165] 在单独的工艺中,通过处理衬底 130.2(单晶硅或其它适当的材料)来形成用于与换能器连接的电路以及其它电路,来制造插入件 124.2。该晶片处理可以如上面结合图 12-16 所述的。在衬底 130.2 中形成腔 4210。光学插入件 124.1 插入到该腔中并将其固着于该腔,例如通过粘合剂或其它方式。可以在插入件 124.1 附接到插入件 124.2 之前或之后,将光纤 104 插入在槽 310 中并适当地固着(例如,利用粘合剂)。如上所述,可以将换能器以及其它电路附接到组合的插入件 124。

[0166] 如图 24-26 那样,插入件 124.1 可以具有在不同侧壁上的不连续间隔物和 / 或反射镜 144,并且插入件 124.1 或 124 可以具有上面结合图 6A-41 所描述的其它特征。尤其是,在某些实施例中,插入件 124.2 在顶部和底部上具有腔 4210,分立的一个或多个插入件 124.1 插入到每一腔中。

[0167] 图 44A-46 示出了另一实施例,其中插入件 124.1 就是支撑间隔物的衬底。以 4410 示出了该衬底,并以 4420 示出了间隔物。图 44A 是插入件 124.1 的顶视图,而图 44B 是侧视图。间隔物限定通道 310。在某些实施例中,衬底和间隔物是通过衬底的掩模蚀刻形成的一体结构。衬底可以是硅、多晶硅或任何其它适当的材料。在某些实施例中,整个插入件 124.1 由光敏材料(例如,光致抗蚀剂或光敏聚合物)制成。在某些实施例中,整个插入件 124.1 是由光致抗蚀剂、环氧树脂或其他材料压印的,或者通过模制或模压制成。在其它实施例中,间隔物 4420 可以由沉积在衬底 4410 上并图案化的薄膜制成。也可以使用其它工艺。此外,间隔物可以具有上面讨论的任何形状,包括如图 27A-28 中的不连续形状,或者如图 34A-34E 中的在通道 310 上面的形状。

[0168] 插入件 124.2(图 45)可以利用上面讨论的用于插入件 124 的任何技术制造,除了插入件 124.2 并不需要间隔物。图 45 示出了如上面结合图 22B 所描述的但是没有间隔物的示例性插入件 124.2。例如,插入件 124.2 可以如上所述的制造,但是图 17A 的间隔物蚀刻被层 520 的完全去除取代。然后,如图 46 中所示(与图 45 中相同的垂直截面图),将插入件 124.1 固着在插入件 124.2 的腔 410 内,例如,根据层 1010 和插入件 124.1 中的材料并可能根据其它因素,可以利用粘合剂 4430 或焊料或其它适当的技术来进行固着。插入件 124.1 可以大于或小于腔 410。例如,插入件 124.1 可以在左侧突出于腔 410。

[0169] 可以在将插入件 124.1 附接到插入件 124.2 之前或之后,在任何期望的阶段将光纤 104 安装在通道 310 中。可以如上面结合例如图 22A 所述的,将换能器 120 安装在插入件 124.1 上。

[0170] 本发明并不限于插入件 124.1、124.2 的具体结构。在某些实施例中,插入件 124.2 具有如图 4 中那样的退行侧壁。

[0171] 图 47-48D 示出了其他类型的实施例,其中槽 310 通过诸如上面结合图 29-30 所描述地蚀刻 SOI 衬底 130 制成。衬底 130 具有通过平的绝缘层 2910 分开的单晶硅层 130.1、130.2。在层 130.2 上形成掩模层 810(光致抗蚀剂或硬掩模,诸如上面所描述的),如图 47 中所示。然后,执行蚀刻以形成槽,图 48A-48D 中示出了不同的槽几何特征。图 47-48D 示出了与槽 310 垂直的垂直截面图。在每一情况下,蚀刻停止在绝缘层 2910 上。通过同一蚀刻或分开的蚀刻形成支撑反射镜 144(图 47-48D 中未示出)的反射镜侧壁。

[0172] 在图 48A 中,形成槽 310 以及间隔物的蚀刻是各向异性垂直蚀刻,例如,干法蚀刻,可以是 RIE(反应离子蚀刻)。在图 48B 中,蚀刻是相对于特定晶面选择性的湿法蚀刻。例如,在某些实施例中,层 130.2 具有(100)取向,而槽与<100>方向平行,并且蚀刻是相对于{110}面选择性的,如上面结合图 29-30 所述的。因此,槽侧壁是相对于水平以 45° 角倾斜的。通过同一蚀刻或分开的蚀刻形成支撑反射镜 144(图 47-48D 中未示出)的反射镜侧壁。也可以使用其它取向和蚀刻技术,例如,干法蚀刻。

[0173] 在图 48C 中,蚀刻是干法的,并且是部分各向异性的但不是完全各向异性的(优选垂直),允许某些横向蚀刻。掩模 810 被底切,并且槽 310 的侧壁是倾斜的。一种示例性的

蚀刻是反应离子蚀刻 (RIE) 或深反应离子蚀刻 (DRIE), 其中利用公知的技术控制气体流速和压力以提供以 45° 到 54° 倾斜的侧壁。

[0174] 在图 48D 中, 蚀刻也是干法的, 并且是部分各向异性的但不是完全各向异性的 (优选垂直), 允许某些横向蚀刻。掩模 810 被底切, 并且间隔物具有圆的凸的侧壁。一种示例性蚀刻是 RIE 或 DRIE, 其中以公知的方式控制气体流速和压力从而使得该蚀刻初始是更加各向同性的但由于压力降低和适当的气流控制逐渐地变为越来越优选垂直的。

[0175] 其余的工艺可以是任何适当的类型, 并且图 48E-51 示出了某些选项。图 48E 示出了在去除掩模 810 (该掩模去除是可选的) 之后的结构的顶视图。图 49-51 示出了沿间隔物 130.2 的垂直截面图。如图 49 中所示, 形成掩模 4910 (例如, 硬掩模或光致抗蚀剂) 以限定横向槽 4920, 其位置在图 48E 中以虚线示出。通过适当的工艺形成槽 4920 以限定用于反射镜 144 (通过侧壁提供或通过分立的层提供, 未示出) 的 45° 侧壁 4920M。例如, 在某些实施例中, 层 130.2 为 (100) 取向, 在图 48E 的图中槽 4920 的侧面具有 $\langle 100 \rangle$ 方向, 并且槽 4920 通过如上所述的相对于 (110) 面选择性的湿法 KOH 蚀刻形成, 以为该槽形成 45° 侧壁。蚀刻停止在绝缘层 2910 上。在其它实施例中, 层 130.2 和槽 4920 可以具有任何取向, 槽通过完全垂直的蚀刻形成, 并且利用切片锯形成 45° 侧壁 4920M, 如上面结合图 39A-41 所述的。另外, 可以通过用于相应的分开的通道 310 的分开的槽取代连续的槽 4920。其它实施例也是可能的。

[0176] 后续的工艺可以是如上面提供的许多示例中的那样, 图 50 和 51 示出了某些选项。图 50 示出了与图 22A 的类似的结构示例。图 50 还示出了形成在槽 4920 的侧壁上的保护层 4930。该保护层被从反射镜侧壁 4920M 去除。其余工艺步骤可以基本上如上面针对图 22A 或 26 的结构或其它插入件结构所述的。可以在任何适当的阶段形成金属化通孔。图 51 中示出了一种替代的结构。这里, 槽 4920 具有如图 4 中那样的退行侧壁 (例如, 135° 侧壁)。这样的侧壁可以如例如下面结合图 52A-59 所描述地形成。除了如所附权利要求所限定的之外, 本发明并不限于特定的结构或工艺步骤。

[0177] 现在将描述在图 4 或 51 的某些实施例中使用的退行结构形成。图 4 或 51 的硅插入件可以利用具有 (100) 取向的单晶硅衬底 130 (或图 51 中的层 130.2) 制造。如图 52A (垂直截面图) 和 52B (顶视图) 中所示, 形成适当的掩模 810 (例如, 热或 CVD 二氧化硅) 以限定腔 410。在该实施例中, 掩模开口是矩形的, 具有沿 $\langle 100 \rangle$ 方向延伸的侧边 5210.1-5210.4。如下面描述的, 将在这些边中的一个或多个处形成 135° 的退行角度。在某些实施例中, 期望退行角度的每一边沿 $\langle 100 \rangle$ 方向延伸, 但其它边可以沿不同的方向延伸。本发明并不限于矩形掩模开口。

[0178] 各向异性的、相对于掩模 810 选择性的、完全垂直的蚀刻形成具有垂直侧壁的腔 410 (图 53, 垂直截面图)。例如, 这可以是干法蚀刻。然后 (图 54, 垂直截面图), 进行相对于 {110} 硅面选择性的湿法蚀刻, 以加深该腔和底切腔边缘, 来形成退行的 135° 侧壁。可以使用与用于图 9A 的形成 45° 侧壁的任何蚀刻相同的湿法蚀刻。在某些实施例中, 通过该湿法蚀刻使腔深度加倍, 或双倍以上。

[0179] 根据需要可进行另外工艺。例如, 为了形成图 4 的结构, 去除掩模 810 (图 55A), 并将晶片切片以移除侧面 5210.4。换能器 120 被通过任何适当的手段 (例如, 粘合剂) 附接到衬底 130 的底部。一个或多个光纤 104 固着在腔中。通过硅侧壁表面 5210.2 提供反射

镜 144。图 55A 示出了光纤和换能器之间的示例性光束；该光束具有与腔的底表面平行的支路 140B 以及与腔的底表面垂直的支路 140A。光束可以在两个方向中的一个或两者中行进 - 从光纤到换能器和 / 或从换能器到光纤。

[0180] 在某些实施例中，在晶片切片之前，沉积并图案化适当的材料（例如，聚合物，未示出）以限定间隔物，与图 17B 中的间隔物 520 类似，其具有用于光纤 104 的槽 310。也可以如图 32A-32C 中那样，减性地形成间隔物。通过适当的工艺，例如，湿法蚀刻，从退行侧壁之下蚀刻掉间隔物材料。

[0181] 替代地，可以通过掩模 810 限定间隔物和槽（图 52A-52B），即，掩模 810 可以覆盖槽之间的间隔物区域。然后，通过图 53、54 的蚀刻形成间隔物和槽。在这种情况下，槽可以具有退行侧壁 - 槽的横向截面图可以如图 5 中那样。

[0182] 间隔物和槽可以通过单独的插入件 124.1（图 55B）提供，该插入件 124.1 可以与图 44B 的插入件 124.1 一致。

[0183] 图 56-59 示出了这样的实施例，其中仅侧面 5210.2 是退行的，其余侧面除了与侧面 5210.2 相邻的部分之外是垂直的。制造如图 52A、52B、53 中的那样进行，以形成具有垂直侧壁 5210.1-5210.4 的腔 410。然后，形成掩模 5610（图 56，顶视图），其覆盖除了与侧面 5210.2 相邻的区域之外的腔 410。然后，如上就图 54 所述的，进行湿法蚀刻。该湿法蚀刻是相对于掩模 5610 选择性的。该湿法蚀刻加深了被掩模 5610 暴露的腔部分，并在侧面 5210.2 处和侧面 5210.1、5210.3（未示出）的与侧面 5210.2 相邻的部分处形成 135° 退行外廓。在侧面 5210.2 对面的加深的腔部分处形成 45° 倾斜 5710。

[0184] 然后，去除掩模层 810 和 5610（见图 58，垂直截面图）。将该结构切片，然后如上面结合图 55A 所述的，附接换能器 120 和光纤 104（图 59，垂直截面图）。可以如上面结合图 55A 或 55B 所述地，形成间隔物。

[0185] 退行侧壁可以处于不同于 135° 的角度。例如，如果侧壁是 (100) 或 (110) 晶片中的 {111} 面，则 125.3° 的角度是可能的。为了得到这样的角度，在 (100) 晶片中侧面 5210.2 应当取向在 [111]，而在 (110) 晶片中应当取向在 [100]。

[0186] 在上面所描述的某些光学实施例中，光纤 104 是可选的；光束可以通过空间传送而无需光纤。例如，在某些实施例中，所述光束是激光束。

[0187] 在某些实施例中，如上面结合图 5 所述的，退行侧壁用于 MEMS 应用。例如，图 60（如图 54 中那样的垂直截面图）示出了一种基于诸如图 5 或 54 中示出的硅结构的传感器。该传感器由具有 (100) 取向并具有腔 410 的单晶硅晶片 130 制成，腔 410 具有至少两个由硅晶面形成的处于 135° 或 125.3° 角度的退行侧壁。该腔可以如上面结合图 52A-54 所述地形成。腔底部处的薄衬底部分 6010 提供隔膜，其形变由电路 6020 检测，电路 6020 被示出为在衬底 130 的顶表面和 / 或底表面处形成的多个块。电路块 6020 可以包括与衬底 130 集成的元件和 / 或连接到衬底的外部元件。在某些实施例中，隔膜 6010 被掺杂以提供连接到电路 6020 的一个或多个电阻器。如果隔膜变形，则电阻器中的一个或多个可以变为延展的，并因此电阻性较大，或者可以变为压缩并如此电阻性较低。通过所述一个或多个电阻器的电流或电压由电路 6020 利用已知技术检测。例如，见 1990 年 3 月 6 日颁布给 Okada 的美国专利 No. 4,905,523；1999 年 12 月 7 日颁布给 Murata 等人的美国专利 No. 5,998,234；以及 Wu 等人于 2010 年 11 月 22 日提交的美国专利申请 No. 12/951,738，其在 2012 年 3 月

15 日公开为 US2012/0060605A1 ;通过引用将其全部并入在此。

[0188] 在其它 MEMS 实施例中,电路块 6020 包括换能器,其使得隔膜 6010 加热或变形以影响腔 410 中的液体或气体(未示出)。除传感器功能以外,还可以提供这样的功能,或者,可以在 MEMS 结构中提供这样的功能而没有传感器功能。

[0189] 在传感器实施例中,也可以如图 61 中所示的,光学地检测隔膜运动。在该实施例中,腔侧壁 5210.2、5210.4 如图 54 中那样处于 135° 。发送器 120.1 和接收器 120.2(其可以是在分开的半导体芯片中或者在相同芯片中形成的换能器)可以刚性地附接到隔膜 6010 的底部,从而使得在隔膜变形时它们与隔膜一起移动,或者,它们可以安装在分开的安装件(未示出)上以使得在隔膜变形时不改变其位置。发送器 120.1 发送光束 140(例如,激光束)通过隔膜。如果隔膜 6010 是水平的,则束被腔侧壁 5210.2 反射以水平地行进到侧壁 5210.4。侧壁 5210.4 将束反射以垂直向下行进通过隔膜 6010 到接收器 120.2。如果隔膜变形,则束 140 的路径将改变,并且束将不命中接收器 120.2,或者将以不同的方式以不同的可测量的参数命中接收器,例如,在接收器 120.2 的不同部分和/或以不同的角度和/或以不同的强度的空间分布和/或以不同的相位和/或极化。接收器 120.2 检测这些差异以提供感测信号(例如,表示所述差异的电信号)。

[0190] 图 60、61 的传感器可以用于检测和测量隔膜位移和/或振动和/或应变(即,对隔膜的的压力)。也可以测量其它参数,如果它们受隔膜的位移或形变或振动的影响的话。这样的参数包括:温度、电导率、电阻、应变、压力、反射率、折射率以及可能的其它参数。

[0191] 在某些实施例中,图 54 的结构的侧壁 5210 用作用于芯片间通信的反射表面。图 62(垂直截面图)示出了衬底 130,其用作用于芯片 6210.1、6210.2 之间的通信的光学插入件。芯片 6210.1 连接到换能器 120.1,可以通过导电线 6230 连接。芯片 6210.2 通过其它导电线 6230 连接到换能器 120.2。芯片 6210.1 和换能器 120.1 附接到衬底 130 的顶表面。芯片 6210.2 以及换能器 120.2 附接到衬底 130 的底表面。换能器 120.1 与腔 140 的侧壁 5210.4 相邻。换能器 120.2 安装在腔下面。线 6230 可以形成在衬底 130 中和/或上,和/或通过分立线(未示出)形成。许多变型是可能的,例如,芯片 6210.1 和换能器 120.1 可以集成到单个芯片中;芯片 6210.2 和换能器 120.2 也可以集成到单个芯片中;替代地,一个或多个芯片 6210.1、6210.2 可以与插入件分开地安装;这些都是非限制性示例。

[0192] 腔侧壁 5210.2、5210.4 处于 135° 。侧壁 5210.2 比侧壁 5210.4 高。换能器 120.1 安装在衬底的从侧壁 5210.4 的顶部处的腔边缘延伸的水平表面上。换能器 120.1 发射的水平束 140 被侧壁 5210.2 反射以垂直向下行进到换能器 120.2。在其它实施例中,束 140 在反向方向(即,从换能器 120.2 到换能器 120.1 行进),或者,可以提供在相反方向上的多个束。

[0193] 可以如图 63A、63B、63C(垂直截面图)中所示地制造插入件。首先,如图 52A-54 中那样处理衬底 130。然后,沉积正光致抗蚀剂的层 6310 以填充腔 410 并覆盖衬底 130。该抗蚀剂层具有平的顶表面。利用已知技术在该抗蚀剂中形成开口 6320(图 63B)以便露出腔侧壁 5210.4 之上的衬底 130。开口可以延伸到腔 410 中,但抗蚀剂不从腔底部去除掉,从而使得腔底部不暴露。如本领域中已知的,可以通过将光致抗蚀剂曝光到小于腔底部之上的整个深度的有限的深度,来实现该抗蚀剂图案化。

[0194] 相对于抗蚀剂 6310 选择性地,即,与侧壁 5210.4 相邻地,蚀刻衬底 130。见图 63C。

侧壁 5210.4 变短。然后剥离抗蚀剂以获得图 62 中所示的插入件。

[0195] 可以在任何适当的阶段形成导电线 6230 和其它导电线,并且可以在适当时安装换能器和芯片。

[0196] 由于在图 62 中侧壁 5210.4 不用作反射器,因此侧壁 5210.4 可以是垂直的或处于某些其它角度。此外,插入件 130 可以是如图 55A 或 59 中那样,以换能器 120.1 取代光纤 104。

[0197] 在图 62 的实施例以及某些其它具有退行表面的光学实施例中(例如,如图 51、55A、55B、59、61 中),可以通过形成平滑反射层(与图 18 中的层 144 类似)来改善退行侧壁(诸如,侧壁 5210.4)的反射性质,该平滑反射层提供期望的反射性质,例如,在期望的波长范围中的期望的反射率和期望的平滑性。例如,可以通过化学汽相沉积(CVD)沉积铝或铜。此外,也可以使用溅射,继之以重溅射(re-sputtering),如图 63D 和 63E 中所示。更具体地,可以在衬底 130 的顶表面上溅射沉积适当的反射材料(例如,金属)(可以是铝,铜、金、银或其它适当的材料或其组合)的层 6330。层 6330 是非保形的,覆盖处于溅射靶(未示出)的视线中的表面但不覆盖退行侧壁 5210.2, 5210.4。见图 63D。然后,进行重溅射。在该工艺中,层 6330 被离子或原子(例如,氩)轰击,这把层 6330 的原子逐出。被从腔 410 的底部逐出的原子中的某些沉积在反射镜侧壁 5210.2 上并可能在其它退行侧壁上,以提供反射镜 144。

[0198] 替代地,反射镜 144 可以形成在分立的衬底(未示出)上,然后从该分开的衬底释放,并利用粘合剂胶粘到反射镜侧壁或侧壁(例如,5210.2),如上面结合图 18 所述的。

[0199] 本发明不限于上面所描述的特征例如,同一结构中,不同通道 310 可以具有不同长度。可以为任何适当的波长提供光纤以外的波导,所述波长包括但不限于:可见光(从大约 380nm 到大约 740nm)或红外辐射(从大约 10nm 直至可见光)或紫外线辐射(从大约可见光直至大约 300 μm)。其它变型也是可能的。某些实施例提供了一种衬底,包括单晶硅的区域(例如,图 54 中的区域 130),该区域包括:

[0200] 第一表面,其是单晶硅的晶面(例如,{100}面)(这可以是例如,腔 410 的底表面);以及

[0201] 第二表面,其是单晶硅的晶面(例如,{100}面)(这可以是例如,腔 410 的侧壁表面);

[0202] 其中所述第一和第二表面以 135° 或 125.3° 的角度彼此相遇,该角度是通过单晶硅所占据的空间测量的(例如,图 5 中的角度 α)。

[0203] 在某些实施例中,所述衬底用于这样的结构(例如,如图 55A 或 55B 或 59 中那样),其中所述第二表面是用于提供电磁波路径的反射器,所述路径具有与所述第一表面平行的第一段(例如,图 55A 或 55B 中的 140B)以及通过所述第一表面的第二段(例如,140A),所述第一段和第二段在所述反射器处相遇。

[0204] 某些实施例包括换能器(例如,图 55A 中的 120),其与所述路径的第二段相遇,用于从所述路径接收电磁波或用于发送电磁波到所述路径中。在某些实施例中,所述换能器附接到所述衬底。

[0205] 在某些实施例中,所述电磁波在 10nm 到 300 微米的波长范围内。

[0206] 某些实施例提供了一种用于制造衬底的方法,所述方法包括:

[0207] 获得单晶硅区域,所述区域具有第一表面(例如,图 52A 中的衬底 130 的顶表面),其是单晶硅的晶面(例如,(100)面);

[0208] 在所述第一表面中形成通孔(例如,所述通孔可以是图 53 中的腔 410,或者,可以是贯通孔),所述通孔具有侧壁,所述侧壁形成小于 135° 或 125.3° 的预定的角度 α 的一个或多个角度,所述角度 α 是所述侧壁和通过所述通孔的底部并与所述第一表面平行的第一面之间的角度(例如,所述第一面底表面可以是图 53 中的腔 410 的底表面;如果所述通孔是贯通孔,则所述第一面可以通过所述通孔底部的水平面),所述角度 α 是通过所述单晶硅区域测量的;以及

[0209] 相对于所述单晶硅区域的预定的晶面选择性地(例如,相对于 {110} 面选择性地)湿法蚀刻所述侧壁,以形成相对于所述第一面成所述角度 α 的第二表面(例如,图 54 中的侧壁表面 5210.4)。

[0210] 某些实施例提供了一种插入件(例如,图 46 中的 124),用于接口连接多个波导(例如,光纤线缆 104)到用于耦接到一个或多个波导的一个或多个换能器,每一波导用于传送电磁波到所述换能器中的一个或多个和/或传送来自所述换能器中的一个或多个的电磁波,所述插入件包括:

[0211] (a) 第一插入件结构(例如,124.1),包括一个或多个第一间隔物(例如,4420),其限定用于支撑所述波导的多个第一通道(例如,310);以及

[0212] (b) 第二插入件结构(例如,124.2),包括第一腔(例如,410),所述第一插入件结构附接到所述第二插入件结构并且至少部分地位于所述第一腔中;

[0213] 其中所述第一腔包括侧壁表面(例如,图 45 中的腔 410 的右侧壁),所述侧壁表面包括一个或多个侧壁部分(例如,侧壁部分可以是单个槽 310 中的一部分);

[0214] 其中,每一第一通道具有第一端(例如,与反射镜 144 相邻的右端),其与所述一个或多个侧壁部分中的相关联的侧壁部分相邻,每一侧壁部分用于提供和/或支撑重定向元件(例如,对于单个槽 310 的反射镜 144 部分),其用于指引进和/或出第一通道的相应波导的电磁波。

[0215] 某些实施例提供了一种用于制造插入件的方法,所述插入件用于将多个波导接口连接到一个或多个换能器,所述方法包括:

[0216] 在衬底中形成第一腔(例如,图 32A 中的 410);

[0217] 在所述第一腔的底表面上形成第一层(例如,520),在所述第一层的顶表面中有一个或多个缝隙(例如,图 32A 中的特征 520 之间的缝隙);

[0218] 在所述一个或多个缝隙中形成第二层(例如,3410);以及

[0219] 移除所述第一层的至少一部分以形成多个通道,所述多个通道通过所述第二层的位于所述一个或多个缝隙中的部分彼此分开,所述第二层在所述一个或多个缝隙中的部分提供在所述第一腔中的一个或多个间隔物,其中所述多个通道用于支撑用于传送电磁波的波导,其中所述波导要耦接到一个或多个换能器。

[0220] 在某些实施例中,形成所述第二层包括:形成所述第二层为与所述第一层交迭(例如,如图 34C 或者 34D 中那样);并且

[0221] 其中移除所述第一层的至少一部分包括:从所述第二层之下移除所述第一层的至少一部分。

[0222] 在某些实施例中,形成所述第二层包括:在所述一个或多个缝隙中电镀所述第二层。例如,注意图 34D。

[0223] 某些实施例还包括形成用于所述第二层的电镀的种籽层(例如,3420),所述种籽层在所述第一层之前形成;

[0224] 其中形成具有所述一个或多个缝隙的所述第一层包括:

[0225] 形成没有所述一个或多个缝隙的第一层;以及

[0226] 移除在所述一个或多个缝隙的位置处的所述第一层,以形成所述一个或多个缝隙并在所述一个或多个缝隙中露出所述种籽层。

[0227] 某些实施例提供了一种光学插入件,用于将多个波导接口连接到一个或多个用于与所述波导耦合的换能器,所述插入件包括顶表面,其中具有第一腔;

[0228] 其中所述插入件还包括在第一腔的表面上一个或多个第一间隔物,其中所述一个或多个第一间隔物限定用于支撑所述波导的多个第一通道(例如,所述间隔物可以包括图 34A 或 34E 中的通道 310 之间的层 3410);

[0229] 其中至少一个第一间隔物与至少一个第一通道交迭(例如,如图 34A 或 34E 中那样)。

[0230] 在某些实施例中,至少两个相邻的第一间隔物在第一通道之上相遇(例如,如图 34A 中那样)。

[0231] 某些实施例还包括用于连接到所述一个或多个换能器的电路。例如,见图 22A-26、31、35F、38、59。

[0232] 某些实施例提供了一种用于制造插入件的方法,所述方法包括:

[0233] 获得衬底,所述衬底包括半导体材料的第一层(例如,图 47-48D 中的 130.1)以及在所述半导体材料的第一层下面的绝缘层(例如,层 2910);

[0234] 在所述半导体材料的第一层之上形成掩模(例如,810),来以第二层限定多个通道,所述通道用于支撑要耦合到一个或多个换能器的波导;

[0235] 相对于所述掩模以及相对于所述绝缘层选择性地蚀刻所述第一层,以形成所述通道。

[0236] 某些实施例还包括:在所述第一层中形成一个或多个槽(例如,图 49 中的槽 4920,或多个槽(未示出)-例如,可以在每一通道 310 的端部处形成分立的槽;如果期望的话,不同通道 310 可以具有不同长度),其中每一个槽具有一个或多个侧壁部分(例如,4920M),其中每一个通道具有与所述侧壁部分中的相关联的侧壁部分相邻的第一端,每一个侧壁部分用于提供和/或支撑光学元件,所述光学元件用指引进和/或出所述第一通道的相应光纤线缆的光(所述光学元件可以是相应通道 310 对面的反射镜 144 的部分;所述反射镜可以是金属或者如图 51 中的硅的表面 130.2)。

[0237] 其它实施例和变型也在如所附权利要求所限定的本发明的范围内。

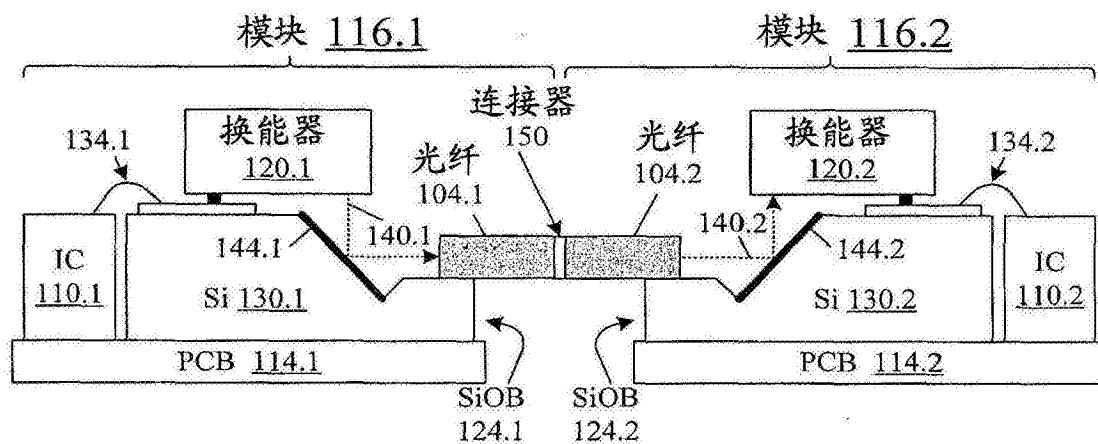


图 1(现有技术)

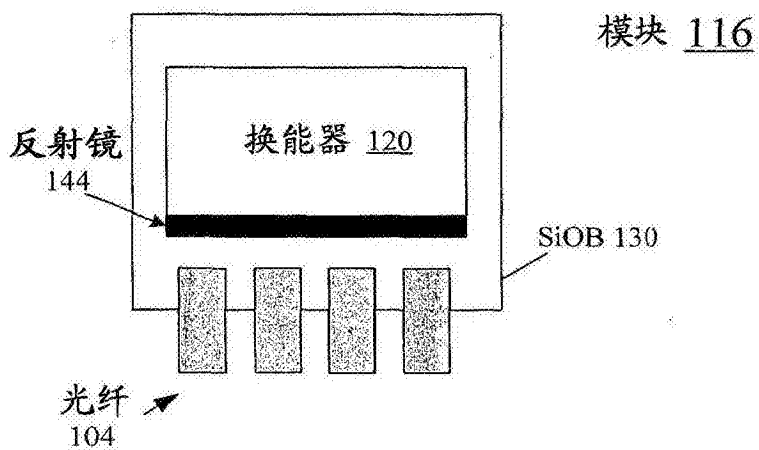


图 2(现有技术)

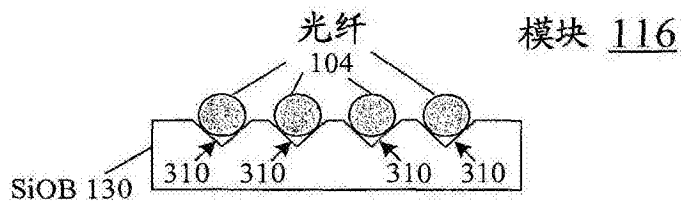


图 3(现有技术)

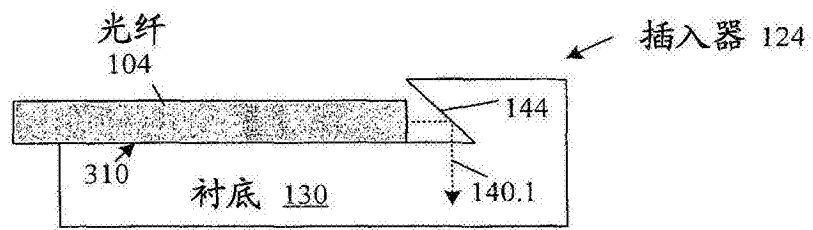


图 4

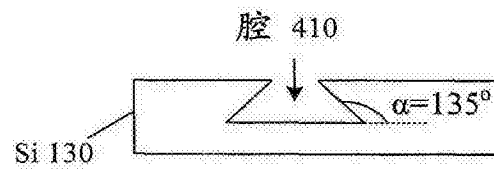


图 5

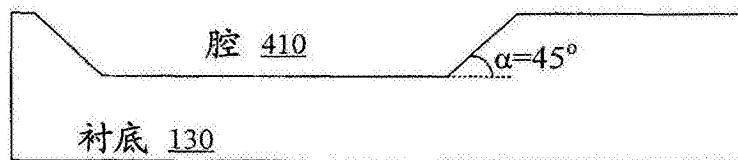


图 6A



图 6B

插入器 124

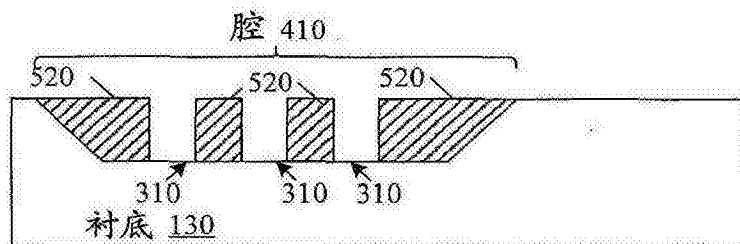


图 6C

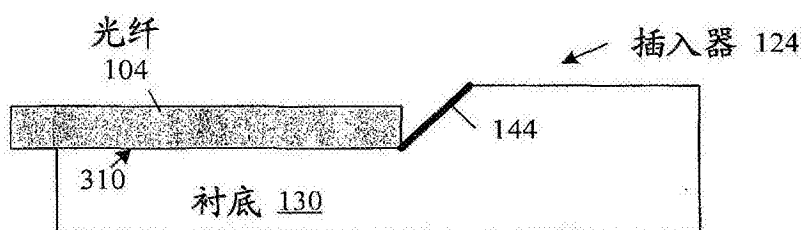


图 7

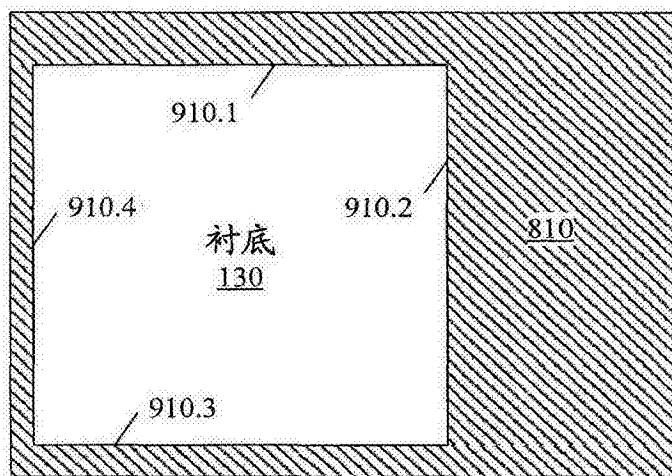


图 8

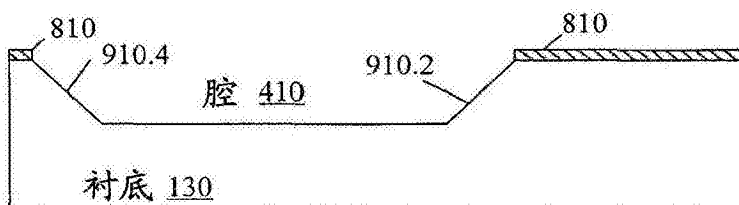


图 9A

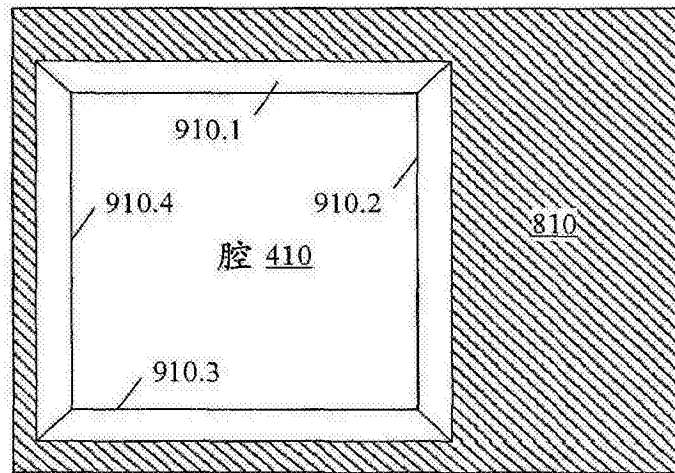


图 9B

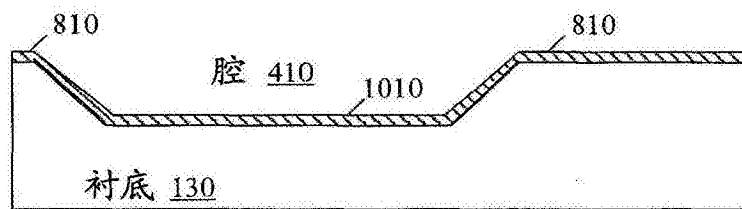


图 10

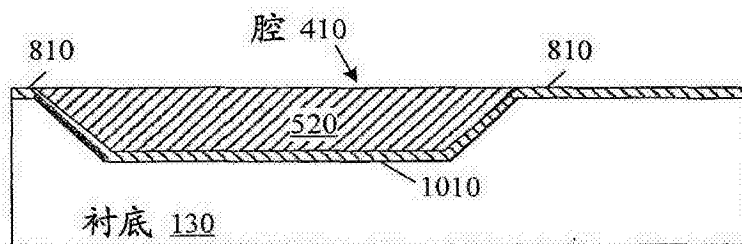


图 11

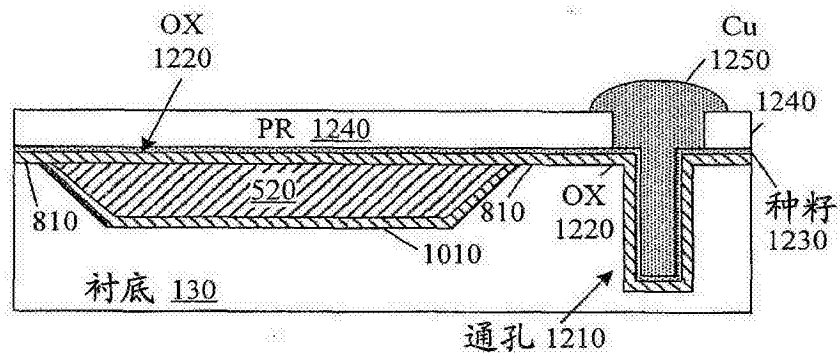


图 12

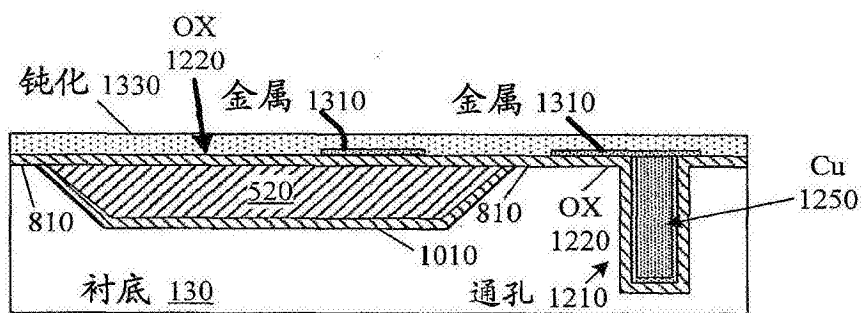


图 13

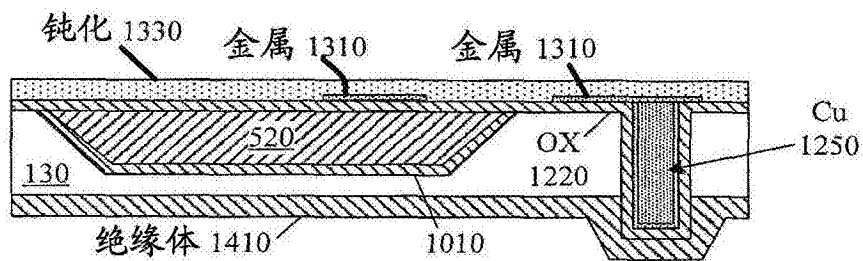


图 14

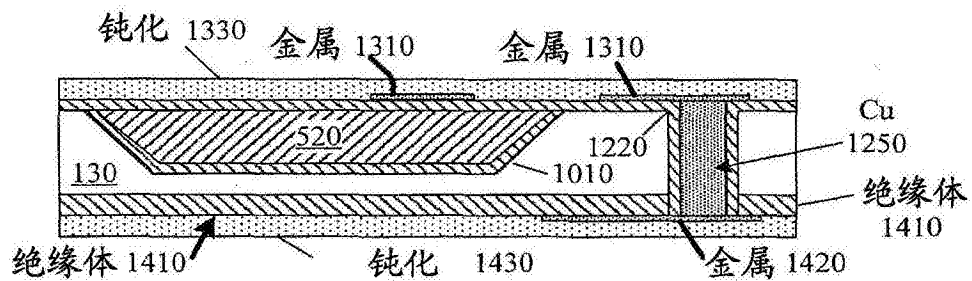


图 15

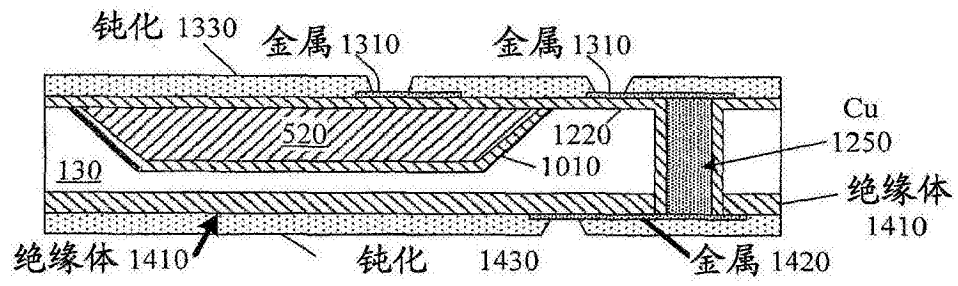


图 16

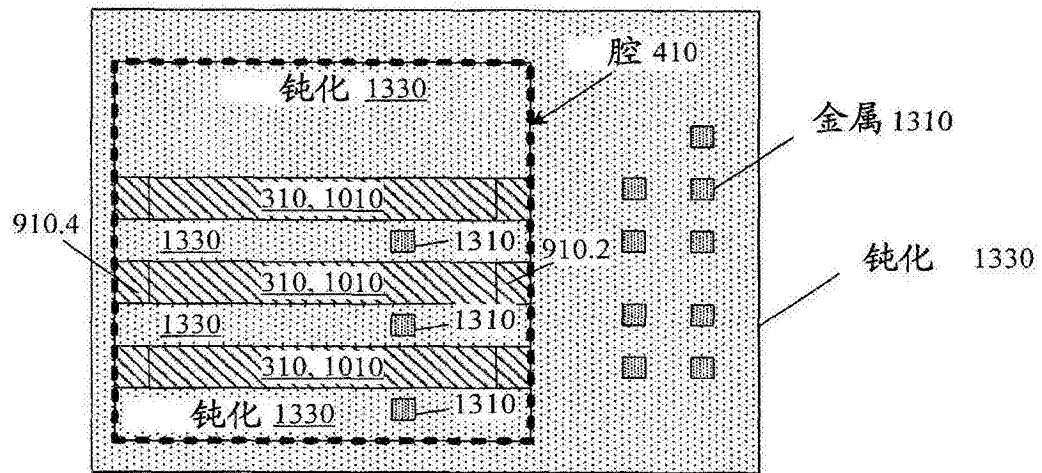


图 17A

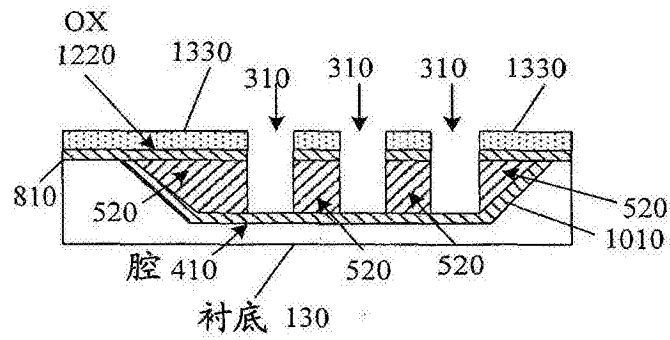


图 17B

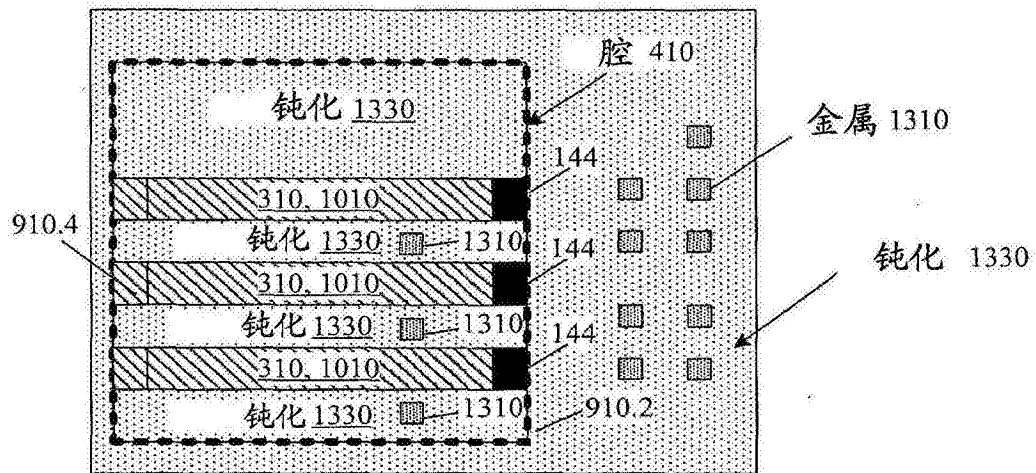


图 18

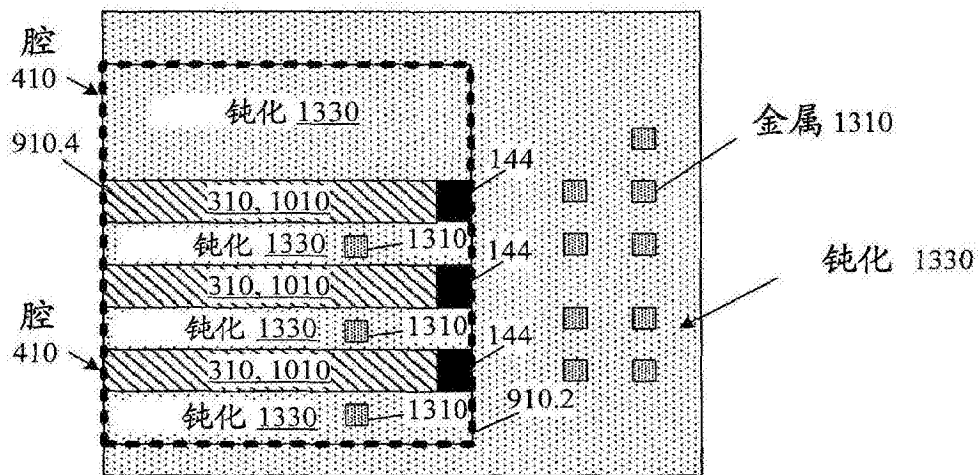


图 19

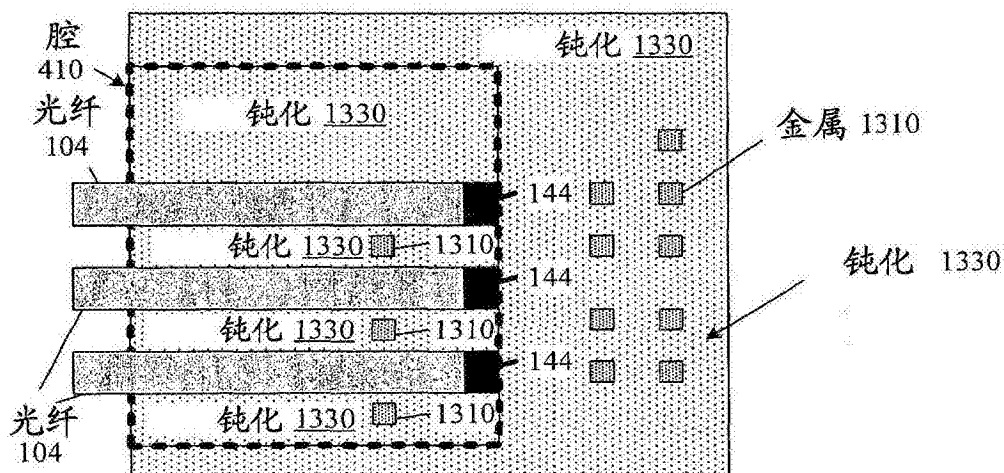


图 20

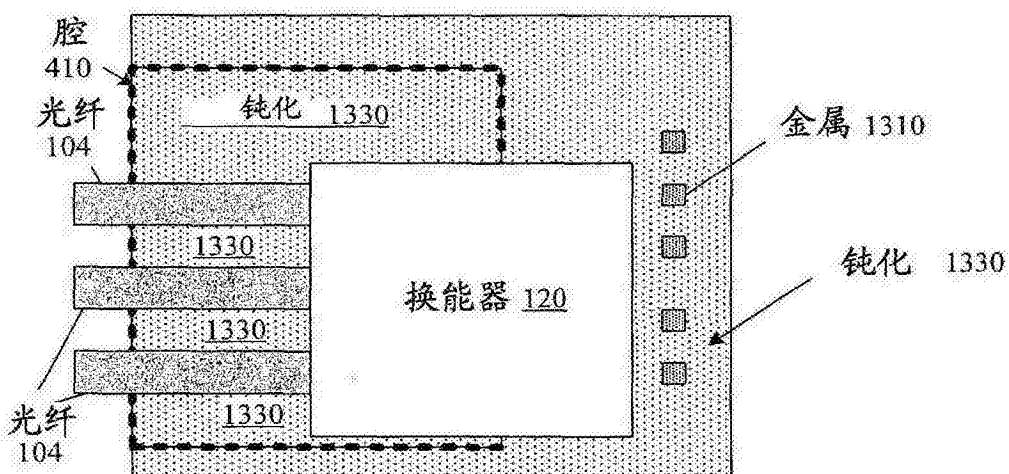


图 21

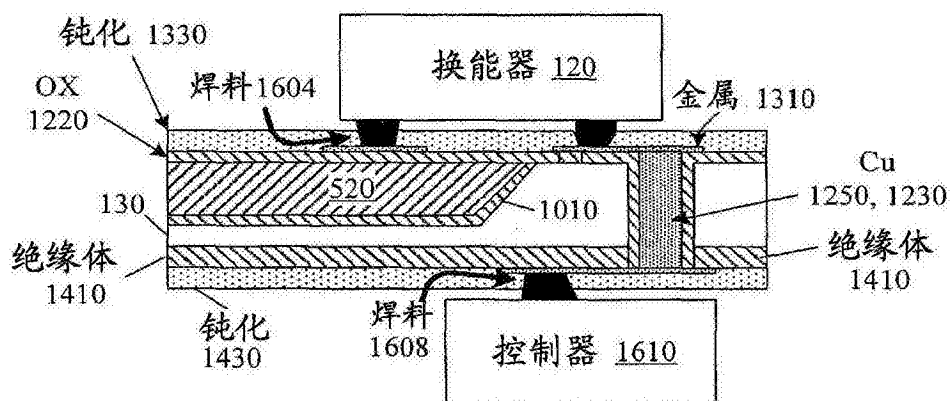


图 22A

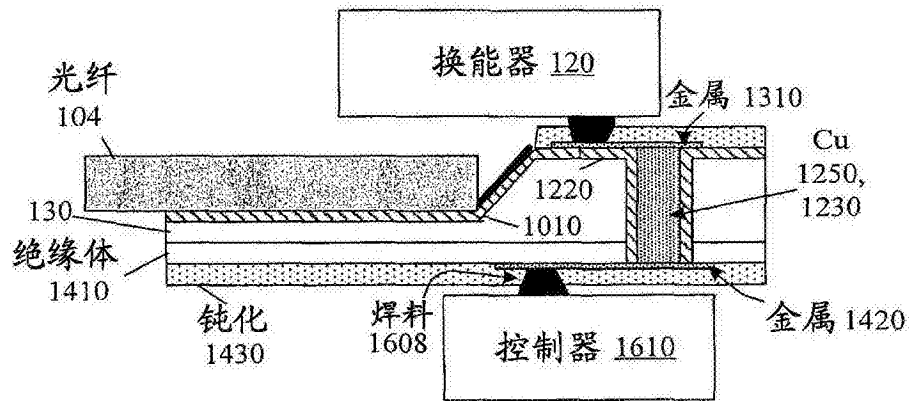


图 22B

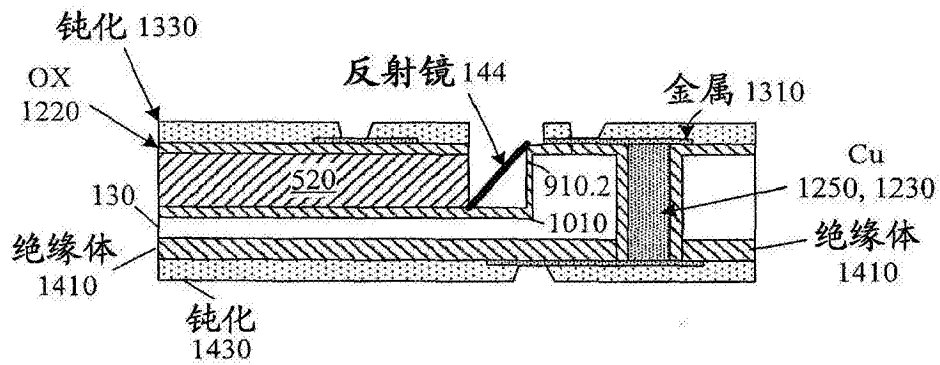


图 23A

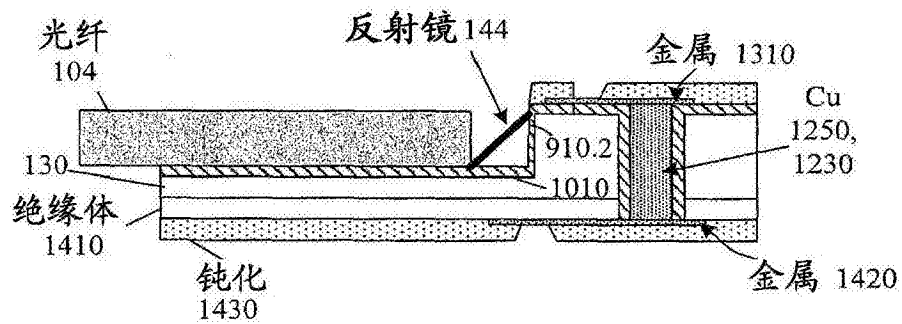


图 23B

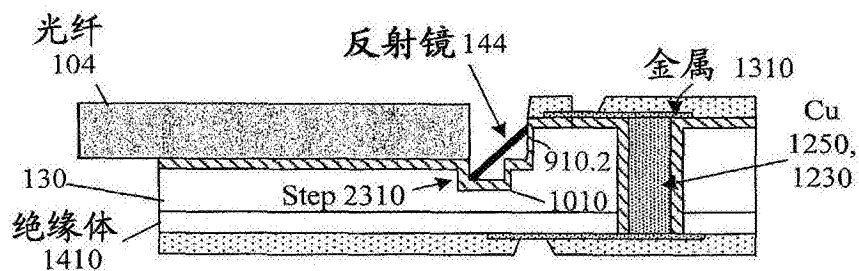


图 23C

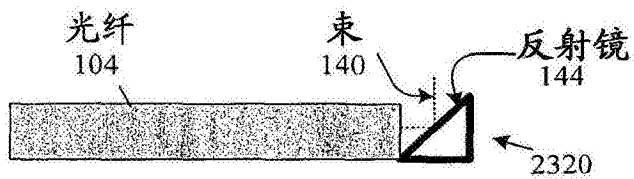


图 23D

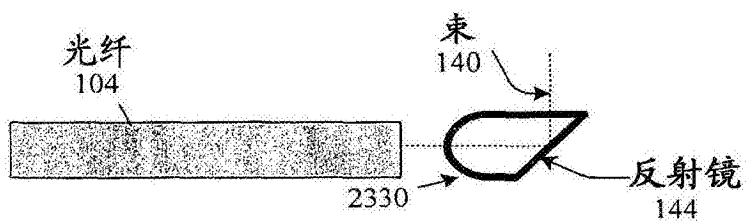


图 23E

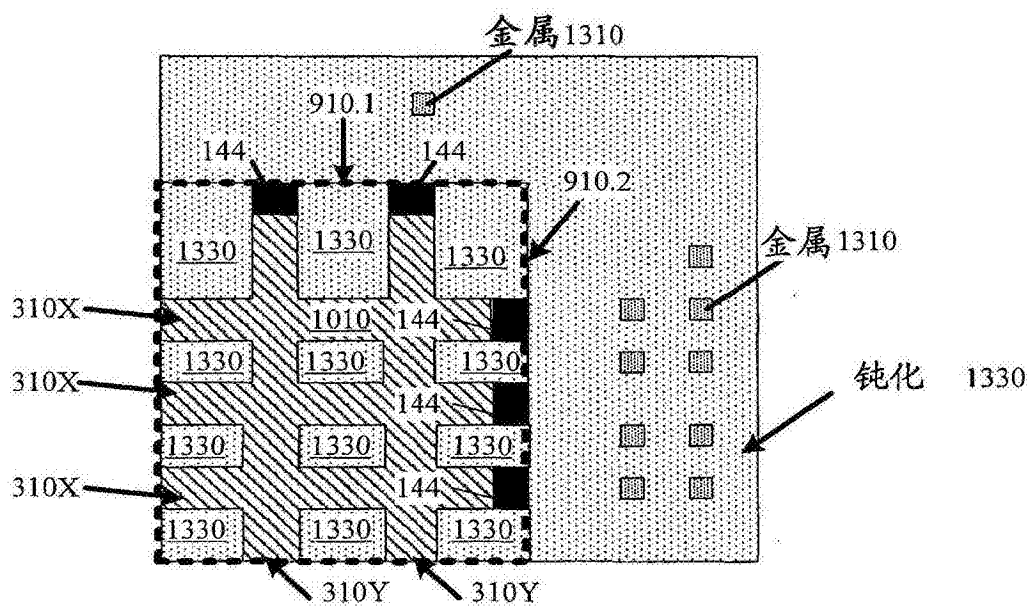


图 24

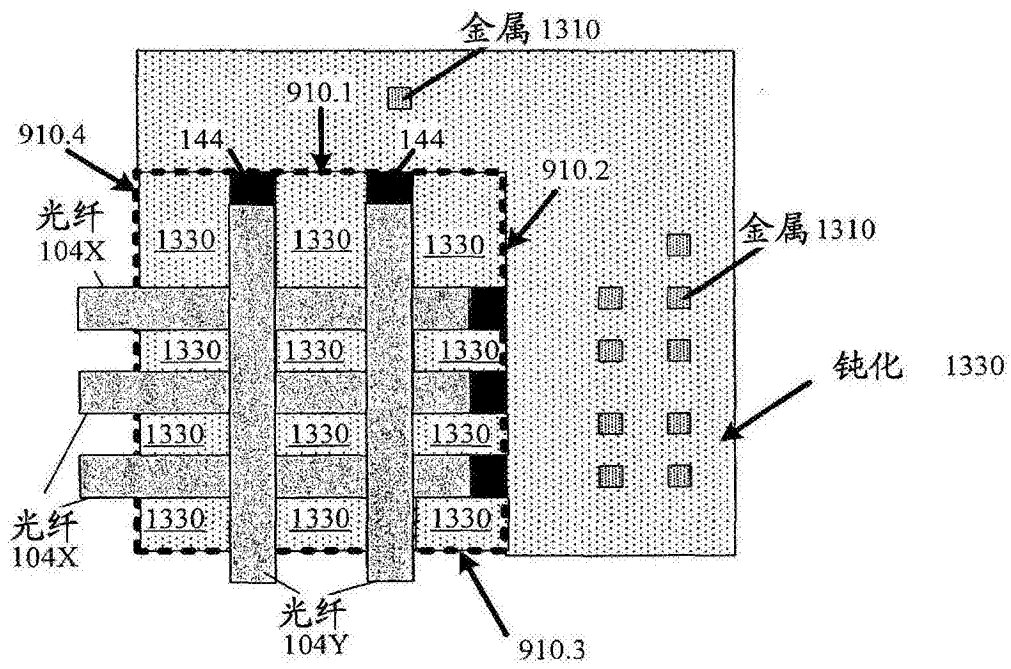


图 25

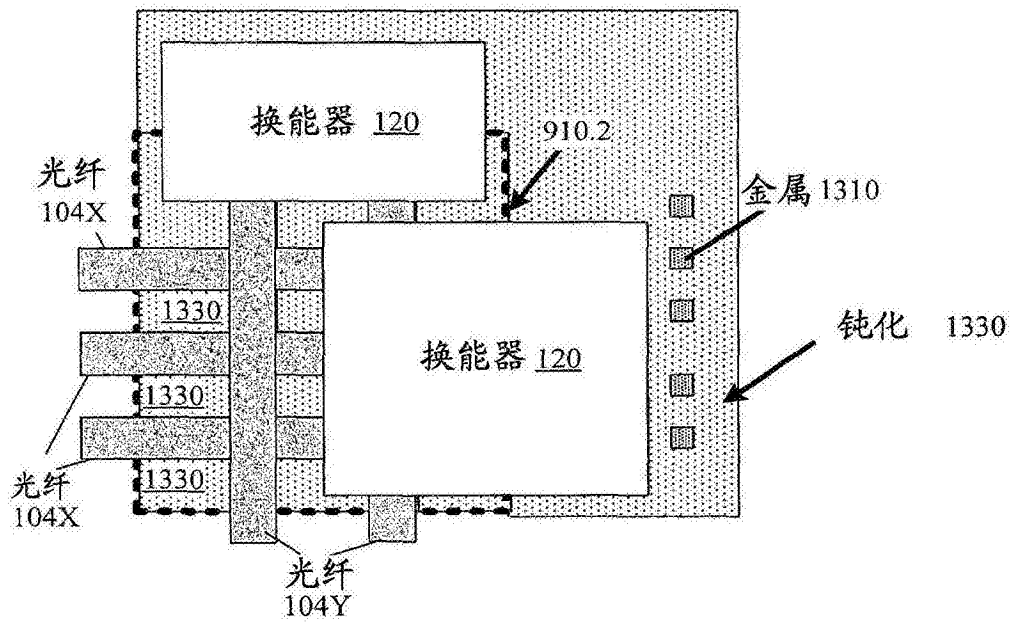


图 26

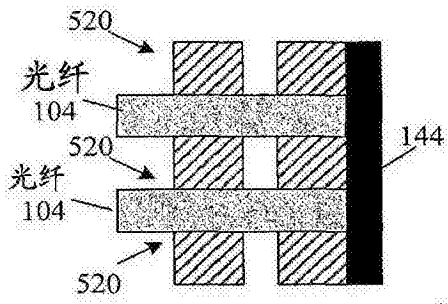


图 27A

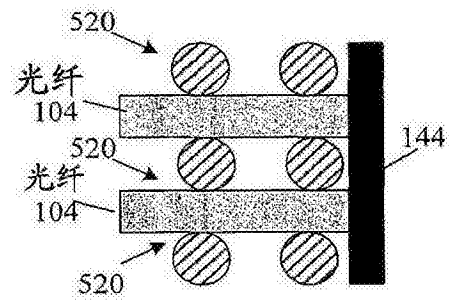


图 27B

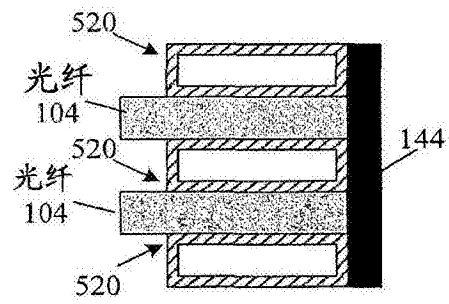


图 27C

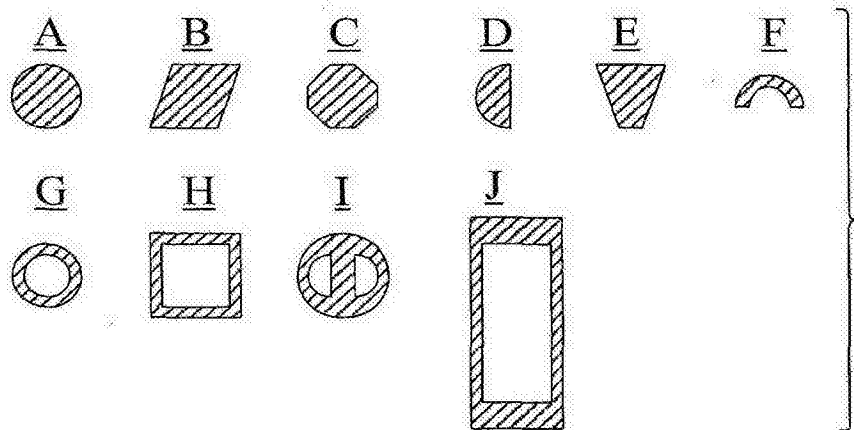


图 27D

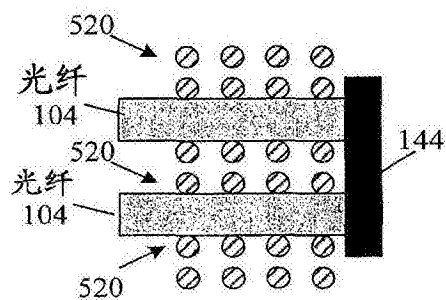


图 28

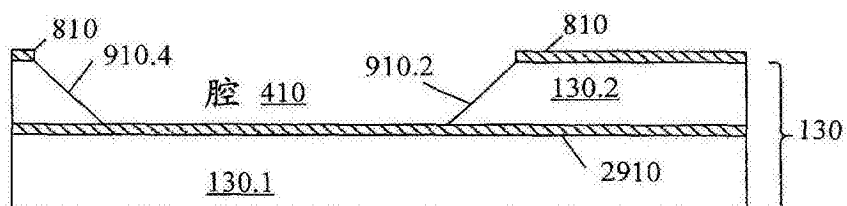


图 29

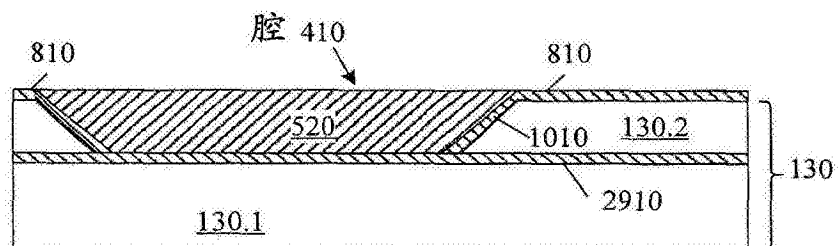


图 30

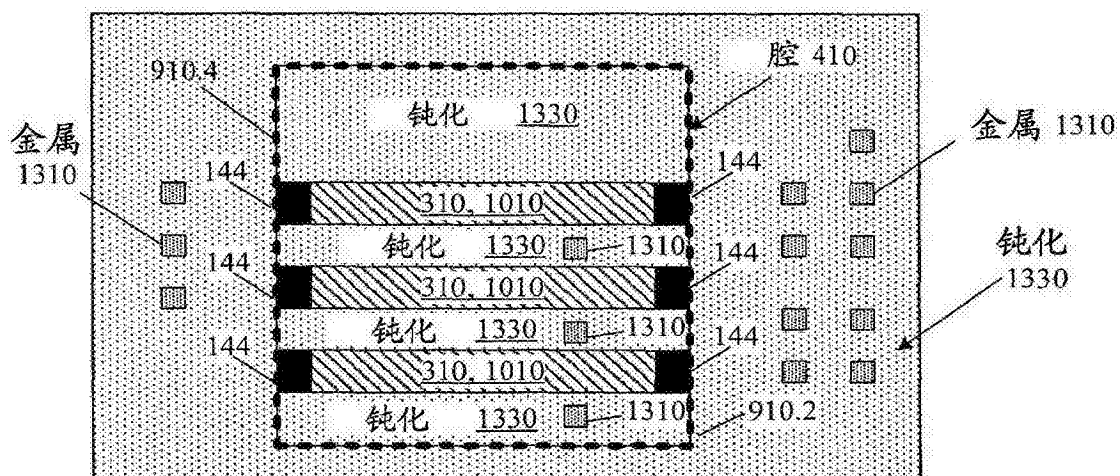


图 31

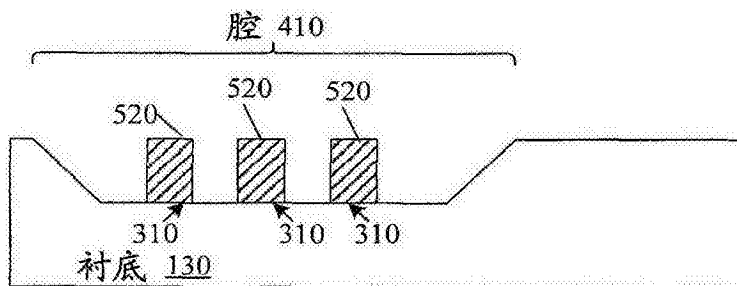


图 32A

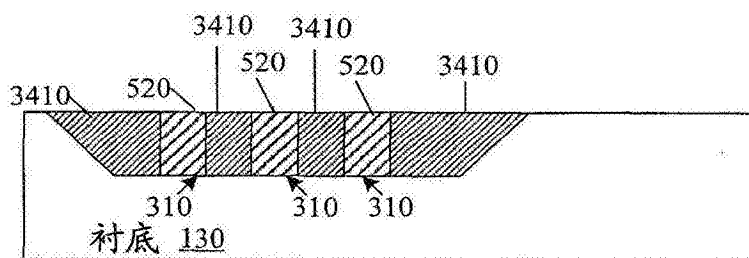


图 32B

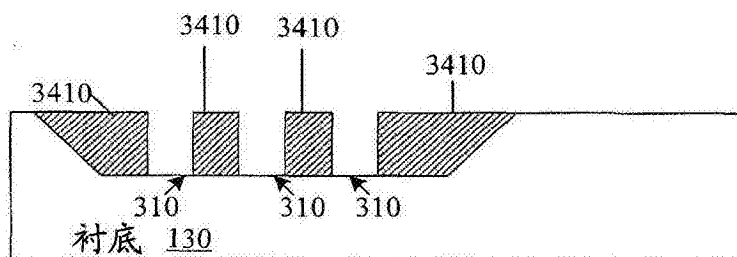


图 32C

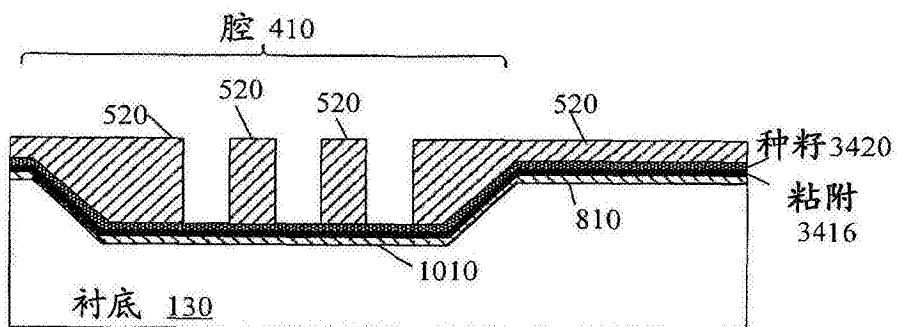


图 33A

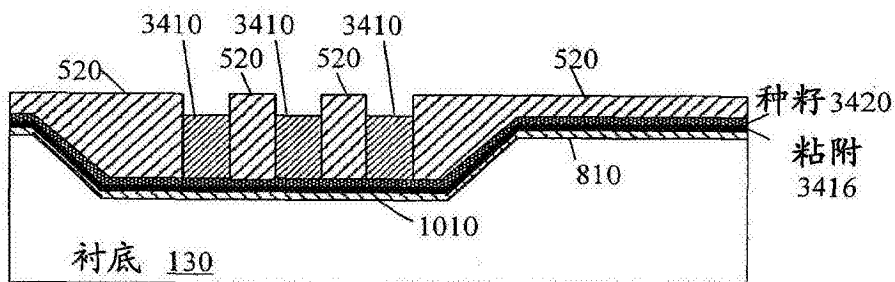


图 33B

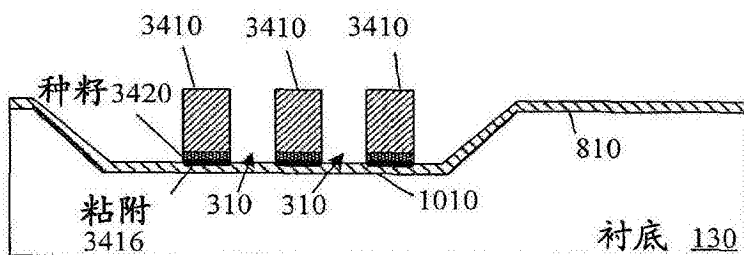


图 33C

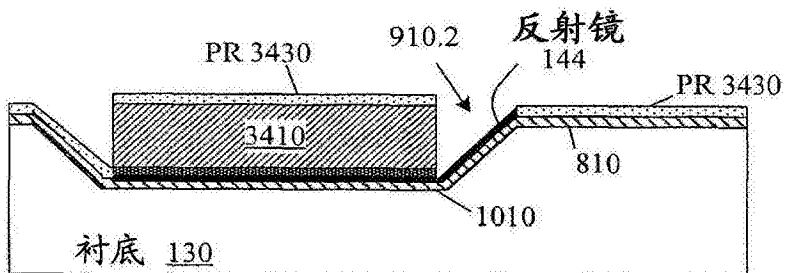


图 33D

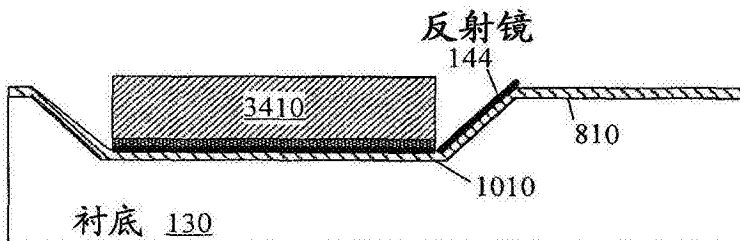


图 33E

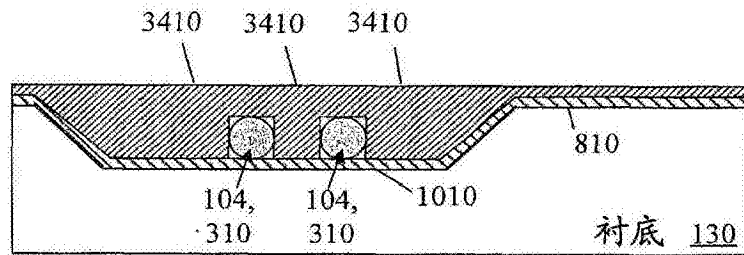


图 34A

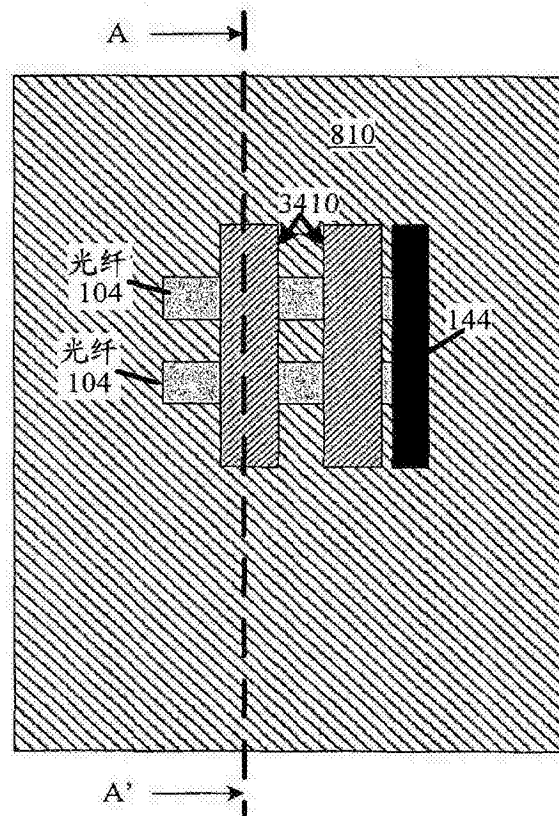


图 34B

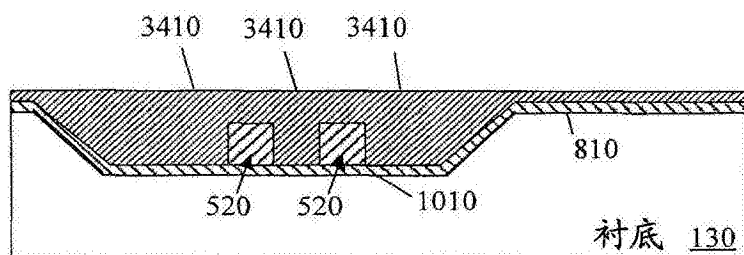


图 34C

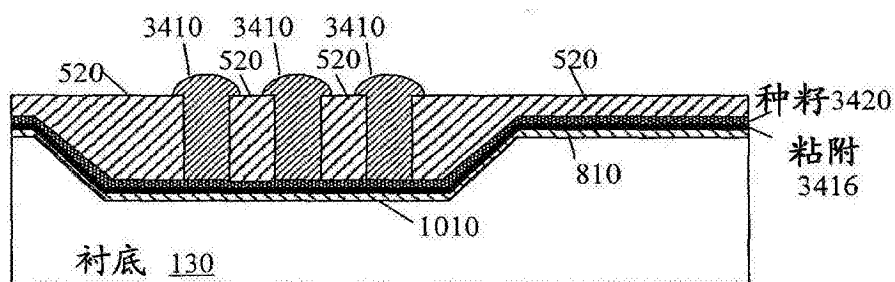


图 34D

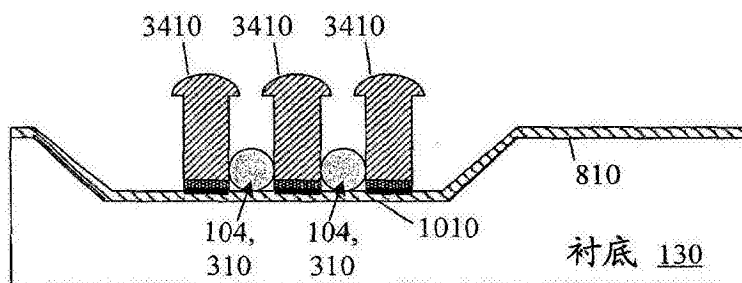


图 34E

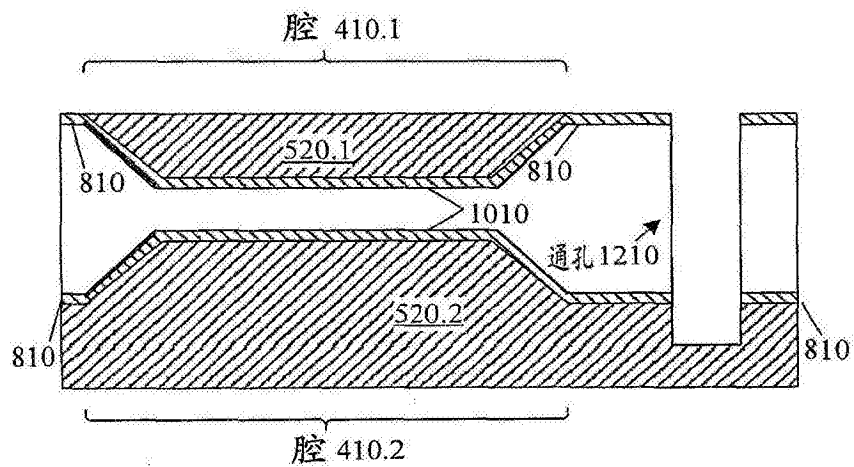


图 35A

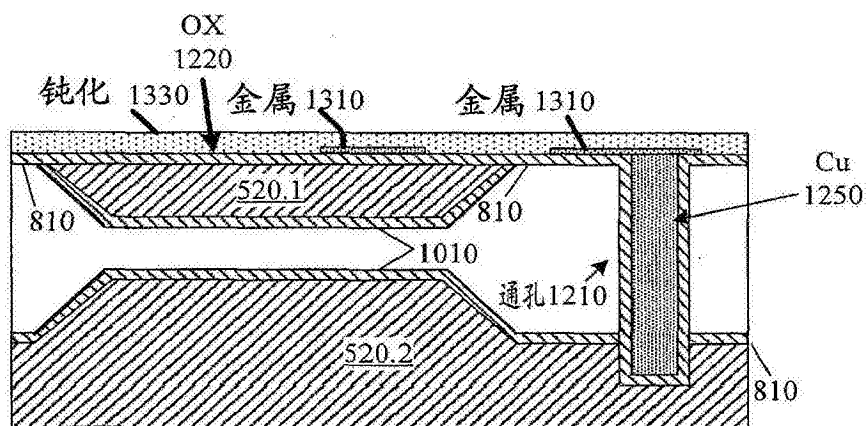


图 35B

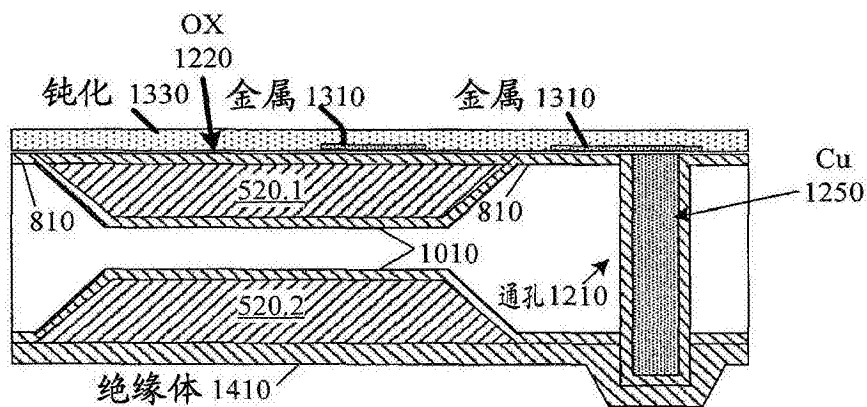


图 35C

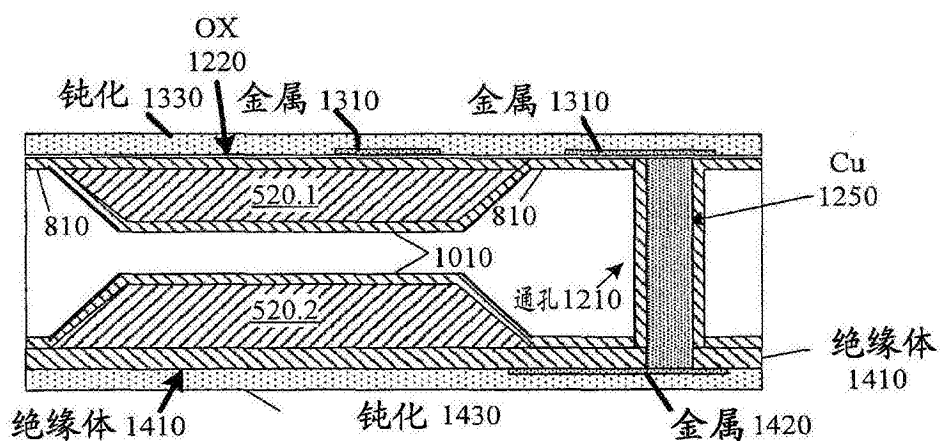


图 35D

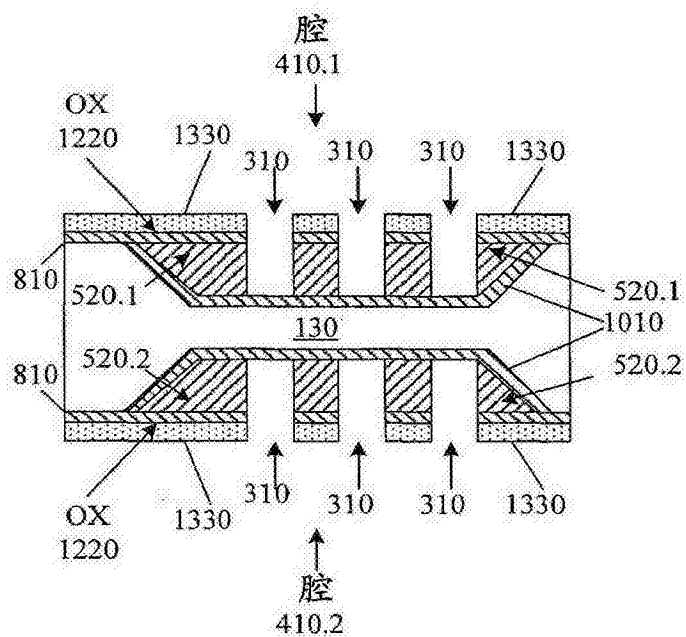


图 35E

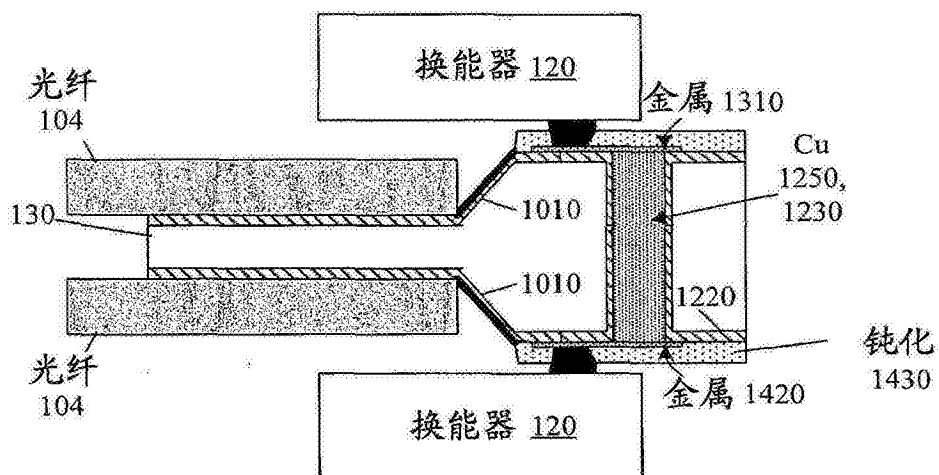


图 35F

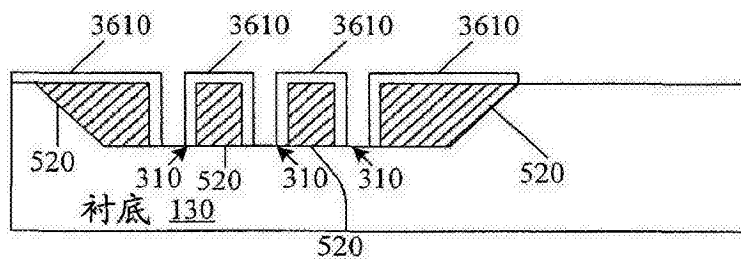


图 36

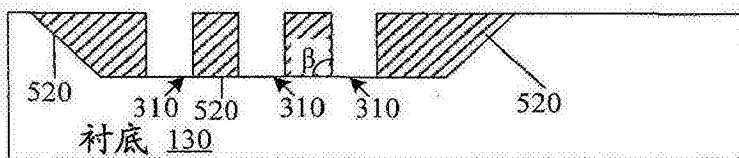


图 37

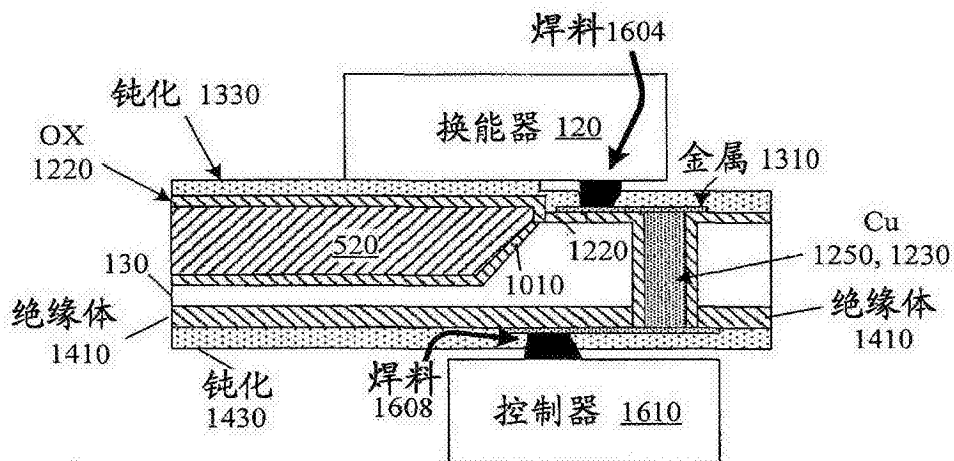


图 38

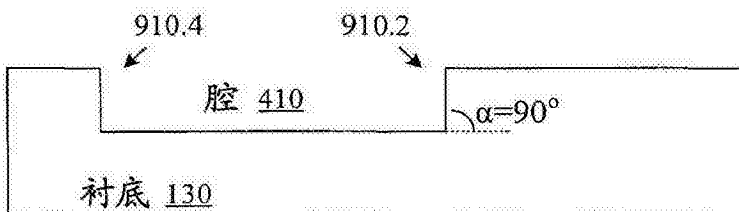


图 39A

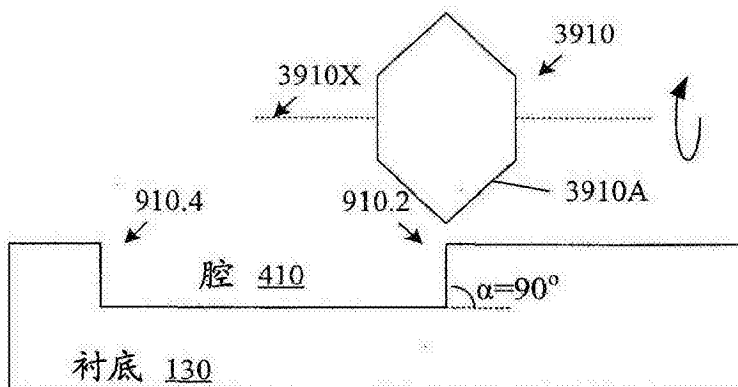


图 39B

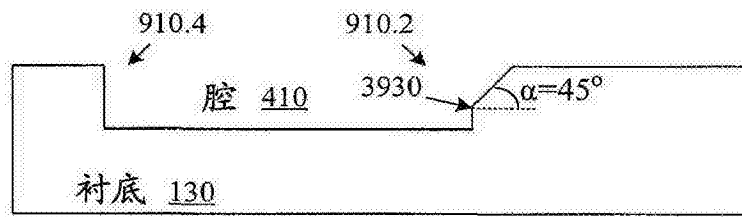


图 39C

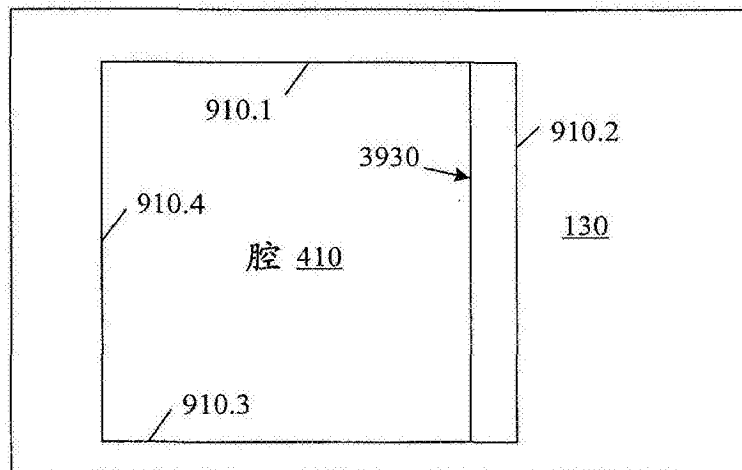


图 40

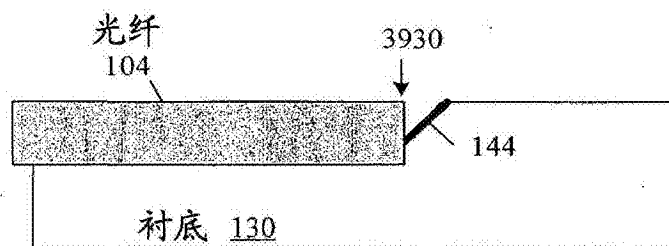


图 41

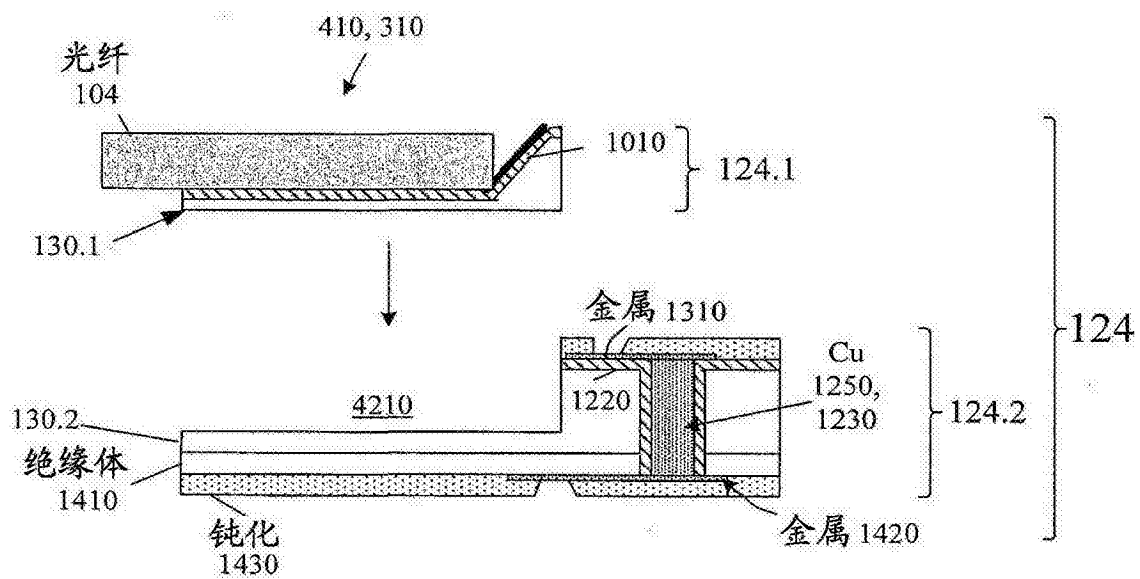


图 42

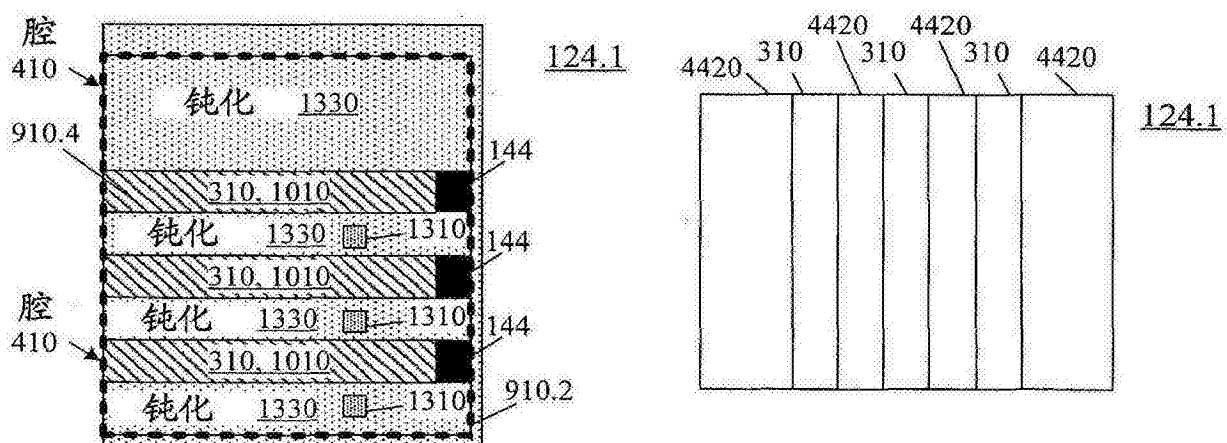


图 43

图 44A

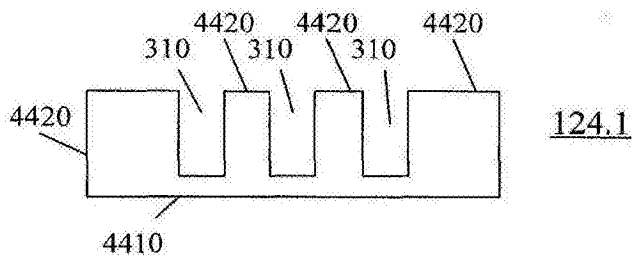


图 44B

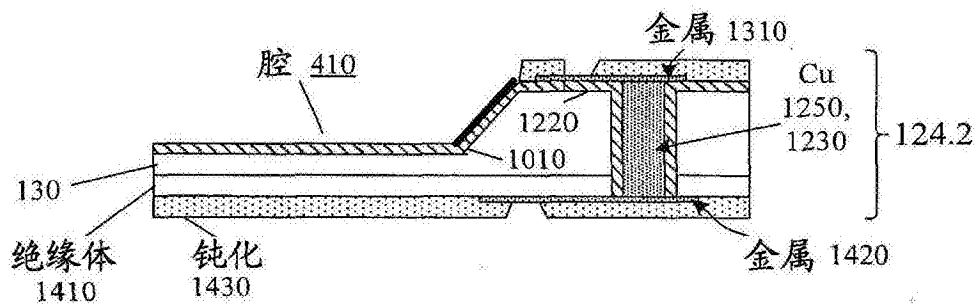


图 45

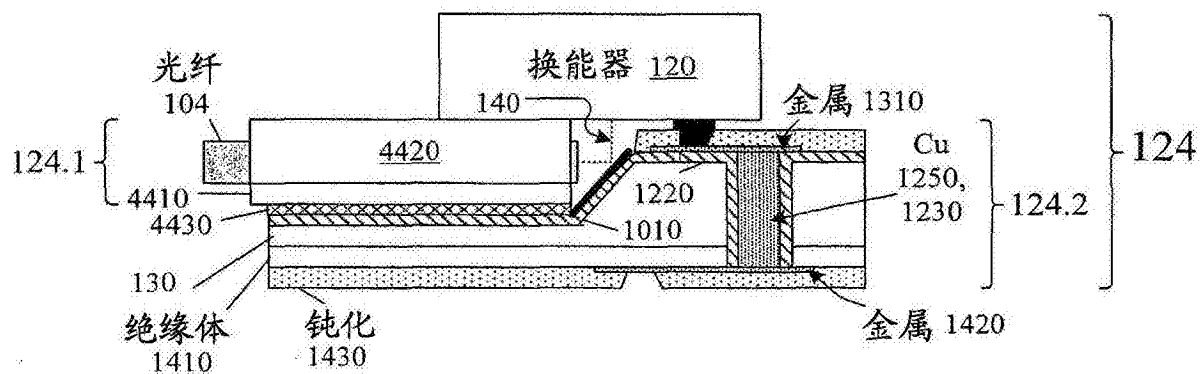


图 46

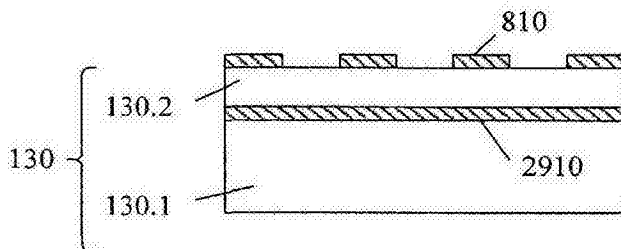


图 47

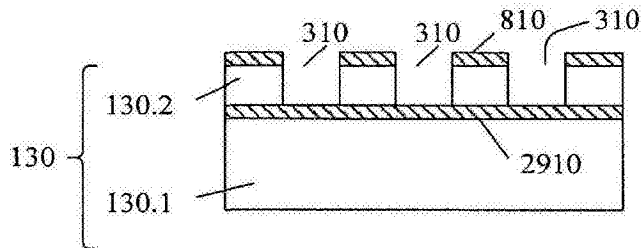


图 48A

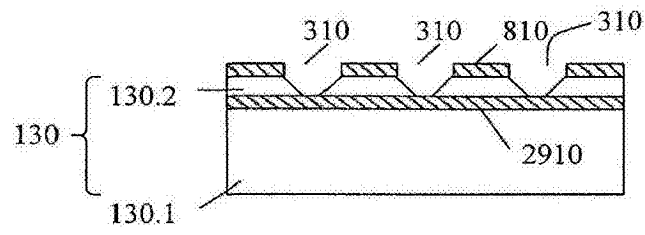


图 48B

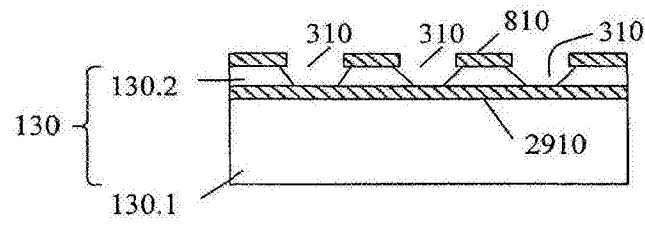


图 48C

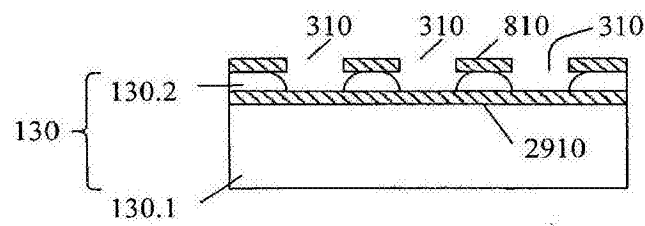


图 48D

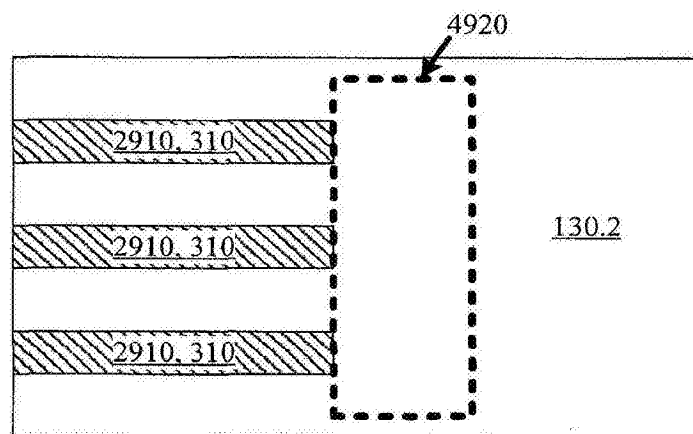


图 48E

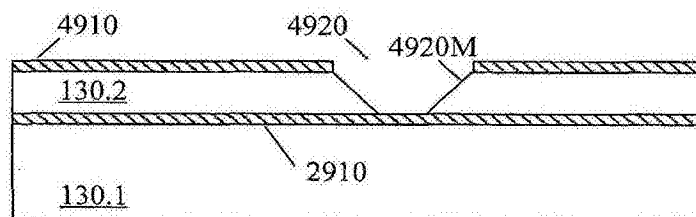


图 49

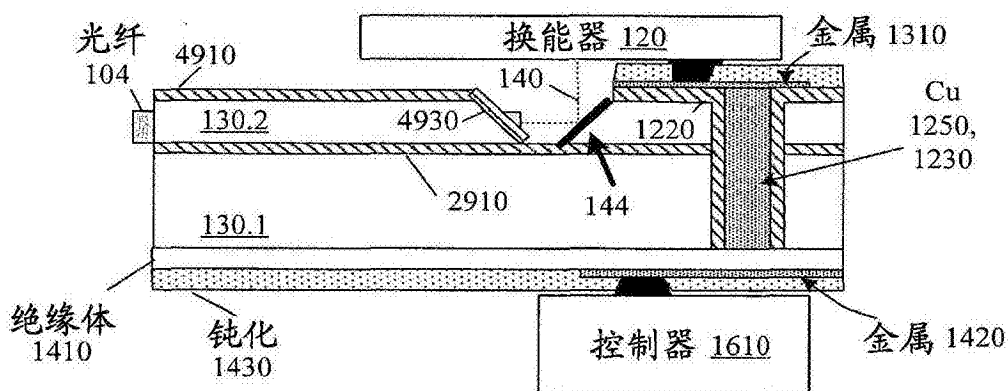


图 50

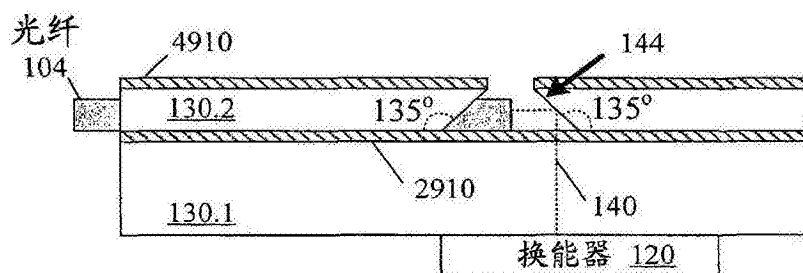


图 51

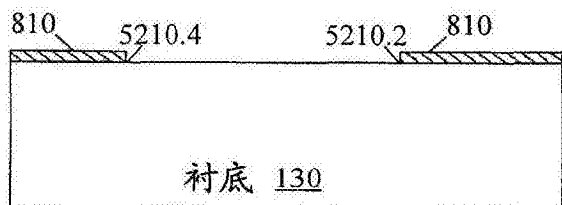


图 52A

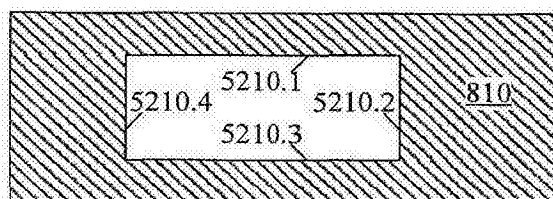


图 52B

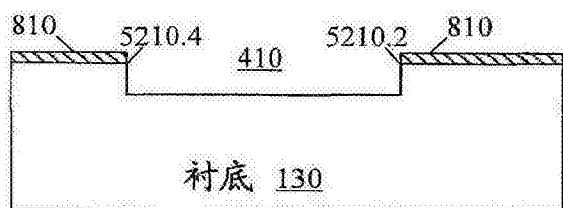


图 53

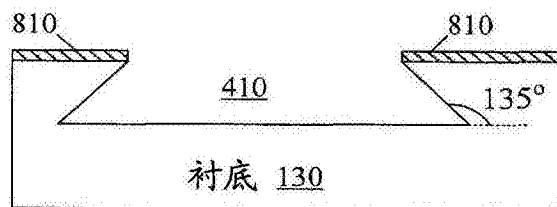


图 54

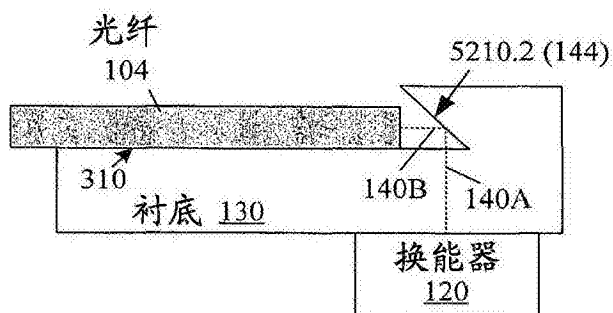


图 55A

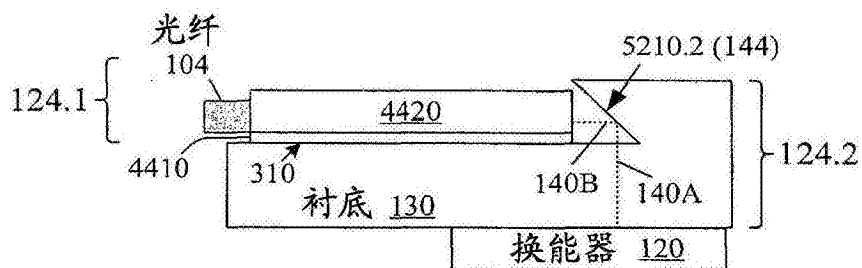


图 55B

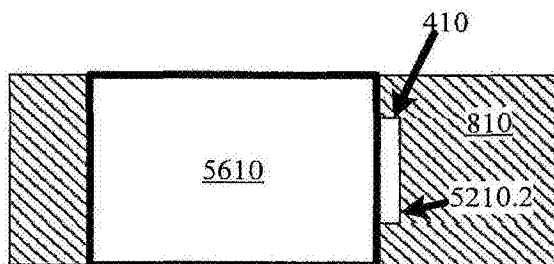


图 56

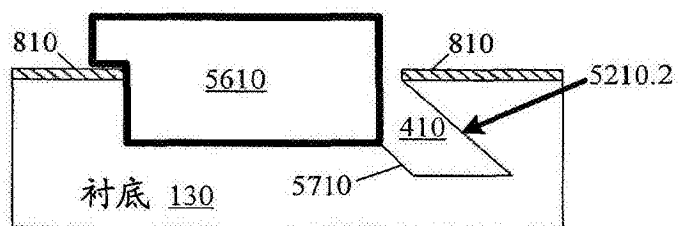


图 57

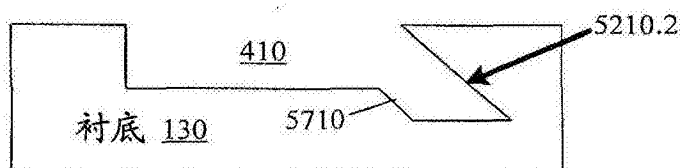


图 58

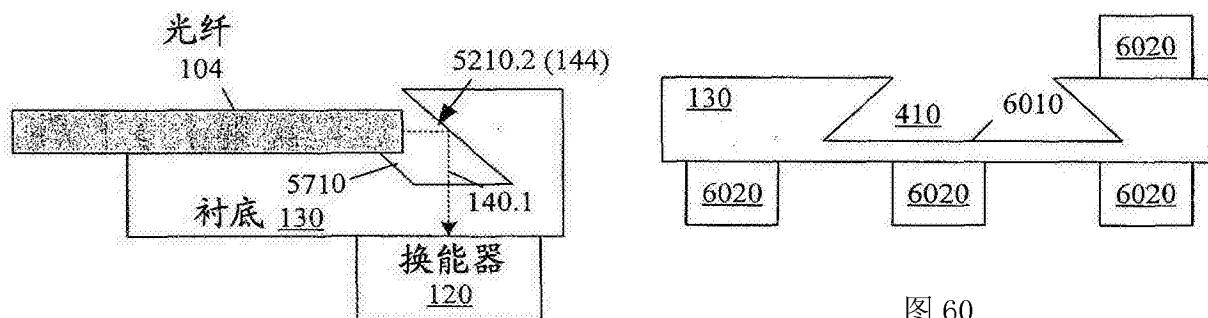


图 60

图 59

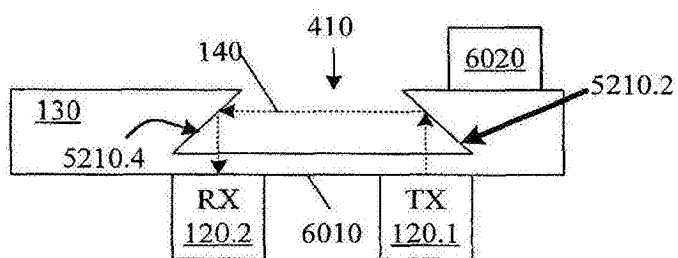


图 61

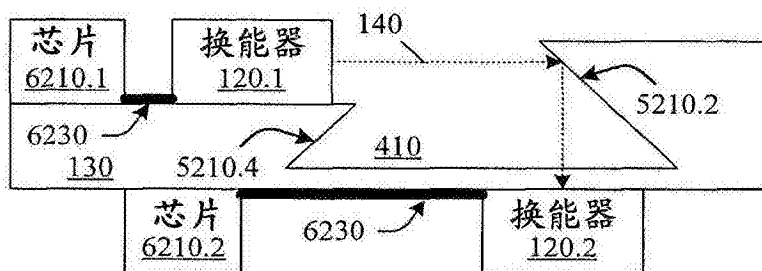


图 62

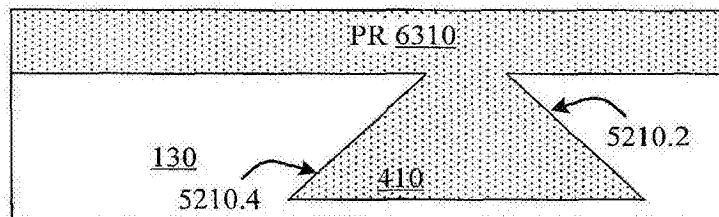


图 63A

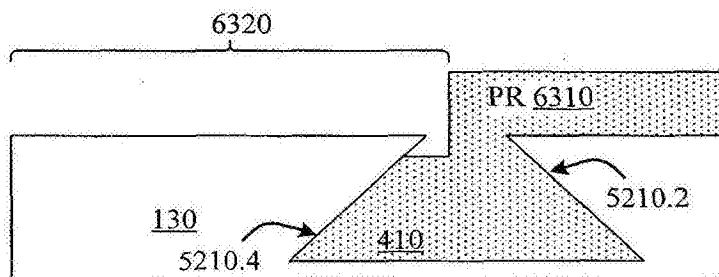


图 63B

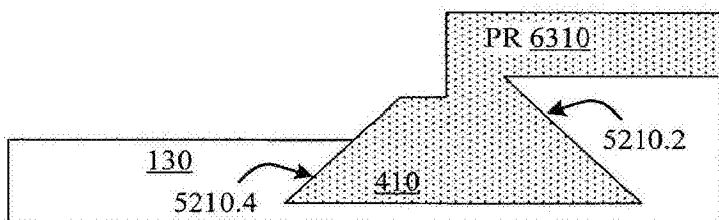


图 63C

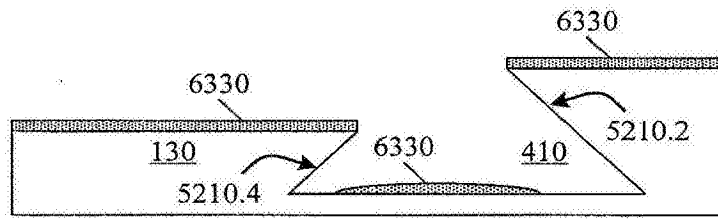


图 63D

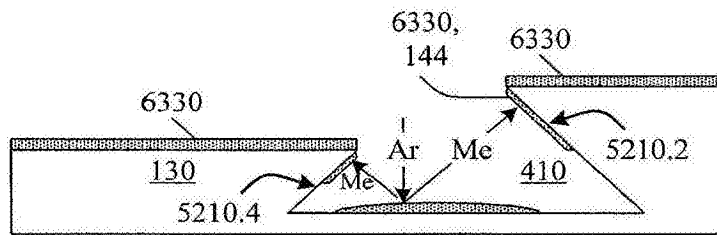


图 63E