

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8246 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 02140505.0

[45] 授权公告日 2006 年 1 月 18 日

[11] 授权公告号 CN 1237609C

[22] 申请日 2002.7.5 [21] 申请号 02140505.0

[71] 专利权人 旺宏电子股份有限公司

地址 台湾省新竹

[72] 发明人 陈世宪

审查员 高莺然

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 陈 红 楼仙英

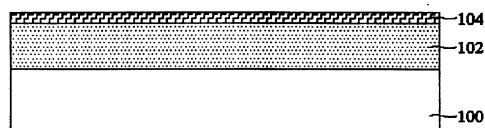
权利要求书 3 页 说明书 5 页 附图 7 页

[54] 发明名称

掩模式只读存储器的制造方法

[57] 摘要

本发明涉及一种掩模式只读存储器的制造方法。首先，形成一第一绝缘层于一具有多平行位线的基底。接着，形成多平行沟槽于上述第一绝缘层中，用以定义多字元线。依序形成一栅极氧化层、一多晶硅层于上述多平行沟槽底部，用以形成多平行字符线。然后，全面性形成一第二绝缘层。接着，利用一多条状光致抗蚀剂，蚀刻上述第二绝缘层，以形成多沟道区于上述字符线上的相邻两位线之间。最后，利用一孔洞图案光掩模在选择的沟道区进行编码。



- 1.一种掩模式只读存储器的制造方法，其特征在于，包括：
提供一具有多平行位线的基底；
- 5 形成一第一绝缘层于上述基底表面；
图案化上述第一绝缘层，以形成多平行沟槽于上述第一绝缘层中，用以定义多字节线，其中上述多字节线大体上垂直于上述多平行位线；
依序形成一栅极氧化层、一栅极层于上述多平行沟槽底部，用以形成多平行字符线，其中上述字符线的表面高度低于上述第一绝缘层的表面高度；
- 10 全面性形成一第二绝缘层；
以光致抗蚀剂图案化上述第二绝缘层，直到露出部分上述栅极层表面，以形成多沟道区于上述字符线上的相邻两位线之间；以及
选择至少一上述沟道区实施一离子布植程序，以完成编码。
- 2.如权利要求1所述的掩模式只读存储器的制造方法，其特征在于，上述第一绝缘层的材质为氧化物。
- 15 3.如权利要求1所述的掩模式只读存储器的制造方法，其特征在于，形成上述第一绝缘层后，更包括：形成一掩模层于上述第一绝缘层表面。
- 4.如权利要求3所述的掩模式只读存储器的制造方法，其特征在于，上述掩模层系做为蚀刻上述第二绝缘层时的蚀刻终止层。
- 20 5.如权利要求1所述的掩模式只读存储器的制造方法，其特征在于，上述栅极氧化层系利用热氧化法形成。
- 6.如权利要求1所述的掩模式只读存储器的制造方法，其特征在于，上述栅极层包括一多晶硅层与一导电层。
- 7.如权利要求1所述的掩模式只读存储器的制造方法，其特征在于，上述多晶硅层利用化学气相沉积法形成，再利用化学机械研磨法或回蚀法进行平坦化处理。
- 25 8.如权利要求6所述的掩模式只读存储器的制造方法，其特征在于，上述导电层的材质为硅化金属层。
- 9.如权利要求8所述的掩模式只读存储器的制造方法，其特征在于，上述导电层系利用快速热处理过程形成。
- 30

10.如权利要求1所述的掩模式只读储存器的制造方法,其特征在于,上述第二绝缘层为氧化物。

11.如权利要求1所述的掩模式只读存储器的制造方法,其特征在于,上述离子布值程序使用一孔洞状光致抗蚀剂为掩模。

5 12.一种掩模式只读存储器的制造方法,其特征在于,包括:

提供一具有多平行位线的基底;

形成一第一绝缘层于上述基底表面;

形成一掩模层于上述第一绝缘层表面;

10 图案化上述第一绝缘层、上述掩模层,以形成多平行沟槽于上述第一绝缘层中,用以定义多字元线,其中上述多字元线大体上垂直于上述多平行位线;

依序形成一栅极氧化层、一栅极层于上述多平行沟槽底部,用以形成多平行字符线,其中上述字符线的表面高度低于上述第一绝缘层的表面高度;

全面性形成一第二绝缘层;

15 图案化上述第二绝缘层,直到露出部分上述栅极层表面,以形成多沟道区于上述字符线上的相邻两位线之间;以及

选择至少一上述沟道区实施一离子布植程序,以完成编码。

13.如权利要求12所述的掩模式只读存储器的制造方法,其特征在于,上述第一绝缘层的材质为氧化物。

20 14.如权利要求12所述的掩模式只读存储器的制造方法,其特征在于,上述掩模层系做为蚀刻上述第二绝缘层时的蚀刻终止层。

15.如权利要求12所述的掩模式只读存储器的制造方法,其特征在于,上述栅极氧化层是利用热氧化法形成。

25 16.如权利要求12所述的掩模式只读存储器的制造方法,其特征在于,上述栅极层包括一多晶硅层与一导电层。

17.如权利要求16所述的掩模式只读存储器的制造方法,其特征在于,上述导电层的材质为硅化金属层。

18.如权利要求17所述的掩模式只读存储器的制造方法,其特征在于,上述导电层利用快速热处理过程形成。

30 19.如权利要求12所述的掩模式只读存储器的制造方法,其特征在于

于，上述第二绝缘层为氧化物。

20.如权利要求 12 所述的掩模式只读存储器的制造方法，其特征在于，上述离子布植程序使用一孔洞状光致抗蚀剂为掩模。

掩模式只读存储器的制造方法

5 **技术领域**

本发明涉及一种半导体制造过程的方法，且特别涉及一种掩模式只读存储器（mask read-only memory; mask ROM）的制造方法。

背景技术

10 以下请参照图 1A--1C 显示传统 MASK ROM 的部分制造流程。

首先，请参照图 1a，在一半导体基底 10 上，形成由 MOS 晶体管所构成的多个内存单元，如图 1a 所示。其中，标号 20 表示隔离结构，一般系由 LOCOS 法所形成的场氧化层。标号 30 表示 MOS 晶体管的多晶硅栅极（图中并未显示栅极氧化层）。标号 40 则表示 MOS 晶体管的源/漏极（在此为 n+扩散区）。

15 接着，请参照图 1B，使用编码光掩模（code mask）（未图标）进行光刻制造过程，而形成图案化光致抗蚀剂层 50，如图 1B 所示。在此，MOS 晶体管的栅极露出于光致抗蚀剂层 50 开口的内存单元，系预定在后续制造过程中编码为“0”。反的，栅极被光致抗蚀剂层 50 所覆盖的内存单元，系预定在后续制造过程中编码为“1”。

20 接着，请参照图 1C，进行一离子布植 60，利用调整 MOS 晶体管的临限电压（threshold voltage），而达到将 MASK ROM 的内存单元完成编码的目的。

然而，传统的掩模式只读存储器的编码过程系利用一孔洞状的编码光掩模，随着产品积极度的提高，使得光刻制造过程日益困难，编码光掩模孔洞
25 必需精确对准欲编码的沟道区，且尺寸大小也必需精确掌控，否则会发生错位（mis-aligned）的情形，导致只读存储器储存数据失真。因此，现有技术的制造过程容许度（process window）受限，增加了制作上的困难。

发明内容

30 本发明主要目的在于提供一种屏蔽幕式只读存储器的制造方法，可提升

编码光掩模对准的精确度。

本发明的目的在于提供一种掩模式只读存储器的制造方法，可提升编码光掩模尺寸容许度。

5 本发明的目的在于提供一种掩模式只读存储器的制造方法，可避免编码时发生错位的情形。

为达到上述的目的，本发明提出一种掩模式只读存储器的制造方法，此方法的步骤主要包括：

10 首先，提供一具有多平行位线的基底。接着，可利用化学气相沉积法形成一材质例如为氧化物的第一绝缘层于上述基底表面。然后，图案化上述第一绝缘层，以形成多平行沟槽于上述第一绝缘层中，用以定义多字元线，其中上述多字元线大体上垂直于上述多平行位线。接着，依序形成一栅极氧化层、一栅极层于上述多平行沟槽底部，用以形成多平行字符线，其中上述字符线的表面高度低于上述第一绝缘层的表面高度。接着，全面性形成一材质例如为氧化物的第二绝缘层。接着，形成一多条状光致抗蚀剂于上述位线上方的上述第二绝缘层表面。然后，以上述多条状光致抗蚀剂为掩模，蚀刻上述第二绝缘层，直到露出部分上述栅极层表面，以形成多沟道区于上述字符线上的相邻两位线之间。最后，选择至少一上述沟道区实施一离子布植程序，以完成编码。

20 如前所述，形成上述第一绝缘层后，更可利用化学气相沉积法形成一掩模层，以做为蚀刻上述第二绝缘层时的蚀刻终止层。

如前所述，上述栅极氧化层可利用热氧化法形成。并且，上述栅极层包括一多晶硅层与一导电层。其中，上述多晶硅层可利用化学气相沉积法形成，再利用化学机械研磨法或回蚀法进行平坦化处理。又，上述导电层的材质可为利用快速热处理过程（RTP）形成的硅化金属层。

25 如前所述，上述离子布植程序使用一孔洞状光致抗蚀剂为掩模。

如前所述，图案化上述第一绝缘层的步骤中，利用一多平行条状光掩模定义图案。

为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明如下。

30 **附图说明**

图 1a 至图 1c 为现有的掩模式只读存储器制造过程剖面图。

图 2a 至图 2G 为根据本发明的掩模式只读存储器制造过程剖面图。

图 3A 至图 3F 为根据本发明的掩模式只读存储器制造过程俯视图。

符号说明：

- | | | |
|----|-----------------|-----------------|
| 5 | 20~隔离结构； | 30~栅极； |
| | 40~源/漏极； | 50~光致抗蚀剂层； |
| | 60~离子布植； | 10、100~半导体基底； |
| | II~平行位线； | 102~第一绝缘层； |
| | 104~掩模层； | 106~第一图案化光致抗蚀剂； |
| 10 | 108~平行沟槽； | 110~栅极氧化层； |
| | 112~硅导电层； | 114~导电层； |
| | I~字符线； | 116~第二绝缘层； |
| | 118~第二图案化光致抗蚀剂； | 120~沟道区； |
| | 120a~编码区； | 122~编码光致抗蚀剂。 |

15

具体实施方式

为求清楚起见，请同时参照图 2a 至图 2G 的剖面图与图 3A 至图 3F 的俯视图。

首先，提供一半导体基底 100，其中上述半导体基底 100 表面具有多平行位线 II，如图 3A 所示。上述位线 II 利用离子掺杂程序形成。

接着，请参照图 2a，以适当程序，例如：化学气相沉积法，形成一第一绝缘层 102 于上述基底 100 表面，上述第一绝缘层 102 的材质为氧化物，例如：SiO₂、硼磷硅玻璃 BPSG (boro--phospho silimte glass) 或四乙基甲烷硅盐 TEOS (tetraethylorthosilicate)。再以适当沉积法，例如：化学气相沉积，形成一掩模层 104 于上述第一绝缘层 102 表面，上述掩模层的材质例如为氮氧化硅 (SiON)。

接着，请参照图 2B，形成一第一图案化光致抗蚀剂 106 于上述掩模层 104 部分表面。其中，上述第一图案化光致抗蚀剂 106 沿着垂直于上述位线 II 的方向延伸，如图 3B 所示。

请参照图 2C，利用上述第一图案化光致抗蚀剂 106 为掩模，施行适当

蚀刻程序，例如：非等向性干蚀刻法，依序蚀刻上述掩模层 104、上述第一绝缘层 102，以形成多平行沟槽 108。

再请参照图 2D，依序形成一栅极氧化层 110、一硅导电层 112 以及一导电层 114 于上述多平行沟槽 108 的底部。其中上述栅极氧化层 110 可利用热氧化法形成。接着，例如以化学气相沉积法形成材质例如为多晶硅的硅导电层 112，再实施化学机械研磨（CMP）或回蚀（etch back）程序使上述硅导电层 112 形成平坦的单层于上述栅极氧化层 110 表面。接着，可利用快速热处理过程（rapid thermal processing；RTP）形成材质例如为金属硅化物（salicide）的导电层 114。上述硅导电层 112 与上述导电层 114 即为栅极层。如此一来，上述栅极氧化层 10、上述硅导电层 112 与上述导电层 114 便形成多平行字符线 I，如图 3C 图所示。控制上述栅极氧化层 110、上硅导电层 112 与上述导电层 114 的厚度总和，使上述字符线 I 的表面高度低于上述掩模层 104 的表面高度，用以在后续编码制造过程中，垂直于字符线方向具有自动对准（self-aligned）的功能。

接着，请参照图 2E，以例如化学气相沉积法全面性形成一第二绝缘层 116，上述第二绝缘层 116 的材质为氧化物，例如： SiO_2 、BPSG（boro-phospho silicate glass）或 TEOS（tetra-ethyl-oz-tho-silicate）。

接着，形成一第二图案化光致抗蚀剂 118 于上述第二绝缘层 116 的部分表面上并且对准上述位线 II，如图 3D 所示。

然后，请参照图 2F，以上述第二图案化光致抗蚀剂 118 为掩模，蚀刻上述第二绝缘层 116，直到露出导电层 114 表面。用以在后续编码制造过程中，垂直于字符线方向具有自动对准（self-aligned）的功能，如图 3E 所示。如此一来，沟道区 120 便形成在字符线 I 上的相邻位线 II 所间隔的区域。

最后，选择部分上述沟道区 120 以作为多编码区 120a，并且以一编码光致抗蚀剂 122 为掩模，对上述编码区 120a 进行离子布植以完成编码，如图 3F 所示。图 2G 显示在图 3F 中沿线段 cc' 的剖面图。相较于传统制造过程，在进行编码过程中可使用孔洞尺寸较上述编码区 120a 大的图案光致抗蚀剂 122，仍不会有错位对准（mis-aligned）的问题发生。

综合上述，本发明具有下列优点：

一、根据本发明，字符线的定义系使用多条状光致抗蚀剂，可提升光刻

制造过程的临界尺寸，光刻制造过程容许度大。并且，条状光掩模的制备较现有的孔洞状光掩模简单，可降低成本。

二、根据本发明，由于并且沟道区之间以预先形成的第一绝缘层以及掩模层做为区隔，因此可容许较大的编码光掩模尺寸差异，且不会有错位对准

5 (mis-aligned) 的问题发生。

三、根据本发明，采用一掩模层不仅可做为蚀刻沟道区的蚀刻终止层，亦可以在编码过程做为遮蔽，避免编码错位。

虽然本发明已以较佳实施例公开如上，然其并非用以限定本发明，任何本领域普通技术人员，在不脱离本发明的精神和范围内，当可作等效变化与

10 修改，因此本发明的保护范围以权利要求为准。

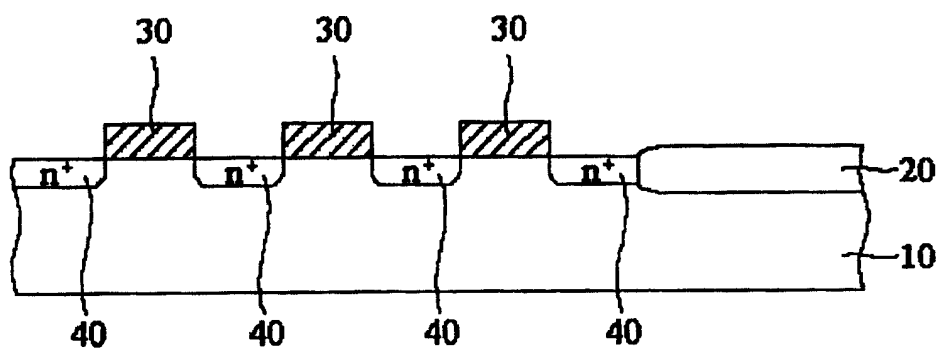


图 1A

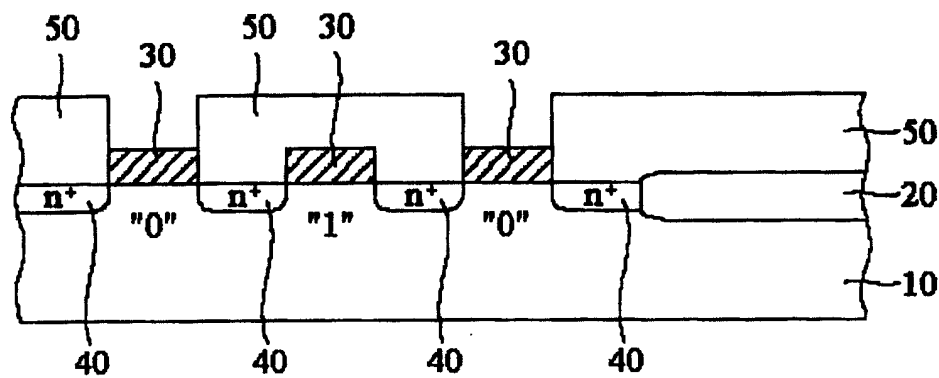


图 1B

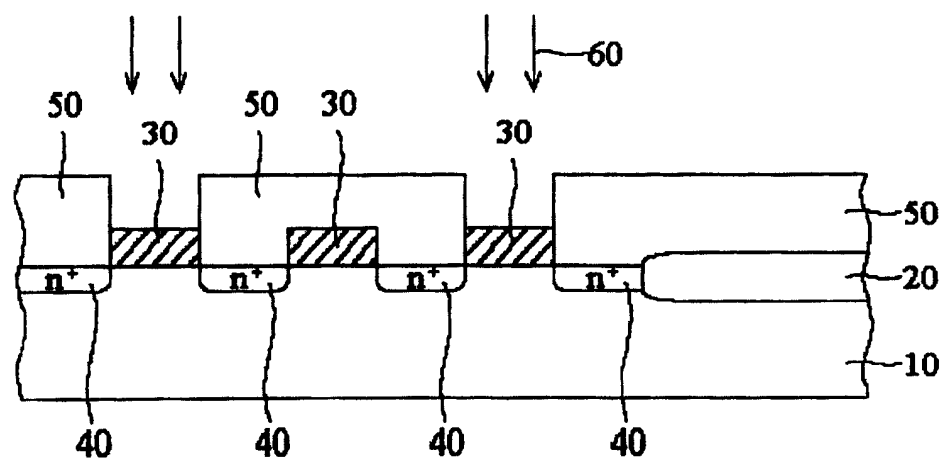


图 1C

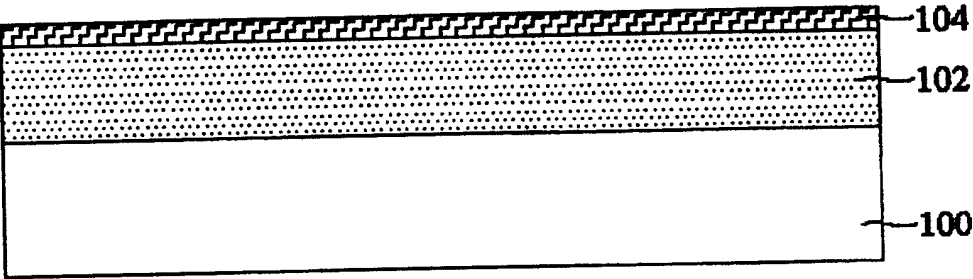


图 2A

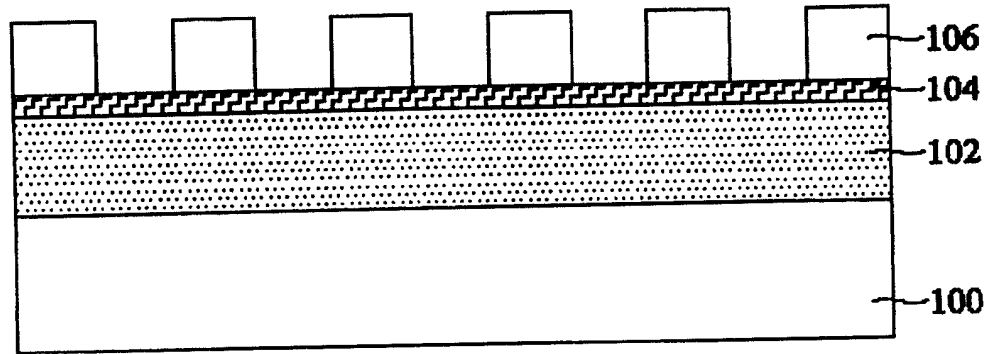


图 2B

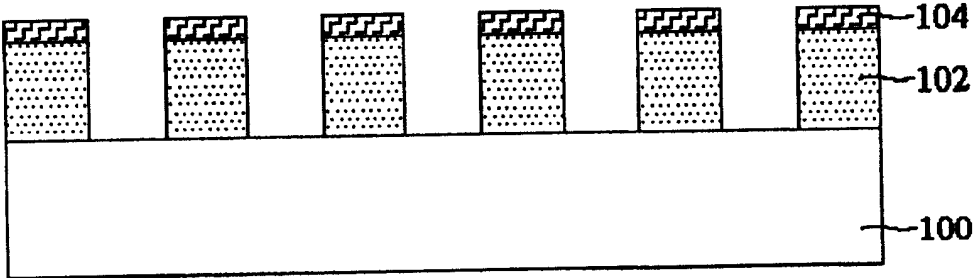


图 2C

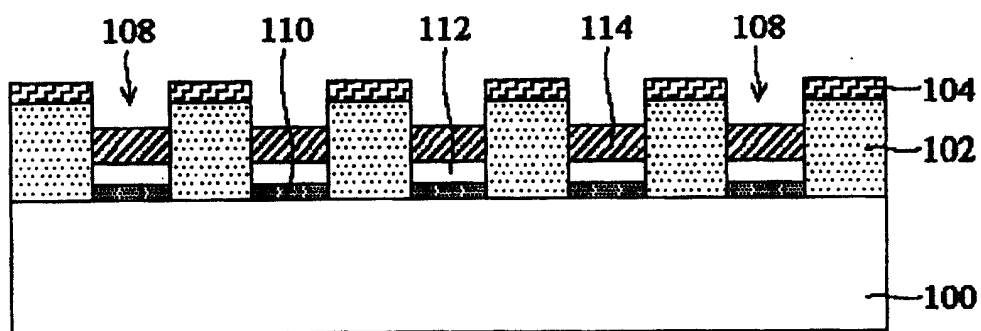


图 2D

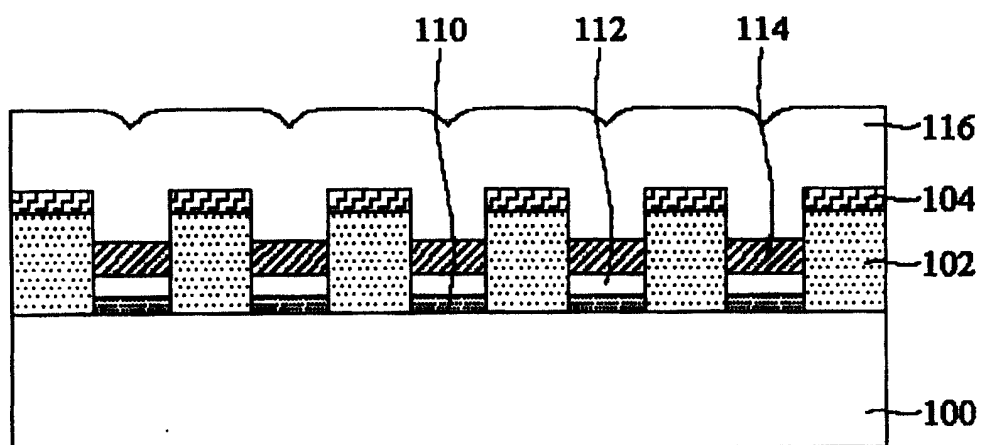


图 2E

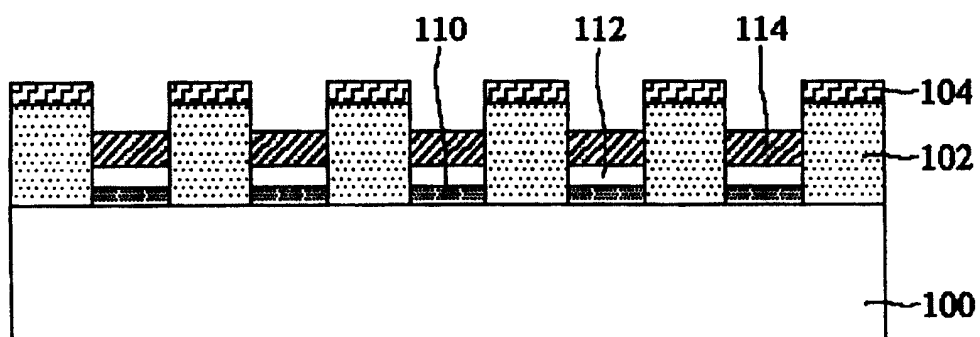


图 2F

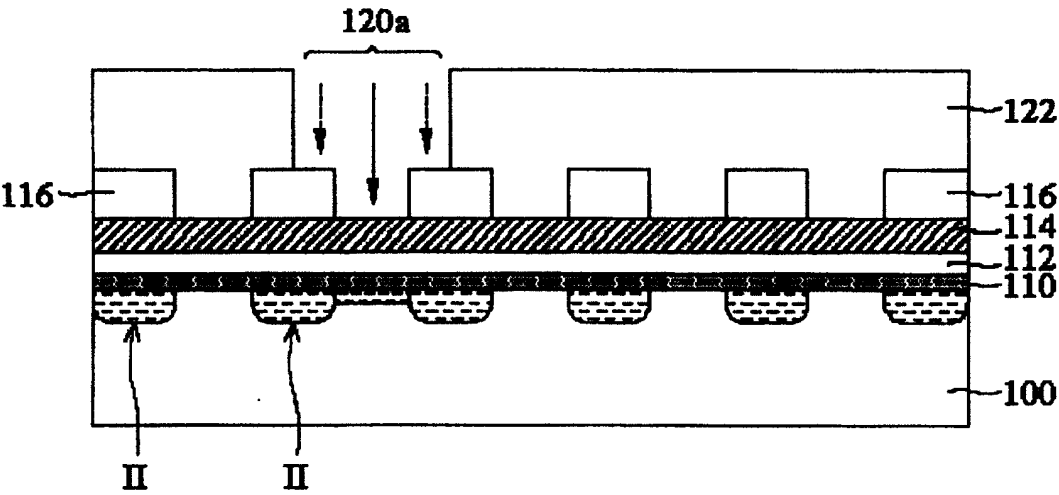


图 2G

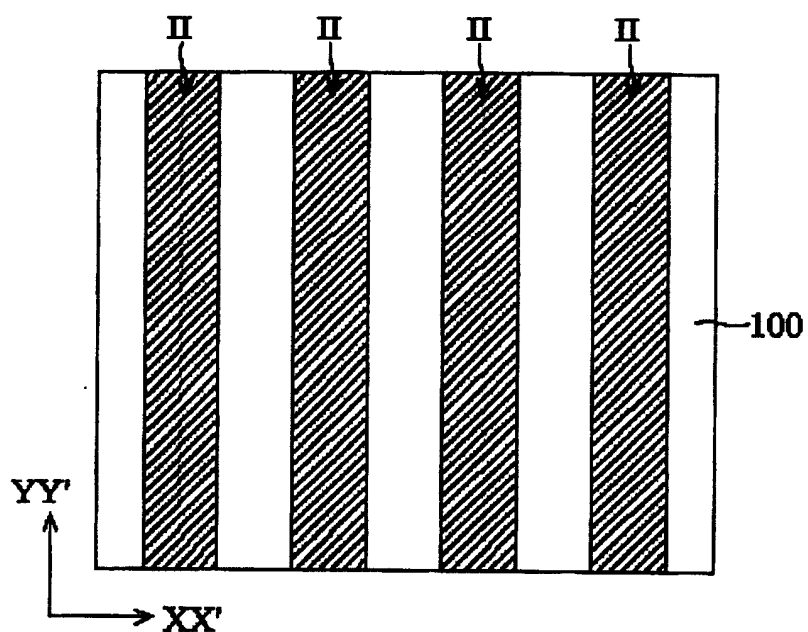


图 3A

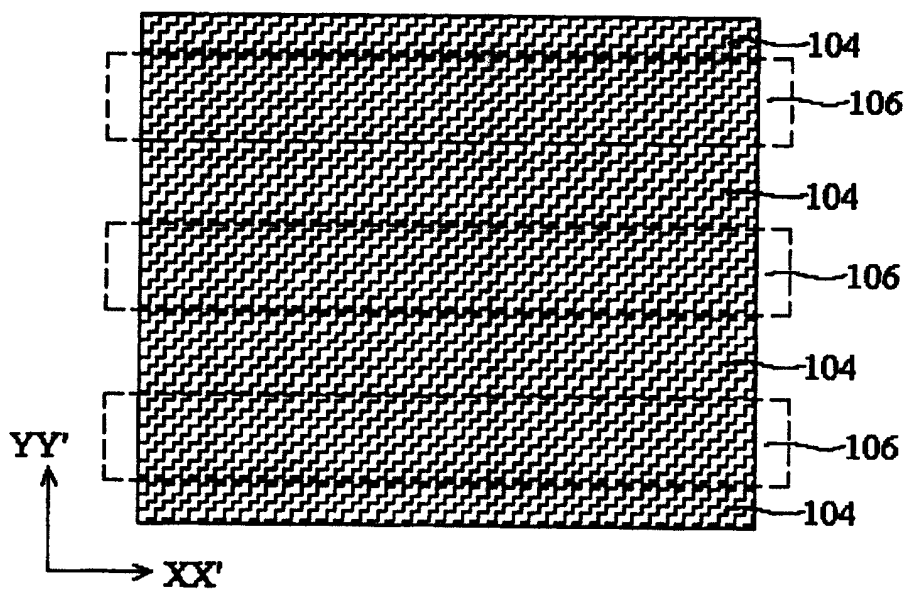


图 3B

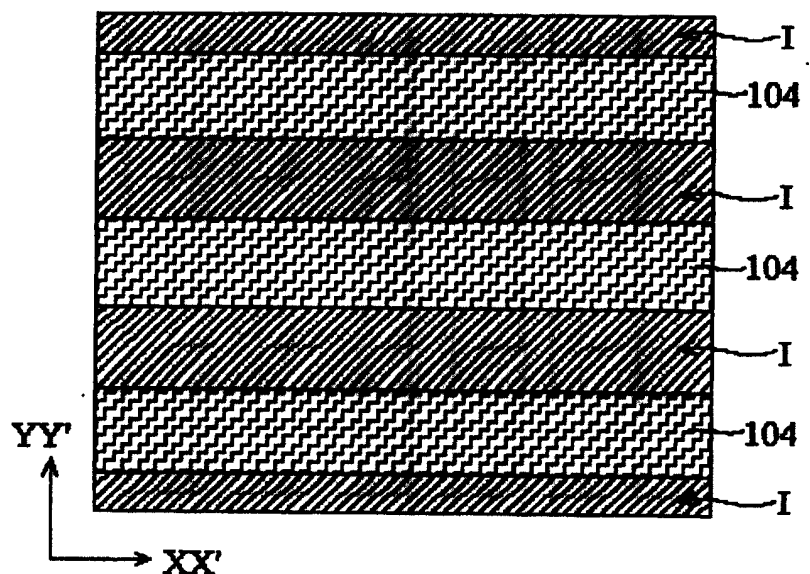


图 3C

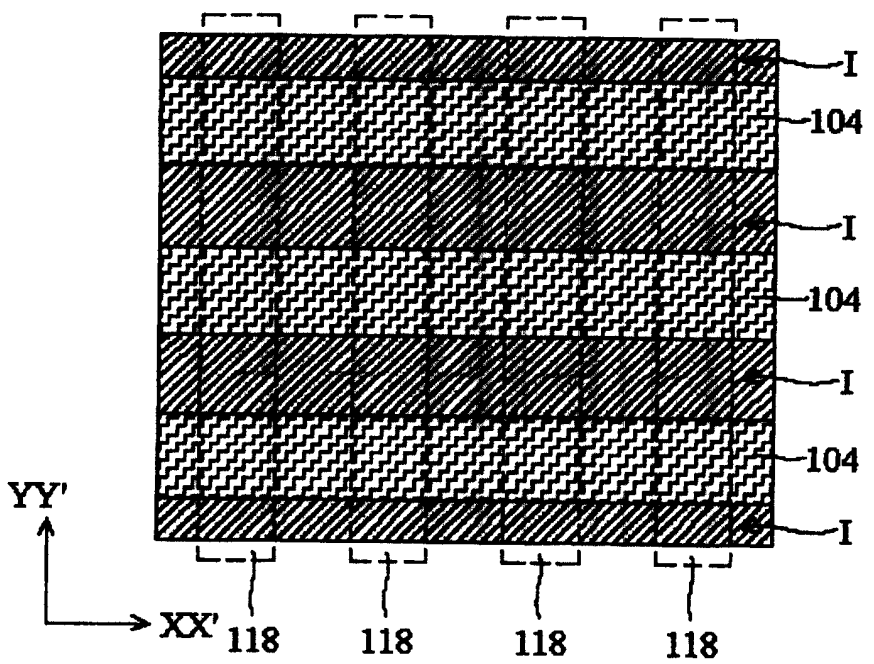


图 3D

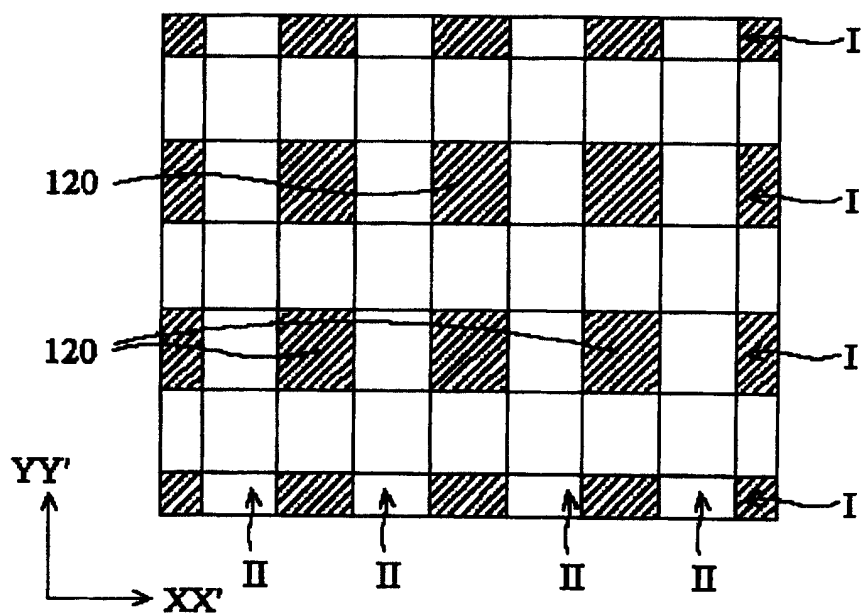


图 3E

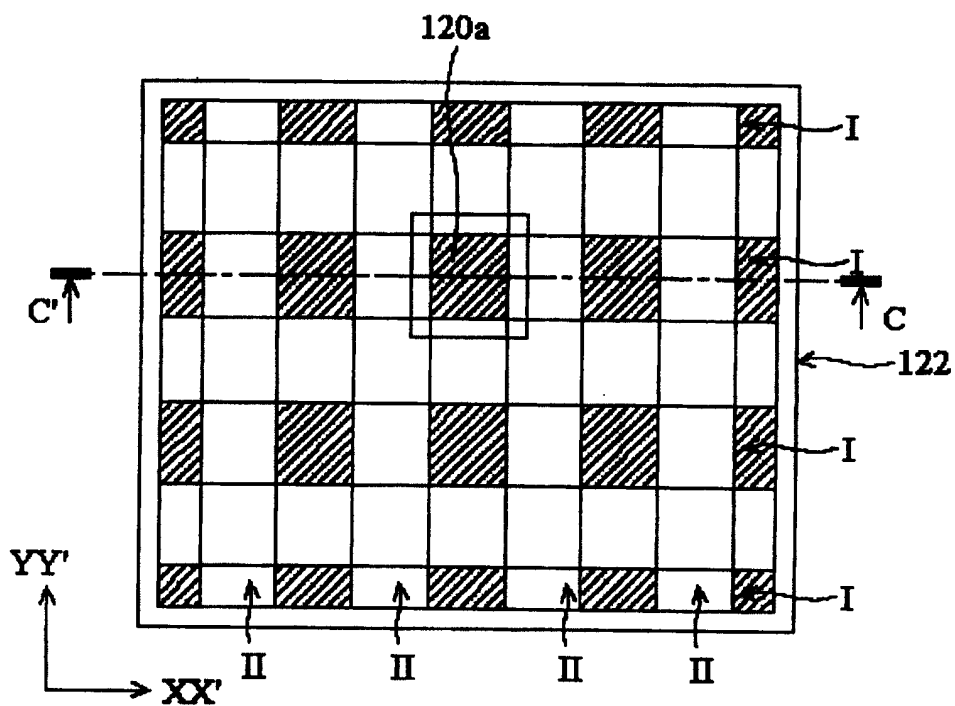


图 3F