

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2009-504064

(P2009-504064A)

(43) 公表日 平成21年1月29日 (2009.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
H03L 7/00 (2006.01)	H03L 7/00 C	5B079
G06F 1/06 (2006.01)	G06F 1/04 311Z	5J106
H03K 5/00 (2006.01)	G06F 1/04 310Z	
	H03K 5/00 S	

審査請求 有 予備審査請求 未請求 (全 17 頁)

(21) 出願番号	特願2008-524658 (P2008-524658)	(71) 出願人	508036101 アールエフ マジック インコーポレイテッド
(86) (22) 出願日	平成18年8月1日 (2006.8.1)		
(85) 翻訳文提出日	平成20年4月4日 (2008.4.4)		
(86) 国際出願番号	PCT/IB2006/052633		アメリカ合衆国, カリフォルニア州,
(87) 国際公開番号	W02007/015210		サン ディエゴ, シークエンス ドライヴ 6290
(87) 国際公開日	平成19年2月8日 (2007.2.8)	(74) 代理人	100094318
(31) 優先権主張番号	60/595, 749		弁理士 山田 行一
(32) 優先日	平成17年8月2日 (2005.8.2)	(74) 代理人	100123995
(33) 優先権主張国	米国 (US)		弁理士 野田 雅一
(31) 優先権主張番号	60/595, 750	(74) 代理人	100107456
(32) 優先日	平成17年8月2日 (2005.8.2)		弁理士 池田 成人
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	60/595, 754		
(32) 優先日	平成17年8月2日 (2005.8.2)		
(33) 優先権主張国	米国 (US)		

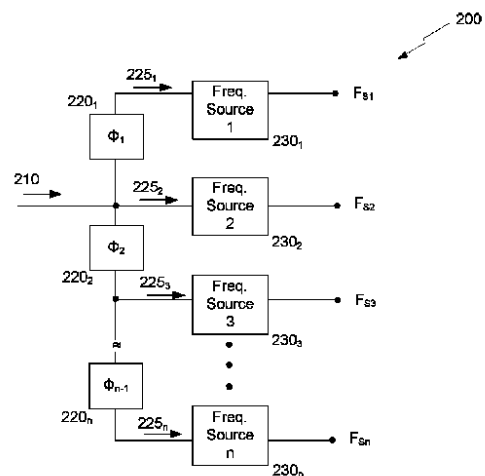
最終頁に続く

(54) 【発明の名称】 多重周波数源システムのためのオフセット信号位相調整

(57) 【要約】

オフセット信号位相調整を用いる同調可能な多重周波数源システムが、第1の周波数源と、位相遅延素子と、第1の周波数源と同時に動作するように構成された第2の周波数源とを含む。第1の周波数源は、基準入力信号を受け取るように結合された入力と、第1の周波数源信号を提供する出力とを含む。位相遅延は、入力基準信号を受け取るように結合された入力と、出力とを含み、位相遅延素子は、入力基準信号に既定の位相遅延を適用して位相遅延入力信号を生み出すように動作する。第2の周波数源は、位相遅延入力信号を受け取るように結合された入力と、第2の周波数源信号を提供する出力とを含む。

【選択図】 図2A



【特許請求の範囲】**【請求項 1】**

同時に動作する複数の周波数源を用いるように構成され、前記複数の周波数源の 1 つ又は複数の供給される入力信号が、その他の周波数源の 1 つ又は複数の供給される入力信号に対して位相オフセットされる同調可能なシステムであって、

基準入力信号を受け取るように結合された入力と、第 1 の周波数源信号を提供する出力とを有する第 1 の周波数源と、

前記入力基準信号を受け取るように結合された入力と出力とを有し、前記入力基準信号に既定の位相遅延を適用して位相遅延入力信号を生み出すように動作する位相遅延素子と、

前記第 1 の周波数源と同時に動作するように構成され、前記位相遅延入力信号を受け取るように結合された入力と、第 2 の周波数源信号を提供する出力とを有する第 2 の周波数源と

を備えるシステム。

【請求項 2】

前記位相遅延素子がインバータ素子を備え、前記第 1 の周波数源信号と前記第 2 の周波数源信号が、実質的に 180 度位相がずれている、請求項 1 に記載のシステム。

【請求項 3】

前記第 1 の周波数源と前記第 2 の周波数源の少なくとも 1 つが位相ロックループ回路を備える、請求項 1 に記載のシステム。

【請求項 4】

前記第 1 の周波数源に結合された偶数の直列結合のインバータをさらに備え、前記位相遅延素子が、直列結合で配列された前記偶数 + 1 個のインバータを備える、請求項 1 に記載のシステム。

【請求項 5】

前記位相遅延素子が、前記システム入力信号に第 1 の既定の位相遅延を適用して第 1 の位相遅延入力信号を生み出すように動作する第 1 の位相遅延素子を備え、

当該システムが、

前記基準入力信号を受け取るように結合された入力と、出力とを有し、前記入力基準信号に第 2 の既定の位相遅延を適用して第 2 の位相遅延入力信号を生み出すように動作する第 2 の位相遅延素子と、

第 2 の位相遅延入力信号を受け取るように結合された入力と、第 3 の周波数源信号を提供する出力とを有する第 3 の周波数源と

をさらに備える、請求項 1 に記載のシステム。

【請求項 6】

前記位相遅延素子が、前記入力信号に第 1 の既定の位相遅延を適用して第 1 の位相遅延入力信号を生み出すように動作する第 1 の位相遅延素子を備え、

当該システムが、

前記第 1 の遅延入力信号を受け取るように結合された入力と、出力とを有し、前記供給される第 1 の位相遅延入力信号に第 2 の既定の位相遅延を提供して第 2 の位相遅延入力信号を生み出すように動作する第 2 の位相遅延素子と、

第 2 の位相遅延基準信号を受け取るように結合された入力と、第 3 の周波数源信号を提供する出力とを有する第 3 の周波数源と

をさらに備える、請求項 1 に記載のシステム。

【請求項 7】

前記基準入力信号が、0 度の位相基準で動作するものとして定義され、前記第 1 と第 2 の位相遅延素子が、第 1 と第 2 の位相オフセットを提供して、それぞれの第 1 と第 2 の位相遅延入力信号を生み出すように動作し、前記基準入力信号、前記第 1 の位相遅延入力信号、及び前記第 2 の位相遅延基準信号が、式、

10

20

30

40

【数 1】

$$\frac{n-1}{n} \times 360 = \text{位相範囲}$$

によって与えられる位相範囲にわたって等間隔で配置され、式中、n は、同時に動作する周波数源の数を表す、請求項 5 に記載のシステム。

【請求項 8】

前記基準入力信号が、0 度の位相基準で動作するものとして定義され、前記第 1 と第 2 の位相遅延素子が、第 1 と第 2 の位相オフセットを提供して、それぞれの第 1 と第 2 の位相遅延入力信号を生み出すように動作し、前記基準入力信号、前記第 1 の位相遅延入力信号、及び前記第 2 の位相遅延基準信号が、180 度の位相範囲にわたって等間隔で配置される、請求項 5 に記載のシステム。

10

【請求項 9】

前記基準入力信号が、0 度の位相基準で動作するものとして定義され、前記第 1 と第 2 の位相遅延素子が、第 1 と第 2 の位相オフセットを提供して、それぞれの第 1 と第 2 の位相遅延入力信号を生み出すように動作し、前記基準入力信号、前記第 1 の位相遅延入力信号、及び前記第 2 の位相遅延基準信号が、式、

【数 2】

20

$$\frac{n-1}{n} \times 360 = \text{位相範囲}$$

によって定義される位相範囲にわたって等間隔で配置され、式中、n は、同時に動作する周波数源の数を表す、請求項 6 に記載の多重周波数源システム。

【請求項 10】

前記基準入力信号が、0 度の位相基準で動作するものとして定義され、前記第 1 と第 2 の位相遅延素子が、第 1 と第 2 の位相オフセットを提供して、それぞれの第 1 と第 2 の位相遅延入力信号を生み出すように動作し、前記基準入力信号、前記第 1 の位相遅延入力信号、及び前記第 2 の位相遅延基準信号が、180 度の位相範囲にわたって等間隔で配置される、請求項 6 に記載のシステム。

30

【請求項 11】

前記第 1 の遅延素子が、第 1 の直列結合のインバータ素子配列を備え、前記第 1 の直列結合のインバータ素子配列の合計遅延時間が、実質的に、前記第 1 の位相オフセットと等価である、請求項 7 に記載のシステム。

【請求項 12】

前記第 1 の遅延素子が、第 1 の直列結合のインバータ素子配列を備え、前記第 1 の直列結合のインバータ素子配列の合計遅延時間が、実質的に、前記第 1 の位相オフセットと等価である、請求項 8 に記載のシステム。

40

【請求項 13】

前記第 2 の遅延素子が、第 2 の直列結合のインバータ素子配列を備え、前記第 2 の直列結合のインバータ素子配列の合計遅延時間が、実質的に、前記第 2 の位相オフセットと等価である、請求項 11 に記載のシステム。

【請求項 14】

前記第 2 の遅延素子が、直列結合の奇数のインバータ素子配列を備え、基準入力信号が、前記奇数のインバータ素子より 1 つ少ない数の直列のインバータ素子配列を介した伝送によって生成される、請求項 12 に記載のシステム。

【請求項 15】

50

同時に動作する複数の周波数源を用いるように構成され、前記複数の周波数源の１つ又は複数の供給される入力信号が、その他の周波数源の１つ又は複数の供給される入力信号に対して位相オフセットされる同調可能なシステムであって、

基準入力信号を受け取るように結合された入力と、第１の周波数源信号を提供する出力とを有する第１の周波数源と、

前記入力基準信号を受け取るように結合された入力と、出力とを有し、前記入力基準信号に第１の既定の位相遅延を適用して位相遅延入力信号を生み出すように動作する第１の位相遅延素子と、

前記第１の周波数源と同時に動作するように構成され、前記第１の位相遅延入力信号を受け取るように結合された入力と、第２の周波数源信号を提供する出力とを有する第２の周波数源と、

前記基準入力信号を受け取るように結合された入力と、出力とを有し、前記入力基準信号に第２の既定の位相遅延を適用して第２の位相遅延入力信号を生み出すように動作する第２の位相遅延素子と、

前記第１と第２の周波数源と同時に動作するように構成され、前記第２の位相遅延入力信号を受け取るように結合された入力と、第３の周波数源信号を提供する出力とを有する第３の周波数源と

を備えるシステム。

【請求項１６】

前記基準入力信号が、０度の位相基準で動作するものとして定義され、前記第１と第２の位相遅延素子が、第１と第２の位相オフセットを提供して、それぞれの第１と第２の位相遅延入力信号を生み出すように動作し、前記基準入力信号、前記第１の位相遅延入力信号、及び前記第２の位相遅延基準信号が、式、

【数３】

$$\frac{n-1}{n} \times 360 = \text{位相範囲}$$

によって提供される位相範囲にわたって等間隔で配置され、式中、 n は、同時に動作する周波数源の数を表す、請求項１５に記載のシステム。

【請求項１７】

前記基準入力信号が、０度の位相基準で動作するものとして定義され、前記第１と第２の位相遅延素子が、第１と第２の位相オフセットを提供して、それぞれの第１と第２の位相遅延入力信号を生み出すように動作し、前記基準入力信号、前記第１の位相遅延入力信号、及び前記第２の位相遅延基準信号が、１８０度の位相範囲にわたって等間隔で配置される、請求項１５に記載のシステム。

【請求項１８】

前記第１の遅延素子が、第１の直列結合のインバータ素子配列を備え、前記第１の直列結合のインバータ素子配列の合計遅延時間が、実質的に、前記第１の位相オフセットと等価である、請求項１７に記載のシステム。

【請求項１９】

前記第２の遅延素子が、直列結合の奇数のインバータ素子配列を備え、基準入力信号が、前記奇数のインバータ素子より１つ少ない数の直列のインバータ素子配列を介した伝送によって生成される、請求項１８に記載のシステム。

【請求項２０】

複数の n 個の同時に動作する周波数源であり、それぞれが、前記周波数源を高電流モードで動作するように制御する入力信号を受け取る前記周波数源を用いるように構成された同調可能なシステムにおいて、オフセット信号位相調整を使って前記システムを動作させる方法であって、

10

20

30

40

50

前記複数の周波数源の中から、基準入力信号を受け取る基準周波数源を識別するステップと、

残りの前記周波数源のそれぞれに供給される残りの前記入力信号のそれぞれの位相オフセットを算出するステップと、

前記残りの $n - 1$ 個の入力信号それぞれに前記算出される位相オフセットを適用して、前記残りの入力信号の前記周波数源のそれぞれへの印加を遅延させるステップとを含む方法。

【請求項 2 1】

位相オフセットを算出する前記ステップが、 180 度の位相範囲にわたって、前記残りの入力信号に等間隔の位相オフセットを算出するステップを含む、請求項 2 0 に記載の方法。

10

【請求項 2 2】

位相オフセットを算出する前記ステップが、式、

【数 4】

$$\frac{n-1}{n} \times 360 = \text{位相範囲}$$

によって定義される位相範囲にわたって、前記残りの入力信号に等間隔の位相オフセットを算出するステップを含み、式中、 n は、同時に動作する周波数源の数を表す、請求項 2 0 に記載の方法。

20

【請求項 2 3】

前記残りの $n - 1$ 個の入力信号それぞれに前記算出される位相オフセットを適用する前記ステップが、前記残りの $n - 1$ 個の入力信号の少なくとも 1 つに直列カスケード接続のインバータ素子配列を通過させるステップを含む、請求項 2 0 に記載の方法。

【請求項 2 4】

前記直列カスケード接続の配列が、奇数のインバータ素子を備える、請求項 2 3 に記載の方法。

【請求項 2 5】

前記直列カスケード接続のインバータ素子の数が、前記算出される位相オフセットと実質的に等価な時間遅延を提供するように動作する、請求項 2 3 に記載の方法。

30

【請求項 2 6】

前記基準入力信号が、前記奇数のインバータ素子より 1 つ少ないインバータ素子を備える、直列カスケード接続の偶数のインバータ素子の配列を介して前記基準周波数源に供給される、請求項 2 4 に記載の方法。

【請求項 2 7】

複数 n 個の同時に動作する周波数源であり、それぞれが、前記周波数源を高電流モードで動作するように制御する入力信号を受け取る前記周波数源を用いるように構成された同調可能なシステムと共に動作するための、コンピュータ可読媒体上にあるコンピュータプログラム製品であって、

40

前記複数の周波数源の中から、基準入力信号を受け取る基準周波数源を識別する命令コードと、

残りの前記周波数源のそれぞれに供給される残りの前記入力信号のそれぞれの位相オフセットを算出する命令コードと、

前記残りの $n - 1$ 個の入力信号それぞれに前記算出される位相オフセットを適用して、前記残りの入力信号の前記周波数源のそれぞれへの印加を遅延させる命令コードとを備えるコンピュータプログラム製品。

【発明の詳細な説明】

【関連出願の相互参照】

50

【 0 0 0 1 】

本特許出願は、その内容が参照により本明細書に援用される、以下の各特許出願に関連し、これらと同時に出願されるものである。

【 0 0 0 2 】

「多重周波数源システム及び動作方法 (Multiple Frequency Source System and Method of Operation)」、国際出願 PCT / IB 2006 / 052632、整理番号 RFM - 15 - PCT、及び、

「多重周波数源システムにおける位相プリングを緩和するシステム及び方法 (System and Method for Mitigating Phase Pulling in a Multiple Frequency Source System)」、国際出願 PCT / IB 2006 / 052634、整理番号 RFM - 17 - PCT。

10

【 0 0 0 3 】

本特許出願は、以下の各米国特許出願の優先権を主張し、これらの全文を援用するものである。

【 0 0 0 4 】

2005年8月2日出願の「多重周波数源システム及び動作方法 (Multiple Frequency Source System and Method of Operation)」、米国特許出願第 60 / 595 , 754 号、

2005年8月2日出願の「多重周波数源システムのためのオフセット信号位相調整 (Offset Signal Phasing for a Multiple Frequency Source System)」、米国特許出願第 60 / 595 , 749 号、及び

20

2005年8月2日出願の「多重周波数源システムにおける位相プリングを緩和するシステム及び方法 (System and Method for Mitigating Phase Pulling in a Multiple Frequency Source System)」、米国特許出願第 60 / 595 , 750 号。

【 背景 】

【 0 0 0 5 】

[0001] 本発明は、同時に動作する周波数源を用いる同調可能なシステムに関し、詳細には、上記システムと共に使用するためのオフセット信号位相調整に関する。

30

【 0 0 0 6 】

[0002] 「Multiple Frequency Source System and Method of Operation」という名称の出願に記載されている、システムにおける複数の周波数源の実施は、システムの電力消費をどのようにして制御するかにおいて可能な課題を提示する。具体的には、複数の周波数源の動作は、電源からの高ピーク電流需要を生み出し、おそらく、電源電圧が信頼のおけるシステム動作を継続するには不十分なレベルまで降下することになり得る。

【 0 0 0 7 】

[0003] したがって、求められているのは、複数の周波数源を用いるシステムにおける高ピーク電流消費を回避するシステム及び方法である。

40

【 概要 】

【 0 0 0 8 】

[0004] 本明細書では、位相遅延を使って個々の周波数源への入力信号の印加をずらすことによって、多重周波数源システムにおける高ピーク電力 (電流又は電圧) 消費を回避するシステム及び方法が提示される。

【 0 0 0 9 】

[0005] 例示的实施形態では、多重周波数源システムは、第1の動作周波数源と、位相遅延素子と、第1の周波数源と同時に動作するように構成された第2の動作周波数源とを含む。第1の周波数源は、基準入力信号を受け取るように結合された入力と、第1の周波数源信号を提供する出力とを含む。位相遅延は、入力基準信号を受け取るように結合された

50

入力と、出力とを含み、位相遅延素子は、入力基準信号に既定の位相遅延を適用して位相遅延入力信号を生み出すように動作する。第2の周波数源は、位相遅延入力信号を受け取るように結合された入力と、第2の周波数源信号を提供する出力とを含む。

【0010】

[0006]本発明の上記その他の特徴は、以下の詳細な説明と図面を考慮して考察すれば、より適切に理解されるであろう。

【0011】

[0008]明確にするために、添付の図面に、前述の特徴の参照表示を示す。

【例示的实施形態の説明】

【0012】

[0009]図1Aに、動作周波数源をコヒーレントに高電流モードで動作させるための、周波数源（「同調可能な複数の周波数源」）を同時に動作させることを用いる同調可能なシステムを示す。システム100は、 n 個の周波数源130₁, n を含み、周波数源130₁, n は、個別的实施形態では、少なくとも1つの同調可能な周波数源、かかる可変周波数発振器又は位相ロックループを含む。残りの周波数源の1つ又は複数は、同調可能な周波数源でも、固定周波数源でもよい。

【0013】

[0010]動作に際して、システムは、動作周波数源130₁, n の2つ以上（図示のように全部）に供給される入力信号110を受け取る。入力信号110は、高電流動作モードを開始するように動作し、このモードは、周波数源を作動して出力信号 F_{s1}, n を生成させることを含み得る。例示的实施形態では、入力信号110は、クロック信号、基準信号、或いは、周波数源を作動させ、又は、別のやり方で、周波数源が相当量の（例えば、その最大電流処理容量の50%を超える）電流を消費し始めるような高電流動作モードを生み出すように動作する他のかかる信号とすることができる。

【0014】

[0011]図1Bに、図1Aの同調可能な多重周波数源システムの時間領域信号波形とピーク電流消費を示す。図示のように、複数の周波数源が作動され、したがって、実質的に同時に高電流動作モードになる。結果として、電源バスは、非常に高い電流スパイクを被ることになる。この条件は、電源に、これらの期間に必要とされる高ピーク電流を供給するのに十分な容量がなくなる可能性があるという点で、望ましくない影響を生じ、供給電圧が、信頼のおけるシステム動作を継続するのに十分でない可能性のあるレベルまで降下することになる。さらに、時間領域での高電流スパイクの生成には、周波数領域での多数のスプリアス成分を伴う。電源バス上に多数のスプリアス成分が存在することは特に問題である。というのは、電源バス構造は、各周波数源130₁, n までの信号経路を提供し、そこでは、それらのSPURが所望の出力信号 F_{s1}, n と組み合わせさせて、目的の出力信号 F_{s1}, n の位相雑音を劣化させ得るからである。

【0015】

[0012]図2Aに、本発明による、オフセット信号位相調整を用いる同調可能な多重周波数源システムの例を示す。このシステムは、 n 個の対応する周波数源信号 F_{sn} を生成するように動作する n 個の周波数源230₁, n と、 $n-1$ 個の位相遅延素子220₁, ($n-1$)とを含む。入力信号210は、結合される周波数源230₁, n を作動させて、又は、別のやり方で、高電流モードにするように動作する。

【0016】

[0013]図示のように、 $n-1$ 個の位相遅延素子220₁, n は、隣接する周波数源の間に挿入され、これらの周波数源の1つ（周波数源2、230₂で示す）が、入力信号210の非遅延バージョン（本明細書では基準入力信号という）を受け取り、基準周波数源として動作する。 $n-1$ 個の位相遅延素子220は、それぞれ、入力信号に、特定の既定の位相オフセット $\phi_1, (n-1)$ を適用し、それによって、 $n-1$ 個の遅延入力信号225を生み出すように動作する。既定の位相オフセットの計算を以下でさらに説明する。位相オフセットを算出し、上記オフセットを、位相遅延素子220を介して周波数源に適用

10

20

30

40

50

することによって、各周波数源の電流消費をずらすことができ、電源電圧の降下又はスプリアス成分生成という望ましくない条件を軽減することができる。

【 0 0 1 7 】

[0014]位相遅延は、電氣的に、すなわち、インバータなどの特定の構造を使って提供されても、又は物理的に、すなわち、所望の位相遅延と等価の時間遅延を提供するいくつかのカスケード接続された素子（インバータなど）の実装によって提供されてもよい。システム 2 0 0 は、第 n の周波数源 2 3 0_n の入力における位相遅延が、遅延素子 2 2 0₂ から 2 2 0_n までの和である「はしご」形回路網構成として実施され得る。代替として、各遅延素子 2 2 0₁、2 がシステム入力信号 2 1 0 を受け取り、ただ 1 つの遅延素子だけを使って、所望の遅延が、対応する周波数源 2 3 0 への入力の前に適用される「星」形回路網が用いられてもよい。さらに代替として、システムは、図 2 A の例示的实施形態に示すように、両方の形の構造のセグメントを用いてもよい。

10

【 0 0 1 8 】

[0015]図 2 B に、本発明の一実施形態内で、準拠する同調可能な多重周波数源システムを動作させる方法の例を示す。最初に 2 6 2 で、基準周波数源（2 3 0₂ など）が複数の周波数源の中から識別される。基準周波数源に入力される信号が、続く位相オフセット算出プロセスで、0 度の相対的位相オフセットを有するものとして定義される。

【 0 0 1 9 】

[0016]2 6 4 で、対応する $n - 1$ 個の周波数源に入力される残りの $n - 1$ 信号のそれぞれの位相オフセットが算出される。このプロセスの一実施形態では、基準信号と、残りの $n - 1$ 個の入力信号が、以下の計算で与えられる位相範囲にわたって等間隔で配置される。

20

【 数 1 】

$$\frac{n-1}{n} \times 360 = \text{位相範囲} \quad \text{式 (1)}$$

式中、 n は同時に動作する周波数源の数である。

【 0 0 2 0 】

[0017]例えば、3 つの周波数源が実施されるシステムの実施形態では、基準入力信号が 0 度に位置し、第 1 と第 2 の位相遅延信号が、1 2 0 度と 2 4 0 度の位相に位置する。

30

【 0 0 2 1 】

[0018]別の実施形態では、基準入力信号と残りの $n - 1$ 個の位相遅延信号が、1 8 0 度の位相範囲にわたって等間隔で配置される。例えば、3 つの周波数源が実施されるシステム実施形態では、基準入力信号が 0 度に位置し、第 1 と第 2 の位相遅延信号が、9 0 度と 1 8 0 度の位相に位置する。

【 0 0 2 2 】

[0019]2 6 6 で、個々の $n - 1$ 個の入力信号について算出された位相オフセットが、これらに対応する入力信号に適用されて、所望の位相遅延がもたらされる。このプロセスの個別的实施形態では、基準入力信号を提供するのに使用され得る偶数（ $2n$ ）個のカスケード接続のインバータに対して 1 8 0 度の位相シフトを提供するようにカスケード接続された奇数（ $2n + 1$ ）個のインバータを介して、 $n - 1$ 個の入力信号の 1 つ又は複数が伝送される。別の実施形態では、所望の位相遅延を提供する物理的時間遅延を提供するように動作するカスケード接続の一連の回路素子（インバータなど）を介して、 $n - 1$ 入力信号の 1 つ又は複数が送られる。これらの手法の組合せを使って、以下でさらに説明するように、必要な位相遅延素子が提供され得る。

40

【 0 0 2 3 】

[0020]図 2 C に、図 2 B の方法を使用する図 2 A のシステムの時間領域信号波形とピーク電流消費を示す。それぞれ、出力周波数 F_{s0} 、 F_{s1} 、 F_{s2} を提供する 3 つの同時

50

に動作する周波数源を用いる、図 2 A と合致するシステムでの応答が示されている。このシステムは、180 度位相シフト遅延された入力信号 225_1 を生成する第 1 の位相遅延素子 1 を含み、この信号 225_1 は、これに対応する周波数源 230_1 に供給されて、出力波形 F_{s1} が生み出される。さらに、90 度位相シフト遅延された入力信号 225_2 を生成する第 2 の位相遅延素子 2 も含まれ、この信号 225_2 は、これに対応する周波数源 230_3 に供給されて、出力波形 F_{s3} が生み出される。

【0024】

[0021] 各時間領域波形が示すように、 F_{s1} 、 F_{s2} 、 F_{s3} の立ち上がりエッジは、互いに 90 度オフセットされている。このオフセット位相調整は、図 1 の応答と比べて、分散されたピーク電流応答を生じ、電流ピーキングが低減され、スプリアス成分生成が減少する。

10

【0025】

[0022] 前述のように、同時に動作する周波数源 $230_1, n$ の 1 つ又は複数が同調可能な周波数源になり、その一例が、シグマデルタ型フラクショナル位相ロックループ回路である。残りの周波数源は、設計の要求に従って、同調可能とすることも、固定周波数とすることもできる。周波数源が位相ロックループである個別的实施形態では、これらと関連付けられる位相遅延素子は、ループの基準信号 F_{ref} を供給する信号経路に沿って位置していてもよい。

【0026】

[0023] 図 3 に、図 2 A のシステムにおいてオフセット信号位相調整を提供するのに使用される位相遅延素子の実装例を示す。位相遅延素子 1220_1 は、3 つのインバータ素子 310_1 、 310_2 、 310_3 を含み、この数は、基準入力信号 225_2 のために設けられるインバータ素子 320_1 、 320_2 の合計数よりインバータが 1 つ多いことを表す。この実施形態では、2 つのインバータ遅延素子 310_1 、 310_2 を使って、基準入力信号 225_2 を受け取る基準周波数源 230_2 の入力にバッファが提供され、位相遅延素子 220_1 で供給される追加のインバータ素子 310_3 は、基準入力信号 225_2 に対して 180 度の位相を提供する。代替の実施形態では、より少数のインバータ素子が使用されてもよく（例えば、基準入力信号 225_2 にはインバータを使用せず、1 つのインバータ素子で遅延入力信号 225_1 を生成するなど）、より多数のインバータ素子が使用されてもよい（例えば、 $2n$ 個のインバータを遅延入力信号 225_1 の生成に使用し、 $2n+1$ 個のインバータを基準入力信号 225_2 の生成に使用するなど）。

20

30

【0027】

[0024] 位相遅延素子 2220_2 は、個別的实施形態では、複数の直列結合のインバータ素子 $330_1, m$ を使って実現され、その集合的配列により、所望の時間 / 位相遅延が生み出される。一実施形態では、所望の遅延は、実質的に、既存の基準入力信号と遅延入力信号 225_1 、 225_2 の位相の中間にある。例えば、基準入力信号と遅延入力信号 225_1 、 225_2 が、0 度と 180 度の相対的位相に位置する前述の実施形態では、十分な数のインバータ素子 $330_1, m$ が、90 度の位相遅延と実質的に等価な時間 / 位相遅延を提供するようにカスケード接続される。例えば、この物理的遅延を提供するには、カスケード接続の 150 ~ 200 個のインバータ素子配列が必要とされ得る。インバータ素子はサイズが極めて小さく、付随する歩留りが高く、容易に製造可能であるため、集積回路内で、多数を難なく容易に実施することができる。

40

【0028】

[0025] 図 4 に、図 3 A の同調可能な多重周波数源システムのための調整電源（本明細書では「調整器」という）のブロック図の例を示す。調整器 400 は、演算増幅器 OP1 410 と、トランジスタ T1 420 と、フィードバック抵抗器 R1、R2 430 と、調整コンデンサ C1 440 と、電源バス 450 とを含む。演算増幅器 410 は、従来の非反転増幅器構成として接続され、基準電圧を受け取るように結合された非反転入力と、反転入力に結合された抵抗器 430a と 430b によって形成される抵抗分割器を含む。調整コンデンサ 440 は、電源バス 450 に沿って伝搬する AC 信号を除去するように動

50

作し、供給トランジスタ 420 がカットオフモードにあるときに、電源バス 450 に電荷を提供する。供給トランジスタ 420（バイポーラ接合トランジスタとして例示されている）は、無調整電源に結合されたコレクタ端子と、演算増幅器 410 の出力に結合されたベース端子と、電源バス 450 に結合されたエミッタ端子とを含む。

【0029】

[0026] 基準周波数源が切り換わると、供給トランジスタ 420 と調整コンデンサ 440 は、必要な電流を供給する。（特に、非常に少量の DC 電流を提供している場合には）調整器の帯域幅が限られているため、ピーク電流は、調整コンデンサ 440 によって、そこに貯えられた電荷から供給され、その結果として調整電圧が降下する。調整器帯域幅に応じた時間遅延の後、調整器は、調整コンデンサ 440 に電荷を再蓄積し、調整電圧を定常値にする。低電流伝導では、高い周波数で供給されるピーク電流の低い値が、高電流モードで供給される必要のあるピーク電流の低域フィルタリングとして働く。結果として、調整電圧に対する電圧リップルが低減される。

10

【0030】

[0027] 当分野の技術者であれば容易に理解するように、前述の各プロセスは、ハードウェア、ソフトウェア、ファームウェアとして、又は適宜これらの実装の組合せとして実施され得る。加えて、前述のプロセスの一部又は全部が、コンピュータ可読媒体（取り外し可能ディスク、揮発性又は不揮発性メモリ、埋込み式プロセッサなど）上にあるコンピュータ可読命令コードとして実施されてもよく、この命令コードは、他のかかるプログラム可能な装置のコンピュータを、目的の機能を実行するためにプログラムするように動作する。

20

【0031】

[0028] 「a」又は「an」という語は、これによって記述される 1 つ、又は複数の特徴を指すのに使用されている。さらに、「coupled（結合された）」又は「connected（接続された）」という語は、直接的に、又は 1 つ又は複数の介在する構造又は物質を介して、（場合に応じて、電氣的に、機械的に、熱的に）相互に組み合わさった特徴を指す。方法流れ図で言及される操作及び動作の順序は例示であり、これらの操作及び動作は、異なる順序で実行されてもよく、これらの操作及び動作の 2 つ以上が同時に実行されてもよい。本明細書で参照されるすべての出版物、特許その他の文献は、参照によりその全文が組み込まれるものである。任意のかかる組込み文献と本明細書の間での整合性を欠く用法に関しては、本明細書での用法が規定するものとする。

30

【0032】

[0029] 以上の説明は、図示と説明のために提示したものである。網羅的であることも、本発明を開示通りの形に限定することも意図しておらず、明らかに、開示の教示を考慮に入れば、多くの変更及び変形が可能である。開示の実施形態は、本発明の原理と、その実際の適用を最も適切に説明し、それによって、当分野の技術者が、本発明を、様々な実施形態において、企図される個々の用途に適する様々な変更と共に最も適切に利用することを可能にするために選択されたものである。本発明の適用範囲は、添付の特許請求の範囲によって定義されるものである。

40

【図面の簡単な説明】

【0033】

【図 1 A】動作周波数源をコヒーレントに動作させるための複数の周波数源を用いる同調可能なシステムを示す図である。

【図 1 B】図 1 A の同調可能な多重周波数源システムの時間領域信号波形とピーク電流消費を示す図である。

【図 2 A】本発明による、オフセット信号位相調整を用いる多重周波数源システムの例を示す図である。

【図 2 B】本発明の一実施形態内で、準拠する多重周波数源システムを動作させる方法の例を示す図である。

【図 2 C】図 2 B の方法を使用する図 2 A のシステムの時間領域信号波形とピーク電流消費

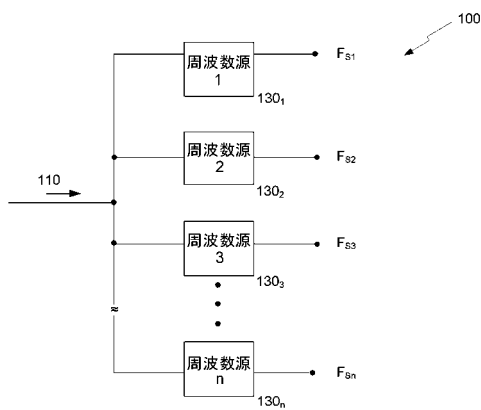
50

費を示す図である。

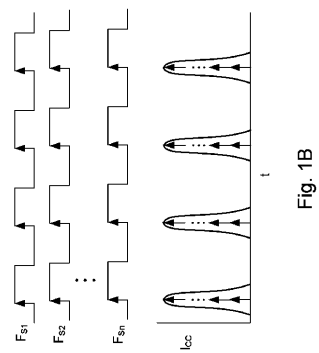
【図 3】図 2 A の同調可能な多重周波数源システムにおいてオフセット信号位相調整を提供するのに使用される位相遅延素子の実装例を示す図である。

【図 4】図 3 A の同調可能な多重周波数源システムと共に使用するための調整電源を示す例示的ブロック図である。

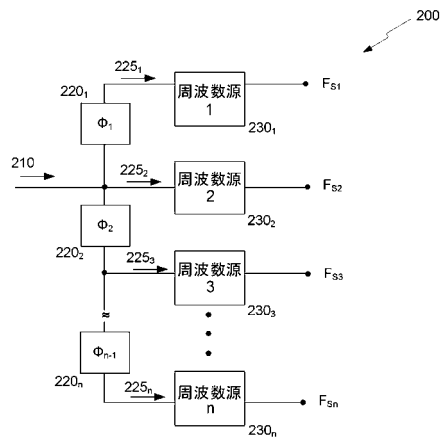
【図 1 A】



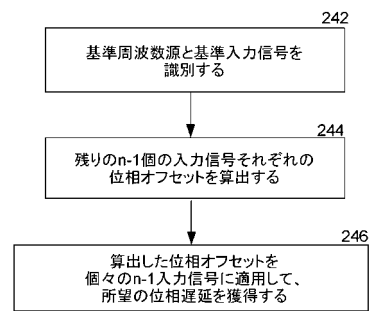
【図 1 B】



【図 2 A】



【図 2 B】



【図 2 C】

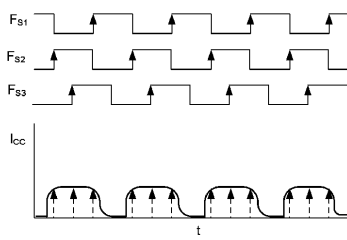
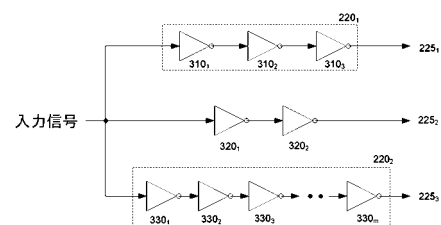


Fig. 2C

【図 3】



【 図 4 】

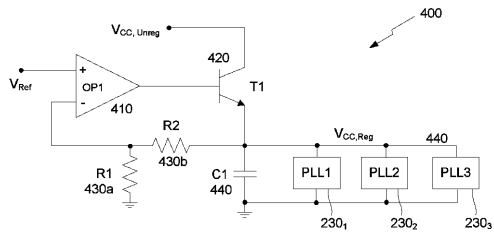


Fig. 4

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2006/052633

A. CLASSIFICATION OF SUBJECT MATTER
 INV. G06F1/10 G06F1/06 H03B27/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F H03B H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPQ-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 565 816 A (COTEUS PAUL W [US]) 15 October 1996 (1996-10-15) figures 1-3 column 2, line 66 - column 3, line 61 column 4, lines 51-64 column 1, line 53 - column 2, line 18 -----	1-3, 5-27
X	VUILLOD P ET AL: "Clock-skew optimization for peak current reduction" ISLPED. PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON LOW POWER ELECTRONICS AND DESIGN, 14 August 1996 (1996-08-14), pages 265-270, XP002300952 page 265 page 268, right-hand column; figure 7 ----- -/-	1-6, 15, 20, 23, 24, 27

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

Date of the actual completion of the international search

8 December 2006

Date of mailing of the international search report

22/12/2006

Name and mailing address of the ISA/

European Patent Office, P.B. 5619 Patentlaan 2
NL - 2580 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 831 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Robinson, Victoria

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2006/052633

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/006850 A1 (LYE KIN MUN [SG] ET AL) 9 January 2003 (2003-01-09) abstract; figure 1b -----	1, 2, 4, 20-27
A	US 2004/189366 A1 (HARINGER HELMUT [DE] ET AL HAERINGER HELMUT [DE] ET AL) 30 September 2004 (2004-09-30) figure 1 paragraphs [0002], [0013], [0014], [0017], [0028] -----	6, 9, 10
A	NEVES J-L ET AL: "BUFFERED CLOCK TREE SYNTHESIS WITH NON-ZERO CLOCK SKEW SCHEDULING FOR INCREASED TOLERANCE TO PROCESS PARAMETER VARIATIONS" JOURNAL OF VLSI SIGNAL PROCESSING SYSTEMS FOR SIGNAL, IMAGE, AND VIDEO TECHNOLOGY, SPRINGER, NEW YORK, NY, US, vol. 16, no. 2/3, June 1997 (1997-06), pages 149-160, XP000692607 ISSN: 0922-5773 figure 5 -----	4, 11-14, 18, 19, 23-26

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2006/052633

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5565816	A	15-10-1996	NONE	
US 2003006850	A1	09-01-2003	TW 496035 B	21-07-2002
US 2004189366	A1	30-09-2004	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

- (72)発明者 ビサンティ, ビアジ
フランス, エフ - 0 6 0 0 0 アンティベ, シェミン ドゥ フォントメリエ, 3 5 7,
レ テラッセ ダンティベ バット 1イー
- (72)発明者 コッボラ, フランセスコ
フランス, エフ - 0 6 1 3 0 グラッセ, アヴ ドゥ ラトレ デュ タシグニー 4 8,
ヴィヤ リリー
- (72)発明者 シプリアニ, ステファノ
フランス, エフ - 0 6 2 2 0 ゴルフェ ジュアン, シェミン ドゥ ラ ランベ 6 6 2,
レス. モンテヴェルディ
- (72)発明者 ブッチオ, ギアンニ
フランス, エフ - 0 6 6 1 0 ラ ガウデュ, アヴェニュー マルセル パグノール, 5 0
0
- (72)発明者 ドゥヴィヴィエール, エリック
フランス, エフ - 0 6 2 2 0 ゴルフェ ジュアン, アヴェニュー ジョルジュ ポンピドウ
2 1 2, レス. モンソ バット. エー 1
- (72)発明者 アルデルトン, マルティン
アメリカ合衆国, コロラド州, サン ディエゴ, モンテロ ブレイス 1 2 5 2 5
- (72)発明者 カプリネト, ロレンツォ
フランス, エフ - 0 6 6 0 0 アンティベ, ヴィヤ エヌ 4, シェミン ドゥ ボウヴェル
ト 4 3 5

F ターム(参考) 5B079 CC02 DD06

5J106 AA04 CC19 CC58 DD43 EE17 FF04 GG10 HH02 KK24 KK29