

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2025-515626

(P2025-515626A)

(43)公表日 令和7年5月20日(2025.5.20)

(51)国際特許分類		F I		
H 0 1 L	25/07 (2006.01)	H 0 1 L	25/08	Y
H 0 1 L	23/12 (2006.01)	H 0 1 L	23/12	N
H 0 1 L	25/10 (2006.01)	H 0 1 L	25/14	Z

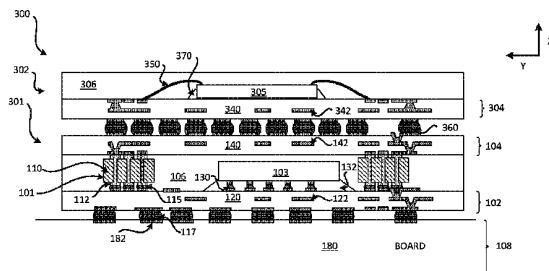
審査請求 未請求 予備審査請求 未請求 (全43頁)

(21)出願番号	特願2024-564578(P2024-564578)	(71)出願人	507364838
(86)(22)出願日	令和5年4月25日(2023.4.25)		クアルコム, インコーポレイテッド
(85)翻訳文提出日	令和6年10月30日(2024.10.30)		アメリカ合衆国 カリフォルニア 9 2 1
(86)国際出願番号	PCT/US2023/019839		2 1 サン ディエゴ モアハウス ドライ
(87)国際公開番号	WO2023/219794		ブ 5 7 7 5
(87)国際公開日	令和5年11月16日(2023.11.16)	(74)代理人	100108453
(31)優先権主張番号	17/742,001		弁理士 村山 靖彦
(32)優先日	令和4年5月11日(2022.5.11)	(74)代理人	100163522
(33)優先権主張国・地域又は機関	米国(US)		弁理士 黒田 晋平
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV)	(72)発明者	ヤンヤン・スン
	最終頁に続く		アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5
		(72)発明者	マニュエル・アルドレーテ
			アメリカ合衆国・カリフォルニア・9 2 最終頁に続く

(54)【発明の名称】 メタライゼーション部分間に位置する相互接続ダイを備えるパッケージ

(57)【要約】

第1のメタライゼーション部分(102)と、第1の集積デバイス(103)と、相互接続ダイ(110)と、第2のメタライゼーション部分(104)と、封入層(106)と、を備えるパッケージ。第1のメタライゼーション部分(102)は、少なくとも1つの第1の誘電体層と、第1の複数のメタライゼーション相互接続部と、を含む。第1の集積デバイス(103)は、第1のメタライゼーション部分に結合されている。相互接続ダイは、第1のメタライゼーション部分に結合されている。相互接続ダイを介して第1のメタライゼーション部分に結合された第2のメタライゼーション部分であって、第1の集積デバイス及び相互接続ダイが第1のメタライゼーション部分と第2のメタライゼーション部分との間に位置する、第2のメタライゼーション部分。第2のメタライゼーション部分は、少なくとも1つの第2の誘電体層と、複数の第2のメタライゼーション相互接続部と、を含む。第1のメタライゼーション部分及び第2のメタライゼーション部分に結合された封入層であって、第1のメタライゼーション部分と第2のメタライゼーシ



CROSS SECTIONAL PROFILE VIEW
FIG. 3

【特許請求の範囲】

【請求項 1】

少なくとも 1 つの第 1 の誘電体層と、
 複数の第 1 のメタライゼーション相互接続部と、
 を備える、第 1 のメタライゼーション部分と、
 前記第 1 のメタライゼーション部分に結合された第 1 の集積デバイスと、
 前記第 1 のメタライゼーション部分に結合された相互接続ダイと、
 前記相互接続ダイを介して前記第 1 のメタライゼーション部分に結合された第 2 のメタライゼーション部分であって、前記第 1 の集積デバイス及び前記相互接続ダイが前記第 1 のメタライゼーション部分と前記第 2 のメタライゼーション部分との間に位置し、前記第 2 のメタライゼーション部分が、
 少なくとも 1 つの第 2 の誘電体層と、
 複数の第 2 のメタライゼーション相互接続部と、
 を備える、第 2 のメタライゼーション部分と、
 前記第 1 のメタライゼーション部分及び前記第 2 のメタライゼーション部分に結合された封入層であって、前記第 1 のメタライゼーション部分と前記第 2 のメタライゼーション部分との間に位置する、封入層と、
 を備える、パッケージ。

【請求項 2】

前記相互接続ダイが、
 ダイ基板と、
 複数のダイ相互接続部と、
 を備える、請求項 1 に記載のパッケージ。

【請求項 3】

前記複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 150 ~ 270 マイクロメートルの範囲のピッチを有する、請求項 2 に記載のパッケージ。

【請求項 4】

前記複数のダイ相互接続部が、20 : 1 ~ 10 : 1 の範囲のアスペクト比を有する、請求項 2 に記載のパッケージ。

【請求項 5】

前記複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、請求項 2 に記載のパッケージ。

【請求項 6】

前記ダイ基板が、ガラス及び / 又はシリコンを含む、請求項 2 に記載のパッケージ。

【請求項 7】

前記第 2 のメタライゼーション部分に結合された第 2 の集積デバイスを更に備え、前記第 1 の集積デバイスが第 1 のチップレットを含み、前記第 2 の集積デバイスが第 2 のチップレットを含む、請求項 1 に記載のパッケージ。

【請求項 8】

前記第 1 のメタライゼーション部分が、第 1 の再配線部分を含み、
 前記複数の第 1 のメタライゼーション相互接続部が、複数の第 1 の再配線相互接続部を含み、
 前記第 2 のメタライゼーション部分が、第 2 の再配線部分を含み、
 前記複数の第 2 のメタライゼーション相互接続部が、複数の第 2 の再配線相互接続部を含む、
 請求項 1 に記載のパッケージ。

【請求項 9】

前記複数の第 1 の再配線相互接続部からの第 1 の再配線相互接続部の第 1 の部分が、U 字形状又は V 字形状を有する側面プロファイルを含み、
 前記複数の第 2 の再配線相互接続部からの第 2 の再配線相互接続部の第 2 の部分が、U

字形状又はV字形状を有する側面プロファイルを含む、
請求項 8 に記載のパッケージ。

【請求項 10】

前記相互接続ダイが、トランジスタを含まない、請求項 1 に記載のパッケージ。

【請求項 11】

第 1 のパッケージであって、
少なくとも 1 つの第 1 の誘電体層と、
複数の第 1 のメタライゼーション相互接続部と、
を備える、

第 1 のメタライゼーション部分と、

前記第 1 のメタライゼーション部分に結合された第 1 の集積デバイスと、

前記第 1 のメタライゼーション部分に結合されたダイ相互接続のための手段と、

前記ダイ相互接続のための手段を介して前記第 1 のメタライゼーション部分に結合された第 2 のメタライゼーション部分であって、前記第 1 の集積デバイス及び前記ダイ相互接続のための手段が、前記第 1 のメタライゼーション部分と前記第 2 のメタライゼーション部分との間に位置し、前記第 2 のメタライゼーション部分が、

少なくとも 1 つの第 2 の誘電体層と、

複数の第 2 のメタライゼーション相互接続部と、

を備える、第 2 のメタライゼーション部分と、

前記第 1 のメタライゼーション部分及び前記第 2 のメタライゼーション部分に結合された封入層であって、前記第 1 のメタライゼーション部分と前記第 2 のメタライゼーション部分との間に位置する、封入層と、

を備える、第 1 のパッケージ、

を備える、デバイス。

【請求項 12】

前記ダイ相互接続のための手段が、

ダイ基板と、

複数のダイ相互接続部と、

を備える、請求項 11 に記載のデバイス。

【請求項 13】

前記複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 150 ~ 270 マイクロメートルの範囲のピッチを有する、請求項 12 に記載のデバイス。

【請求項 14】

前記複数のダイ相互接続部が、20 : 1 ~ 10 : 1 の範囲のアスペクト比を有する、請求項 12 に記載のデバイス。

【請求項 15】

前記複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、請求項 12 に記載のデバイス。

【請求項 16】

前記ダイ基板が、ガラス及び / 又はシリコンを含む、請求項 12 に記載のデバイス。

【請求項 17】

前記第 1 のメタライゼーション部分が、第 1 の再配線部分を含み、

前記複数の第 1 のメタライゼーション相互接続部が、複数の第 1 の再配線相互接続部を含み、

前記第 2 のメタライゼーション部分が、第 2 の再配線部分を含み、

前記複数の第 2 のメタライゼーション相互接続部が、複数の第 2 の再配線相互接続部を含む、

請求項 11 に記載のデバイス。

【請求項 18】

複数のはんだ相互接続部を介して前記第 1 のパッケージに結合された第 2 のパッケージ

10

20

30

40

50

を更に備え、前記第 2 のパッケージが、
基板と、

前記基板に結合された第 2 の集積デバイスと、
前記基板及び前記第 2 の集積デバイスに結合された第 2 の封入層と、
を備える、請求項 1 1 に記載のデバイス。

【請求項 1 9】

前記ダイ相互接続のための手段が、トランジスタを含まない、請求項 1 1 に記載のデバイス。

【請求項 2 0】

前記デバイスが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定ロケーション端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット (IoT) デバイス、及び自動ビークル内のデバイスからなる群から選択される、請求項 1 1 に記載のデバイス。

10

【請求項 2 1】

パッケージを作製するための方法であって、

第 1 のメタライゼーション部分を設けることと、

前記第 1 のメタライゼーション部分に第 1 の集積デバイスを結合することと、

前記第 1 のメタライゼーション部分に相互接続ダイを結合することと、

20

前記第 1 のメタライゼーション部分、前記第 1 の集積デバイス、及び前記相互接続ダイの上に封入層を形成することと、

第 2 のメタライゼーション部分が前記相互接続ダイを介して前記第 1 のメタライゼーション部分に結合されるように、前記第 2 のメタライゼーション部分を前記封入層の上に形成することと、

を含む、方法。

【請求項 2 2】

前記第 2 のメタライゼーション部分に第 2 の集積デバイスを結合することを更に含む、請求項 2 1 に記載の方法。

【請求項 2 3】

複数のはんだ相互接続部を介して前記第 2 のメタライゼーション部分に第 2 のパッケージを結合すること更に含む、前記第 2 のパッケージが、

30

基板と、

前記基板に結合された第 2 の集積デバイスと、

前記基板及び前記第 2 の集積デバイスに結合された第 2 の封入層と、

を備える、請求項 2 1 に記載の方法。

【請求項 2 4】

前記相互接続ダイが、

ダイ基板と、

複数のダイ相互接続部と、

を備える、請求項 2 1 に記載の方法。

40

【請求項 2 5】

前記複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 1 5 0 ~ 2 7 0 マイクロメートルの範囲のピッチを有する、請求項 2 4 に記載の方法。

【請求項 2 6】

前記複数のダイ相互接続部が、2 0 : 1 ~ 1 0 : 1 の範囲のアスペクト比を有する、請求項 2 4 に記載の方法。

【請求項 2 7】

前記第 1 のメタライゼーション部分が、複数の第 1 の再配線相互接続部を備える第 1 の再配線部分を含み、

50

前記第2のメタライゼーション部分を形成することが、複数の第2の再配線相互接続部を備える第2の再配線部分を形成することを含む、

請求項21に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2022年5月11日に米国特許庁に出願された非仮出願第17/742,001号に対する優先権及び利益を主張するものであり、その内容全体は、その全体が以下に完全に記載されるかのように、かつ全ての適用可能な目的のために、参照により本明細書に組み込まれる。

10

【0002】

様々な特徴は、メタライゼーション部分と集積デバイスとを有するパッケージに関する。

【背景技術】

【0003】

パッケージは、基板と集積デバイスとを含み得る。これら構成要素は一緒に結合されて、様々な電氣的機能を実行することができるパッケージを提供する。より良好に実行するパッケージを提供し、かつパッケージの全体的なサイズを低減することが、継続的に必要とされている。

20

【発明の概要】

【課題を解決するための手段】

【0004】

様々な特徴は、メタライゼーション部分と集積デバイスとを有するパッケージに関する。

【0005】

一実施例は、第1のメタライゼーション部分と、第1の集積デバイスと、相互接続ダイと、第2のメタライゼーション部分と、封入層と、を含むパッケージを提供する。第1のメタライゼーション部分は、少なくとも1つの第1の誘電体層と、第1の複数のメタライゼーション相互接続部と、を含む。第1の集積デバイスは、第1のメタライゼーション部分に結合されている。相互接続ダイは、第1のメタライゼーション部分に結合されている。相互接続ダイを介して第1のメタライゼーション部分に結合された第2のメタライゼーション部分であって、第1の集積デバイス及び相互接続ダイが第1のメタライゼーション部分と第2のメタライゼーション部分との間に位置する、第2のメタライゼーション部分。第2のメタライゼーション部分は、少なくとも1つの第2の誘電体層と、複数の第2のメタライゼーション相互接続部と、を含む。第1のメタライゼーション部分及び第2のメタライゼーション部分に結合された封入層であって、第1のメタライゼーション部分と第2のメタライゼーション部分との間に位置する、封入層。

30

【0006】

別の実施例は、第1のパッケージを含むデバイスを提供する。第1のパッケージは、第1のメタライゼーション部分と、第1の集積デバイスと、ダイ相互接続のための手段と、第2のメタライゼーション部分と、封入層と、を含む。第1のメタライゼーション部分は、少なくとも1つの第1の誘電体層と、第1の複数のメタライゼーション相互接続部と、を含む。第1の集積デバイスは、第1のメタライゼーション部分に結合されている。ダイ相互接続のための手段は、第1のメタライゼーション部分に結合されている。ダイ相互接続のための手段を介して第1のメタライゼーション部分に結合された第2のメタライゼーション部分であって、第1の集積デバイス及び相互接続のための手段が第1のメタライゼーション部分と第2のメタライゼーション部分との間に位置する、第2のメタライゼーション部分。第2のメタライゼーション部分は、少なくとも1つの第2の誘電体層と、複数の第2のメタライゼーション相互接続部と、を含む。第1のメタライゼーション部分及び

40

50

第 2 のメタライゼーション部分に結合された封入層であって、第 1 のメタライゼーション部分と第 2 のメタライゼーション部分との間に位置する、封入層。

【 0 0 0 7 】

別の実施例は、パッケージを作製するための方法を提供する。方法は、第 1 のメタライゼーション部分を設ける。方法は、第 1 のメタライゼーション部分に第 1 の集積デバイスを結合する。方法は、第 1 のメタライゼーション部分に相互接続ダイを結合する。方法は、第 1 のメタライゼーション部分、第 1 の集積デバイス、及び相互接続ダイの上に封入層を形成する。方法は、第 2 のメタライゼーション部分が相互接続ダイを介して第 1 のメタライゼーション部分に結合されるように、第 2 のメタライゼーション部分を封入層の上に形成する。

10

【 0 0 0 8 】

以下に記載される「発明を実施するための形態」を、同様の参照符号が全体を通して対応するものを識別する図面と併せ読むことにより、様々な特徴、性質、及び利点が明らかとなり得る。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】メタライゼーション部分及び少なくとも 1 つの相互接続ダイを含むパッケージの例示的な断面プロファイル図を示す。

【図 2】メタライゼーション部分及び少なくとも 1 つの相互接続ダイを含むパッケージの例示的な断面プロファイル図を示す。

20

【図 3】少なくとも 1 つの相互接続ダイを含むパッケージの例示的な断面プロファイル図を示す。

【図 4】少なくとも 1 つの相互接続ダイを含むパッケージの例示的な断面プロファイル図を示す。

【図 5】相互接続ダイを作製するための例示的なシーケンスを示す。

【図 6】相互接続ダイを作製するための例示的なシーケンスを示す。

【図 7 A】相互接続ダイを作製するための例示的なシーケンスを示す。

【図 7 B】相互接続ダイを作製するための例示的なシーケンスを示す。

【図 8 A】相互接続ダイを作製するための例示的なシーケンスを示す図である。

【図 8 B】相互接続ダイを作製するための例示的なシーケンスを示す図である。

30

【図 9】相互接続ダイを作製するための方法の例示的なフローチャートを示す。

【図 10 A】メタライゼーション部分及び相互接続ダイを含むパッケージを作製するための例示的なシーケンスを示す。

【図 10 B】メタライゼーション部分及び相互接続ダイを含むパッケージを作製するための例示的なシーケンスを示す。

【図 11】メタライゼーション部分及び相互接続ダイを含むパッケージを作製するための方法の例示的なフローチャートを示す。

【図 12 A】メタライゼーション部分を作製するための例示的なシーケンスを示す。

【図 12 B】メタライゼーション部分を作製するための例示的なシーケンスを示す。

【図 13】メタライゼーション部分を作製するための方法の例示的なフローチャートを示す。

40

【図 14】本明細書で説明される、ダイ、電子回路、集積デバイス、集積受動デバイス (integrated passive device、IPD)、受動構成要素、パッケージ、及び / 又はデバイスパッケージを一体化し得る様々な電子デバイスを示す。

【発明を実施するための形態】

【 0 0 1 0 】

以下の説明では、本開示の様々な態様の完全な理解をもたらすために、具体的な詳細が記載される。しかしながら、当業者には、これらの具体的な詳細を伴わずとも、諸態様を実践することができる点が理解されるであろう。例えば、不必要な詳細で諸態様を不明瞭にすることを回避するために、回路がブロック図で示される場合がある。他の事例では、

50

本開示の諸態様を不明瞭にすることがないように、周知の回路、構造、及び技術が、詳細には示されない場合がある。

【0011】

本開示は、第1のメタライゼーション部分と、第1の集積デバイスと、相互接続ダイと、第2のメタライゼーション部分と、封入層と、を含むパッケージについて説明する。第1のメタライゼーション部分は、少なくとも1つの第1の誘電体層と、第1の複数のメタライゼーション相互接続部と、を含む。第1の集積デバイスは、第1のメタライゼーション部分に結合されている。相互接続ダイは、第1のメタライゼーション部分に結合されている。相互接続ダイを介して第1のメタライゼーション部分に結合された第2のメタライゼーション部分であって、第1の集積デバイス及び相互接続ダイが第1のメタライゼーション部分と第2のメタライゼーション部分との間に位置する、第2のメタライゼーション部分。第2のメタライゼーション部分は、少なくとも1つの第2の誘電体層と、複数の第2のメタライゼーション相互接続部と、を含む。第1のメタライゼーション部分及び第2のメタライゼーション部分に結合された封入層であって、第1のメタライゼーション部分と第2のメタライゼーション部分との間に位置する、封入層。第1のメタライゼーション部分は、複数の第1の再配線相互接続部を備える第1の再配線部分を含み得る。第2のメタライゼーション部分は、複数の第2の再配線相互接続部を備える第2の再配線部分を含み得る。第2のメタライゼーション部分の第1の側に、第2の集積デバイスが結合され得る。第2のメタライゼーション部分の第1の側に、第2のパッケージが結合され得る。第2のパッケージは、基板と、基板に結合された第2の集積デバイスと、基板及び第2の集積デバイスに結合された第2の封入層と、を含み得る。以下で更に説明するように、パッケージは、高アスペクト比及び高密度相互接続を有する相互接続部を提供し、これは、パッケージを小さく薄く保ちながら、改善されたパッケージ性能を提供するのに役立つ。

10

20

【0012】

相互接続ダイを備える例示的なパッケージ

図1は、メタライゼーション部分及び高密度相互接続を含むパッケージ100の断面プロフィール図を示す。パッケージ100は、パッケージオンパッケージ(package on package、POP)を含み得る。パッケージ100は、複数のはんだ相互接続部117を介してボード108に結合されている。ボード108は、少なくとも1つのボード誘電体層180と、複数のボード相互接続部182と、を含む。ボード108は、プリント回路基板(printed circuit board、PCB)を含み得る。パッケージ100は、複数のはんだ相互接続部117を介してボード108の複数のボード相互接続部182に結合されている。

30

【0013】

パッケージ100は、少なくとも1つの相互接続ダイ101、メタライゼーション部分102、メタライゼーション部分104、集積デバイス103、集積デバイス105、及び封入層106を含む。メタライゼーション部分102は、少なくとも1つの誘電体層120と、複数のメタライゼーション相互接続部122と、を含む。メタライゼーション部分104は、少なくとも1つの誘電体層140と、複数のメタライゼーション相互接続部142と、を含む。メタライゼーション部分104(例えば、第2のメタライゼーション部分)は、少なくとも1つの相互接続ダイ101を介してメタライゼーション部分102(例えば、第1のメタライゼーション部分)に結合される(例えば、電氣的に結合される)ように構成されている。

40

【0014】

メタライゼーション部分102は、再配線部分(例えば、第1の再配線部分)を含み得る。メタライゼーション部分102は、第1の側及び第2の側を含み得る。第1の側は前側であってもよく、第2の側は裏側であってもよい。複数のメタライゼーション相互接続部122は、複数の再配線相互接続部(例えば、複数の第1の再配線相互接続部)を含み得る。メタライゼーション部分102は、パッケージ100の前側メタライゼーション部分(例えば、前側再配線部分)であり得る。メタライゼーション部分102は、メタライ

50

ゼーション相互接続のための手段（例えば、前側メタライゼーション相互接続のための手段）であり得る。

【0015】

メタライゼーション部分104は、再配線部分（例えば、第2の再配線部分）を含み得る。メタライゼーション部分104は、第1の側及び第2の側を含み得る。第1の側は前側であってもよく、第2の側は裏側であってもよい。複数のメタライゼーション相互接続部142は、複数の再配線相互接続部（例えば、複数の第2の再配線相互接続部）を含み得る。メタライゼーション部分104は、パッケージ100の裏側メタライゼーション部分（例えば、裏側再配線部分）であり得る。メタライゼーション部分104は、メタライゼーション相互接続のための手段（例えば、裏側メタライゼーション相互接続のための手段）であり得る。

10

【0016】

上述したように、メタライゼーション部分（例えば、102、104）は、再配線相互接続部（例えば、再配線層（redistribution layer、RDL）相互接続部）を含む再配線部分を含み得る。再配線相互接続部は、U形状又はV形状を有する部分を含み得る。「U形状」及び「V形状」という用語は、互換的である。「U形状」及び「V形状」という用語は、相互接続部及び/又は再配線相互接続部の側面プロファイル形状を指し得る。U形状相互接続部（例えば、U形状側面プロファイル相互接続部）及びV形状相互接続部（例えば、V形状側面プロファイル相互接続部）は、上部部分及び底部部分を有し得る。U形状相互接続部（又はV形状相互接続部）の底部部分は、別のU形状相互接続部（又はV形状相互接続部）の上部部分に結合され得る。

20

【0017】

集積デバイス103（例えば、第1の集積デバイス）は、複数のはんだ相互接続部130を介してメタライゼーション部分102の第1の側（例えば、前側）に結合されている。集積デバイス103と複数のはんだ相互接続部130との間に複数のピラー相互接続部があってもよく、なくてもよい。したがって、集積デバイス103は、複数のピラー相互接続部及び複数のはんだ相互接続部130を介してメタライゼーション部分102に結合され得る。アンダーフィル132が、集積デバイス103とメタライゼーション部分102との間に位置し得る。少なくとも1つの相互接続ダイ101は、複数のはんだ相互接続部115を介してメタライゼーション部分102の第1の側に結合され得る。以下で更に説明するように、少なくとも1つの相互接続ダイ101は、パッケージ100のための高アスペクト比相互接続部及び/又は高密度相互接続部を提供するように構成され得る。封入層106は、メタライゼーション部分102の第1の側（例えば、前側）及びメタライゼーション部分104の第2の側（例えば、裏側）に結合され得る。封入層106は、集積デバイス103及び少なくとも1つの相互接続ダイ101を（例えば、部分的に又は完全に）封入し得る。封入層106は、モールド、樹脂、及び/又はエポキシを含み得る。封入層106は、封入のための手段であり得る。封入層106は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。封入層106は、メタライゼーション部分102とメタライゼーション部分104との間に位置する。少なくとも1つの相互接続ダイ101は、メタライゼーション部分102とメタライゼーション部分104との間に位置する。集積デバイス103は、メタライゼーション部分102とメタライゼーション部分104との間に位置する。集積デバイス103は、前側及び裏側を含み得る。集積デバイス103の前側は、メタライゼーション部分102に面し得る。集積デバイス103の裏側は、メタライゼーション部分104に面し得る。集積デバイス103の裏側は、封入層106によって覆われ得る。いくつかの実装形態では、集積デバイス103の裏側（例えば、裏側表面）は、露出されたままであり得る（例えば、封入層106によって覆われていない）。少なくとも1つの相互接続ダイ101は、集積デバイス103の横方向に位置する。少なくとも1つの相互接続ダイ101は、集積デバイス103を横方向に取り囲み得る。

30

40

【0018】

50

少なくとも1つの相互接続ダイ101は、ダイ基板110と、複数のダイ相互接続部112と、を含む。ダイ基板110は、シリコンを含み得る。複数のダイ相互接続部112は、パッド相互接続部112a（例えば、パッド）、ビア相互接続部112b（例えば、ビア）、及びパッド相互接続部112c（例えば、パッド）を含む。パッド相互接続部112aは、ビア相互接続部112bに結合されている。ビア相互接続部112bは、パッド相互接続部112cに結合されている。パッド相互接続部112cは、はんだ相互接続部115aに結合されている。はんだ相互接続部115aは、複数のはんだ相互接続部115の一部である。

【0019】

メタライゼーション部分104からの複数のメタライゼーション相互接続部142は、相互接続ダイ101とメタライゼーション部分104との間にはんだ相互接続部が必要とされないように、少なくとも1つの相互接続ダイ101の複数のダイ相互接続部112に結合され得る。すなわち、複数のメタライゼーション相互接続部142は、はんだ相互接続部を必要とせず又は使用せずに、複数のダイ相互接続部112に結合され得る。したがって、複数のメタライゼーション相互接続部142からの相互接続部と複数のダイ相互接続部112からのダイ相互接続部（例えば、112a）との間の結合には、はんだ相互接続部がなくてもよい。

10

【0020】

少なくとも1つの相互接続ダイ101は、ダミーダイを含み得る。少なくとも1つの相互接続ダイ101は、能動構成要素を含まなくてもよい。少なくとも1つの相互接続ダイ101は、トランジスタを含まなくてもよい。少なくとも1つの相互接続ダイ101は、ダイの相互接続のための手段であり得る。

20

【0021】

メタライゼーション部分102とメタライゼーション部分104との間の相互接続部のアスペクト比（例えば、高さ対幅比、高さ対直径比）は、非常に高くなり得る。例えば、いくつかの実装形態では、複数のダイ相互接続部112は、約20:1~10:1の範囲のアスペクト比を有し得る。一実施例では、ダイ相互接続部112bは、約20:1~10:1の範囲のアスペクト比を有し得る。別の一実施例では、ダイ相互接続部112a、ダイ相互接続部112b、及び/又はダイ相互接続部112cの組み合わせは、約20:1~10:1の範囲のアスペクト比を有し得る。高アスペクト比は、メタライゼーション部分102とメタライゼーション部分104との間に集積デバイスが存在する場合に、高密度相互接続部を提供するのに役立つ。また、メタライゼーション部分102とメタライゼーション部分104との間の相互接続部のピッチは、比較的小さくてもよい。例えば、複数のダイ相互接続部112は、約80~270マイクロメートルの範囲の、隣接するダイ相互接続部の間のピッチを有し得る。これらの寸法は、少なくとも1つの相互接続ダイ101の使用を介して可能であり、これは、(i)より薄いパッケージ100を提供するのに役立つ一方で、依然として、2つのメタライゼーション部分の間に集積デバイス103を収容することが可能であり、(ii)小ピッチ（例えば、80~270マイクロメートル）を有する相互接続部を封入層内に提供するのに役立つ。したがって、高密度ルーティング（例えば、高密度相互接続部）を封入層内に提供するのに役立つ。パッド相互接続部112cは、約20~90マイクロメートルの直径及び/又は幅を有し得る。パッド相互接続部112bは、約50~500マイクロメートルの高さを有し得る。パッド相互接続部112aは、約20~90マイクロメートルの直径及び/又は幅を有し得る。パッド相互接続部112aは、約5~15マイクロメートルの厚さを有し得る。封入層106は、約70~500マイクロメートルの厚さを有し得る。メタライゼーション部分102の表面とメタライゼーション部分104の表面と間の間隔は、封入層106の厚さに等しくてもよい。上記の寸法は例示的なものであることに留意されたい。異なる実装形態は、異なる寸法及び/又は構成を有する相互接続部を有し得る。上記の例示的な寸法及び/又は値は、本開示で記載される他のパッケージに適用可能であり得る。

30

40

【0022】

50

集積デバイス 105 (例えば、第 2 の集積デバイス) は、複数のはんだ相互接続部 150 を介してメタライゼーション部分 104 の第 1 の側 (例えば、前側) に結合されている。例えば、集積デバイス 105 は、複数のはんだ相互接続部 150 を介してメタライゼーション部分 104 の複数のメタライゼーション相互接続部 142 に結合され得る。集積デバイス 105 と複数のはんだ相互接続部 150 との間に複数のピラー相互接続部があってもよく、なくてもよい。集積デバイス 103 は、複数のピラー相互接続部及び / 又は複数のはんだ相互接続部 150 を介してメタライゼーション部分 104 に結合され得る。集積デバイス 105 は、複数のはんだ相互接続部 150、複数のメタライゼーション相互接続部 142、少なくとも 1 つの相互接続ダイ 101 (複数の相互接続部 112)、複数のはんだ相互接続部 115、複数のメタライゼーション相互接続部 122、及び / 又は複数のはんだ相互接続部 130 を介して、集積デバイス 103 に電氣的に結合されるように構成され得る。

10

【0023】

図 2 は、メタライゼーション部分及び高密度相互接続を含むパッケージ 200 の断面プロフィール図を示す。パッケージ 200 は、図 1 のパッケージ 100 と同様であり、したがって、パッケージ 100 と同じ又は同様の構成要素を含む。パッケージ 200 は、図 1 の少なくとも 1 つの相互接続ダイ 101 とは異なる構成、配置、及び / 又は設計を有する少なくとも 1 つの相互接続ダイ 201 を含む。

【0024】

パッケージ 200 は、複数のはんだ相互接続部 117 を介してボード 108 に結合されている。ボード 108 は、少なくとも 1 つのボード誘電体層 180 と、複数のボード相互接続部 182 と、を含む。ボード 108 は、プリント回路基板 (printed circuit board、PCB) を含み得る。

20

【0025】

パッケージ 200 は、少なくとも 1 つの相互接続ダイ 201、メタライゼーション部分 102、メタライゼーション部分 104、集積デバイス 103、集積デバイス 105、及び封入層 106 を含む。少なくとも 1 つの相互接続ダイ 201 は、メタライゼーション部分 102 の第 1 の側 (例えば、前側) に結合されている。メタライゼーション部分 104 (例えば、第 2 のメタライゼーション部分) は、少なくとも 1 つの相互接続ダイ 201 を介してメタライゼーション部分 102 (例えば、第 1 のメタライゼーション部分) に結合される (例えば、電氣的に結合される) ように構成されている。

30

【0026】

少なくとも 1 つの相互接続ダイ 201 は、ダイ基板 110 と、複数のダイ相互接続部 112 と、を含む。ダイ基板 110 は、シリコンを含み得る。複数のダイ相互接続部 112 は、ピア相互接続部 112 b (例えば、ピア) を含む。いくつかの実装形態では、図 2 のピア相互接続部 112 b は、約 100 マイクロメートルの幅及び / 又は直径を有し得る。ピア相互接続部 112 b は、はんだ相互接続部 115 a に結合されている。はんだ相互接続部 115 a は、複数のはんだ相互接続部 115 の一部である。

【0027】

メタライゼーション部分 104 からの複数のメタライゼーション相互接続部 142 は、相互接続ダイ 101 とメタライゼーション部分 104 との間にはんだ相互接続部が必要とされないように、少なくとも 1 つの相互接続ダイ 101 の複数のダイ相互接続部 112 に結合され得る。すなわち、複数のメタライゼーション相互接続部 142 は、はんだ相互接続部を必要とせずに又は使用せずに、複数のダイ相互接続部 112 に結合され得る。したがって、複数のメタライゼーション相互接続部 142 からの相互接続部と複数のダイ相互接続部 112 からのダイ相互接続部 (例えば、112 b) との間の結合には、はんだ相互接続部がなくてもよい。

40

【0028】

少なくとも 1 つの相互接続ダイ 201 は、ダミーダイであり得る。少なくとも 1 つの相互接続ダイ 201 は、能動構成要素を含まなくてもよい。少なくとも 1 つの相互接続ダイ

50

201は、トランジスタを含まなくてもよい。少なくとも1つの相互接続ダイ201と少なくとも1つの相互接続ダイ101との間の1つの予想される違いは、少なくとも1つの相互接続ダイ201がパッド相互接続部112a及びパッド相互接続部112cを含まないことである。パッド相互接続部112a及び/又はパッド相互接続部112cを有しないことの1つの利点は、少なくとも1つの相互接続ダイ201が少なくとも1つの相互接続ダイ101よりも薄くなり得ることであり、これは、パッケージの全体的な厚さを低減するのに役立つ。少なくとも1つの相互接続ダイ201は、ダイの相互接続のための手段であり得る。

【0029】

メタライゼーション部分102とメタライゼーション部分104との間の相互接続部のピッチは、比較的小さくてもよい。例えば、少なくとも1つの相互接続ダイ201の複数のダイ相互接続部112は、約150~270マイクロメートルの範囲の、隣接するダイ相互接続部間のピッチを有し得る。これらの寸法は、少なくとも1つの相互接続ダイ201の使用を介して可能であり、これは、(i)より薄いパッケージ200を提供するのに役立つ一方で、依然として、メタライゼーション部分の間に集積デバイスを収容することが可能であり、(ii)小ピッチ(例えば、150~270マイクロメートル)を有する相互接続部を封入層内に提供するのに役立つ、したがって、高密度ルーティング(例えば、高密度相互接続部)を封入層内に提供するのに役立つ。

10

【0030】

集積デバイス105は、複数のはんだ相互接続部150、複数のメタライゼーション相互接続部142、少なくとも1つの相互接続ダイ201(複数の相互接続部112)、複数のはんだ相互接続部115、複数のメタライゼーション相互接続部122、及び/又は複数のはんだ相互接続部130を介して、集積デバイス103に電氣的に結合されるように構成され得る。

20

【0031】

少なくとも図3及び図4において以下で更に説明するように、いくつかの実装形態では、別のパッケージ(例えば、第2のパッケージ)が、図1及び図2において説明したパッケージに結合され得る。したがって、例えば、以下で更に説明するように、相互接続ダイを有するパッケージは、第1のパッケージと、第1のパッケージの上の第2のパッケージと、を含むパッケージオンパッケージ(POP)であり得る。

30

【0032】

図3は、高密度相互接続を含むパッケージ300の断面プロファイル図を示す。パッケージ300は、パッケージオンパッケージ(POP)を含み得る。パッケージ300は、パッケージ301と、パッケージ302と、を含む。パッケージ301は、第1のパッケージであってもよく、パッケージ302は、第2のパッケージであってもよい。パッケージ302は、複数のはんだ相互接続部360を介してパッケージ301に結合されている。パッケージ300は、複数のはんだ相互接続部117を介してボード108に結合されている。ボード108は、少なくとも1つのボード誘電体層180と、複数のボード相互接続部182と、を含む。ボード108は、プリント回路基板(printed circuit board、PCB)を含み得る。パッケージ300は、複数のはんだ相互接続部117を介してボード108の複数のボード相互接続部182に結合されている。

40

【0033】

パッケージ301は、図1のパッケージ100と同様であり得る。パッケージ301は、図1のパッケージ100について説明したものと同様に構成及び/又は配置され得る。パッケージ301は、少なくとも1つの相互接続ダイ101、メタライゼーション部分102、メタライゼーション部分104、集積デバイス103、及び封入層106を含む。メタライゼーション部分102は、少なくとも1つの誘電体層120と、複数のメタライゼーション相互接続部122と、を含む。メタライゼーション部分102(例えば、第1のメタライゼーション部分)は、第1の側(例えば、前側)及び第2の側(例えば、裏側)を含む。メタライゼーション部分104(例えば、第2のメタライゼーション部分)は

50

、少なくとも1つの誘電体層140と、複数のメタライゼーション相互接続部142と、を含む。メタライゼーション部分104は、第1の側（例えば、前側）及び第2の側（例えば、裏側）を含む。メタライゼーション部分104（例えば、第2のメタライゼーション部分）は、少なくとも1つの相互接続ダイ101を介してメタライゼーション部分102（例えば、第1のメタライゼーション部分）に結合されている。

【0034】

パッケージ302は、基板304、集積デバイス305、複数のワイヤボンダ350、接着剤370、及び封入層306を含む。基板304は、少なくとも1つの誘電体層340、及び複数の相互接続部342を含む。集積デバイス305は、接着剤370によって基板304に結合されている。複数のワイヤボンダ350は、集積デバイス305と、基板304の複数の相互接続部342とに結合される。集積デバイス305は、メモリダイを含み得る。いくつかの実装形態では、互いの上に積層されたいくつかの集積デバイス305があり得る。封入層306は、集積デバイス305及び複数のワイヤボンダ350を封入する。封入層306は、基板304及び集積デバイス305に結合されている。封入層306は、基板304及び集積デバイス305の上に位置している。封入層306は、モールド、樹脂、及び/又はエポキシを含み得る。封入層306は、封入のための手段であり得る。封入層306は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液状成形プロセスを使用することにより設けることができる。封入層306は、封入層106と同様又は同じであり得る。

【0035】

集積デバイス305は、複数のワイヤボンダ350、複数の相互接続部342、複数のはんだ相互接続部360、複数のメタライゼーション相互接続部142、少なくとも1つの相互接続ダイ101（複数の相互接続部112）、複数のはんだ相互接続部115、複数のメタライゼーション相互接続部122、及び/又は複数のはんだ相互接続部130を介して、集積デバイス103に電氣的に結合されるように構成され得る。

【0036】

図4は、高密度相互接続を含むパッケージ400の断面プロファイル図を示す。パッケージ400は、パッケージオンパッケージ（POP）を含み得る。パッケージ300は、パッケージ401と、パッケージ302と、を含む。パッケージ401は、第1のパッケージであってもよく、パッケージ302は、第2のパッケージであってもよい。パッケージ302は、複数のはんだ相互接続部360を介してパッケージ401に結合されている。パッケージ400は、複数のはんだ相互接続部117を介してボード108に結合されている。ボード108は、少なくとも1つのボード誘電体層180と、複数のボード相互接続部182と、を含む。ボード108は、プリント回路基板（printed circuit board、PCB）を含み得る。パッケージ400は、複数のはんだ相互接続部117を介してボード108の複数のボード相互接続部182に結合されている。

【0037】

パッケージ401は、図2のパッケージ200と同様であり得る。パッケージ401は、図2のパッケージ200について説明したものと同様に構成及び/又は配置され得る。パッケージ401は、少なくとも1つの相互接続ダイ201、メタライゼーション部分102、メタライゼーション部分104、集積デバイス103、及び封入層106を含む。メタライゼーション部分102は、少なくとも1つの誘電体層120と、複数のメタライゼーション相互接続部122と、を含む。メタライゼーション部分102（例えば、第1のメタライゼーション部分）は、第1の側（例えば、前側）及び第2の側（例えば、裏側）を含む。メタライゼーション部分104（例えば、第2のメタライゼーション部分）は、少なくとも1つの誘電体層140と、複数のメタライゼーション相互接続部142と、を含む。メタライゼーション部分104は、第1の側（例えば、前側）及び第2の側（例えば、裏側）を含む。メタライゼーション部分104（例えば、第2のメタライゼーション部分）は、少なくとも1つの相互接続ダイ101を介してメタライゼーション部分102（例えば、第1のメタライゼーション部分）に結合される（例えば、電氣的に結合され

る)ように構成されている。

【0038】

パッケージ302は、基板304、集積デバイス305、複数のワイヤボンド350、接着剤370、及び封入層306を含む。基板304は、少なくとも1つの誘電体層340、及び複数の相互接続部342を含む。集積デバイス305は、接着剤370によって基板304に結合されている。複数のワイヤボンド350は、集積デバイス305と、基板304の複数の相互接続部342とに結合される。集積デバイス305は、メモリダイを含む得る。いくつかの実装形態では、互いの上に積層されたいくつかの集積デバイス305があり得る。封入層306は、集積デバイス305及び複数のワイヤボンド350を封入する。封入層306は、基板304及び集積デバイス305に結合されている。封入層306は、基板304及び集積デバイス305の上に位置している。封入層306は、モールド、樹脂、及び/又はエポキシを含み得る。封入層306は、封入のための手段であり得る。封入層306は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液状成形プロセスを使用することにより設けることができる。封入層306は、封入層106と同様又は同じであり得る。

10

【0039】

集積デバイス305は、複数のワイヤボンド350、複数の相互接続部342、複数のはんだ相互接続部360、複数のメタライゼーション相互接続部142、少なくとも1つの相互接続ダイ201(複数の相互接続部112)、複数のはんだ相互接続部115、複数のメタライゼーション相互接続部122、及び/又は複数のはんだ相互接続部130を介して、集積デバイス103に電氣的に結合されるように構成され得る。

20

【0040】

複数のメタライゼーション相互接続部122及び/又は複数のメタライゼーション相互接続部142は、約3~7マイクロメートルの範囲の厚さを有し得る。例えば、複数のメタライゼーション相互接続部122及び/又は複数のメタライゼーション相互接続部142からの1つ又は複数の再配線相互接続部は、約3~7マイクロメートルの範囲の厚さを有し得る。いくつかの実装形態では、(基板204からの)複数の相互接続部342からの1つ又は複数のトレース相互接続部(例えば、トレース)は、約10~15マイクロメートルの範囲の厚さを有し得る。

【0041】

集積デバイス(例えば、103、105、305)は、ダイ(例えば、半導体ベアダイ)を含み得る。集積デバイスは、電力管理集積回路(power management integrated circuit、PMIC)を含み得る。集積デバイスは、アプリケーションプロセッサを含み得る。集積デバイスは、モデムを含み得る。集積デバイスは、無線周波数(radio frequency、RF)デバイス、受動デバイス、フィルタ、キャパシタ、インダクタ、アンテナ、送信機、受信機、ガリウムヒ素(GaAs)ベースの集積デバイス、表面弾性波(surface acoustic wave、SAW)フィルタ、バルク弾性波(bulk acoustic wave、BAW)フィルタ、発光ダイオード(light emitting diode、LED)集積デバイス、シリコン(Si)ベースの集積デバイス、炭化ケイ素(SiC)ベースの集積デバイス、メモリ、電源管理プロセッサ、及び/又はこれらの組み合わせを含み得る。集積デバイス(例えば、103、105)は、少なくとも1つの電子回路(例えば、第1の電子回路、第2の電子回路など)を含み得る。集積デバイスは、トランジスタを含み得る。集積デバイスは、電気構成要素及び/又は電気デバイスの一例であり得る。いくつかの実装形態では、集積デバイスはチップレットであり得る。チップレットは、他のタイプの集積デバイスを製造するために使用される他のプロセスと比較して、より良好な歩留まりをもたらすプロセスを使用して作製することができ、このことにより、チップレットを作製する全体的なコストを引き下げることができる。異なるチップレットは、異なるサイズ及び/又は形状を有し得る。異なるチップレットは、異なる機能を提供するように構成することができる。異なるチップレットは、異なる相互接続部密度(例えば、異なる幅及び/又は間隔を有する相互接続部)を有し得る。いくつかの実装形態では、いくつかのチップレット

30

40

50

を使用して、1つ又は複数のチップ（例えば、1つ又は複数の集積デバイス）の機能を実行することができる。いくつかの機能を実行する、いくつかのチップレットを使用することは、パッケージの機能の全てを実行するために単一のチップを使用することに比べて、パッケージの全体的なコストを低減し得る。

【0042】

パッケージ（例えば、100、200、300、400）は、無線周波数（RF）パッケージ内に実装することができる。RFパッケージは、無線周波数フロントエンド（radio frequency front end、RFFE）パッケージとすることができる。パッケージ（例えば、100、200）は、ワイヤレスフィデリティ（Wireless Fidelity、Wi-Fi）通信及び/又はセルラー通信（例えば、2G、3G、4G、5G）を提供するように構成され得る。パッケージ（例えば、100、300）は、グローバル移動体通信システム（Global System for Mobile Communications、GSM）、ユニバーサル移動体通信システム（Universal Mobile Telecommunications System、UMTS）、及び/又はロングタームエボリューション（Long-Term Evolution、LTE）をサポートするように構成され得る。パッケージ（例えば、100、200）は、異なる周波数及び/又は通信プロトコルを有する信号を送信及び受信するように構成され得る。

10

【0043】

様々な相互接続ダイについて説明したが、ここで、相互接続ダイを作製するためのシーケンスについて以下で説明する。

【0044】

20

相互接続ダイを作製するための例示的なシーケンス

いくつかの実装形態では、相互接続ダイを作製することは、いくつかのプロセスを含む。図5は、相互接続ダイを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、相互接続ダイ201を提供又は作製するために、図5のシーケンスが使用され得る。しかしながら、図5のプロセスは、本開示で説明する相互接続ダイのいずれか（例えば、101）を作製するために使用され得る。

【0045】

図5のシーケンスは、相互接続ダイを提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数を変換若しくは置換することができる。

30

【0046】

段階1は、図5に示すように、ダイ基板110を準備した後の状態を示す。ダイ基板110は、シリコンを含む。ダイ基板110は、第1の表面及び第2の表面を含み得る。いくつかの実装形態では、ダイ基板110の第1の表面は上面であってよく、ダイ基板110の第2の表面は底面であってよい。いくつかの実装形態では、ダイ基板110の第1の表面は底面であってよく、ダイ基板110の第2の表面は上面であってよい。

【0047】

段階2は、ダイ基板110内に複数のキャビティ502が形成された後の状態を示す。例えば、複数のキャビティ502は、ダイ基板110の第1の表面を通して形成され得る。複数のキャビティ502は、溝を含み得る。複数のキャビティ502は、ダイ基板110の厚さを部分的に通って延びていてもよい。複数のキャビティ502を形成するために、レーザアブレーションプロセス及び/又はエッチングプロセスが使用され得る。

40

【0048】

段階3は、複数のキャビティ502内に及び/又はダイ基板110の第1の表面の上に金属層505が形成された後を示す。金属層505は、銅を含み得る。金属層505を形成するために、めっきプロセスが使用され得る。

【0049】

段階4は、金属層505の一部が除去された後の状態を示す。例えば、複数のキャビ

50

ティ 5 0 2 内に金属層 5 0 5 が残るように、ダイ基板 1 1 0 の第 1 の表面に結合された金属層 5 0 5 の一部分が除去され得る。金属層 5 0 5 の一部分を除去するために、研磨プロセスが使用され得る。複数のキャビティ 5 0 2 内に位置する、金属層 5 0 5 からの残りの金属は、図 1 及び図 2 で説明したような複数の相互接続部 1 1 2 b を画定し得る。

【 0 0 5 0 】

段階 5 は、ダイ基板 1 1 0 を薄化した後の状態を示す。例えば、少なくともダイ基板 1 1 0 a が残って金属層 5 0 5 の底側が露出するように、ダイ基板 1 1 0 の一部分（例えば、底部）を除去してもよい。ダイ基板 1 1 0 の一部分を除去するために、研削プロセスが使用され得る。研削プロセスはまた、複数のキャビティ 5 0 2 内に位置する金属層 5 0 5 の一部分を除去し得る。

10

【 0 0 5 1 】

段階 6 は、いくつかの相互接続ダイを形成するための個片化後の状態を示す。ダイ基板 1 1 0 をいくつかの相互接続ダイ（例えば、1 0 1、2 0 1）に個片化するために、機械的プロセスが使用され得る。ダイ基板 1 1 0 を個片化するためにソーが使用され得る。いくつかの実装形態では、段階 6 は、相互接続部を含み、ダイ基板 1 1 0 の中、上方、又は下方に追加の相互接続部が形成されない、相互接続ダイの一実装形態を示し得る。

【 0 0 5 2 】

相互接続ダイを作製するための例示的なシーケンス

いくつかの実装形態では、相互接続ダイを作製することは、いくつかのプロセスを含む。図 6 は、相互接続ダイを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、相互接続ダイ 2 0 1 を提供又は作製するために、図 6 のシーケンスが使用され得る。しかしながら、図 6 のプロセスは、本開示で説明する相互接続ダイのいずれか（例えば、1 0 1）を作製するために使用され得る。

20

【 0 0 5 3 】

図 6 のシーケンスは、相互接続ダイを提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1 つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの 1 つ又は複数を変換若しくは置換することができる。

【 0 0 5 4 】

段階 1 は、図 6 に示すように、ダイ基板 1 1 0 を準備した後の状態を示す。ダイ基板 1 1 0 は、シリコンを含む。ダイ基板 1 1 0 は、第 1 の表面及び第 2 の表面を含み得る。いくつかの実装形態では、ダイ基板 1 1 0 の第 1 の表面は上面であってよく、ダイ基板 1 1 0 の第 2 の表面は底面であってよい。いくつかの実装形態では、ダイ基板 1 1 0 の第 1 の表面は底面であってよく、ダイ基板 1 1 0 の第 2 の表面は上面であってよい。

30

【 0 0 5 5 】

段階 2 は、ダイ基板 1 1 0 内に複数のキャビティ 6 0 2 が形成された後の状態を示す。例えば、複数のキャビティ 6 0 2 は、ダイ基板 1 1 0 の第 1 の表面を通して形成され得る。複数のキャビティ 6 0 2 は、溝を含み得る。複数のキャビティ 6 0 2 は、ダイ基板 1 1 0 の厚さを部分的に通って延びていてもよい。複数のキャビティ 6 0 2 を形成するために、レーザアブレーションプロセス及び/又はエッチングプロセスが使用され得る。

40

【 0 0 5 6 】

段階 3 は、複数のキャビティ 6 0 2 内に及び/又はダイ基板 1 1 0 の第 1 の表面の上に金属層 6 0 5 が形成された後を示す。金属層 6 0 5 は、銅を含み得る。金属層 6 0 5 を形成するために充填プロセスが使用されてもよく、充填プロセスでは、複数のキャビティ 6 0 2 を充填するために導電性ペーストが使用されてもよい。ダイ基板 1 1 0 の上に追加の金属層 6 0 5 が位置し得る。

【 0 0 5 7 】

段階 4 は、金属層 6 0 5 の一部分が除去された後の状態を示す。例えば、複数のキャビティ 6 0 2 内に金属層 6 0 5 が残るように、ダイ基板 1 1 0 の第 1 の表面に結合された金

50

属層 605 の一部分が除去され得る。金属層 605 の一部分を除去するために、研磨プロセスが使用され得る。複数のキャビティ 602 内に位置する、金属層 605 からの残りの金属は、図 1 及び図 2 で説明したような複数の相互接続部 112b を画定し得る。

【0058】

段階 5 は、ダイ基板 110 を薄化した後の状態を示す。例えば、少なくともダイ基板 110a が残って金属層 605 の底側が露出するように、ダイ基板 110 の一部分（例えば、底部）を除去してもよい。ダイ基板 110 の一部分を除去するために、研削プロセスが使用され得る。研削プロセスはまた、複数のキャビティ 602 内に位置する金属層 605 の一部分を除去し得る。

【0059】

段階 6 は、いくつかの相互接続ダイを形成するための個片化後の状態を示す。ダイ基板 110 をいくつかの相互接続ダイ（例えば、101、201）に個片化するために、機械的プロセスが使用され得る。ダイ基板 110 を個片化するためにソーが使用され得る。いくつかの実装形態では、段階 6 は、相互接続部を含み、ダイ基板 110 の中、上方、又は下方に追加の相互接続部が形成されない、相互接続ダイの一実装形態を示し得る。

【0060】

相互接続ダイを作製するための例示的なシーケンス

いくつかの実装形態では、相互接続ダイを作製することは、いくつかのプロセスを含む。図 7A ~ 図 7B は、相互接続ダイを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、相互接続ダイ 101 を提供又は作製するために、図 7A ~ 図 7B のシーケンスが使用され得る。しかしながら、図 7A ~ 図 7B のプロセスは、本開示で説明する相互接続ダイのいずれか（例えば、201）を作製するために使用され得る。

【0061】

図 7A ~ 図 7B のシーケンスは、相互接続ダイを提供又は作製するためのシーケンスを簡略化及び / 又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの 1つ又は複数を変換若しくは置換することができる。

【0062】

段階 1 は、図 7A に示すように、ダイ基板 110 を準備した後の状態を示す。ダイ基板 110 は、シリコンを含む。ダイ基板 110 は、第 1 の表面及び第 2 の表面を含み得る。いくつかの実装形態では、ダイ基板 110 の第 1 の表面は上面であってよく、ダイ基板 110 の第 2 の表面は底面であってよい。いくつかの実装形態では、ダイ基板 110 の第 1 の表面は底面であってよく、ダイ基板 110 の第 2 の表面は上面であってよい。

【0063】

段階 2 は、ダイ基板 110 内に複数のキャビティ 502 が形成された後の状態を示す。例えば、複数のキャビティ 502 は、ダイ基板 110 の第 1 の表面を通して形成され得る。複数のキャビティ 502 は、溝を含み得る。複数のキャビティ 502 は、ダイ基板 110 の厚さを部分的に通って延びていてもよい。複数のキャビティ 502 を形成するために、レーザアブレーションプロセス及び / 又はエッチングプロセスが使用され得る。

【0064】

段階 3 は、複数のキャビティ 502 内に及び / 又はダイ基板 110 の第 1 の表面の上に金属層 505 が形成された後を示す。金属層 505 は、銅を含み得る。金属層 505 を形成するために、めっきプロセスが使用され得る。

【0065】

段階 4 は、金属層 505 の一部分が除去された後の状態を示す。例えば、複数のキャビティ 502 内に金属層 505 が残るように、ダイ基板 110 の第 1 の表面に結合された金属層 505 の一部分が除去され得る。金属層 505 の一部分を除去するために、研磨プロセスが使用され得る。複数のキャビティ 502 内に位置する、金属層 505 からの残りの金属は、図 1 及び図 2 で説明したような複数の相互接続部 112b を画定し得る。

10

20

30

40

50

【 0 0 6 6 】

段階 5 は、図 7 B に示すように、ダイ基板 1 1 0 の第 1 の表面の上に金属層 5 0 7 が形成された後の状態を示す。金属層 5 0 7 を形成するために、めっきプロセスが使用され得る。金属層 5 0 7 は、金属層 5 0 5 に結合され得る。金属層 5 0 7 は、図 1 及び図 2 で説明したように、複数の相互接続部 1 1 2 b を画定し得る。金属層 5 0 7 は、相互接続ダイの前側相互接続部を表し得る。

【 0 0 6 7 】

段階 6 は、ダイ基板 1 1 0 を薄化した後の状態を示す。例えば、少なくともダイ基板 1 1 0 a が残って金属層 5 0 5 の底側が露出するように、ダイ基板 1 1 0 の一部分（例えば、底部）を除去してもよい。いくつかの実装形態では、少なくともダイ基板 1 1 0 a 及びダイ基板 1 1 0 b が残るように、ダイ基板 1 1 0 の一部分が除去されてよい。ダイ基板 1 1 0 b が存在する場合、金属層 5 0 5 の底側は露出されない。ダイ基板 1 1 0 の一部分（例えば、底部）を除去するために、研削プロセスが使用され得る。研削プロセスはまた、複数のキャビティ 5 0 2 内に位置する金属層 5 0 5 の一部分を除去し得る。いくつかの実装形態では、段階 6 は、相互接続部を含み、ダイ基板 1 1 0 の中、上方、又は下方に追加の相互接続部が形成されない、相互接続ダイの一実装形態を示し得る。更なる相互接続部が形成されない場合、段階 8 において後述する方法と同様の方法で個片化が行われ得る。以下で更に説明するように、段階 6 で示される相互接続ダイは、基板に結合するために使用され得る。

【 0 0 6 8 】

段階 7 は、ダイ基板 1 1 0 の第 2 の表面の上に金属層 5 0 9 が形成された後の状態を示す。金属層 5 0 9 を形成するために、めっきプロセスが使用され得る。金属層 5 0 9 は、金属層 5 0 5 に結合され得る。金属層 5 0 7 は、図 1 及び図 2 で説明したように、複数の相互接続部 1 1 2 c を画定し得る。金属層 5 0 9 は、相互接続ダイの裏側相互接続部を表し得る。

【 0 0 6 9 】

段階 8 は、いくつかの相互接続ダイを形成するための個片化後の状態を示す。ダイ基板 1 1 0 をいくつかの相互接続ダイ（例えば、1 0 1、2 0 1）に個片化するために、機械的プロセスが使用され得る。ダイ基板 1 1 0 を個片化するためにソーが使用され得る。

【 0 0 7 0 】

相互接続ダイを作製するための例示的なシーケンス

いくつかの実装形態では、相互接続ダイを作製することは、いくつかのプロセスを含む。図 8 A ~ 図 8 B は、相互接続ダイを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、相互接続ダイ 1 0 1 を提供又は作製するために、図 8 A ~ 図 8 B のシーケンスが使用され得る。しかしながら、図 8 A ~ 図 8 B のプロセスは、本開示で説明する相互接続ダイのいずれか（例えば、2 0 1）を作製するために使用され得る。

【 0 0 7 1 】

図 8 A ~ 図 8 B のシーケンスは、相互接続ダイを提供又は作製するためのシーケンスを簡略化及び / 又は明確化するために、1 つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの 1 つ又は複数を変換若しくは置換することができる。

【 0 0 7 2 】

段階 1 は、図 8 A に示すように、ダイ基板 1 1 0 を準備した後の状態を示す。ダイ基板 1 1 0 は、シリコンを含む。ダイ基板 1 1 0 は、第 1 の表面及び第 2 の表面を含み得る。いくつかの実装形態では、ダイ基板 1 1 0 の第 1 の表面は上面であってよく、ダイ基板 1 1 0 の第 2 の表面は底面であってよい。いくつかの実装形態では、ダイ基板 1 1 0 の第 1 の表面は底面であってよく、ダイ基板 1 1 0 の第 2 の表面は上面であってよい。

【 0 0 7 3 】

段階 2 は、ダイ基板 1 1 0 内に複数のキャビティ 6 0 2 が形成された後の状態を示す。

例えば、複数のキャビティ 602 は、ダイ基板 110 の第 1 の表面を通して形成され得る。複数のキャビティ 602 は、溝を含み得る。複数のキャビティ 602 は、ダイ基板 110 の厚さを部分的に通って延びていてもよい。複数のキャビティ 602 を形成するために、レーザアブレーションプロセス及び/又はエッチングプロセスが使用され得る。

【0074】

段階 3 は、複数のキャビティ 602 内に及び/又はダイ基板 110 の第 1 の表面の上に金属層 605 が形成された後を示す。金属層 605 は、銅を含み得る。金属層 605 を形成するために充填プロセスが使用されてもよく、充填プロセスでは、複数のキャビティ 602 を充填するために導電性ペーストが使用されてもよい。金属層 605 は、ダイ基板 110 の上に位置し得る。

10

【0075】

段階 4 は、金属層 605 の一部分が除去された後の状態を示す。例えば、複数のキャビティ 602 内に金属層 605 が残るように、ダイ基板 110 の第 1 の表面に結合された金属層 605 の一部分が除去され得る。金属層 605 の一部分を除去するために、研磨プロセスが使用され得る。複数のキャビティ 602 内に位置する、金属層 605 からの残りの金属は、図 1 及び図 2 で説明したような複数の相互接続部 112b を画定し得る。

【0076】

段階 5 は、図 8B に示すように、ダイ基板 110 の第 1 の表面の上に金属層 607 が形成された後の状態を示す。金属層 607 を形成するために、めっきプロセスが使用され得る。金属層 607 は、金属層 605 に結合され得る。金属層 607 は、図 1 及び図 2 で説明したように、複数の相互接続部 112a を画定し得る。金属層 607 は、相互接続ダイの前側相互接続部を表し得る。

20

【0077】

段階 6 は、ダイ基板 110 を薄化した後の状態を示す。例えば、少なくともダイ基板 110a が残って金属層 605 の底側が露出するように、ダイ基板 110 の一部分（例えば、底部）を除去してもよい。いくつかの実装形態では、少なくともダイ基板 110a 及びダイ基板 110b が残るように、ダイ基板 110 の一部分が除去されてよい。ダイ基板 110b が存在する場合、金属層 605 の底側は露出されない。ダイ基板 110 の一部分（例えば、底部）を除去するために、研削プロセスが使用され得る。研削プロセスはまた、複数のキャビティ 602 内に位置する金属層 605 の一部分を除去し得る。いくつかの実装形態では、段階 6 は、相互接続部を含み、ダイ基板 110 の中、上方、又は下方に追加の相互接続部が形成されない、相互接続ダイの一実装形態を示し得る。更なる相互接続部が形成されない場合、段階 8 において後述する方法と同様の方法で個片化が行われ得る。以下で更に説明するように、段階 6 で示される相互接続ダイは、基板に結合するために使用され得る。

30

【0078】

段階 7 は、ダイ基板 110 の第 2 の表面の上に金属層 609 が形成された後の状態を示す。金属層 609 を形成するために、めっきプロセスが使用され得る。金属層 609 は、金属層 605 に結合され得る。金属層 609 は、図 1 及び図 2 で説明したように、複数の相互接続部 112c を画定し得る。金属層 609 は、相互接続ダイの裏側相互接続部を表し得る。

40

【0079】

段階 8 は、いくつかの相互接続ダイを形成するための個片化後の状態を示す。ダイ基板 110 をいくつかの相互接続ダイ（例えば、101、201）に個片化するために、機械的プロセスが使用され得る。ダイ基板 110 を個片化するためにソーが使用され得る。

【0080】

相互接続ダイを作製するための方法の例示的なフロー図

いくつかの実装形態では、相互接続ダイを作製することは、いくつかのプロセスを含む。図 9 は、相互接続ダイを提供又は作製する方法 900 の例示的なフロー図を示す。いくつかの実装形態では、本開示に記載の相互接続ダイ 101 を提供又は作製するために、図

50

9の方法900が使用され得る。しかしながら、本開示で説明される相互接続ダイのうち
のいずれか（例えば、201）を提供又は作製するために、方法900が使用され得る。

【0081】

図9の方法900は、相互接続ダイを提供又は作製するための方法を簡略化及び/又は
明確化するために、1つ又は複数のプロセスを組み合わせ得ることに留意されたい。いく
つかの実装形態では、プロセスの順序を変更又は修正することができる。

【0082】

方法は、（905において）ダイ基板（例えば、110）を準備する。ダイ基板110
は、シリコンを含む。ダイ基板110は、第1の表面及び第2の表面を含み得る。いくつ
つかの実装形態では、ダイ基板110の第1の表面は上面であってよく、ダイ基板110の
第2の表面は底面であってよい。いくつかの実装形態では、ダイ基板110の第1の表面
は底面であってよく、ダイ基板110の第2の表面は上面であってよい。図7Aの段階1
は、ダイ基板を準備することの一例を図示し説明する。図8Aの段階1は、ダイ基板を準
備することの一例を図示し説明する。

【0083】

方法は、（910において）ダイ基板110内に複数のキャビティ（例えば、502、
602）を形成する。例えば、複数のキャビティ（例えば、502、602）は、ダイ基
板110の第1の表面を通して形成され得る。複数のキャビティ（例えば、502、60
2）は、溝を含み得る。複数のキャビティ（例えば、502、602）は、ダイ基板11
0の厚さを部分的に通って延びていてもよい。複数のキャビティ（例えば、502、60
2）を形成するために、レーザアブレーションプロセス及び/又はエッチングプロセスが
使用され得る。図7Aの段階2は、ダイ基板内にキャビティを形成することの一例を図示
し説明する。図8Aの段階2は、ダイ基板内にキャビティを形成することの一例を図示し
説明する。

【0084】

方法は、（915において）ダイ基板110の複数のキャビティ（例えば、502、6
02）内に導電性材料（例えば、電気的導電性材料）を形成する。導電性材料は、金属層
（例えば、505、605）を含み得る。導電性材料は、ダイ基板110の表面の上に形
成され得る。導電性材料は、銅を含み得る。導電性材料を形成するために、めっきプロセ
スが使用され得る。導電性材料を形成するために、充填プロセスが使用され得る。図7A
の段階3は、ダイ基板内に導電性材料を形成することの一例を図示し説明する。図8Aの
段階3は、ダイ基板内に導電性材料を形成することの一例を図示し説明する。いくつ
つかの実装形態では、導電性材料を形成することは、導電性材料の一部を除去することを含
み得る。導電性材料の一部を除去するために、研磨プロセスが使用され得る。導電性材
料の一部を除去することは、ダイ基板110の第1の表面に結合された導電性材料の一部
を除去し、ダイ基板110の複数のキャビティ（例えば、502、602）内に位置す
る導電性材料を残すことを含み得る。図7Aの段階4は、ダイ基板内の導電性材料の一部
を除去することの一例を図示し説明する。図8Aの段階4は、ダイ基板内の導電性材
料の一部を除去することの一例を図示し説明する。

【0085】

方法は、任意選択的に、（920において）複数の前側相互接続部を形成する。前側相
互接続部は、ダイ基板110の上側に結合され得る。複数の前側相互接続部は、ダイ基板
110の上面上のパターンニングされた金属層（例えば、507、607）によって画定さ
れ得る。金属層（例えば、507、607）を形成するために、めっきプロセスが使用さ
れ得る。金属層507は、金属層505に結合され得る。金属層607は、金属層605
に結合され得る。金属層607は、図1及び図2で説明したように、複数の相互接続部1
12aを画定し得る。金属層607は、相互接続ダイの前側相互接続部を表し得る。複数
の相互接続部112aは、相互接続ダイの複数の前側相互接続部を表し得る。図7Bの段
階5は、前側相互接続部を形成することの一例を図示し説明する。図8Bの段階5は、前
側相互接続部を形成することの一例を図示し説明する。

【0086】

方法は、(925において)ダイ基板(例えば、110)を薄化する。異なる実装形態は、ダイ基板110を別様に薄化してもよい。例えば、いくつかの実装形態は、金属層(例えば、505、605)の底側が露出されるようにダイ基板110を薄化してもよい。いくつかの実装形態は、金属層(例えば、505、605)の底側を露出させることなくダイ基板110を薄化してもよい。ダイ基板110の一部(例えば、底部)を除去するために、研削プロセスが使用され得る。研削プロセスはまた、複数のキャビティ(例えば、502、602)内に位置する金属層(例えば、505、605)の一部を除去し得る。図7Bの段階6は、ダイ基板を薄化することの一例を図示し説明する。図8Bの段階6は、ダイ基板を薄化することの一例を図示し説明する。

10

【0087】

方法は、任意選択的に、(930において)複数の裏側相互接続部を形成する。裏側相互接続部は、ダイ基板110の底側に結合され得る。複数の裏側相互接続部は、ダイ基板110の底面上のパターニングされた金属層(例えば、509、609)によって画定され得る。金属層(例えば、509、609)を形成するために、めっきプロセスが使用され得る。金属層509は、金属層505に結合され得る。金属層609は、金属層605に結合され得る。金属層609は、図1及び図2で説明したように、複数の相互接続部112cを画定し得る。金属層609は、相互接続ダイの裏側相互接続部を表し得る。複数の相互接続部112cは、相互接続ダイの複数の裏側相互接続部を表し得る。図7Bの段階7は、裏側相互接続部を形成することの一例を図示し説明する。図8Bの段階7は、裏側相互接続部を形成することの一例を図示し説明する。

20

【0088】

方法は、(935において)、いくつかの相互接続ダイ(例えば、101、201)を形成するために、ダイ基板110を個片化する。ダイ基板110をいくつかの相互接続ダイ(例えば、101、201)に個片化するために、機械的プロセスが使用され得る。ダイ基板110を個片化するためにソーが使用され得る。図7Bの段階8は、個片化の一例を図示し説明する。図8Bの段階8は、個片化の一例を図示し説明する。

【0089】

相互接続ダイを備えるパッケージを作製するための例示的なシーケンス

いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図10A~図10Bは、パッケージを提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、パッケージ100を提供又は作製するために、図10A~図10Bのシーケンスが使用され得る。しかしながら、図10A~図10Bのプロセスは、本開示で説明するパッケージのいずれか(例えば、200、300、301、302、400、401)を作製するために使用され得る。

30

【0090】

図10A~図10Bのシーケンスは、パッケージを提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数を変換若しくは置換することができる。

40

【0091】

段階1は、図10Aに示すように、メタライゼーション部分102が設けられた後の状態を示す。メタライゼーション部分102は、キャリア1000の上に設けられ得る。メタライゼーション部分102は、少なくとも1つの誘電体層120と、複数のメタライゼーション相互接続部122と、を含む。メタライゼーション部分102は、第1の側(例えば、前側)及び第2の側(例えば、裏側)を含み得る。メタライゼーション部分102は、再配線部分を含み得る。メタライゼーション部分102は、図12A~図12Bで説明した方法を使用して作製され得る。

【0092】

50

段階 2 は、集積デバイス 103 がメタライゼーション部分 102 の第 1 の側（例えば、前側）に結合された後の状態を示す。集積デバイス 103 は、複数のはんだ相互接続部 130 を介してメタライゼーション部分 102 に結合され得る。集積デバイス 103 は、複数のピラー相互接続部及び / 又は複数のはんだ相互接続部 130 を介してメタライゼーション部分 102 に結合され得る。集積デバイス 103 をメタライゼーション部分 102 に結合するために、はんだリフロープロセスが使用され得る。段階 2 はまた、少なくとも 1 つの相互接続ダイ 101 がメタライゼーション部分 102 の第 1 の側に結合された後の状態を示す。少なくとも 1 つの相互接続ダイ 101 は、複数のはんだ相互接続部 115 を介してメタライゼーション部分 102 に結合され得る。少なくとも 1 つの相互接続ダイ 101 をメタライゼーション部分 102 に結合するために、はんだリフロープロセスが使用され得る。

【0093】

段階 3 は、封入層 106 がメタライゼーション部分 102 と、集積デバイス 103 と、少なくとも 1 つの相互接続ダイ 101 との上に設けられた後の状態を示す。封入層 106 は、集積デバイス 103 及び少なくとも 1 つの相互接続ダイ 101 を封入し得る。封入層 106 は、メタライゼーション部分 102 の第 1 の側に結合され得る。封入層 106 は、モールド、樹脂、及び / 又はエポキシを含み得る。封入層 106 は、封入のための手段であり得る。封入層 106 は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。いくつかの実装形態では、少なくとも封入層 106 の表面を平坦化するために、封入層 106 に対して研磨プロセス及び / 又は研削プロセスが実行され得る。

【0094】

段階 4 は、封入層 106 の上にメタライゼーション部分 104 が形成された後の状態を示す。メタライゼーション部分 104 は、少なくとも 1 つの誘電体層 140 及び複数のメタライゼーション相互接続部 142 が形成されるように形成され得る。メタライゼーション部分 104 は、メタライゼーション部分 104 が少なくとも 1 つの相互接続ダイ 101 を介してメタライゼーション部分 102 に結合される（例えば、電氣的に結合される）ように形成され得る。メタライゼーション部分 104 は、封入層 106 及び相互接続ダイ 101 の上に 1 層ずつ形成され得る。メタライゼーション部分 104 は、第 1 の側（例えば、前側）及び第 2 の側（例えば、裏側）を含み得る。メタライゼーション部分 104 は、図 12A ~ 図 12B で説明した方法と同じ及び / 又は類似の方法を使用して作製され得る。キャリアの代わりに、メタライゼーション部分 104 が、封入層 106 の表面及び / 又は相互接続ダイ 101 の表面の上に作製及び / 又は形成される。少なくとも 1 つの相互接続ダイ 101 が、メタライゼーション部分 104 に結合され得る。メタライゼーション部分 104 が少なくとも 1 つの相互接続ダイ 101 の上に形成されるので、メタライゼーション部分 104 を少なくとも 1 つの相互接続ダイ 101 に結合するためにはんだ相互接続部は必要とされない。したがって、複数のメタライゼーション相互接続部 142 からの相互接続部と複数のダイ相互接続部 112 からのダイ相互接続部（例えば、112a）との間の結合には、はんだ相互接続部がなくてもよい。集積デバイス 103 及び少なくとも 1 つの相互接続ダイ 101 は、メタライゼーション部分 102 とメタライゼーション部分 104 との間に位置し得る。

【0095】

段階 5 は、図 10B に示すように、キャリア 1000 がメタライゼーション部分 102 から除去された後の状態を示す。キャリア 1000 をメタライゼーション部分 102 から除去するために、研削プロセスが使用され得る。しかしながら、キャリア 1000 をメタライゼーション部分 102 から分離するために他のプロセスが使用され得る。

【0096】

段階 6 は、複数のはんだ相互接続部 117 がメタライゼーション部分 102 に結合された後の状態を示す。複数のはんだ相互接続部 117 は、メタライゼーション部分 102 の第 2 の側（例えば、裏側）に結合され得る。複数のはんだ相互接続部 117 をメタライゼ

ーション部分 102 の複数のメタライゼーション相互接続部 122 に結合するために、はんだリフロープロセスが使用され得る。

【0097】

段階 7 は、集積デバイス 105 がメタライゼーション部分 104 の第 1 の側（例えば、前側）に結合された後の状態を示す。集積デバイス 105 は、複数のピラー相互接続部及び／又は複数のはんだ相互接続部 150 を介してメタライゼーション部分 104 に結合され得る。複数のはんだ相互接続部を介して集積デバイス（及び／又は受動デバイス）をメタライゼーション部分 104 に結合するために、はんだリフロープロセスが使用され得る。集積デバイスの代わりに、パッケージ 302 などの別のパッケージが、メタライゼーション部分 104 の第 1 の側（例えば、前側）に結合され得ることに留意されたい。

10

【0098】

相互接続ダイを備えるパッケージを作製するための方法の例示的なフロー図

いくつかの実装形態では、パッケージを作製することは、いくつかのプロセスを含む。図 11 は、パッケージを提供又は作製する方法 1100 の例示的なフロー図を示す。いくつかの実装形態では、本開示に記載のパッケージ 100 を提供又は作製するために、図 11 の方法 1100 が使用され得る。しかしながら、本開示で説明するパッケージのいずれか（例えば、200、300、301、302、400、401）を提供又は作製するために、方法 1100 が使用され得る。

【0099】

図 11 の方法 1100 は、パッケージを提供又は作製するための方法を簡略化及び／又は明確化するために、1 つ又は複数のプロセスを組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

20

【0100】

方法は、（1105 において）メタライゼーション部分（例えば、102）を設ける。メタライゼーション部分 102 は、少なくとも 1 つの誘電体層 120 と、複数のメタライゼーション相互接続部 122 と、を含む。メタライゼーション部分 102（例えば、第 1 のメタライゼーション部分）は、第 1 の側（例えば、前側）及び第 2 の側（例えば、裏側）を含み得る。メタライゼーション部分 102 は、図 12A ~ 図 12B で説明した方法を使用して作製され得る。図 10A の段階 1 は、メタライゼーション部分を設けることの一例を図示し説明する。

30

【0101】

方法は、（1110 において）、メタライゼーション部分 102 の第 1 の側（例えば、前側）に集積デバイス（例えば、103）及び少なくとも 1 つの相互接続ダイ（例えば、101、201）を結合する。集積デバイス 103 は、複数のピラー相互接続部及び／又は複数のはんだ相互接続部 130 を介してメタライゼーション部分 102 に結合され得る。集積デバイス 103 をメタライゼーション部分 102 に結合するために、はんだリフロープロセスが使用され得る。少なくとも 1 つの相互接続ダイ 101 は、複数のはんだ相互接続部 115 を介してメタライゼーション部分 102 に結合され得る。少なくとも 1 つの相互接続ダイ 101 をメタライゼーション部分 102 に結合するために、はんだリフロープロセスが使用され得る。図 10A の段階 2 は、メタライゼーション部分に集積デバイス及び相互接続ダイを結合することの一例を図示し説明する。

40

【0102】

方法は、（1115 において）メタライゼーション部分 102、集積デバイス 103、及び少なくとも 1 つの相互接続ダイ 101 の上に封入層（例えば、106）を形成する。封入層 106 は、集積デバイス 103 及び少なくとも 1 つの相互接続ダイ 101 を封入し得る。封入層 106 は、メタライゼーション部分 102 の前側に結合され得る。封入層 106 は、モールド、樹脂、及び／又はエポキシを含み得る。封入層 106 は、封入のための手段であり得る。封入層 106 は、圧縮及びトランスファー成形プロセス、シート成形プロセス、又は液体成形プロセスを使用することにより設けることができる。いくつかの実装形態では、少なくとも封入層 106 の表面を平坦化するために、研磨プロセス及び／

50

又は研削プロセスが実行され得る。図 10 A の段階 3 は、封入層を設けることの一例を図示し説明する。

【0103】

方法は、(1120において)封入層106の上にメタライゼーション部分(例えば、104)を形成する。メタライゼーション部分104(例えば、第2のメタライゼーション部分)は、メタライゼーション部分104が少なくとも1つの相互接続ダイ(例えば、101、201)を介してメタライゼーション部分(例えば、102)に結合される(例えば、電氣的に結合される)ように構成されるように形成され得る。メタライゼーション部分104は、少なくとも1つの誘電体層140と、複数のメタライゼーション相互接続部142と、を含む。メタライゼーション部分104は、第1の側(例えば、前側)及び第2の側(例えば、裏側)を含み得る。メタライゼーション部分104は、図12A~図12Bで説明した方法を使用して作製され得る。メタライゼーション部分104は、少なくとも1つの相互接続ダイ101に結合され得る。メタライゼーション部分104は、少なくとも1つの相互接続ダイ101及び集積デバイス103がメタライゼーション部分102とメタライゼーション部分104との間に位置するように形成され得る。図10Aの段階4は、封入層の上にメタライゼーション部分を形成することの一例を図示し説明する。

10

【0104】

方法は、(1125においてメタライゼーション部分(例えば、102)から)キャリア(例えば、1000)を除去する。キャリア1000をメタライゼーション部分102から除去するために、研削プロセスが使用され得る。しかしながら、キャリア1000をメタライゼーション部分102から分離するために他のプロセスが使用され得る。図10Bの段階5は、キャリアを除去することの一例を図示し説明する。

20

【0105】

方法は、(1130において)メタライゼーション部分102に複数のはんだ相互接続部(例えば、117)を結合する。複数のはんだ相互接続部117をメタライゼーション部分102の第2の表面に結合するために、はんだリフロープロセスが使用され得る。図10Bの段階6は、はんだ相互接続部をメタライゼーション部分に結合することの一例を図示し説明する。

【0106】

方法は、(1135において)、メタライゼーション部分104の第1の側(例えば、前側)に集積デバイス(例えば、105)及び/又はパッケージ(例えば、302)を結合する。集積デバイス105は、複数のピラー相互接続部及び複数のはんだ相互接続部150を介してメタライゼーション部分104に結合され得る。集積デバイス(単数又は複数)(及び/又は受動デバイス)をメタライゼーション部分104に結合するために、はんだリフロープロセスが使用され得る。集積デバイスに加えて又はその代わりに、パッケージ302などの別のパッケージが、メタライゼーション部分104の第1の側(例えば、前側)に結合され得ることに留意されたい。図10Bの段階7は、集積デバイスをメタライゼーション部分に結合することの一例を図示し説明する。

30

【0107】

いくつかの実装形態では、いくつかのパッケージが同時に作製される。そのような場合、方法は、パッケージ(例えば、100、200、300、301、302、400、402)を個片化し得る。

40

【0108】

メタライゼーション部分を作製するための例示的なシーケンス

いくつかの実装形態では、メタライゼーション部分を作製することは、いくつかのプロセスを含む。図12A~図12Bは、メタライゼーション部分を提供又は作製するための例示的なシーケンスを示す。いくつかの実装形態では、メタライゼーション部分102を提供又は作製するために、図12A~図12Bのシーケンスが使用され得る。しかしながら、図12A~図12Bのプロセスは、本開示で説明するメタライゼーション部分のいず

50

れか（例えば、104）を作製するために使用され得る。

【0109】

図12A～図12Bのシーケンスは、メタライゼーション部分を提供又は作製するためのシーケンスを簡略化及び/又は明確化するために、1つ又は複数の段階を組み合わせ得ることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。いくつかの実装形態では、本開示の範囲から逸脱することなく、プロセスのうちの1つ又は複数を変換若しくは置換することができる。

【0110】

段階1は、図12Aに示すように、キャリア1200を準備した後の状態を示す。シード層1201及び相互接続部1202が、キャリア1200の上に位置し得る。相互接続部1202は、シード層1201の上に位置し得る。相互接続部1202を形成するために、めっきプロセス及びエッチングプロセスが使用され得る。いくつかの実装形態では、キャリア1200には、シード層1201と、相互接続部1202を形成するようにパターンニングされた金属層とを設けることができる。相互接続部1202は、複数のメタライゼーション相互接続部122からのメタライゼーション相互接続部のうちの少なくともいくつかを表し得る。

10

【0111】

段階2は、誘電体層1220が、キャリア1200、シード層1201、及び相互接続部1202の上に形成された後の状態を示す。誘電体層1220を形成するために、堆積プロセス及び/又は積層プロセスが使用され得る。誘電体層1220は、プリプレグ及び/又はポリイミドを含み得る。誘電体層1220は、フォトイメージャブル誘電体を含み得る。しかしながら、異なる実装形態は、誘電体層に関して異なる材料を使用することもできる。

20

【0112】

段階3は、誘電体層1220内に複数のキャビティ1210が形成された後の状態を示す。複数のキャビティ1210は、エッチングプロセス（例えば、フォトエッチングプロセス）又はレーザプロセスを使用して形成され得る。

【0113】

段階4は、複数のキャビティ1210内及びその上を含む、誘電体層1220内及び誘電体層1220の上に相互接続部1212が形成された後の状態を示す。例えば、ビア、パッド、及び/又はトレースが形成され得る。相互接続部を形成するために、めっきプロセスが使用され得る。段階4は、相互接続部1212のいくつかの部分がU字形状又はV字形状を有し得ることを示す。「U字形状」及び「V字形状」という用語は、互換的である。「U字形状」及び「V字形状」という用語は、相互接続部及び/又は再配線相互接続部の側面プロファイル形状を指し得る。U字形状相互接続部（例えば、U字形状側面プロファイル相互接続部）及びV字形状相互接続部（例えば、V字形状側面プロファイル相互接続部）は、上部部分及び底部部分を有し得る。U字形状相互接続部（又はV字形状相互接続部）の底部部分は、別のU字形状相互接続部（又はV字形状相互接続部）の上部部分に結合され得る。

30

【0114】

段階5は、誘電体層1220及び相互接続部1212の上に誘電体層1222が形成された後の状態を示す。誘電体層1222を形成するために、堆積プロセス及び/又は積層プロセスが使用され得る。誘電体層1222は、プリプレグ及び/又はポリイミドを含み得る。誘電体層1222は、フォトイメージャブル誘電体を含み得る。しかしながら、異なる実装形態は、誘電体層に関して異なる材料を使用することもできる。

40

【0115】

図12Bに示すように、段階6は、誘電体層1222内に複数のキャビティ1230が形成された後の状態を示す。複数のキャビティ1230は、エッチングプロセス（例えば、フォトエッチングプロセス）又はレーザプロセスを使用して形成され得る。

【0116】

50

段階 7 は、複数のキャビティ 1 2 3 0 内及びその上を含む、誘電体層 1 2 2 2 内及び誘電体層 1 2 2 2 の上に相互接続部 1 2 1 4 が形成された後の状態を示す。例えば、ビア、パッド、及び / 又はトレースが形成され得る。相互接続部を形成するために、めっきプロセスが使用され得る。段階 7 は、相互接続部 1 2 1 4 のいくつかの部分が U 字形状又は V 字形状を有し得ることを示す。「U 字形状」及び「V 字形状」という用語は、互換的である。「U 字形状」及び「V 字形状」という用語は、相互接続部及び / 又は再配線相互接続部の側面プロファイル形状を指し得る。U 字形状相互接続部（例えば、U 字形状側面プロファイル相互接続部）及び V 字形状相互接続部（例えば、V 字形状側面プロファイル相互接続部）は、上部部分及び底部部分を有し得る。U 字形状相互接続部（又は V 字形状相互接続部）の底部部分は、別の U 字形状相互接続部（又は V 字形状相互接続部）の上部部分に結合され得る。

10

【 0 1 1 7 】

段階 8 は、キャリア 1 2 0 0 が少なくとも 1 つの誘電体層 1 2 0 及びシード層 1 2 0 1 から分離され（例えば、取り外され、除去され、研削され）、シード層 1 2 0 1 の一部分が除去され（例えば、エッチング除去され）、少なくとも 1 つの誘電体層 1 2 0 及び複数のメタライゼーション相互接続部 1 2 2 を含むメタライゼーション部分 1 0 2 が残された後の状態を示す。少なくとも 1 つの誘電体層 1 2 0 は、誘電体層 1 2 2 0 及び / 又は誘電体層 1 2 2 2 を表し得る。複数のメタライゼーション相互接続部 1 2 2 は、相互接続部 1 2 0 2、1 2 1 2 及び / 又は 1 2 1 4 を表し得る。上述したように、複数のメタライゼーション相互接続部 1 2 2 は、複数の再配線相互接続部を含み得る。複数のメタライゼーション相互接続部 1 2 2 は、約 3 ~ 7 マイクロメートルの範囲の厚さを有し得る。例えば、複数のメタライゼーション相互接続部 1 2 2 からの 1 つ又は複数の再配線相互接続部が、パッケージ基板（例えば、3 0 4）からの相互接続部の厚さよりも小さい約 3 ~ 7 マイクロメートルの範囲の厚さを有し得る。同様の又は同じ寸法が、メタライゼーション部分 1 0 4 からの複数のメタライゼーション相互接続部 1 4 2 に適用可能であり得る。

20

【 0 1 1 8 】

異なる実装形態は、金属層（単数又は複数）及び / 又は相互接続部を形成するために、異なるプロセスを用いることができる。いくつかの実装形態では、金属層（単数又は複数）を形成するために、化学気相成長（chemical vapor deposition、CVD）プロセス、物理気相成長（physical vapor deposition、PVD）プロセス、スパッタリングプロセス、スプレーコーティングプロセス、及び / 又はめっきプロセスが使用され得る。

30

【 0 1 1 9 】

メタライゼーション部分を作製するための方法の例示的なフロー図

いくつかの実装形態では、メタライゼーション部分を作製することは、いくつかのプロセスを含む。図 1 3 は、メタライゼーション部分を提供又は作製するための方法 1 3 0 0 の例示的なフロー図を示す。いくつかの実装形態では、本開示のメタライゼーション部分（単数又は複数）を提供又は作製するために、図 1 3 の方法 1 3 0 0 が使用され得る。例えば、図 1 3 の方法 1 3 0 0 は、メタライゼーション部分 1 0 2 を作製するために使用され得る。

40

【 0 1 2 0 】

図 1 3 の方法 1 3 0 0 は、メタライゼーション部分を提供又は作製するための方法を簡略化及び / 又は明確化するために、1 つ又は複数のプロセスを組み合わせることに留意されたい。いくつかの実装形態では、プロセスの順序を変更又は修正することができる。

【 0 1 2 1 】

方法は、（1 3 0 5 において）キャリア（例えば、1 2 0 0）を準備する。異なる実装形態は、キャリア 1 2 0 0 に異なる材料を使用することができる。キャリア 1 2 0 0 は、シード層（例えば、1 2 0 1）を含み得る。シード層 1 2 0 1 は、金属（例えば、銅）を含み得る。キャリアは、基板、ガラス、石英、及び / 又はキャリアテープを含み得る。図

50

1 2 A の段階 1 は、シード層が設けられているキャリアの一例を図示し説明する。

【0 1 2 2】

方法は、(1 3 1 0 において) キャリア 1 2 0 0 及びシード層 1 2 0 1 の上に相互接続部を形成しパターニングする。相互接続部を形成するために金属層がパターニングされ得る。金属層及び相互接続部を形成するために、めっきプロセスが使用され得る。いくつかの実装形態では、キャリア及びシード層は、金属層を含み得る。金属層は、シード層の上に位置し、金属層は、相互接続部(例えば、1 2 2)を形成するようにパターニングされ得る。図 1 2 A の段階 1 は、シード層及びキャリアの上に相互接続部を形成しパターニングすることの一例を図示し説明する。

【0 1 2 3】

方法は、(1 3 1 5 において) 相互接続部 1 2 0 2、シード層 1 2 0 1、及びキャリア 1 2 0 0 の上に誘電体層 1 2 2 0 を形成する。誘電体層 1 2 2 0 を形成するために、堆積プロセス及び/又は積層プロセスが使用され得る。誘電体層 1 2 2 0 は、プリプレグ及び/又はポリイミドを含み得る。誘電体層 1 2 2 0 は、フォトイメージャブル誘電体を含み得る。誘電体層 1 2 2 0 を形成することはまた、誘電体層 1 2 2 0 内に複数のキャビティ(例えば、1 2 1 0)を形成することを含み得る。複数のキャビティは、エッチングプロセス(例えば、フォトエッチングプロセス)又はレーザプロセスを使用して形成され得る。図 1 2 A の段階 2 ~ 3 は、誘電体層と、誘電体層内のキャビティとを形成することの一例を図示し説明する。

【0 1 2 4】

方法は、(1 3 2 0 において) 誘電体層内に及び誘電体層の上に相互接続部を形成する。例えば、相互接続部 1 2 1 2 を誘電体層 1 2 2 0 内に及び誘電体層 1 2 2 0 の上に形成され得る。相互接続部を形成するために、めっきプロセスが使用され得る。相互接続部を形成することは、誘電体層の上及び/又誘電体層内に、パターニングされた金属層を設けることを含み得る。相互接続部を形成することはまた、誘電体層のキャビティ内に相互接続部を形成することを含み得る。形成される相互接続部の一部分が、U 形状又は V 形状を有し得る。「U 形状」及び「V 形状」という用語は、互換的である。「U 形状」及び「V 形状」という用語は、相互接続部及び/又は再配線相互接続部の側面プロファイル形状を指し得る。U 形状相互接続部(例えば、U 形状側面プロファイル相互接続部)及び V 形状相互接続部(例えば、V 形状側面プロファイル相互接続部)は、上部部分及び底部部分を有し得る。U 形状相互接続部(又は V 形状相互接続部)の底部部分は、別の U 形状相互接続部(又は V 形状相互接続部)の上部部分に結合され得る。図 1 2 A の段階 4 は、誘電体層内に及び誘電体層の上に相互接続部を形成することの一例を図示し説明する。

【0 1 2 5】

方法は、(1 3 2 5 において) 誘電体層 1 2 2 0 及び相互接続部 1 2 1 2 の上に誘電体層 1 2 2 2 を形成する。誘電体層 1 2 2 2 を形成するために、堆積プロセス及び/又は積層プロセスが使用され得る。誘電体層 1 2 2 2 は、プリプレグ及び/又はポリイミドを含み得る。誘電体層 1 2 2 2 は、フォトイメージャブル誘電体を含み得る。誘電体層 1 2 2 2 を形成することはまた、誘電体層 1 2 2 2 内に複数のキャビティ(例えば、1 2 3 0)を形成することを含み得る。複数のキャビティは、エッチングプロセス(例えば、フォトエッチングプロセス)又はレーザプロセスを使用して形成され得る。図 1 2 A ~ 図 1 2 B の段階 5 ~ 段階 6 は、誘電体層と、誘電体層内のキャビティとを形成することの一例を図示し説明する。

【0 1 2 6】

方法は、(1 3 3 0 において) 誘電体層内に及び誘電体層の上に相互接続部を形成する。例えば、相互接続部 1 2 1 4 を誘電体層 1 2 2 2 内に及び誘電体層 1 2 2 2 の上に形成され得る。相互接続部を形成するために、めっきプロセスが使用され得る。相互接続部を形成することは、誘電体層の上及び/又誘電体層内に、パターニングされた金属層を設けることを含み得る。相互接続部を形成することはまた、誘電体層のキャビティ内に相互接

10

20

30

40

50

続部を形成することを含み得る。形成される相互接続部の一部分が、U字形状又はV字形状を有し得る。「U字形状」及び「V字形状」という用語は、互換的である。「U字形状」及び「V字形状」という用語は、相互接続部及び/又は再配線相互接続部の側面プロファイル形状を指し得る。U字形状相互接続部（例えば、U字形状側面プロファイル相互接続部）及びV字形状相互接続部（例えば、V字形状側面プロファイル相互接続部）は、上部部分及び底部部分を有し得る。U字形状相互接続部（又はV字形状相互接続部）の底部部分は、別のU字形状相互接続部（又はV字形状相互接続部）の上部部分に結合され得る。図12Bの段階7は、ポスト相互接続部を形成することを含む、誘電体層内に及び誘電体層の上に相互接続部を形成することの一例を図示し説明する。

【0127】

10

方法は、（1335において）キャリア（例えば、1200）をシード層（例えば、1201）から分離する。キャリア1200は、取り外されてもよく、かつ/又は研削されてもよい。方法はまた、（1335において）シード層（例えば、1201）の一部を除去してもよい。シード層1201の一部を除去するために、エッチングプロセスが使用され得る。図12Bの段階8は、キャリアを分離すること及びシード層除去の一例を図示し説明する。

【0128】

異なる実装形態は、金属層（単数又は複数）を形成するために、異なるプロセスを使用することができる。いくつかの実装形態では、金属層（単数又は複数）を形成するために、化学気相成長（CVD）プロセス、物理気相成長（PVD）プロセス、スパッタリングプロセス、スプレーコーティングプロセス、及び/又はめっきプロセスが使用され得る。

20

【0129】

例示的な電子デバイス

図14は、前述のデバイス、集積デバイス、集積回路（integrated circuit、IC）パッケージ、集積回路（IC）デバイス、半導体デバイス、集積回路、ダイ、インターポーザ、パッケージ、パッケージオンパッケージ（package-on-package、POP）、システムインパッケージ（System in Package、SiP）、又はシステムオンチップ（System on Chip、SoC）のうちのいずれかと一体化され得る様々な電子デバイスを示す。例えば、携帯電話デバイス1402、ラップトップコンピュータデバイス1404、固定ロケーション端末デバイス1406、ウェアラブルデバイス1408、又は自動ビークル1410が、本明細書で説明されるようなデバイス1400を含み得る。デバイス1400は、例えば、本明細書で説明されるデバイス及び/又は集積回路（IC）パッケージのうちのいずれかであり得る。図14に示すデバイス1402、1404、1406、及び1408、並びにビークル1410は、単なる例に過ぎない。モバイルデバイス、ハンドヘルドパーソナル通信システム（personal communication system、PCS）ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム（global positioning system、GPS）対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読み取り機器などの固定位置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス（例えば、時計、眼鏡）、モノのインターネット（Internet of things、IoT）デバイス、サーバ、ルータ、自動ビークル（例えば、自律ビークル）内に実装された電子デバイス、又はデータ若しくはコンピュータ命令を記憶するか若しくは取り出す任意の他のデバイス、あるいはこれらの任意の組み合わせを含む、デバイス（例えば、電子デバイス）の群を含むがこれらに限定されない他の電子デバイスもまた、デバイス1400を搭載し得る。

30

40

【0130】

図1～図6、図7A～図7B、図8A～図8B、図9、図10A～図10B、図11、図12A～図12B、及び図13～図14に示す構成要素、プロセス、特徴、及び/又は機能のうちの1つ又は複数が、単一の構成要素、プロセス、特徴、若しくは機能に再構成及び/又は組み合わせられてもよく、いくつかの構成要素、プロセス、又は機能において具

50

現化されてもよい。追加的な要素、構成要素、プロセス、及び/又は機能もまた、本開示から逸脱することなく追加することができる。本開示における図1～図6、図7A～図7B、図8A～図8B、図9、図10A～図10B、図11、図12A～図12B、及び図13～図14、並びにその対応する説明は、ダイ及び/又はICに限定されないことにも留意されたい。いくつかの実装形態では、デバイス及び/又は集積デバイスを製造、構築、提供、及び/又は生産するために、図1～図6、図7A～図7B、図8A～図8B、図9、図10A～図10B、図11、図12A～図12B、及び図13～図14、並びにその対応する説明が使用され得る。いくつかの実装形態では、デバイスは、ダイ、集積デバイス、集積受動デバイス（IPD）、ダイパッケージ、集積回路（IC）デバイス、デバイスパッケージ、集積回路（IC）パッケージ、ウェハ、半導体デバイス、パッケージオンパッケージ（POP）デバイス、放熱デバイス、及び/又はインターポーザを含み得る。

10

【0131】

本開示における図は、様々な部品、構成要素、物体、デバイス、パッケージ、集積デバイス、集積回路、及び/又はトランジスタの、実際の表現及び/又は概念的表現を表し得る点に留意されたい。いくつかの事例では、図は、正確な縮尺ではない場合がある。いくつかの事例では、明瞭化の目的のために、全ての構成要素及び/又は部品が示されていない場合もある。いくつかの事例では、図中の様々な部品及び/又は構成要素の、位置、場所、サイズ、及び/又は形状は、例示的なものであり得る。いくつかの実装形態では、図中の様々な構成要素及び/又は部品は、任意選択的なものであり得る。

20

【0132】

「例示的」という語は、「例、事例、又は例示としての役割を果たすこと」を意味するために本明細書で使用される。「例示的」として本明細書に記載の実装形態又は態様はいずれも、必ずしも本開示の他の態様よりも好ましい又は有利であるとして解釈されるべきではない。同様に、「態様」という用語は、本開示の全ての態様が、説明する特徴、利点、又は動作モードを含むことを必要とするとは限らない。「結合されている（coupled）」という用語は、本明細書では、2つの物体間の直接的又は間接的な結合（例えば、機械的結合）を指すために使用されている。例えば、物体Aが物体Bに物理的に接触しており、物体Bが物体Cに接触している場合には、物体Aと物体Cとは、それらが互いに物理的に直接接触していない場合であっても、依然として互いに結合されていると見なすことができる。物体Bに結合される物体Aは、物体Bの少なくとも一部に結合することができる。「電氣的に結合される」という用語は、電流（例えば、信号、電力、接地）が2つの物体間を伝播し得るように、2つの物体が直接的又は間接的に一緒に結合されることを意味し得る。電氣的に結合されている2つの物体は、それら2つの物体の間に電流を伝播させる場合もあれば、又は伝播させない場合もある。用語「第1」、「第2」、「第3」、及び「第4」（及び/又は、第4を上回るいずれかのもの）の使用は、自由裁量によるものである。説明されている構成要素のうちのいずれも、第1の構成要素、第2の構成要素、第3の構成要素、又は第4の構成要素とすることができる。例えば、第2の構成要素と称されている構成要素は、第1の構成要素、第2の構成要素、第3の構成要素、又は第4の構成要素とすることもできる。「封入する」、「封入すること」という用語、及び/又はその派生語は、物体が別の物体を部分的に封入し得ること、又は完全に封入し得ることを意味する。「上部」及び「底部」という用語は、自由裁量によるものである。上部に位置する構成要素が、底部に配置されている構成要素の上に位置する場合がある。上部の構成要素が底部の構成要素と見なされる場合もあり、その逆も同様である。本開示で説明されるように、第2の構成要素「の上に（over）」位置する第1の構成要素とは、底部又は上部が自由裁量によってどのように定義されているかに応じて、その第1の構成要素が、第2の構成要素の上方又は下方に位置することを意味し得る。別の実施例では、第1の構成要素が、第2の構成要素の第1の表面の上に（例えば、上方に）位置する場合があり、第3の構成要素が、第2の構成要素の第2の表面の上に（例えば、下方に）位置する場合があり、この場合、第2の表面は、第1の表面の反対側にある。ある1つの構成要素が

30

40

50

別の構成要素の上に位置するという文脈において、本出願で使用される場合の「～の上に」という用語は、別の構成要素上に、及び／又は別の構成要素内に存在している（例えば、構成要素の表面上に存在しているか、又は構成要素内に埋め込まれている）構成要素を意味するために使用することができる点に更に留意されたい。それゆえ、例えば、第2の構成要素の上に存在している第1の構成要素とは、（1）第1の構成要素が第2の構成要素の上に存在しているが、第2の構成要素には直接接触していないこと、（2）第1の構成要素が第2の構成要素上に（例えば、第2の構成要素の表面上に）存在していること、及び／又は（3）第1の構成要素が第2の構成要素内に存在している（例えば、第2の構成要素内に埋め込まれている）ことを意味し得る。第2の構成要素の「内に（in）」位置する第1の構成要素は、第2の構成要素内に部分的に位置する場合もあれば、又は第2の構成要素内に完全に位置する場合もある。約X～XXである値は、XとXXとの間の値であって、XとXXとを含む値を意味し得る。XとXXとの間の値（単数又は複数）は、離散的又は連続的であり得る。本開示で使用される場合の「約（about）『値X』」又は「およそ（approximately）値X」という用語は、「値X」の10パーセントの範囲内を意味する。例えば、約1又はおよそ1の値とは、0.9～1.1の範囲の値を意味することになる。

10

【0133】

いくつかの実装形態では、相互接続部とは、2つの点、要素、及び／又は構成要素間の電氣的接続を可能にするか若しくは容易にする、デバイス又はパッケージの要素若しくは構成要素である。いくつかの実装形態では、相互接続部は、トレース（例えば、トレース相互接続部）、ピア（例えば、ピア相互接続部）、パッド（例えば、パッド相互接続部）、ピラー、メタライゼーション層、再配線層、及び／又はアンダーバンプメタライゼーション（under bump metallization、UBM）層／相互接続部を含み得る。いくつかの実装形態では、相互接続部は、信号（例えば、データ信号）、接地、及び／又は電力に関する電気経路を提供するように構成することが可能な、導電性材料を含み得る。相互接続部は、2つ以上の要素又は構成要素を含み得る。相互接続部は、1つ又は複数の相互接続部によって画定され得る。相互接続部は、1つ又は複数の金属層を含み得る。相互接続部は、回路の一部とすることができる。異なる実装形態は、相互接続部を形成するために、異なるプロセス及び／又はシーケンスを使用することができる。いくつかの実装形態では、相互接続部を形成するために、化学気相成長（CVD）プロセス、物理気相成長（PVD）プロセス、スパッタリングプロセス、スプレーコーティング、及び／又はめっきプロセスが使用され得る。

20

30

【0134】

また、本明細書に含まれている様々な開示は、フローチャート、フロー図、構造図、又はブロック図として示されているプロセスとして、説明される場合がある点にも留意されたい。フローチャートは、逐次プロセスとして動作を説明し得るものであるが、それらの動作のうちの多くは、並行して、又は同時に実行することができる。更には、動作の順序を並べ替えることもできる。プロセスは、その動作が完了すると終了する。

【0135】

以下では、更なる例を、本開示の理解を容易にするために説明する。

40

【0136】

態様1：少なくとも1つの第1の誘電体層と、複数の第1のメタライゼーション相互接続部と、を備える、第1のメタライゼーション部分と、第1のメタライゼーション部分に結合された第1の集積デバイスと、第1のメタライゼーション部分に結合された相互接続ダイと、相互接続ダイを介して第1のメタライゼーション部分に結合された第2のメタライゼーション部分であって、第1の集積デバイス及び相互接続ダイが第1のメタライゼーション部分と第2のメタライゼーション部分との間に位置し、第2のメタライゼーション部分が、少なくとも1つの第2の誘電体層と、複数の第2のメタライゼーション相互接続部と、を備える、第2のメタライゼーション部分と、第1のメタライゼーション部分及び第2のメタライゼーション部分に結合された封入層であって、第1のメタライゼーション

50

部分と第 2 のメタライゼーション部分との間に位置する、封入層と、を備える、パッケージ。

【 0 1 3 7 】

態様 2 : 相互接続ダイが、ダイ基板と、複数のダイ相互接続部と、を備える、態様 1 に記載のパッケージ。

【 0 1 3 8 】

態様 3 : 複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 1 5 0 ~ 2 7 0 マイクロメートルの範囲のピッチを有する、態様 2 に記載のパッケージ。

【 0 1 3 9 】

態様 4 : 複数のダイ相互接続部が、2 0 : 1 ~ 1 0 : 1 の範囲のアスペクト比を有する、態様 2 又は 3 に記載のパッケージ。 10

【 0 1 4 0 】

態様 5 : 複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、態様 2 ~ 4 に記載のパッケージ。

【 0 1 4 1 】

態様 6 : ダイ基板が、ガラス及び / 又はシリコンを含む、態様 2 ~ 5 に記載のパッケージ。

【 0 1 4 2 】

態様 7 : 第 2 のメタライゼーション部分に結合された第 2 の集積デバイスを更に備え、第 1 の集積デバイスが第 1 のチップレットを含み、第 2 の集積デバイスが第 2 のチップレットを含む、態様 1 ~ 6 に記載のパッケージ。 20

【 0 1 4 3 】

態様 8 : 第 1 のメタライゼーション部分が、第 1 の再配線部分を含み、複数の第 1 のメタライゼーション相互接続部が、複数の第 1 の再配線相互接続部を含み、第 2 のメタライゼーション部分が、第 2 の再配線部分を含み、複数の第 2 のメタライゼーション相互接続部が、複数の第 2 の再配線相互接続部を含む、態様 1 ~ 7 に記載のパッケージ。

【 0 1 4 4 】

態様 9 : 第 1 の複数の再配線相互接続部からの第 1 の再配線相互接続部の第 1 の部分が、U 字形状又は V 字形状を有する側面プロファイルを含み、複数の第 2 の再配線相互接続部からの第 2 の再配線相互接続部の第 2 の部分が、U 字形状又は V 字形状を有する側面プロファイルを含む、態様 8 に記載のパッケージ。 30

【 0 1 4 5 】

態様 1 0 : 相互接続ダイが、トランジスタを含まない、態様 1 ~ 9 に記載のパッケージ。

【 0 1 4 6 】

態様 1 1 : 少なくとも 1 つの第 1 の誘電体層と、複数の第 1 のメタライゼーション相互接続部と、を備える、第 1 のメタライゼーション部分と、第 1 のメタライゼーション部分に結合された第 1 の集積デバイスと、第 1 のメタライゼーション部分に結合されたダイ相互接続のための手段と、ダイ相互接続のための手段を介して第 1 のメタライゼーション部分に結合された第 2 のメタライゼーション部分であって、第 1 の集積デバイス及びダイ相互接続のための手段が、第 1 のメタライゼーション部分と第 2 のメタライゼーション部分との間に位置し、第 2 のメタライゼーション部分が、少なくとも 1 つの第 2 の誘電体層と、複数の第 2 のメタライゼーション相互接続部と、を備える、第 2 のメタライゼーション部分と、第 1 のメタライゼーション部分及び第 2 のメタライゼーション部分に結合された封入層であって、第 1 のメタライゼーション部分と第 2 のメタライゼーション部分との間に位置する、封入層と、を備える、第 1 のパッケージ、を備える、デバイス。 40

【 0 1 4 7 】

態様 1 2 : ダイ相互接続のための手段が、ダイ基板と、複数のダイ相互接続部と、を備える、態様 1 1 に記載のデバイス。

【 0 1 4 8 】

態様 13：複数のダイ相互接続部からの 12つの隣接するダイ相互接続部が、約 150 ~ 270 マイクロメートルの範囲のピッチを有する、態様 2 に記載のデバイス。

【0149】

態様 14：複数のダイ相互接続部が、20 : 1 ~ 10 : 1 の範囲のアスペクト比を有する、態様 12 又は 13 に記載のデバイス。

【0150】

態様 15：複数のダイ相互接続部が、ビアダイ相互接続部及びパッドダイ相互接続部を含む、態様 12 ~ 14 に記載のデバイス。

【0151】

態様 16：ダイ基板が、ガラス及び / 又はシリコンを含む、態様 12 ~ 15 に記載のデバイス。 10

【0152】

態様 17：第 1 のメタライゼーション部分が、第 1 の再配線部分を含み、複数の第 1 のメタライゼーション相互接続部が、複数の第 1 の再配線相互接続部を含み、第 2 のメタライゼーション部分が、第 2 の再配線部分を含み、複数の第 2 のメタライゼーション相互接続部が、複数の第 2 の再配線相互接続部を含む、態様 1 ~ 16 に記載のデバイス。

【0153】

態様 18：複数のはんだ相互接続部を介して第 1 のパッケージに結合された第 2 のパッケージを更に備え、第 2 のパッケージが、基板と、基板に結合された第 2 の集積デバイスと、基板及び第 2 の集積デバイスに結合された第 2 の封入層と、を備える、態様 11 ~ 17 に記載のデバイス。 20

【0154】

態様 19：ダイ相互接続のための手段が、トランジスタを含まない、態様 11 ~ 18 に記載のデバイス。

【0155】

態様 20：デバイスが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、固定ロケーション端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、モノのインターネット (IoT) デバイス、及び自動ビークル内のデバイスからなる群から選択される、態様 11 ~ 19 に記載のデバイス。 30

【0156】

態様 21：パッケージを作製するための方法であって、第 1 のメタライゼーション部分を設けることと、第 1 のメタライゼーション部分に第 1 の集積デバイスを結合することと、第 1 のメタライゼーション部分に相互接続ダイを結合することと、第 1 のメタライゼーション部分、第 1 の集積デバイス、及び相互接続ダイの上に封入層を形成することと、第 2 のメタライゼーション部分が相互接続ダイを介して第 1 のメタライゼーション部分に結合されるように、第 2 のメタライゼーション部分を封入層の上に形成することと、を含む、方法。

【0157】

態様 22：第 2 のメタライゼーション部分に第 2 の集積デバイスを結合することを更に含む、態様 21 に記載の方法。 40

【0158】

態様 23：複数のはんだ相互接続部を介して態様 2 のメタライゼーション部分に第 2 のパッケージを結合すること更に含み、第 2 のパッケージが、基板と、基板に結合された第 2 の集積デバイスと、基板及び第 2 の集積デバイスに結合された第 2 の封入層と、を備える、態様 21 に記載の方法。

【0159】

態様 24：相互接続ダイが、ダイ基板と、複数のダイ相互接続部と、を備える、態様 21 ~ 23 に記載の方法。 50

【 0 1 6 0 】

態様 25：複数のダイ相互接続部からの 2 つの隣接するダイ相互接続部が、約 150 ~ 270 マイクロメートルの範囲のピッチを有する、態様 24 に記載の方法。

【 0 1 6 1 】

態様 26：複数のダイ相互接続部が、20 : 1 ~ 10 : 1 の範囲のアスペクト比を有する、態様 24 又は 25 に記載の方法。

【 0 1 6 2 】

態様 27：第 1 のメタライゼーション部分が、複数の第 1 の再配線相互接続部を備える第 1 の再配線部分を含み、第 2 のメタライゼーション部分を形成することが、複数の第 2 の再配線相互接続部を備える第 2 の再配線部分を形成することを含む、態様 21 ~ 26 に記載の方法。

10

【 0 1 6 3 】

本明細書で説明されている本開示の様々な特徴は、本開示から逸脱することなく、種々のシステムにおいて実装することができる。本開示の上記の態様は、単なる例に過ぎず、本開示を限定するものとして解釈されるべきではない点に留意されたい。本開示の諸態様の説明は、例示的であることが意図されており、特許請求の範囲を限定することを意図するものではない。それゆえ、本教示は、他のタイプの装置に容易に適用することができ、当業者には、多くの代替形態、修正形態、及び変形形態が明らかとなるであろう。

【 符号の説明 】

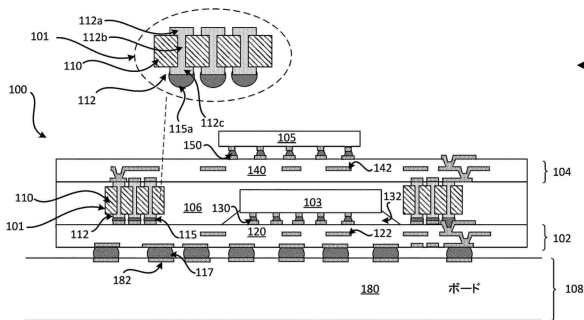
【 0 1 6 4 】

20

- 100、200、300、301、302、400 パッケージ
- 101、201 相互接続ダイ
- 102、104 メタライゼーション部分
- 103、105、305 集積デバイス
- 106、306 封入層
- 120、140、340 誘電体層
- 122、142 メタライゼーション相互接続部

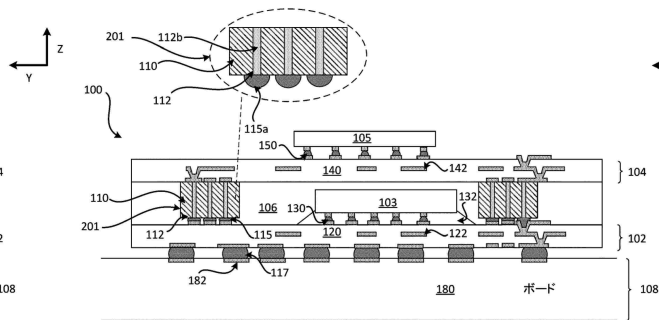
【 図面 】

【 図 1 】



断面プロフィール図

【 図 2 】



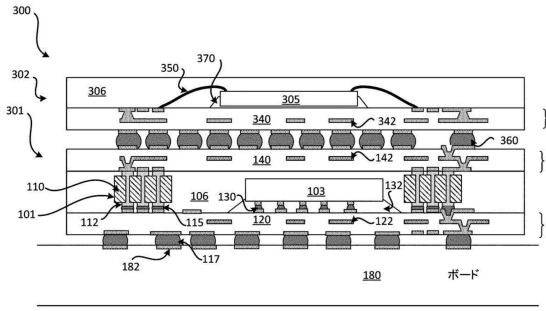
断面プロフィール図

30

40

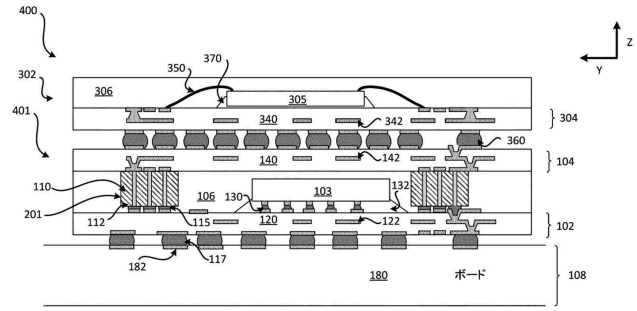
50

【図3】



断面プロフィール図

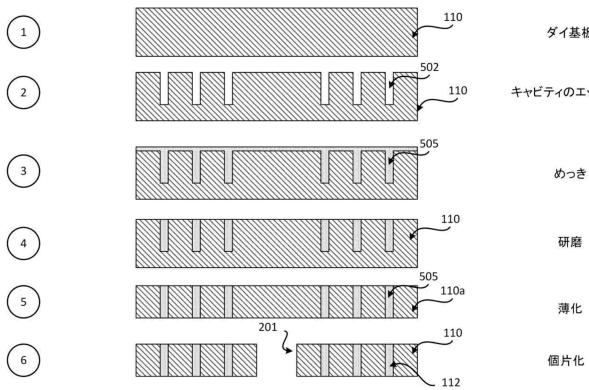
【図4】



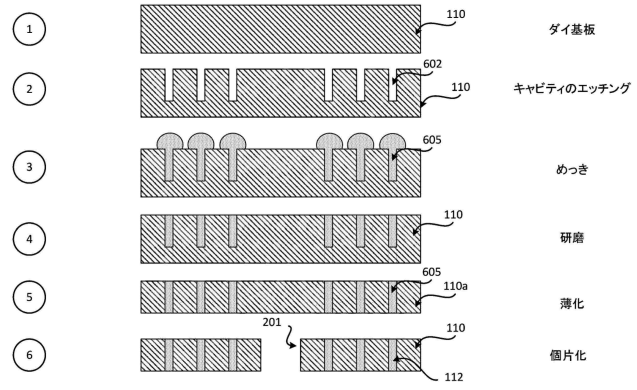
断面プロフィール図

10

【図5】

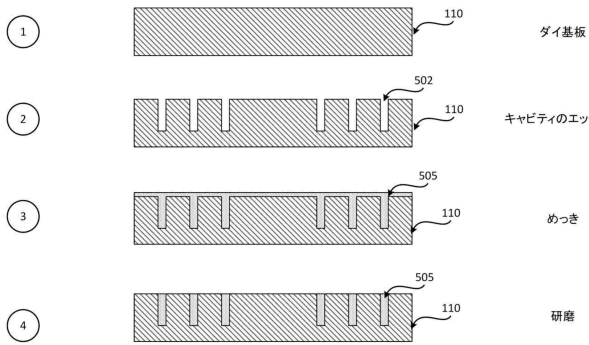


【図6】

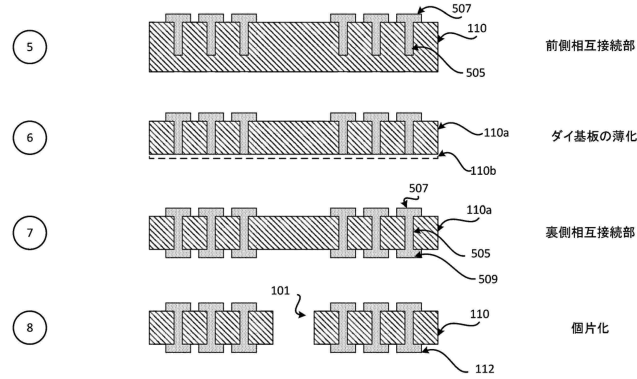


20

【図7A】



【図7B】

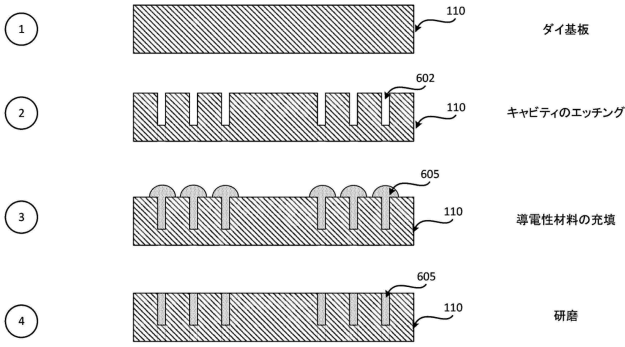


30

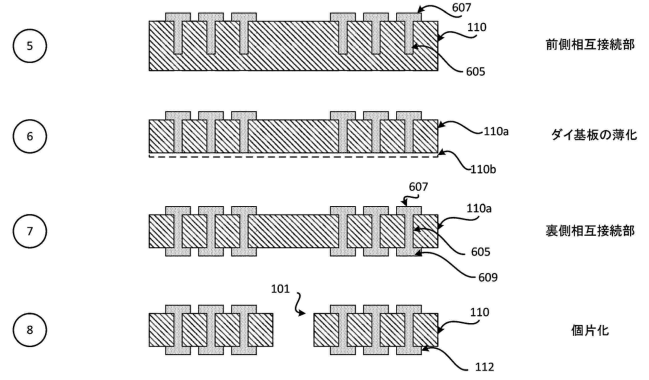
40

50

【図 8 A】

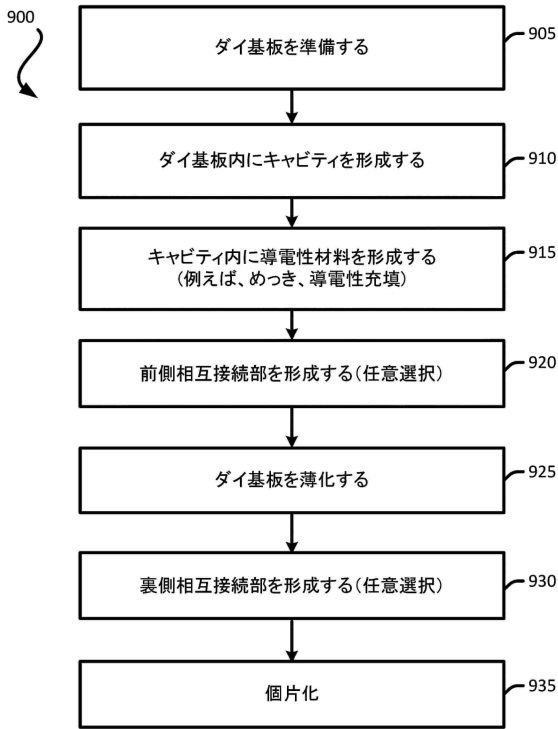


【図 8 B】

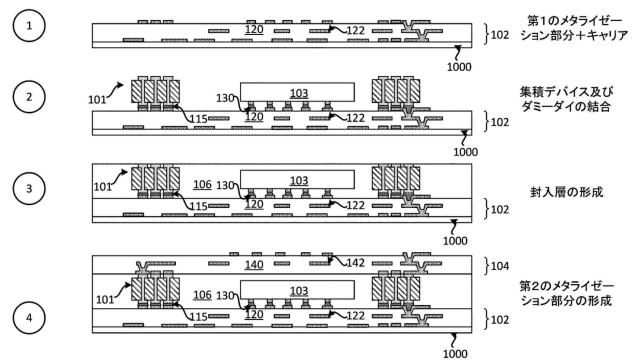


10

【図 9】



【図 10 A】



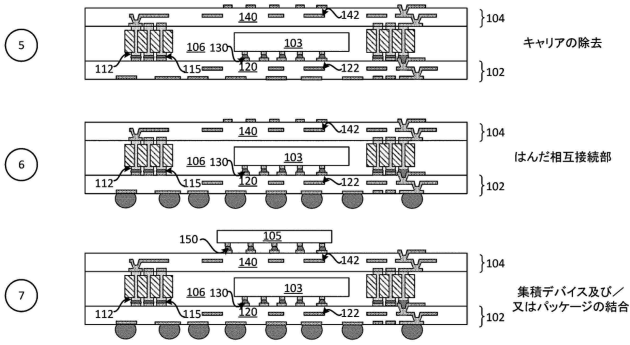
20

30

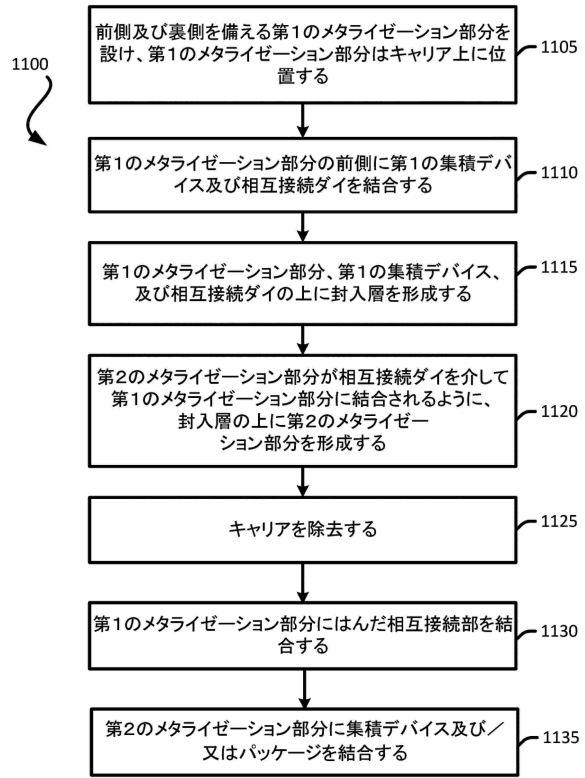
40

50

【図 10 B】



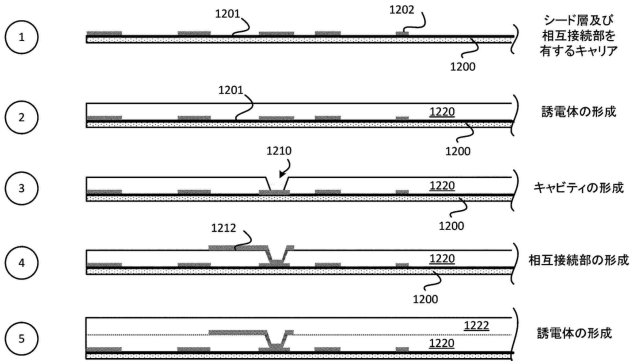
【図 11】



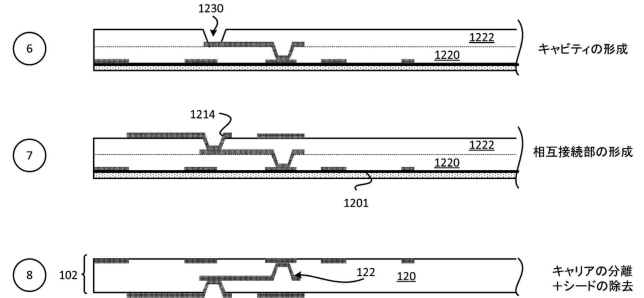
10

20

【図 12 A】



【図 12 B】

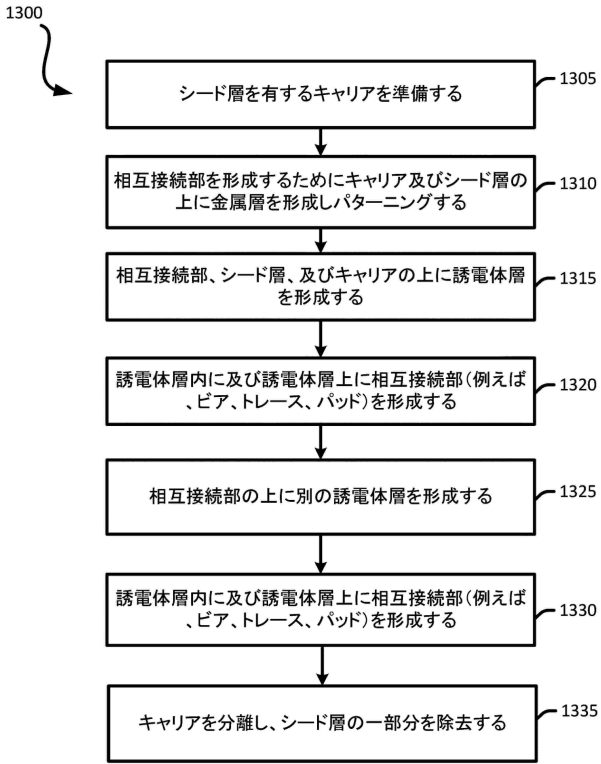


30

40

50

【 図 1 3 】



【 図 1 4 】

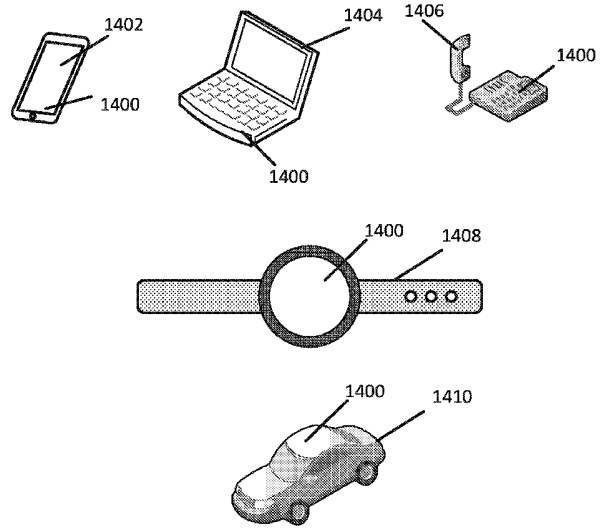


FIG. 14

10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/019839

A. CLASSIFICATION OF SUBJECT MATTER		
INV.	H01L25/10	H01L23/14 H01L23/498 H01L23/15
ADD.	H01L25/065	H01L21/60
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/133704 A1 (MARIMUTHU PANDI CHELVAM [SG] ET AL) 3 June 2010 (2010-06-03) paragraphs 3,49,50,51,53,55 - pages 5a-5g -----	1-3,5-8, 10-13, 15-25,27
X	US 2017/170155 A1 (YU CHEN-HUA [TW] ET AL) 15 June 2017 (2017-06-15) paragraphs [0022], [0040], [0065], [0073], [0080]; figures 8,9,12,13b,14,15 ----- -/--	1-3,5-9, 11-13, 15-17, 20-22, 24,25,27
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 9 August 2023		Date of mailing of the international search report 21/08/2023
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Manook, Rhoda

10

20

30

40

1

50

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2023/019839

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

- 1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

- 2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

- 3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

10

20

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

- 1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

- 2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

- 3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

- 4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims;; it is covered by claims Nos.:

30

40

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2023/019839

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>US 2014/035935 A1 (SHENOY RAVINDRA V [US] ET AL) 6 February 2014 (2014-02-06)</p> <p>paragraphs [0032], [0037], [0060], [0062], [0095]; figures 7a-7c, 10a,10b</p> <p>-----</p>	<p>1-8, 10-17, 19-22, 24-27</p>
X	<p>US 9 607 967 B1 (SHIH SHING-YIH [TW]) 28 March 2017 (2017-03-28)</p> <p>column 5, lines 16-22; figures 1-15 column 3, lines 3-8 column 4, lines 20-278, 28-38 column 9, line 16; claims 18-19</p> <p>-----</p>	<p>1-8, 10-17, 19-22, 24-27</p>

10

20

30

40

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2023/019839

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010133704 A1	03-06-2010	US 2010133704 A1 US 2011024916 A1	03-06-2010 03-02-2011
US 2017170155 A1	15-06-2017	CN 106997869 A DE 102016116088 A1 KR 20170070800 A TW 201721828 A US 2017170155 A1	01-08-2017 14-06-2017 22-06-2017 16-06-2017 15-06-2017
US 2014035935 A1	06-02-2014	US 2014035935 A1 WO 2014022298 A1	06-02-2014 06-02-2014
US 9607967 B1	28-03-2017	NONE	

10

20

30

40

50

International Application No. PCT/US2023 /019839

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-27

(re. claims 1-6, 11-16 and 20 and 21, 24-26)

A package comprising: a first substrate; a first integrated device coupled to the first substrate; an interconnection die coupled to the first substrate; a second substrate coupled to the first substrate through the interconnection die such that the first integrated device and the interconnection die are located between the first substrate and the second substrate; and an encapsulation layer coupled to the first substrate and the second substrate, wherein the encapsulation layer is located between the first substrate and the second substrate and wherein the interconnection die comprises: a die substrate; and a plurality of die interconnects.

1.1. claims: 7, 22

(re. claims 7 and 22)

The subject matter of claim 1 and further comprising a second integrated device coupled to the second metallization portion, wherein the first integrated device includes a first chiplet and the second integrated device includes a second chiplet.

1.2. claims: 18, 23

(re. claims 18 and 23)

The subject matter of claim 1 and further comprising a second package coupled to the first package through a plurality of solder interconnects, wherein the second package comprises: a substrate; a second integrated device coupled to the substrate; and a second encapsulation layer coupled to the substrate and the second integrated device.

1.3. claim: 9

(re. claim 9)

The subject matter of claims 1 and 8 and a first portion of a first redistribution interconnect from the first plurality of redistribution interconnects, includes a side profile that has a U-shape or a V shape, and wherein a second portion of a second redistribution interconnect from the second plurality of redistribution interconnects, includes a side profile that has a U-shape or a V shape.

1.4. claims: 10, 19

(re. claims 10 and 19):

The subject matter of claim 1 and the interconnection die is free of transistors.

10

20

30

40

50

International Application No. **PCT/US2023/019839**

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

--

10

20

30

40

50

フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MU,MW
,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL
,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
1 2 1 - 1 7 1 4 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7 5

(72)発明者

リリー・ジャオ

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・ サン ・ ディエゴ ・ モアハウス ・ ドライ
ヴ ・ 5 7 7 5

【要約の続き】

ン部分との間に位置する、封入層。