

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4867251号  
(P4867251)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月25日(2011.11.25)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 D
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 2 3 Z
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	H
HO 1 L 21/822 (2006.01)		

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2005-277629 (P2005-277629)	(73) 特許権者	000003207 トヨタ自動車株式会社
(22) 出願日	平成17年9月26日(2005.9.26)		愛知県豊田市トヨタ町1番地
(65) 公開番号	特開2007-88346 (P2007-88346A)	(74) 代理人	110000110 特許業務法人快友国際特許事務所
(43) 公開日	平成19年4月5日(2007.4.5)	(72) 発明者	神谷 宅美 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
審査請求日	平成19年10月30日(2007.10.30)	審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体装置であって、

第1導電型の不純物を含む半導体基板と、

その半導体基板上に形成されており、第2導電型の不純物を低濃度を含む半導体活性層と、

その半導体活性層の表面部分の一部に形成されており、第2導電型の不純物を高濃度を含む第1半導体領域と、

その半導体活性層の表面部分の一部に形成されており、半導体活性層によって第1半導体領域から隔てられており、第1導電型の不純物を含む第2半導体領域と、

その半導体活性層の表面部分の一部に形成されており、第1半導体領域の近傍に位置しており、半導体活性層によって第2半導体領域及び半導体基板から隔てられており、第1導電型の不純物を含む第3半導体領域と、

第1半導体領域及び第3半導体領域に電氣的に接続している第1電極と、

第2半導体領域に電氣的に接続している第2電極と、

半導体活性層の表面部分の一部に形成されており、第2半導体領域によって半導体活性層から隔てられており、第2電極に電氣的に接続しており、第2導電型の不純物を高濃度を含む第4半導体領域と、

第2半導体領域のうちの第4半導体領域と半導体活性層の間に存在する部分にゲート絶縁膜を介して対向しているゲート電極と、

10

20

半導体活性層のうちの第3半導体領域と半導体基板の間に存在する部分に絶縁膜を介して対向している導電体領域と、

を備えており、

その導電体領域に、所定の電圧が印加されることを特徴とする半導体装置。

【請求項2】

半導体装置であって、

半導体支持層と、

その半導体支持層上に形成されている埋込み絶縁層と、

その埋込み絶縁層上に形成されており、第2導電型の不純物を低濃度を含む半導体活性層と、

10

その半導体活性層の表面部分の一部に形成されており、第2導電型の不純物を高濃度を含む第1半導体領域と、

その半導体活性層の表面部分の一部に形成されており、半導体活性層によって第1半導体領域から隔てられており、第1導電型の不純物を含む第2半導体領域と、

その半導体活性層の表面部分の一部に形成されており、第1半導体領域の近傍に位置しており、半導体活性層によって第2半導体領域及び埋込み絶縁層から隔てられており、第1導電型の不純物を含む第3半導体領域と、

第1半導体領域及び第3半導体領域に電氣的に接続している第1電極と、

第2半導体領域に電氣的に接続している第2電極と、

半導体活性層の表面部分の一部に形成されており、第2半導体領域によって半導体活性層から隔てられており、第2電極に電氣的に接続しており、第2導電型の不純物を高濃度

20

を含む第4半導体領域と、  
第2半導体領域のうちの第4半導体領域と半導体活性層の間に存在する部分にゲート絶縁膜を介して対向しているゲート電極と、

半導体活性層のうちの第3導電体領域と埋込み絶縁層の間に存在する部分に絶縁膜を介して対向している導電体領域と、

を備えており、

その導電体領域に、所定の電圧が印加されることを特徴とする半導体装置。

【請求項3】

半導体装置であって、

第1導電型の半導体下層と、

その半導体下層上に形成されており、一部に開口を有している埋込み絶縁層と、

その埋込み絶縁層及び開口から露出している半導体下層上に形成されており、第2導電型の不純物を低濃度を含む半導体活性層と、

30

その半導体活性層の表面部分の一部に形成されており、第2導電型の不純物を高濃度を含む第1半導体領域と、

その半導体活性層の表面部分の一部に形成されており、半導体活性層によって第1半導体領域から隔てられており、第1導電型の不純物を含む第2半導体領域と、

その半導体活性層の表面部分の一部に形成されており、第1半導体領域の近傍に位置しており、半導体活性層によって第2半導体領域及び開口から露出している半導体下層から隔てられており、第1導電型の不純物を含む第3半導体領域と、

40

第1半導体領域及び第3半導体領域に電氣的に接続している第1電極と、

第2半導体領域に電氣的に接続している第2電極と、

半導体活性層の表面部分の一部に形成されており、第2半導体領域によって半導体活性層から隔てられており、第2電極に電氣的に接続しており、第2導電型の不純物を高濃度

を含む第4半導体領域と、  
第2半導体領域のうちの第4半導体領域と半導体活性層の間に存在する部分にゲート絶縁膜を介して対向しているゲート電極と、

半導体活性層のうちの第3半導体領域と開口から露出している半導体下層の間に存在する部分に絶縁膜を介して対向している導電体領域と、

50

を備えており、

その導電体領域に、所定の電圧が印加されることを特徴とする半導体装置。

【請求項 4】

第 3 半導体領域と半導体基板を隔てている半導体活性層、第 3 半導体領域と埋込み絶縁層を隔てている半導体活性層、又は第 3 半導体領域と半導体下層を隔てている半導体活性層の少なくとも一部に形成されており、前記絶縁膜に接しており、第 2 導電型の不純物が半導体活性層と異なる濃度に調整されている閾値調整用半導体領域をさらに備えていることを特徴とする請求項 1 ~ 3 のいずれかの半導体装置。

【請求項 5】

前記所定電圧は、第 1 電極に印加される電圧が半導体装置を利用するシステムの耐圧以下のときには、絶縁膜を介して導電体領域に対向している半導体活性層が反転しないように調整されていることを特徴とする請求項 1 ~ 4 のいずれかの半導体装置。

10

【請求項 6】

前記所定電圧は、第 1 電極に印加される電圧が前記システムの耐圧以上で半導体装置の耐圧以下のときには、絶縁膜を介して導電体領域に対向している半導体活性層が反転するように調整されていることを特徴とする請求項 5 の半導体装置。

【請求項 7】

前記所定電圧が接地電圧であることを特徴とする請求項 1 ~ 4 のいずれかの半導体装置。

【請求項 8】

20

前記導電体領域は前記絶縁膜に被覆されており、その導電体領域と絶縁膜の組み合わせが半導体活性層を貫通して半導体基板又は埋込み絶縁層に達しており、その組み合わせが半導体活性層を一巡して半導体装置の各構成要素を残部の半導体活性層から絶縁分離していることを特徴とする請求項 1 ~ 7 のいずれかの半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、サージ電圧に対する耐量が改善された半導体装置に関する。

【背景技術】

30

【0002】

半導体装置には、その半導体装置の耐圧を優に超えた過大なサージ電圧が印加されてしまうことがある。この種のサージ電圧としては、例えば、静電気放電 (Electro Static Discharge : ESD) 等が挙げられる。このような場面に対処するために、過大なサージ電圧が印加されたとしても、半導体装置が破壊されることなく、安定して動作し続けることを可能とする技術の開発が望まれている。

【0003】

特許文献 1 には、横型の MOSFET (Metal Oxide Semiconductor Field Effect Transistor) において、ドレイン領域の下方の深い位置に p<sup>+</sup> 型の不純物拡散埋込層を形成する技術が開示されている。特許文献 1 の半導体装置は、静電気放電等に基づくサージ電圧がドレイン領域に印加された場合に、ドレイン領域の近傍で発生するホールを p<sup>+</sup> 型の不純物拡散埋込層を介して排出することによって、ソース領域に向けて流れる降伏電流を分散させることができる。これにより、寄生の NPN トランジスタがオンするのを抑制し、電流集中による半導体装置の熱破壊を抑制する。

40

【特許文献 1】特開 2002 - 353441 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献 1 の技術では、ドレイン領域の近傍で発生したホールが p<sup>+</sup> 型の不純物拡散埋込層を介して排出されるまでの間に、多量のホールが発生してしまう。こ

50

のため、発生したホールの一部が周囲の半導体領域又は及び絶縁膜等に侵入することによって、半導体装置の特性を変動させてしまう。多量のホールが発生してしまう前に、発生したホールを早い段階で排出する技術の開発が望まれている。

本発明は、サージ電圧等が印加されたときに発生するキャリアを早い段階で排出する技術を提供することを目的としている。

【課題を解決するための手段】

【0005】

本発明の半導体装置は、サージ電圧等が印加されたときに発生するキャリアを早い段階で排出するために、導電体と絶縁体と半導体の積層構造（以下、MOS構造という）を利用することを特徴としている。本発明の半導体装置では、発生したキャリアをMOS構造を利用して排出する。MOS構造が動作を開始する閾値電圧を適宜に調整することによって、発生したキャリアを早い段階で排出することができる。これにより、発生したキャリアが周囲の半導体領域又は及び絶縁膜等に侵入することが抑制され、半導体装置の特性の変動を抑えることができる。

なお、以下で提案する複数の半導体装置には、大別すると3つのタイプが含まれる。いずれの半導体装置もMOS構造を利用するという技術的特徴を有しており、それぞれの半導体装置の間には密接な技術的關係が存在している。

【0006】

本発明で創作された第1の半導体装置は、第1導電型の不純物を含む半導体基板と、その半導体基板上に形成されており、第2導電型の不純物を低濃度に含む半導体活性層を備えている。その半導体活性層の表面部分の一部に、第2導電型の不純物を高濃度に含む第1半導体領域が形成されている。さらに、半導体活性層の表面部分の一部に、第1導電型の不純物を含む第2半導体領域が形成されている。第2半導体領域は、半導体活性層によって第1半導体領域から隔てられている。さらに、半導体活性層の表面部分の一部であって第1半導体領域の近傍の位置に、第1導電型の不純物を含む第3半導体領域が形成されている。第3半導体領域は、半導体活性層によって第2半導体領域及び半導体基板から隔てられている。第1半導体領域及び第3半導体領域は、第1電極に電氣的に接続している。第2半導体領域は、第2電極に電氣的に接続している。

本発明の第1の半導体装置はさらに、半導体活性層の表面部分の一部に形成されており、第2半導体領域によって半導体活性層から隔てられており、第2電極に電氣的に接続しており、第2導電型の不純物を高濃度に含む第4半導体領域と、第2半導体領域のうちの第4半導体領域と半導体活性層の間に存在する部分にゲート絶縁膜を介して対向しているゲート電極と、を備えている。すなわち、本発明の第1の半導体装置は、MOSFET、IGBT等のゲート構造を備えた半導体装置において有用である。

本発明の第1の半導体装置はさらに、半導体活性層のうちの第3半導体領域と半導体基板の間に存在する部分に絶縁膜を介して対向している導電体領域を備えている。その導電体領域には所定の電圧が印加される。すなわち、その導電体領域の電位はフローティングしておらず、所定の電圧が印加される。

これにより、第3半導体領域と半導体基板の間に、導電体領域と絶縁膜と半導体活性層を積層することによって形成されるMOS構造が形成されている。

例えば、静電気放電等に基づくサージ電圧が第1半導体領域に印加されると、第1半導体領域の近傍にキャリアが発生する。このとき、第1半導体領域に印加されたサージ電圧に追従して半導体活性層の電圧も変動する。これにより、半導体活性層の電圧と導電体領域（所定電圧が印加されている）の間に電圧差が生じる。その電圧差によって、半導体活性層のうちの第3半導体領域と半導体基板の間に存在する部分には、絶縁膜に沿ってチャネルが形成され、MOS構造がオン動作する。これにより、第1半導体領域の近傍に発生したキャリアは、チャネルを介して半導体基板に排出される。したがって、発生したキャリアに基づく降伏電流を分散させることができる。これにより、電流集中による半導体装置の熱破壊を抑制することができる。

さらに、本発明の半導体装置によると、MOS構造を利用するために、MOS構造がオ

10

20

30

40

50

ン動作する閾値電圧の調製が可能になる。したがって、MOS構造がオン動作する閾値電圧を適宜に調整することによって、発生したキャリアを早い段階で排出することが可能になる。例えば、MOS構造の閾値電圧を小さい値に調整しておけば、発生したキャリアを早い段階で排出することができる。これにより、発生したキャリアが周囲の半導体領域又は及び絶縁膜等に侵入することが抑制され、半導体装置の特性の変動を抑えることができる。

#### 【0007】

本発明で創作された第2の半導体装置は、半導体支持層と、その半導体支持層上に形成されている埋込み絶縁層と、その埋込み絶縁層上に形成されており、第2導電型の不純物を低濃度を含む半導体活性層を備えている。半導体支持層は、第1導電型又は第2導電型の不純物のいずれを含んでいてもよい。

半導体活性層の表面部分の一部に、第2導電型の不純物を高濃度を含む第1半導体領域が形成されている。さらに、半導体活性層の表面部分の一部に、第1導電型の不純物を含む第2半導体領域が形成されている。第2半導体領域は、半導体活性層によって第1半導体領域から隔てられている。さらに、半導体活性層の表面部分の一部であって第1半導体領域の近傍の位置に、第1導電型の不純物を含む第3半導体領域が形成されている。第3半導体領域は、半導体活性層によって第2半導体領域及び埋込み絶縁層から隔てられている。第1半導体領域及び第3半導体領域は第1電極に電氣的に接続している。第2半導体領域は第2電極に電氣的に接続している。

本発明の第2の半導体装置はさらに、半導体活性層の表面部分の一部に形成されており、第2半導体領域によって半導体活性層から隔てられており、第2電極に電氣的に接続しており、第2導電型の不純物を高濃度を含む第4半導体領域と、第2半導体領域のうちの第4半導体領域と半導体活性層の間に存在する部分にゲート絶縁膜を介して対向しているゲート電極と、を備えている。すなわち、本発明の第2の半導体装置は、MOSFET、IGBT等のゲート構造を備えた半導体装置において有用である。

本発明の第2の半導体装置はさらに、半導体活性層のうちの第3半導体領域と埋込み絶縁層の間に存在する部分に絶縁膜を介して対向している導電体領域を備えている。その導電体領域には所定の電圧が印加される。すなわち、その導電体領域の電位はフローティングしておらず、所定の電圧が印加される。

これにより、第3半導体領域と半導体基板の間に、導電体領域と絶縁膜と半導体活性層を積層することによって形成されるMOS構造が形成されている。

第2の半導体装置の場合も、例えば静電気放電等に基づくサージ電圧が第1半導体領域に印加されると、MOS構造がオン動作する。MOS構造がオン動作すると、第1半導体領域の近傍に発生したキャリアは、MOS構造に沿って移動する。さらに、第2の半導体装置では、半導体支持層と埋込み絶縁層と半導体活性層を積層することによって形成される第2のMOS構造が形成されている。したがって、第1のMOS構造に沿って移動してきたキャリアは、第2のMOS構造を利用して、半導体活性層の裏面部分に沿って移動する。第2のMOS構造を利用して移動してきたキャリアは、最終的に第2半導体領域を介して第2電極に排出される。これにより、サージ電圧に起因して発生したキャリアに基づく降伏電流を分散させることができる。これにより、電流集中による半導体装置の熱破壊を抑制することができる。

さらに、本発明の半導体装置によると、MOS構造がオン動作する閾値電圧を適宜に調整することによって、発生したキャリアを早い段階で排出することができる。これによって、発生したキャリアが周囲の半導体領域又は及び絶縁膜等に侵入することが抑制され、半導体装置の特性の変動を抑えることができる。

#### 【0008】

本発明で創作された第3の半導体装置は、第1導電型の半導体下層と、その半導体下層上に形成されており、一部に開口を有している埋込み絶縁層と、その埋込み絶縁層及び開

10

20

30

40

50

口から露出している半導体下層上に形成されており、第2導電型の不純物を低濃度に含む半導体活性層を備えている。

半導体活性層の表面部分の一部に、第2導電型の不純物を高濃度に含む第1半導体領域が形成されている。さらに、半導体活性層の表面部分の一部に、第1導電型の不純物を含む第2半導体領域が形成されている。第2半導体領域は、半導体活性層によって第1半導体領域から隔てられている。半導体活性層の表面部分の一部であって第1半導体領域の近傍の位置に、第1導電型の不純物を含む第3半導体領域が形成されている。第3半導体領域は、半導体活性層によって第2半導体領域及び開口から露出している半導体下層から隔てられている。第1半導体領域及び第3半導体領域は第1電極に電氣的に接続している。第2半導体領域は第2電極に電氣的に接続している。

10

本発明の第3の半導体装置はさらに、半導体活性層の表面部分の一部に形成されており、第2半導体領域によって半導体活性層から隔てられており、第2電極に電氣的に接続しており、第2導電型の不純物を高濃度に含む第4半導体領域と、第2半導体領域のうちの第4半導体領域と半導体活性層の間に存在する部分にゲート絶縁膜を介して対向しているゲート電極と、を備えている。すなわち、本発明の第3の半導体装置は、MOSFET、IGBT等のゲート構造を備えた半導体装置において有用である。

本発明の第3の半導体装置はさらに、半導体活性層のうちの第3半導体領域と開口から露出している半導体下層の間に存在する部分に絶縁膜を介して対向している導電体領域を備えている。その導電体領域には所定の電圧が印加される。すなわち、その導電体領域の電位はフローティングしておらず、所定の電圧が印加される。

20

これにより、第3半導体領域と開口から露出している半導体下層の間に、導電体領域と絶縁膜と半導体活性層を積層することによって形成されるMOS構造が形成されている。

第3の半導体装置の場合も、例えば静電気放電等に基づくサージ電圧が第1半導体領域に印加されると、MOS構造がオン動作する。MOS構造がオン動作すると、第1半導体領域の近傍に発生したキャリアは、MOS構造に沿って移動し、開口を介して半導体下層に排出される。これにより、サージ電圧に起因して発生したキャリアに基づく降伏電流を分散させることができる。これにより、電流集中による半導体装置の熱破壊を抑制することができる。

さらに、本発明の半導体装置によると、MOS構造がオン動作する閾値電圧を適宜に調整することによって、発生したキャリアを早い段階で排出することができる。これによって、発生したキャリアが周囲の半導体領域又は及び絶縁膜等に侵入することが抑制され、半導体装置の特性の変動を抑えることができる。

30

#### 【0009】

第1の半導体装置の場合、第3半導体領域と半導体基板を隔てている半導体活性層の少なくとも一部であって絶縁膜に接する位置に、第2導電型の不純物が半導体活性層と異なる濃度に調整されている閾値調整用半導体領域が形成されているのが好ましい。

第2の半導体装置の場合、第3半導体領域と埋込み絶縁層を隔てている半導体活性層の少なくとも一部であって絶縁膜に接する位置に、第2導電型の不純物が半導体活性層と異なる濃度に調整されている閾値調整用半導体領域が形成されているのが好ましい。

40

第3の半導体装置の場合、第3半導体領域と開口から露出している半導体下層を隔てている半導体活性層の少なくとも一部であって絶縁膜に接する位置に、第2導電型の不純物が半導体活性層と異なる濃度に調整されている閾値調整用半導体領域が形成されているのが好ましい。

閾値調整用半導体領域の不純物濃度を調整することによって、MOS構造がオン動作する閾値電圧を調整することができる。

#### 【0010】

MOS構造がオン動作する閾値電圧は、導電体領域に印加する所定電圧を調整することによっても設定することができる。導電体領域に印加する所定電圧は下記の間係を満たす

50

ように調整されていることが好ましい。すなわち、第1電極に印加される電圧が半導体装置を利用するシステムの耐圧以下のときには、絶縁膜を介して導電体領域に対向している半導体活性層が反転しないように調整されている電圧が導電体領域に印加されていることが好ましい。

これにより、システムの耐圧以下の正常な電圧が第1電極に印加されているときに、MOS構造がオン動作し、半導体装置が誤動作してしまうことを防止することができる。

#### 【0011】

その一方において、導電体領域に印加する所定電圧は下記の間係を満たすように調整されていることが好ましい。すなわち、第1電極に印加される電圧がシステムの耐圧以上で半導体装置の耐圧以下のときに、絶縁膜を介して導電体領域に対向している半導体活性層が反転するように調整されている電圧が導電体領域に印加されていることが好ましい。

10

これにより、半導体装置が破壊される前に、MOS構造がオン動作する。半導体装置の破壊を抑制することができる。

#### 【0012】

また、所定電圧が接地電圧に固定されていてもよい。MOS構造の閾値電圧は、絶縁膜の厚み、半導体活性層の不純物濃度によって調整することが可能である。したがって、所定電圧を接地電圧に固定して用いる場合は、絶縁膜の厚み、半導体活性層の不純物濃度を調整してMOS構造の閾値を設定することができる。

#### 【0014】

本発明の半導体装置が備えている導電体領域と絶縁膜の組合せ構造は、この種の半導体装置で利用されている絶縁分離用トレンチと兼用させて用いることができる。

20

この場合、導電体領域は絶縁膜に被覆されており、その導電体領域と絶縁膜の組合せ構造が半導体活性層を貫通して半導体基板又は埋込み絶縁層に達している。導電体領域と絶縁膜の組合せ構造は、半導体活性層を一巡して半導体装置の各構成要素を残部の半導体活性層から絶縁分離している。

導電体領域及び絶縁膜の組合せ構造をこの種の半導体装置で利用されている絶縁分離用トレンチと兼用させて用いることによって、製造工程を増加させないで、キャリアを排出するためのMOS構造を得ることができる。

#### 【発明の効果】

#### 【0015】

30

本発明の半導体装置は、サージ電圧等が印加されたときに発生するキャリアを分散して排出する。降伏電流の集中による半導体装置の熱破壊を抑制する。さらに、MOS構造がオン動作する閾値電圧を適宜に調整することによって、発生したキャリアを早い段階で排出することができる。これにより、発生したキャリアが周囲の半導体領域又は及び絶縁膜等に侵入することが抑制され、半導体装置の特性の変動を抑えることができる。

#### 【発明を実施するための最良の形態】

#### 【0016】

実施例の主要な特徴を列記する。

(第1形態) ドレイン領域(第1半導体領域)と $p^+$ 型半導体領域(第3半導体領域)は接している。第2半導体領域はボディ領域である。 $p^+$ 型半導体領域は、ドレイン領域の側面のうち反ボディ領域側の側面に接している。

40

ドレイン領域と $p^+$ 型半導体領域が隣接していると、MOS構造を利用して、ドレイン領域の近傍で発生した正孔を効果的に排出することができる。

(第2形態)  $n$ 型半導体領域(第4半導体領域)は、オン動作したMOS構造に生じる $p$ 型のチャンネルの範囲に形成されている。

#### 【実施例】

#### 【0017】

図面を参照して以下に実施例を詳細に説明する。以下の実施例では、半導体材料にシリコンを用いているが、その他の半導体材料及びそれらの組合せを利用することもできる。

(第1実施例)

50

図1に、半導体装置10の要部断面図を模式的に示す。

半導体装置10は、p型の半導体基板22と、その半導体基板22上に形成されているn<sup>-</sup>型の半導体活性層24を備えている。半導体活性層24の表面部分の一部にn<sup>+</sup>型のドレイン領域42(第1半導体領域の一例)が形成されている。さらに、半導体活性層24の表面部分の一部にp型のボディ領域48(第2半導体領域の一例)が形成されている。ボディ領域48は、半導体活性層24によってドレイン領域42から隔てられている。さらに、半導体活性層24の表面部分の一部であり、ドレイン領域42の近傍にp<sup>+</sup>型の半導体領域41(第3半導体領域の一例)が形成されている。p<sup>+</sup>型半導体領域41は、半導体活性層24によってボディ領域48及び半導体基板22から隔てられている。p<sup>+</sup>型半導体領域41は、ドレイン領域42の側面のうちボディ領域48とは反対側に接して形成されている。ドレイン領域42は、p<sup>+</sup>型半導体領域41とボディ領域48の間に形成されているとも言える。ドレイン領域42及びp<sup>+</sup>型半導体領域41は、ドレイン電極Dに電氣的に接続している。ボディ領域48は、ボディコンタクト領域47を介してソース電極Sに電氣的に接続している。半導体基板22は接地電圧に固定されている。

10

#### 【0018】

半導体装置10は、半導体活性層24の表面部分の一部に形成されているn<sup>+</sup>型のソース領域46(第4半導体領域の一例)を備えている。ソース領域46はボディ領域48に取り囲まれており、ボディ領域48によって半導体活性層24から隔てられている。ボディ領域48のうちのソース領域46と半導体活性層24の間に存在する部分にゲート絶縁膜45を介してゲート電極44が対向している。ゲート電極44とゲート絶縁膜45の組合せ構造は、ソース領域46、ソース領域46と半導体活性層24の間に存在するボディ領域48、及び半導体活性層24に接している。

20

半導体活性層24の表面であり、ドレイン領域42とボディ領域48の間には、LOCOS酸化膜43が形成されている。ゲート電極44の一部は、ボディ領域48側からドレイン領域42側に向けて、LOCOS酸化膜43の表面の一部に延設して形成されている。これにより、半導体活性層24の表面部の電界を緩和することができる。

#### 【0019】

半導体装置10は、半導体活性層24のうちのp<sup>+</sup>型半導体領域41と半導体基板22の間に存在する部分に絶縁膜34を介して対向している導電体領域32を備えている。導電体領域32は絶縁膜34に被覆されている。導電体領域32と絶縁膜34の組合せ構造は、半導体活性層24を貫通して半導体基板22に達している。導電体領域32と絶縁膜34の組合せ構造は、p<sup>+</sup>型半導体領域41の側面のうちドレイン領域42の反対側の側面に接して形成されている。導電体領域32と絶縁膜34の組合せ構造は、p<sup>+</sup>型半導体領域41、p<sup>+</sup>型半導体領域41と半導体基板22の間に存在する半導体活性層24、及び半導体基板22に対向している。p<sup>+</sup>型半導体領域41と半導体基板22の間には、導電体領域32と絶縁膜34と半導体活性層24が積層することによって構成されるMOS構造が形成されている。導電体領域32には、接地電圧が印加されている。

30

導電体領域32と絶縁膜34の組合せ構造は、平面視したときに半導体活性層24を一巡しており、半導体装置10を構成している各半導体領域を残部の半導体活性層24から絶縁分離している。

40

#### 【0020】

次に、半導体装置10にサージ電圧が印加された場合の動作を説明する。

例えば、静電気放電等に基づくサージ電圧がドレイン電極Dに接続している配線からドレイン領域42に印加されると、ドレイン領域42の近傍52に正孔が発生する。このとき、ドレイン領域42に印加されたサージ電圧に追従して半導体活性層24の電圧も変動する。例えば、サージ電圧が過大な正電圧の場合、半導体活性層24の電圧も正電圧に上昇する。これにより、半導体活性層24の電圧と導電体領域32の接地電圧の間に電圧差が生じる。その電圧差に基づいて、絶縁膜34を介して導電体領域32に対向している半導体活性層24がp型に反転し、絶縁膜34に沿ってp型のチャンネルが形成される。これ

50

により、 $p^+$ 型半導体領域41と半導体基板22がp型のチャンネルを介して導通し、MOS構造がオン動作する。MOS構造がオン動作すると、ドレイン領域42の近傍52に発生した正孔は、図中54に示すように、p型のチャンネルを介して半導体基板22に排出される。

したがって、発生した正孔が半導体活性層24の表面側をソース領域46に向けて横方向に流れ、半導体活性層24とボディ領域48とソース領域46の寄生のNPNトランジスタがオン動作してしまう現象が発生するのを抑制することができる。即ち、発生した正孔に基づく降伏電流を分散して排出することができるので、寄生のNPNトランジスタがオン動作するのを抑制し、電流集中による熱破壊を抑制することができる。

さらに、半導体装置10によると、MOS構造がオン動作する閾値電圧を適宜に調整することができる、発生した正孔を早い段階で半導体基板22に排出することができる。これにより、発生した正孔が周囲の半導体領域又は及び絶縁膜等に侵入することが抑制され、半導体装置10の特性の変動を抑えることができる。

#### 【0021】

図2に、変形例の半導体装置11の要部断面図を模式的に示す。

半導体装置11では、導電体領域32に正の電圧が印加されている。MOS構造がオン動作する閾値電圧は、導電体領域32に印加する電圧を調整することによって設定することができる。即ち、導電体領域32に加える電圧を調整することによって、MOS構造の閾値電圧を調整することができる。

#### 【0022】

図3に、絶縁膜34の厚み、半導体活性層24の不純物濃度、及び導電体領域32に印加する電圧に基づいて、MOS構造の閾値電圧が調整される様子を示す。図3の横軸が絶縁膜34の厚みであり、図3の縦軸がMOS構造の閾値電圧である。図3には、半導体活性層24の不純物濃度が $1 \times 10^{16} \text{cm}^{-3}$ 、 $5 \times 10^{16} \text{cm}^{-3}$ 、 $1 \times 10^{17} \text{cm}^{-3}$ のそれぞれの場合において、導電体領域32に印加されている所定電圧が接地電圧の場合(実線)と10Vの正の電圧の場合(破線)のMOS構造の閾値電圧が示されている。

図3に示すように、(1)絶縁膜34の厚みを大きくするとMOS構造の閾値電圧は上昇し、(2)半導体活性層24の不純物濃度を大きくするとMOS構造の閾値電圧は上昇し、(3)導電体領域32に正の電圧を印加するとMOS構造の閾値電圧は上昇することが分かる。したがって、絶縁膜34の厚み、半導体活性層24の不純物濃度、及び導電体領域32に印加する電圧を適宜に調整することによって、MOS構造の閾値電圧を所望の値に調整することが可能である。なお、半導体活性層24の不純物濃度は、他の特性(半導体装置11の耐圧及びオン抵抗等)に影響を与えるので、MOS構造の閾値電圧の調整は、絶縁膜34の厚み及び導電体領域32に印加する電圧によって調整するのが好ましい。とりわけ、導電体領域32に印加する電圧は、半導体装置11の他の特性にほとんど影響を与えることなく、調整することが可能である。したがって、導電体領域32に印加する電圧を調整することによって、MOS構造の閾値電圧を調整するのが好ましい。

#### 【0023】

MOS構造の閾値電圧は、半導体装置10を利用するシステムに要求されている耐圧以上に調整されていることが好ましい。例えば、システムに要求されている耐圧が50Vであれば、半導体活性層24の不純物濃度及び絶縁膜34の厚みを加味して、ドレイン電極Dに印加される電圧が50V以下である限り、MOS構造がオン動作しないような電圧を導電体領域32に印加しておく。

MOS構造の閾値電圧が上記の条件を満たしていると、システムの耐圧以下の低い電圧が印加されたときにMOS構造がオン動作してしまうことを防止できる。したがって、半導体装置10が誤作動してしまうことを防止することができる。

さらに、MOS構造の閾値電圧は、半導体装置10の耐圧以下になるように調整されていることが好ましい。例えば、半導体装置10の耐圧が60Vであれば、ドレイン電極Dに印加される電圧が50V以上で60V以下の時点で、MOS構造がオン動作する電圧を導電体領域32に印加しておく。

10

20

30

40

50

MOS構造の閾値電圧が上記の条件を満たしていると、半導体装置10が破壊される前に、MOS構造がオン動作することができる。これにより、半導体装置10が破壊されてしまうのを抑制することができる。

#### 【0024】

(第2実施例)

図4に、半導体装置12の要部断面図を模式的に示す。

半導体装置12は、p型の半導体支持層122と、その半導体支持層122上に形成されている埋込み絶縁層123と、その埋込み絶縁層123上に形成されているn<sup>-</sup>型の半導体活性層124を備えている。半導体活性層124の表面部分の一部にn<sup>+</sup>型のドレイン領域142(第1半導体領域の一例)が形成されている。さらに、半導体活性層124の表面部分の一部にp型のボディ領域148(第2半導体領域の一例)が形成されている。ボディ領域148は、半導体活性層124によってドレイン領域142から隔てられている。ボディ領域148は半導体活性層124を貫通して、埋込み絶縁層123に接している。さらに、半導体活性層124の表面部分の一部であり、ドレイン領域142の近傍にp<sup>+</sup>型の半導体領域141(第3半導体領域の一例)が形成されている。p<sup>+</sup>型半導体領域141は、半導体活性層124によってボディ領域148及び埋込み絶縁層123から隔てられている。p<sup>+</sup>型半導体領域141は、ドレイン領域142の側面のうちボディ領域148とは反対側の側面に接して形成されている。ドレイン領域142は、p<sup>+</sup>型半導体領域141とボディ領域148の間に形成されているとも言える。ドレイン領域142及びp<sup>+</sup>型半導体領域141は、ドレイン電極Dに電氣的に接続している。ボディ領域148は、ボディコンタクト領域147を介してソース電極Sに電氣的に接続している。半導体支持層122は接地電圧に固定されている。なお、半導体支持層122の導電型はn型であってもよい。

#### 【0025】

半導体装置12は、半導体活性層124の表面部分の一部に形成されているn<sup>+</sup>型のソース領域146(第4半導体領域の一例)を備えている。ソース領域146はボディ領域148に取り囲まれており、ボディ領域148によって半導体活性層124から隔てられている。ボディ領域148のうちのソース領域146と半導体活性層124の間に存在する部分にゲート絶縁膜145を介してゲート電極144が対向している。ゲート電極144とゲート絶縁膜145の組合せ構造は、ソース領域146、ソース領域146と半導体活性層124の間に存在するボディ領域148、及び半導体活性層124に接している。

半導体活性層124の表面であり、ドレイン領域142とボディ領域148の間には、LOCOS酸化膜143が形成されている。ゲート電極144の一部は、ボディ領域148側からドレイン領域142側に向けて、このLOCOS酸化膜143の表面の一部に延設して形成されている。これにより、半導体活性層124の表面部の電界を緩和することができる。

#### 【0026】

半導体装置12は、半導体活性層124のうちのp<sup>+</sup>型半導体領域141と埋込み絶縁層123の間に存在する部分に絶縁膜134を介して対向している導電体領域132を備えている。導電体領域132は絶縁膜134に被覆されている。なお、導電体領域132の底面は埋込み絶縁膜123で被覆されており、絶縁膜134と埋込み絶縁膜123が兼用されていると評価することもできる。導電体領域132と絶縁膜134の組合せ構造は、半導体活性層124を貫通して半導体基板122に達している。導電体領域132と絶縁膜134の組合せ構造は、p<sup>+</sup>型半導体領域141の側面のうちドレイン領域142とは反対側の側面に接して形成されている。導電体領域132と絶縁膜134の組合せ構造は、p<sup>+</sup>型半導体領域141、p<sup>+</sup>型半導体領域141と埋込み絶縁膜123の間に存在する半導体活性層124、及び埋込み絶縁膜123に接している。p<sup>+</sup>型半導体領域141と埋込み絶縁層123の間において、導電体領域132と絶縁膜134と半導体活性層124が積層してMOS構造を構成している。導電体領域132には、接地電圧が印加さ

れている。なお、導電体領域 132 に正の電圧を印加して、MOS 構造の閾値電圧を調整してもよい。

導電体領域 132 と絶縁膜 134 の組合せ構造は、平面視したときに半導体活性層 124 を一巡しており、半導体装置 12 を構成している各半導体領域を残部の半導体活性層 124 から絶縁分離している。

#### 【0027】

次に、半導体装置 12 にサージ電圧が印加された場合の動作を説明する。

例えば、静電気放電等に基づくサージ電圧がドレイン電極 D に接続している配線からドレイン領域 142 に印加されると、ドレイン領域 142 の近傍 152 に正孔が発生する。このとき、ドレイン領域 142 に印加されたサージ電圧に追従して半導体活性層 124 の電圧も変動する。例えば、サージ電圧が過大な正電圧の場合、半導体活性層 124 の電圧も正電圧に上昇する。これにより、半導体活性層 124 の電圧と導電体領域 132 の接地電圧の間に電圧差が生じる。その電圧差に基づいて、導電体領域 132 が絶縁膜 134 を介して対向している半導体活性層 124 が p 型に反転して、絶縁膜 134 に沿って p 型のチャンネルが形成される。さらに、半導体装置 12 では、半導体支持層 122 と埋込み絶縁層 123 と半導体活性層 124 が積層して第 2 の MOS 構造を構成している。この第 2 の MOS 構造は、特に反転する必要はない。半導体装置 12 では、第 2 の MOS 構造が存在することによって、第 2 の MOS 構造に沿って半導体活性層 124 の裏面部分を正孔が横方向に移動するときの抵抗が小さくなっている。これにより、ドレイン領域 142 の近傍で発生した正孔は、図中 154 に示すように、第 1 の MOS 構造に沿って縦方向に移動した後に、第 2 の MOS 構造を利用して横方向に移動する。横方向に移動してきた正孔は、最終的にボディ領域 148 及びボディコンタクト領域 147 を介してソース電極 S に排出される。

したがって、発生した正孔が半導体活性層 124 の表面をソース領域 146 に向けて横方向に流れた場合に、半導体活性層 124 とボディ領域 148 とソース領域 146 の寄生の NPN トランジスタが動作してしまう現象が発生するのを抑制することができる。即ち、発生した正孔に基づく降伏電流を分散して排出することができるので、寄生の NPN トランジスタが動作するのを抑制し、電流集中による熱破壊を抑制することができる。

さらに、半導体装置 12 によると、第 1 の MOS 構造のオン動作を開始する閾値電圧を適宜に調整しておけば、発生した正孔を早い段階でソース電極 S に排出することができる。これにより、発生した正孔が周囲の半導体領域又は及び絶縁膜等に侵入することが抑制され、半導体装置 12 の特性の変動を抑えることができる。

#### 【0028】

図 5 に変形例の半導体装置 13 の要部断面図を模式的に示す。

半導体装置 13 では、導電体領域 132 が絶縁膜 134 を介して対向する半導体活性層 124 の局所領域に、n 型の半導体領域 138 (閾値調整用半導体領域の一例) が形成されている。n 型半導体領域 138 の不純物濃度は、半導体活性層 124 の不純物濃度よりも濃く調整されている。n 型半導体領域 138 は、p<sup>+</sup> 型半導体領域 141 と埋込み絶縁層 123 の間に亘って形成されており、p<sup>+</sup> 型半導体領域 141 及び埋込み絶縁層 123 の両者に接している。さらに、n 型半導体領域 138 は絶縁膜 134 にも接している。n 型半導体領域 138 は、第 1 の MOS 構造によって形成される p 型のチャンネルの範囲に形成されている。即ち、n 型半導体領域 138 は、チャンネルが形成される半導体活性層 124 の不純物濃度を局所的に調整する役割を果たしている。

n 型半導体領域 138 を設けることによって、第 1 の MOS 構造の閾値電圧を調整することができる。即ち、n 型半導体領域 138 の不純物濃度を調整することによって、MOS 構造がオン動作を開始する閾値電圧を調整することができる。

半導体活性層 124 の不純物濃度は、半導体装置 13 の特性 (耐圧及びオン抵抗等) に影響を与えるので、半導体活性層 124 の不純物濃度を調整して第 1 の MOS 構造の閾値電圧を調整することは好ましくないことが多い。この場合、n 型半導体領域 138 を設ければ、半導体活性層 124 の不純物濃度を変更することなく、第 1 の MOS 構造の閾値電

10

20

30

40

50

圧を調整することができる。n型半導体領域138を設けることによって、半導体装置13の特性(耐圧及びピオン抵抗等)を維持しながら、第1のMOS構造の閾値電圧を調整することができる。

#### 【0029】

図6に変形例の半導体装置14の要部断面図を模式的に示す。

半導体装置14では、埋込み絶縁層123の一部に開口128が形成されている。開口128から半導体支持層122(半導体下層ともいう。なお、この変形例の半導体支持層122の導電型はn型とすることができない。この点において、半導体装置12及び半導体装置13の半導体支持層と異なるものと評価できる。)が露出しており、半導体支持層122と半導体活性層124が接している。開口128は、p<sup>+</sup>型半導体領域141の下方に位置している。したがって、絶縁膜134と導電体領域132の組合せ構造は、p<sup>+</sup>型半導体領域141と開口128から露出している半導体支持層122の間に存在する半導体活性層124の部分に対向している。

半導体装置14では、サージ電圧に基づいて発生した正孔が開口128を介して半導体支持層122に排出される。前記した半導体装置12及び半導体装置13のように、正孔が半導体活性層124の裏面部分に沿ってボディ領域148に向けて移動しなくてもよい。このため、正孔の排出経路がより確実に分離され、電流集中の発生を顕著に抑制することができる。

#### 【0030】

図7に変形例の半導体装置15の要部断面図を模式的に示す。

半導体装置15は、半導体装置13のn型半導体領域138と半導体装置14の開口128を組合せた構造を備えている。これにより、半導体装置13及び半導体装置14の両者の特徴を具備させることができ、極めて有用な半導体装置になる。

#### 【0031】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々な変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

#### 【図面の簡単な説明】

#### 【0032】

【図1】第1実施例の半導体装置の要部断面図を模式的に示す。

【図2】第1実施例の変形例の半導体装置の要部断面図を模式的に示す。

【図3】MOS構造の閾値電圧の特徴を示す。

【図4】第2実施例の半導体装置の要部断面図を模式的に示す。

【図5】第2実施例の変形例の半導体装置の要部断面図を模式的に示す。

【図6】第2実施例の変形例の半導体装置の要部断面図を模式的に示す。

【図7】第2実施例の変形例の半導体装置の要部断面図を模式的に示す。

#### 【符号の説明】

#### 【0033】

22：半導体基板

24、124：半導体活性層

32、132：導電体領域

34、134：絶縁膜

41、141：p<sup>+</sup>型半導体領域

42、142：ドレイン領域

43、143：LOCOS酸化膜

44、144：ゲート電極

10

20

30

40

50





---

フロントページの続き

- (56)参考文献 特開平11-274493(JP,A)  
特開平04-057360(JP,A)  
特開2006-005184(JP,A)  
特開2001-320047(JP,A)  
特開2002-094063(JP,A)  
特開2005-183499(JP,A)  
特開2002-353441(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78  
H01L 29/786  
H01L 27/04  
H01L 27/06