

申請日期: 87. 8. 21

案號: 87113868

類別:

G06F 1/28

(以上各欄由本局填註)

發明專利說明書

451122

一、 發明名稱	中文	具有複數電源供應電路、複數內部電路及單一外接端子之半導體裝置
	英文	
二、 發明人	姓名 (中文)	1. 金子真輝 2. 小畑弘之 3. 天內正和 4. 加藤一明
	姓名 (英文)	1. 2. 3. 4.
	國籍	1. 日本 2. 日本 3. 日本 4. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 2. 日本國東京都港區芝五丁目7番1號 3. 日本國東京都港區芝五丁目7番1號 4. 日本國東京都港區芝五丁目7番1號
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. 日本電氣株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號
	代表人 姓名 (中文)	1. 金子尚志
	代表人 姓名 (英文)	1.



451122

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 奥悟
	姓名 (英文)	5.
	國籍	5. 日本
	住、居所	5. 日本國東京都港區芝五丁目7番1號
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	
		

本案已向

國(地區)申請專利

日本 JP

申請日期

1997/08/28 9-232675

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼



五、發明說明 (1)

本發明係有關於一種半導體裝置，其有複數電源供應電路與複數內部電路，更特別是一種方法，用以測試一種半導體裝置有複數電源供應電路產生互異複數電壓，且有複數內部電路操作互異複數電壓。

目前已有不同的半導體裝置運用在不同的領域。在習知半導體裝置之一例為以快閃記憶體 (flash memory) 作為資料儲存媒介。

快閃記憶體可電子式地寫入與讀取資料。但需要不同的電壓去寫入與讀取資料。

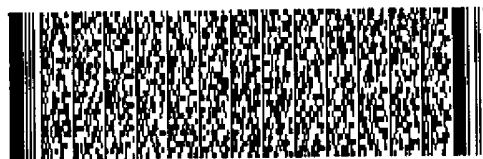
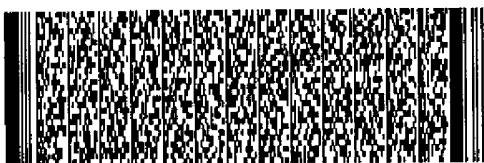
特別是儲存於快閃記憶體中的資料是在一般電源供應電壓下被讀取。但在寫入與擦除資料時分別需要異於一般電源供應電壓的電壓。因此，快閃記憶體有複數電源供應電路以產生互異的複數電壓，以及複數內部電路以操作複數互異電壓。

以下將參考相關之第1圖至第3圖說明此習知半導體裝置。

如第1圖所示，一半導體裝置有一電荷泵 (charge pump) 2 作為一高電壓電源供給電路以輸出高電壓正電源，以及一電荷泵3作為一低電壓電源供給電路以輸出低電壓正電源。

該電荷泵2連接至操作高電壓電源之一高電壓內部電路4。該電荷泵3連接至操作低電壓電源之一低電壓內部電路5。

該電荷泵2與該內部電路4以有一高電壓電源供應開關



五、發明說明 (2)

單元8之一高電壓電源線6a互相連接。該電荷泵3與該內部電路5以有一低電壓電源供應開關單元9之一高電壓電源線7a互相連接。

該等電源供應開關單元8、9有相對的複數對P型MOS (Metal Oxide Semiconductor) 電晶體10、11依序地置於該等相對的電源供應線6a、7a上。在該等MOS電晶體10、11中，複數背閘 (back gate) 12則為背向相連接。

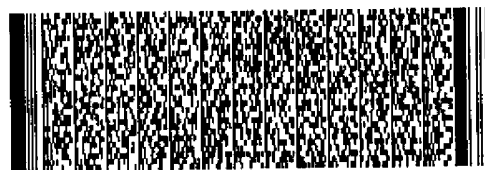
複數位準移位器 (level shifter) 14、15分別連接至在該等電源供應開關單元8、9中該等MOS電晶體10、11之複數閘極13。該等位準移位器14、15連接至該等電源供應開關單元8、9之複數控制端點16、17。

每一該等位準移位器14、15包括一對P型MOS電晶體18、19與一對N型MOS電晶體20、21。該等位準移位器14、15之該等MOS電晶體20、21經由複數反相器22連接至該等控制端點16、17。

高與低電壓控制線6b、7b分別連接至介於該等電荷泵2、3與該等內部電路4、5之間的複數接合處 (junction)。高與低電壓連接焊接區 (connection pad) 31、32作為複數外部端點且分別連接至該等控制線6b、7b。

一高電壓外部開關單元33連接至該高電壓控制線6a，且一低電壓外部開關單元34連接至該低電壓控制線7b。

該等外部開關單元33、34為相同之結構，且有複數P型MOS電晶體35，分別作為高與低電壓外部開關。該等MOS電晶體35有相對應的背閘12連接至該控制線6b，其交替地



五、發明說明 (3)

連接至與該電荷泵2相連接之該電源線6a。該等MOS電晶體35有相對應之複數閘極13連接至相對應之複數位準移位器36、37。

每一該等位準移位器36、37包括一對P型MOS電晶體18、19與一對N型MOS電晶體20、21。該等位準移位器36、37之該等MOS電晶體20、21經由複數反相器22連接至相對應之控制端點38、39。

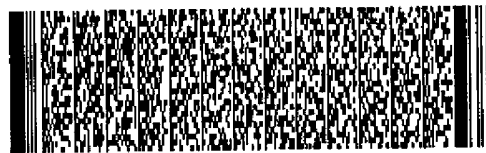
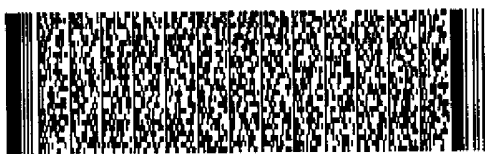
一控制電路(未示圖中)連接至該等開關單元8、9、33與34之該等控制端點16、17、38與39。

該控制電路輸出一控制信號"SW1"至該控制端點16，用以開啟與關閉該電源供應開關單元8，且輸出一控制信號"SW2"至該控制端點38，用以開啟與關閉該外部開關單元33。

相同地，該控制電路輸出一控制信號"SW3"至該控制端點17，用以開啟與關閉該電源供應開關單元9，且輸出一控制信號"SW4"至該控制端點39，用以開啟與關閉該外部開關單元34。

該控制電路有一專用輸入端點，用以接收來自外部之控制資訊，在整體控制下開啟與關閉該等開關單元8、9、33與34。

如相關之第二圖所示，當該半導體裝置1在一正常狀態下操作時，該等電源供應開關單元8、9被該控制電路開啟，且該等高與低電壓外部開關單元33、34被該控制電路關閉。



五、發明說明 (4)

此時，複數電壓之電源由該等電荷泵2、3經由該等電源供應開關單元8、9供應至該等內部電路4、5。因此，有互異複數操作電壓之該等內部電路4、5可以正常地操作。

該等電荷泵2、3、與該等內部電路4、5利用該等開關單元33、34使其與該等連接焊接區31、32形成斷路。因此，該等電荷泵2、3所產生之該電源會被阻止由該等連接焊接區31、32泄漏出去。在此同時，雜訊被阻止由該等連接焊接區31、32進入該等內部電路4、5中。

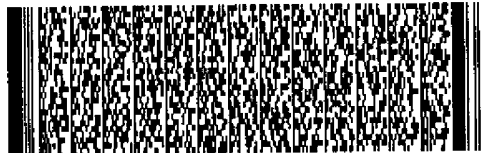
在該半導體裝置1上為導入不同的測試，一測試外部電路（未示於圖）連接至該等連接焊接區31、32與該控制電路之該輸出端，且該控制電路會開啟與關閉該等開關單元8、9、33與34。

例如，為檢測自該等電荷泵2、3供應至該等內部電路4、5之該電源，所以該等開關單元8、9、33與34被開啟，如相關之第3a圖所示。

由該高電壓電荷泵2供應至該內部電路4之該電源電壓現在可經由該高電壓連接焊接區31被檢測，且由該高電壓電荷泵3供應至該內部電路5之該電源電壓現在可經由該高電壓連接焊接區32被檢測。

為自與該高電壓連接焊接區31相連接之一外部電源供應電源至該等內部電路4、5，該等電源供應單元8、9會被關閉且該等外部開關單元33、34會被開啟。

現在可由該高電壓連接焊接區31供應電源至該內部電路4，而且可由該低電壓連接焊接區32供應電源至該內部



五、發明說明 (5)

電路5。

在該上述之半導體裝置1中，該等電荷泵2、3與該等內部電路4、5相當於複數正電壓。因此，連接至該等電源線6a、7a與該等控制線6b、7b之該等不同零件會被該等P型電晶體10、11與35該開啟與關閉。

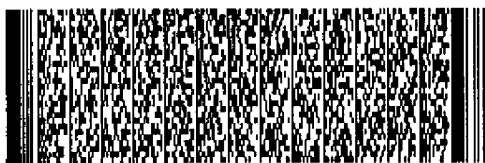
在該等P型電晶體10中，因該等背閘12之方向為相連接，該電源被開啟與關閉之方向會被限制。

例如，在該等外部開關單元33、34中，在正常操作狀態下，於該等電荷泵2、3與該等內部電路4、5之間，該等接合處之該等電位會高於該連接焊接區31、32之該等電位，且該連接焊接區31、32之該等電位絕不會更高。

在正常操作狀態下，為使該等高電位電路2-5與該等低電位連接焊接區31、32形成斷路，在該等外部開關單元33、34上該等MOS電晶體35之該等背閘12會被連接至與該等電路2-5相連之該等線6b、7b。

如果由該等連接焊接區31、32被供應至該等內部電路4、5之該等電源電壓高於由該等電荷泵2、3所產生之該等電源電壓，則由該外部電源所供應之該電源會由該等連接焊接區31、32供應至該等內部電路4、5。

此時，該等MOS電晶體之複數背閘12連接至與該等電路2-5相連接之該等線6b、7b，且無法開啟或關閉由該外部電源所供應之電源。但此並不會造成問題，因為由該外部電源所供應之電源可被與該等連接焊接區31、32相連接之該外部電源所開啟或關閉。



五、發明說明 (6)

關於該等電源供應開關8、9，因為在正常與測試的狀態中較高的電位會來回切換，所以不論該等較高電位是否出現在該等電源供應開關8、9上皆必須開啟或關閉該供應電源。為達到此要求，該等背閘12連接在不同方向之該等MOS電晶體10、11會被依序置於該等電源線6a、7a中。

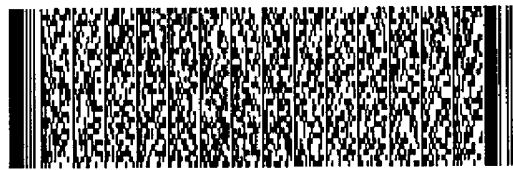
在上述半導體裝置1中，該等電荷泵2、3、該等內部電路4、5、以及該等連接焊接區31、32可利用該等開關單元8、9、33與34連接成不同的配置。

為分別測試該等電荷泵2、3與該等兩內部電路4、5，該半導體裝置1有兩個連接焊接區31、32。該等連接焊接區31、32作為自該半導體裝置1上表面投影之複數端點。如果連接焊接區的數目增加，則該半導體裝置1會有一增大的外貌且需加大安裝區域。

因該上述半導體裝置1有該等兩電荷泵2、3與該等兩內部電路4、5，所以也有兩連接焊接區31、32。但假使複數電壓的型式增加時，則連接焊接區的數目亦需要增加，結果會增加半導體裝置的大小。

因此，本發明之一目的，在提供一種半導體裝置，其有複數電源供應電路、複數內部電路、以及一信號測試外部端點。

在本發明之一半導體裝置中，複數電源供應開關分別被置於與複數電源供應電路以及複數內部電路相連接之複數電源線上。該等電源線利用有相對應複數外部開關之相對應複數控制線路連接至一信號外部端點。



五、發明說明 (7)

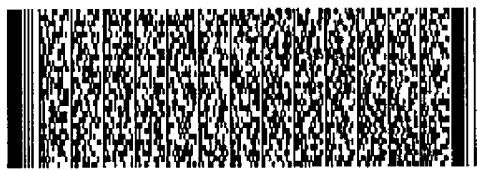
當該半導體裝置在一正常狀態下操作時，該等電源控制開關分別連接該等電源供應電路至該等內部電路，其可由該等電源供應電路供應之電源正常地操作。

在測試由該等電源開關供應至該相對一該等內部電路之電源中，該電源供應開關以及連接該等電源供應開關與該等內部開關至該外部端點之該等外部開關會被開啟。因此，由該等電源供應電路供應至相對於該等內部電路之該電源可由該外部信號端被檢測。

在由一外電源經該外部端點供應電源至該等內部電路之一測試中，連接該內部電路至該外部端點之該等外部開關會被開啟，且連接該內部電路至所相對之複數供應電路之該等電源供應開關會被關閉。所以，來自該外部電源之該電源可被提供至該等內部電路，而不受該等電源供應電路所產生之電源所影響。

因該等電源供應電路與該等內部電路可分別以一信號外部端點被測試，該半導體裝置會有一相對較小的外貌且需要一相對較小的安裝區域。

在該上述半導體裝置中，至少一該等外部開關包括一低電壓外部開關，其置於至少一該等控制線，連接至少一該等電源線用以傳輸電源，其有一電壓而不是該等電壓中之最高電壓，該低電壓外部開關包括有一背閘之一MOS電晶體。該半導體裝置還包括至少一高電壓控制開關，用以選擇性地連接該MOS電晶體之該背閘至該控制線，其所連接的該電源供應開關用以開啟與關閉該有最高電壓的該電



五、發明說明 (8)

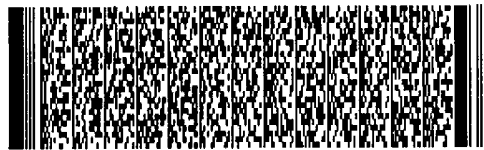
源，且該內部電路用以操作有最高電壓之該電源，以及至少一低電壓控制開關，用以選擇性地連接該MOS電晶體之該背閘至該控制線，其所連接的該電源供應開關用以開啟與關閉該有最低電壓的該電源，且該內部電路用以操作有最低電壓之該電源。

因為該外部開關包含一MOS電晶體，該半導體裝置之積體密度會增加。用以傳輸有最高電壓之該電源其該電源線連接至該外部開關上該MOS電晶體之該背閘，而該外部開關置於不傳輸有最高電壓之該電源其該電源線上。所以，包含該MOS電晶體之該外部開關選擇性地被開啟或關閉。

關於本發明所描述之一高電壓是指發生在該半導體裝置中之最高電壓，而一低電壓是指非最高電壓之一電壓。例如，如果由一外部電源供應至該半導體裝置之一電壓為3伏特，且該等電源供應電路所分別產生之複數輸出電壓為6伏特與12伏特，則該12伏特的電壓被視為一高電壓而該6伏特電壓被視為低電壓。

至少一低電壓外部開關包括一MOS電晶體是指至少有一低電壓外部開關且每一低電壓外部開關包括一MOS電晶體。

在上述半導體裝置中，該高電壓控制開關包括一MOS電晶體，其有一背閘連接至該控制線，其所連接的該電源供應開關用以開啟與關閉該有最高電壓的該電源，且該內部電路用以操作有最高電壓之該電源，以及該低電壓控制



五、發明說明 (9)

開關包括一MOS電晶體，其有一背閘連接至該低電壓外部開關上該MOS電晶體之該背閘。

因每個該等控制開關中包括一MOS電晶體，其積體密度會增加。在該高電壓控制開關上該MOS電晶體之該背閘連接至該電源線以傳輸有最高電壓之該電源，且在該低電壓控制開關上該MOS電晶體之該背閘連接至在該低電壓外部開關上該MOS電晶體之該背閘。因此，該等高與低電壓控制開關可以適當地控制該外部開關。

在上述半導體裝置中，其中每個該等電源供應電路包括複數裝置，用以產生有一正電壓之電源，且每一該等MOS電晶體包括一P型MOS電晶體。該正電壓電源應被該等電源供應開關與該等外部開關之該等P型MOS電晶體確實地開啟與關閉。

在上述半導體裝置中，相對地，每個該等電源供應電路包括複數裝置，用以產生有一負電壓之電源，且每一該等MOS電晶體包括一N型MOS電晶體。該負電壓電源應被該等電源供應開關與該等外部開關之該等N型MOS電晶體確實地開啟與關閉。

以下為關於一種方法用以測試該半導體裝置，當由一複數電源供應電路供應該電源至一內部電路被檢測時，與該電源供應電路以及該外部端點相連接之該電源供應開關以及該外部開關會被關閉；當電源由一外部電源被供應至一內部電路時，與該內部電路以及該外部端點相連接之該外部開關會被開啟，且與該內部電路以及該電源供應電路



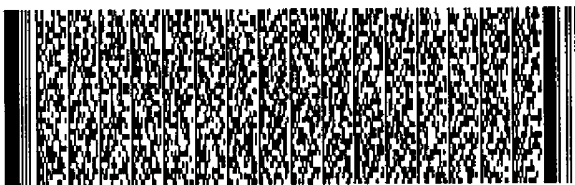
五、發明說明 (10)

相連接之該電源供應開關和所有與該等其他內部電路以及該外部端點相連接之該等其他外部開關會被關閉。

雖然該半導體裝置有一外部信號端點，一測試會由一外部端點被導入以檢測由一信號電源供應開關供應至一信號內部電路之電源，且一測試會由該一外部端點被導入電源至該等內部電路。

以下為關於另一種測試該半導體裝置的方法，當由一高電壓電源供應電路供應至一高電壓外部開關之電源被檢測時，該高電壓電源供應開關與該高電壓外部開關皆被開啟，且每一該等低電壓外部開關會被關閉。當由一信號低電壓電源供應電路供應至一低電壓內部電路之該電源被檢測時，該低電壓電源供應開關以及與該低電壓電源供應電路相連接之該低電壓外部開關皆被開啟，且該高電壓電源供應開關會被開啟，而該等其他低電壓電源供應電路與所有該等高壓外部開關會被關閉。當一電壓由一外部電源被供應至一高電壓內部電路時，該高電壓電源供應開關會被開啟且該高電壓電源供應開關與所有該等低電壓外部開關會被關閉。當一電壓由一外部電源供應至一信號低電壓內部電路時，與該低電壓內部電路以及該外部端點相連接之該低電壓外部開關和該高電壓電源供應開關會被開啟，且與該低電壓內部電路以及該低電壓電源供應電路相連接之該低電壓電源供應開關和所有低電壓電源供應電路會被關閉。

因此，雖然該半導體裝置有一外部信號端點，一測試



五、發明說明 (11)

會由該外部端點被導入以檢測由一電源供應開關供應至一內部電路之電源，以及一測試會由該外部端點被導入電源至每一該等內部電路。

當一該等內部電路被測試時，該等其他內部電路會由該等相對電源供應電路被供應電源，因此既使在操作中該等內部電路互相影響，該等測試仍可被正確地執行。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明。

第1圖係顯示一習知半導體裝置之電路圖；

第2圖為一方塊圖係顯示當第1圖中該半導體裝置在一正常操作狀態下，複數開關被開啟與關閉之情形；

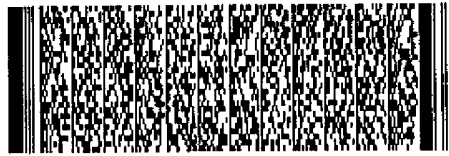
第3a圖與第3b圖為一方塊圖係顯示當第1圖中該半導體裝置在測試操作狀態下，複數開關被開啟與關閉之情形；

第4圖係顯示關於本發明一實施例中一半導體裝置之電路圖；

第5圖為一方塊圖係顯示當第4圖中該半導體裝置在一正常操作狀態下，複數開關被開啟與關閉之情形；

第6a圖與第6b圖為一方塊圖係顯示當第4圖中該半導體裝置在測試操作狀態下，由該半導體裝置之複數電源供應電路供應電源至複數內部電路時，複數開關被開啟與關閉之情形；

第7a圖所示為一方塊圖係顯示當第4圖中該半導體裝



五、發明說明 (12)

置在測試操作狀態下，由一外部電源供應電源至該等內部電路時，複數開關被開啟與關閉之情形；；

第8圖係顯示根據本發明中之一第一改良型中一半導體裝置之電路圖；

第9圖所示為根據本發明中之一第二改良型中一半導體裝置之電路圖；

如第4圖所示，根據本發明之一實施例中一半導體裝置41有一電荷泵42，作為一高電壓電源供應電路用以輸出高電壓正電源，以及一電荷泵43，作為一低電壓電源供應電路用以輸出低電壓正電源。

高與低電壓內部電路44、45分別經由高與低電壓電源線46a、47a連接至該等電荷泵42、43。高與低電壓電源供應開關單元48、49分別置於該等高與低電壓電源線46a、47a。

該等電源供應開關單元48、49分別有一對複數P型MOS電晶體51、52作為電源供應開關，其依序地置於該等相對電源46a、47a上。在該等MOS電晶體51、52中，複數背閘50為背向互相連接。

複數位準移位器54、55分別連接至該等電源供應開關單元上該等MOS電晶體51、52之複數閘極53。該等位準移位器54、55連接至該等電源控制開關單元48、49之複數控制端點56、57。

每一該等位準移位器54、55包括一對P型MOS電晶體58、59以及一對N型MOS電晶體60、61。該等位準移位器



五、發明說明 (13)

54、55之該等MOS電晶體60、61經由複數反相器62連接至該等控制端點56、57。

該半導體裝置41與該習知半導體裝置1不同在於一信號連接焊接區71作為一外部端點連接該等兩電荷泵42、43以及該等兩內部電路44、45。

高與低電壓控制線46b、47b中分別有高與低電壓外部開關單元73、74，且連接至該連接焊接區71。該低電壓外部開關單元74與該習知半導體裝置1之該外部開關單元34在構造上不相同。

特別是該高電壓外部開關單元73有一P型MOS電晶體75作為一高電壓外部開關，其有一背閘50連接至該控制線46b交替地連接至該電荷泵42與該內部電路44之接合處。

電晶體75有一閘極53連接至一位準移位器76，其包括一對P型MOS電晶體58、59與一對N型MOS電晶體60、61。該等MOS電晶體60、61經由一反相器62連接至一控制端77。

該低電壓外部開關單元74有一P型MOS電晶體78作為一低電壓外部開關，其有一閘極53連接至一位準移位器79。該位準移位器79包括一對P型MOS電晶體58、59與一對N型電晶體60、61。該等MOS電晶體60、61經由一反相器62連接至一控制端點80。

該MOS電晶體78有一背閘50連接至高與低電壓控制開關81、82，其每一包括一MOS電晶體。該等控制開關81、82分別連接至該等高與低電壓控制線46b、47b。

作為該低電壓控制開關之82該MOS電晶體有一背閘



五、發明說明 (14)

50，其連接至該低電壓外部開關單元74中該MOS電晶體78之該背閘50，用以選擇性地連接該MOS電晶體78之該背閘50至該控制線47b，其連接該低電壓電源供應開關單元49以及該低電壓外部開關單元74。

一控制電路（未示於圖）連接至該等開關單元48、49、73與74之該等控制端點56、57、77與80。

該控制電路輸出一控制信號"SW1"以開啟與關閉該電源供應開關單元48至該控制端點56，並輸出一控制信號"SW2"以開啟與關閉該外部開關73單元至該控制端點77。

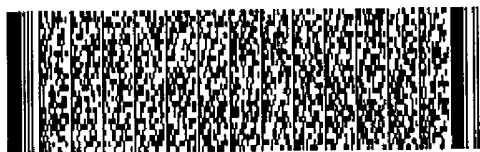
同樣地，該控制電路輸出一控制信號"SW3"以開啟與關閉該電源供應開關單元49至該控制端點57，並輸出一控制信號"SW4"以開啟與關閉該外部開關74單元至該控制端點80。

如第5圖所示，當該半導體裝置41在一正常操作狀態時，該等電源供應開關單元48、49被該控制電路開啟，且該等高與低電壓外部開關單元73、74會被該控制電路關閉。

此時，複數不同電壓之電源、由該等電荷泵42、43經由該等電源供應開關單元48、49被供應至該等內部電路44、45。因此，該等內部電路44、45互不相同之操作電壓可以正常地操作。

為在該半導體裝置41上導入不同的測試，該控制電路會開啟與關閉該等開關48、49、73以及74。

例如，為檢測該高電壓由該電荷泵42供應至該內部電



五、發明說明 (15)

路44，該高電壓電源供應開關單元48、該高電壓外部開關單元73、以及該低電壓電源供應開關單元49會被開啟，該低電壓外部開關單元74會被關閉，如第6a圖所示。

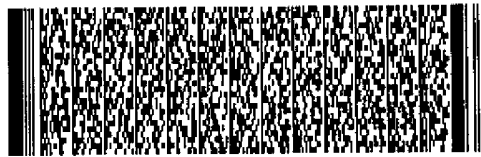
此時，由該高電壓電荷泵42供應至該內部電路44之該電源之該電壓可以由該連接焊接區74被檢測，且由該低電壓電荷泵43供應至該內部電路45之該電源並不影響該連接焊接區71。

在一種測試該半導體裝置41的方法中，為測試由該高電壓電荷泵42供應至該內部電路44之該高電壓電源，該低電壓電源也會由該低電壓電荷泵43供應至該內部電路45。因此，即使該等內部電路44、45相互影響，該測試仍可被正確的導入。

在該以上測試中，來自不被測試之該低電壓電荷泵43所供應的該低電壓也會被引入該外部開關單元74。因此，來自該高壓電荷泵42之該高電壓會經由該高電壓控制開關81影響該MOS電晶體78之該背閘50，該MOS電晶體78可確實地使該等低電壓電路43、45與該連接焊接區71形成斷路。

此時，來自該高電壓電荷泵42之該高電壓會經由該高電壓控制開關81進至該低電壓控制開關82。該高電壓被引進該控制開關82之該背閘。因此，該控制開關82會自行關閉以防止該高電壓電源被導入該低電壓內部電路45。

為檢測該低電壓由該電荷泵43供應至該內部電路45，該低電壓電源供應開關單元49、該低電壓外部開關單元74、以及該高電壓電源供應開關單元48會被開啟，該低電



五、發明說明 (16)

壓外部開關單元73會被關閉，如第6b圖所示。

此時，由該高電壓電荷泵43供應至該內部電45之該電源之該電壓可以由該連接焊接區71被檢測，且由該低電壓電荷泵42供應至該內部電路44之該電源並不影響該連接焊接區71。

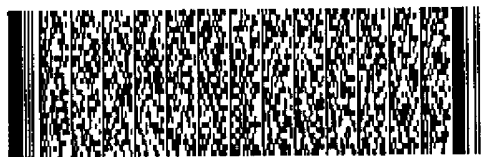
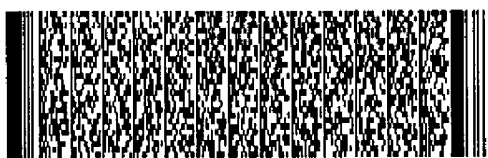
因該電源皆被供應至該等內部電路44、45，既使該等內部電路44、45間相互影響，該測試仍能正確地被導入。

為供應由與該連接焊接區71相連接之一外部高電壓電源至該高電壓內部電路44，該高電壓電源供應開關單元48以及該低電壓外部開關單元74會被關閉，且該高電壓外部開關單元73以及該低電壓電源供應開關單元49會被開啟，如第7a圖所示。

來自該外部電源之該高壓電源現在可以經由該連接焊接區71被供應至該高電壓內部電路44，而不經由該連接焊接區71供應至該低電壓內部電路45。

在一種測試該半導體裝置41的方法中，為由該外部電壓源供應該高電壓電源至該高電壓內部電路44，該低電壓電源也會由該低電壓電荷泵43供應至該內部電路45。因此，既使該等內部電路44、45相互影響，該測試仍可被正確的導入。

在該以上測試中，來自不被測試之該低電壓電荷泵43所供應的該低電壓也會被引入該外部開關單元74。因此，來自該該外部電源之該高電壓會經由該高電壓控制開關81影響該MOS電晶體78之該背閘50，該MOS電晶體78可確實地



五、發明說明 (17)

使該等低電壓電路43、45與該連接焊接區71形成斷路。

此時，來自該高電壓控制開關81之該高電壓會被導入該低電壓控制開關82。因為該高電壓被導入該控制開關82之該背閘，該控制開關82會自行關閉以防止該高電壓電源被導入該低電壓內部電路45。

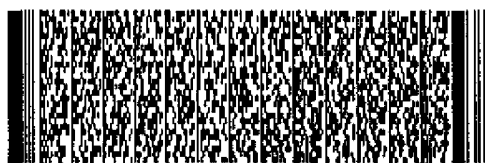
為供應由與該連接焊接區71相連接之該外部低電壓電源至該低電壓內部電路45，該低電壓外部開關單元74以及該高電壓電源供應開關單元48會被開啟，且該低電壓電源供應開關單元49以及該高電壓外部開關單元73會被關閉，如第7b圖所示。

來自該外部電源之該高壓電源現在可以經由該連接焊接區71被供應至該低電壓內部電路45，而不經由該連接焊接區71供應至該低電壓內部電路44。

因該電源皆被供應至該等內部電路44、45，既使該等內部電路44、45相互影響，該測試仍可被正確的導入。

在該半導體裝置41中，該等兩電荷泵42、43以及該等兩內部電路44、45利用該等開關單元48、49、73與74被連接至該連接焊接區71。所以，可經由該信號連接焊接區71在該等兩電荷泵42、43以及該等兩內部電路44、45上施行不同的測試。

雖然該半導體裝置41利用該等複數電荷泵42、43以及該等複數內部電路44、45，但該半導體裝置41僅有一測試連接焊接區71作為提供自該半導體裝置41外表面上泄漏的一端點。所以，該半導體記憶裝置41有一相對小的外貌且



五、發明說明 (18)

需要一相對小的安裝區域。

在該等測試方法中，該等兩內部電路44、45會經由該信號連接焊接區71一個接著一個的檢查。因為在該測試中該電源會經由該等電荷泵42、43供應至該等內部電路44、45，既使該等內部電路44、45相互影響，該測試仍可被正確的導入。

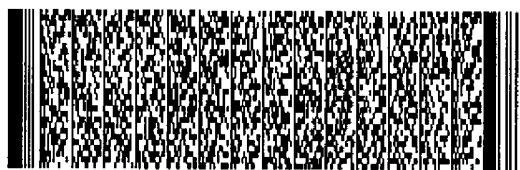
在該所舉之實施例中，該半導體裝置41有該等兩電荷泵42、43以及該等兩內部電路44、45。但是，如第8圖所示，一改良之半導體裝置91有三電荷泵92-94作為複數電源供應電路以及三內部電路95-97。

利用複數外部開關單元102、103連接至導入一最高電壓之該電荷泵92，可分別測試該等複數電路92-97。

在第4圖所示之該實施例中，該等電荷泵42、43輸出複數正電壓。因此，用以直接開關該電源線46a、47a之該等開關元件以及該等控制線46b、47b包括複數P型MOS電晶體51、52、75與78。

在第9圖中一改良半導體裝置111中，複數電荷泵112、113輸出複數負電壓，且用以直接開關複數線114、115之複數開關元件以及複數控制元件包括複數N型MOS電晶體116-121。

在該半導體裝置111中，開啟與關閉狀態與該等開關單元之高低信號之間的關係為反相關連於第4圖中該半導體裝置41之相對關係。如果欲得到相同的關係，則複數反相器可被置於複數信號通路上。

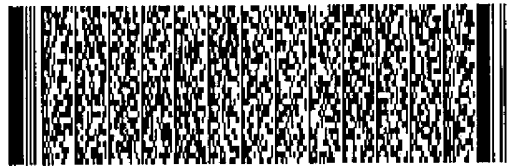
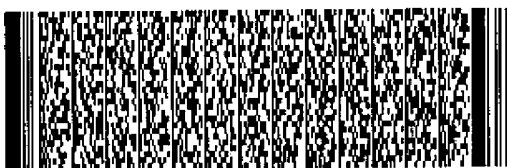


五、發明說明 (19)

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內當可作更動，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

標號說明：

- 2、3、42、43、92-94、112、113~電荷泵
- 4、44~高電壓內部電路
- 5、45~低電壓內部電路
- 6a、46a~高電壓電源線
- 7a、47a~低電壓電源線
- 6b、46b~高電壓控制線
- 7b、47b~高電壓控制線
- 8、48~高電壓電源供應開關單元
- 9、49~低電壓電源供應開關單元
- 10、11~電晶體
- 12、50~背閘
- 13、53~閘極
- 14、15、36、37、54、55、76、79~位準移位器
- 16、17、38、39、56、57~控制端點
- 18、19、35、51、52、58、59、75、78~P型MOS電晶體
- 20、21、60、61、116-121~N型MOS電晶體
- 22~反相器
- 31~高電壓連接焊接區
- 32~低電壓連接焊接區



451122

案號 87113868

年 月 日

修正

五、發明說明 (20)

33、73~高電壓外部開關單元

34、74~低電壓外部開關單元

41、91、111~半導體裝置

71~信號連接焊接區

77~控制端

80~控制端點

81~高電壓控制開關

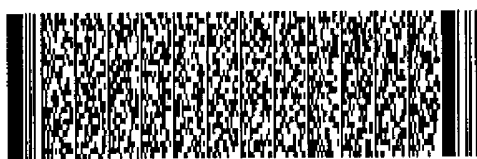
82~低電壓控制開關

95-97~內部電路

102、103~外部開關單元

114、115~線。

90年6月6日修正
補充



四、中文發明摘要 (發明之名稱：具有複數電源供應電路、複數內部電路及單一外接端子之半導體裝置)

一種半導體裝置，有複數電源供應電路產生互異複數電壓，且有複數內部電路操作互異複數電壓。該等電源供應電路與該等內部電路利用分別有複數電源供應開關之複數電源線互相連接。該等電源線利用分別有外部開關之複數控制電路連接至一信號外部端點。該等電源供應電路與該等內部電路可經由信號外部端被測試。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種半導體裝置，包括：

複數電源供應電路，用以輸出有互異複數電壓之電源；

複數電源線，分別連接該等電源供應電路，用以傳輸有互異電位之該電源；

複數內部電路，分別連接該等電源線，用以操作有互異電位之該電源；

複數電源供應開關，分別置於該等電源線上，用以開啟與關閉該等電源線上之電源傳輸；

複數控制線，分別連接該等電源供應開關與該等內部線路間之複數接合處；

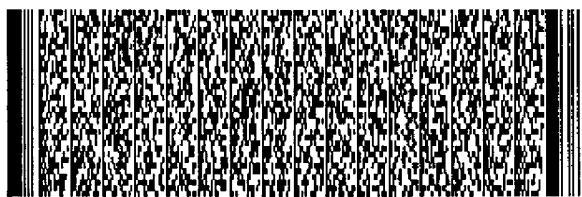
一信號外部端點，連接至該等控制線；以及

複數外部開關，分別置於該等控制線上。

2. 如申請專利範圍第1項所述之該半導體裝置，其中至少一該等外部開關，包括一低電壓外部開關，置於至少一該等控制線上，該控制線至少連接至一該等電源線用以傳輸電源，其電壓不是該等電壓之最高值，且該低電壓外部開關包括一有背閘之MOS電晶體，該半導體裝置還包括：

至少一高電壓控制開關，用以選擇性地連接該MOS電晶體之該背閘至該控制線，其所連接的該電源供應開關用以開啟與關閉該有最高電壓的該電源，且該內部電路用以操作有最高電壓之該電源；以及

至少一低電壓控制開關，用以選擇性地連接該MOS電



六、申請專利範圍

晶體之該背閘至該控制線，其所連接的該電源供應開關用以開啟與關閉該有最低電壓的該電源，且該內部電路用以操作有最低電壓之該電源。

3. 如申請專利範圍第2項所述之該半導體裝置，其中該高電壓控制開關包括一MOS電晶體，其有一背閘連接至該控制線，其所連接的該電源供應開關用以開啟與關閉該有最高電壓的該電源，且該內部電路用以操作有最高電壓之該電源，以及該低電壓控制開關包括一MOS電晶體，其有一背閘連接至該低電壓外部開關之該MOS電晶體上之該背閘。

4. 一種半導體裝置，包括：

一高電壓電源供應電路，用以輸出一高電壓之電源；

至少一低電壓電源供應電路，用以輸出一電源，其有一低電壓低於該高電壓電源供應電路所輸出之高電壓；

一高電壓電源線，連接至該高電壓電源供應電路，用以輸出該高電壓源供應電路所輸出之有一高電壓之該電源；

至少一低電壓電源線，連接至該低電壓電源供應電路，用以輸出該低電壓源供應電路所輸出之有一低電壓之該電源；

一高電壓內部電路，連接至該高電壓電源線，用以操作有一高電壓之該電源；

至少一低電壓內部電路，連接至該低電壓電源線，用



六、申請專利範圍

以操作有一低電壓之該電源；

一高電壓電源供應開關，包括一對MOS電晶體，序列地置於該高電壓線，並分別在相反方向有背閘連接；

至少一低電壓電源供應開關，包括一對MOS電晶體，序列地置於該低電壓線，並分別在相反方向有背閘連接；

複數控制線，分別連接於該等電源供應開關與該等內部電路間之連接處；

一信號外部端點，連接至該等控制線；

一高電壓外部開關，包括一MOS電晶體置於連接該高電壓電源線之一該等控制線上，並有一背閘連接至該高電壓內部電路；

至少一低電壓外部開關，包括一MOS電晶體置於連接該等低電壓電源線之該等相對控制線上，並有一背閘連接至該低電壓內部電路；

至少一高電壓控制開關，其中有一背閘連接至連接該高壓電源供應開關與該高壓內部開關間之一該等控制線，用以選擇性地連接該低電壓外部開關上該MOS電晶體之該背閘至一該等控制線；以及

至少一低電壓控制開關，其中有一背閘連接至該低電壓外部開關上該MOS電晶體之該背閘，用以選擇性地連接另一連接該低壓電源供應開關與該低壓內部開關間之該等控制線至該低電壓外部開關上該MOS電晶體之該背閘。

5. 如申請專利範圍第2項之該半導體裝置，其中每個該等電源供應電路包括複數裝置，用以產生有一正電壓之



六、申請專利範圍

電源，且該MOS電晶體包括一P型MOS電晶體。

6. 如申請專利範圍第3項之該半導體裝置，其中每個該等電源供應電路包括複數裝置，用以產生有一正電壓之電源，且每一該等MOS電晶體包括一P型MOS電晶體。

7. 如申請專利範圍第4項之該半導體裝置，其中每個該等電源供應電路包括複數裝置，用以產生有一正電壓之電源，且每一該等MOS電晶體包括一P型MOS電晶體。

8. 如申請專利範圍第2項之該半導體裝置，其中每個該等電源供應電路包括複數裝置，用以產生有一負電壓之電源，且該MOS電晶體包括一N型MOS電晶體。

9. 如申請專利範圍第3項之該半導體裝置，其中每個該等電源供應電路包括複數裝置，用以產生有一負電壓之電源，且每一該等MOS電晶體包括一N型MOS電晶體。

10. 如申請專利範圍第4項之該半導體裝置，其中每個該等電源供應電路包括複數裝置，用以產生有一負電壓之電源，且每一該等MOS電晶體包括一N型MOS電晶體。

11. 一種半導體裝置的測試方法，該半導體裝置有一複數電源供應電路，用以輸出有彼此電位差之電源；一複數電源線，分別連接該等電源供應電路，用以傳輸有彼此電位差之該電源；一複數內部電路，分別連接該等電源線，用以操作有彼此電位差之該電源；一複數電源供應開關，分別置於該等電源線上，用以開啟與關閉該等電源線上之電源傳輸；一複數控制線，分別連接該等電源供應開關與該等內部線路間之接合處；一信號外部端點，連接至



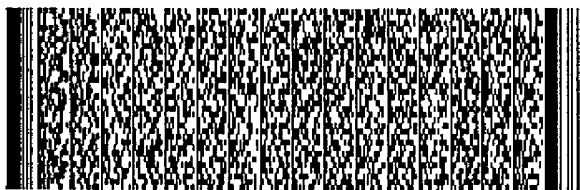
六、申請專利範圍

該等控制線；以及一複數外部開關，分別置於該等控制線上；該方法包括該等步驟：

利用開啟該電源供應開關以及連接該電源供應電路與該外部端點之該外部開關，並關閉連接該等其他電源供應開關及該外部端點之所有該等其他電路，以檢測由一該等電源供應電路供應至該電源至一該等內部電路之該電源；以及

利用開啟連接該一該等內部電路與該外部端點之該外部開關，並關閉連接該內部電路與該一該等電源供應電路之該電源供應開關，且關閉連接該等其他內部電路與該外部端點之所有該等其他外部開關，由一外部電源供應電源至一該等內部電路。

12. 一種半導體裝置的測試方法，該半導體裝置有一高電壓電源供應電路，用以輸出有一高電壓之電源；至少一低電壓電源供應電路，用以輸出一電源，其有一低電壓低於該高電壓電源供應電路所輸出之高電壓；一高電壓電源線，連接至該高電壓電源供應電路，用以輸出該高電壓源供應電路所輸出之有一高電壓之該電源；至少一低電壓電源線，連接至該低電壓電源供應電路，用以輸出該低電壓源供應電路所輸出之有一低電壓之該電源；一高電壓內部電路，連接至該高電壓電源線，用以操作有一高電壓之該電源；至少一低電壓內部電路，連接至該低電壓電源線，用以操作有一低電壓之該電源；一高電壓電源供應開關，包括一對MOS電晶體，依序地置於該高電壓線，並分



六、申請專利範圍

別在相反方向有背閘連接；至少一低電壓電源供應開關，包括一對MOS電晶體，依序地置於該低電壓線，並分別在相反方向有背閘連接；複數控制線，分別連接於該等電源供應開關與該等內部電路間之連接處；一信號外部端點，連接至該等控制線；一高電壓外部開關，包括一MOS電晶體置於連接該高電壓電源線之一該等控制線上，並有一背閘連接至該高電壓內部電路；至少一低電壓外部開關，包括一MOS電晶體置於連接該等低電壓電源線之該等相對控制線上，並有一背閘連接至該低電壓內部電路；至少一高電壓控制開關，其中有一背閘連接至連接該高壓電源供應開關與該高壓內部開關間之一該等控制線，用以選擇性地連接該低電壓外部開關上該MOS電晶體之該背閘至一該等控制線；以及至少一低電壓控制開關，其中有一背閘連接至該低電壓外部開關上該MOS電晶體之該背閘，用以選擇性地連接另一連接該低壓電源供應開關與該低壓內部開關間之該等控制線至該低電壓外部開關上該MOS電晶體之該背閘；該方法包括該等步驟：

利用開啟該高電壓電源供應開關與該高電壓外部開關，並分別關閉該等低電壓外部開關，以由該高電壓電源供應電路供應電源至一高電壓外部開關；

利用開啟該低電壓電源供應開關以及連接至該低電壓供應電路之該低電壓外部開關與該高電壓電源供應開關，並關閉所有該等其他低電壓電源供應電路與該等高電壓外部開關，以檢測由一該等低電壓電源供應電路供應至該低



六、申請專利範圍

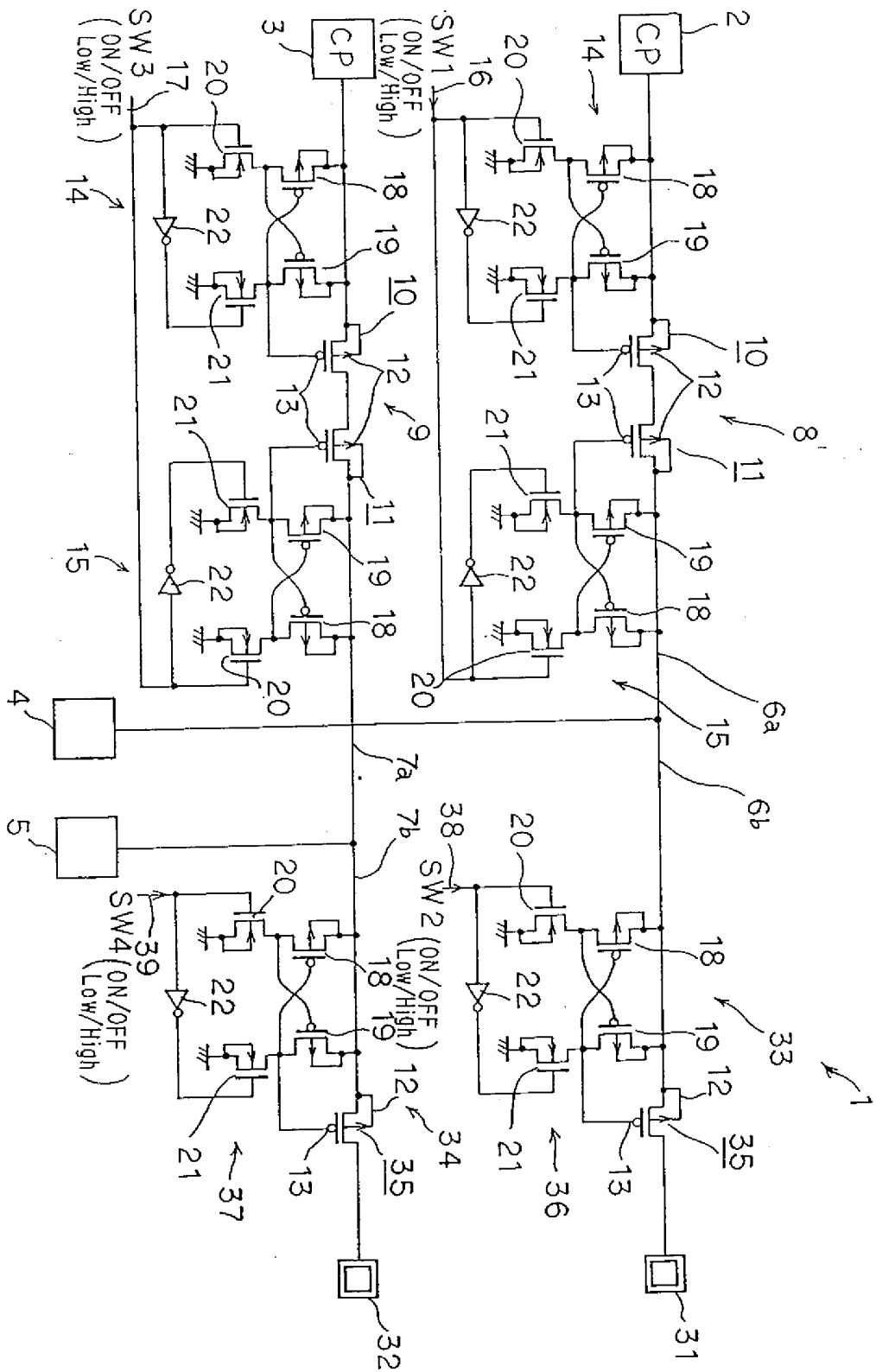
電壓內部電路之該電源；

利用開啟該高電壓外部開關，並關閉該高電壓電源供應開關以及所有該等外部低電壓開關，由一外部電源引入一電壓至一高電壓內部電路；以及

利用開啟連接該低電壓內部電路與該外部端點之該低電壓外部開關以及該高電壓電源供應開關，並關閉連接該低電壓內部電路與該低電壓電源供應電路之該低電壓電源供應開關以及所有該等其他低電壓電源供應電路，由一外部電源引入一電壓至一低電壓內部電路。

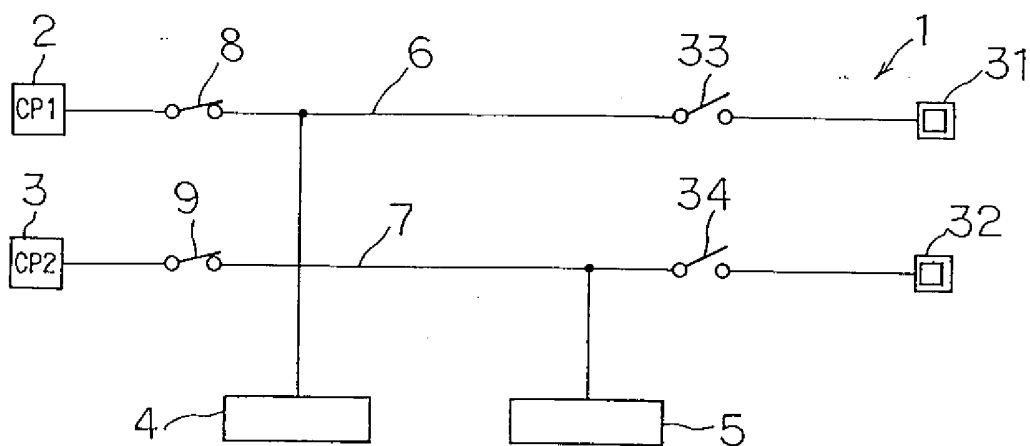


圖式

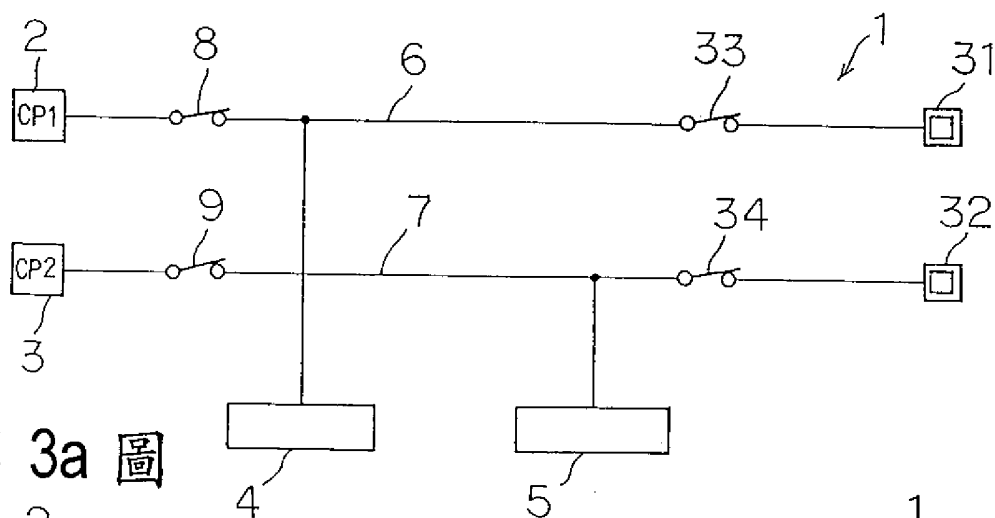


第 1 圖

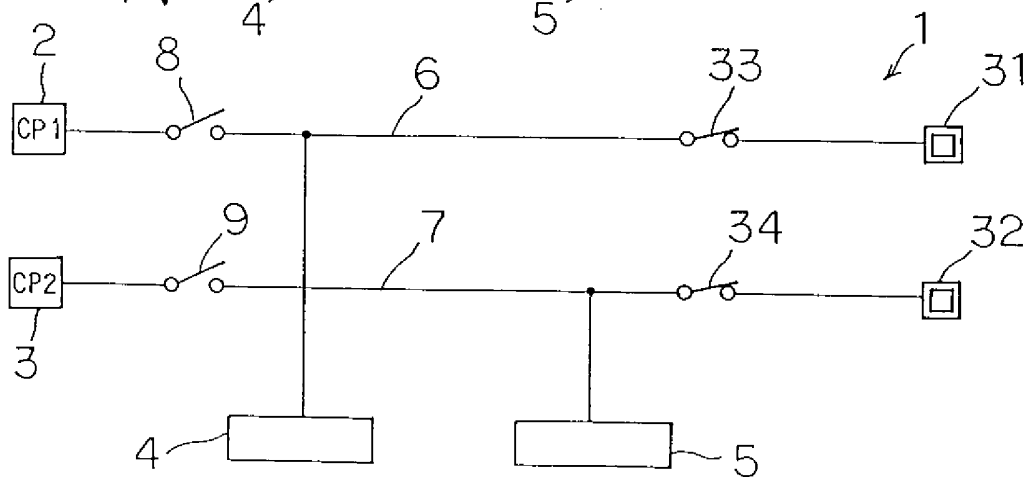
圖式



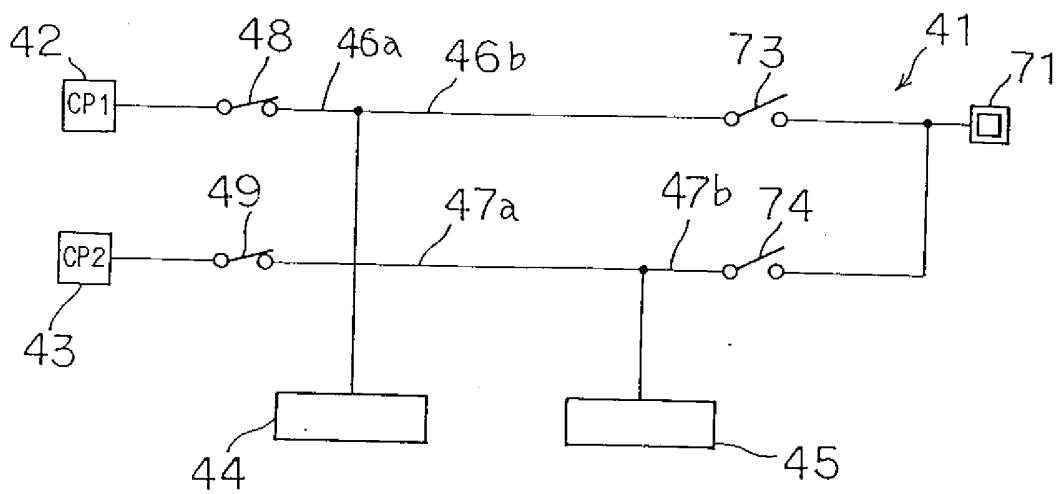
第 2 圖



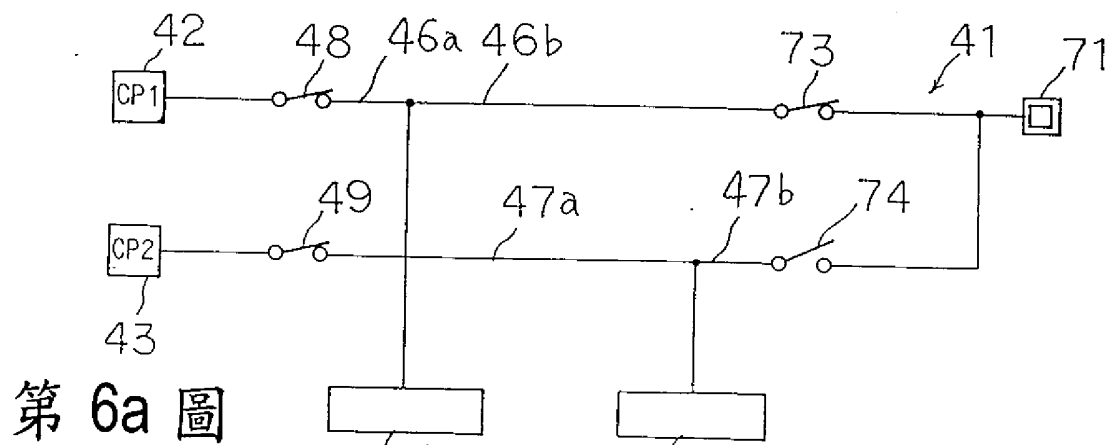
第 3a 圖



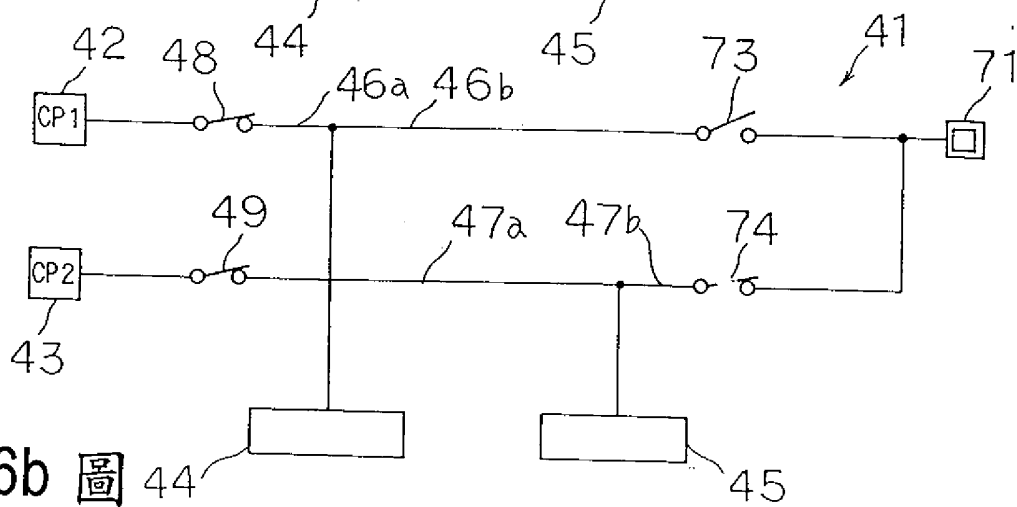
第 3b 圖



第 5 圖

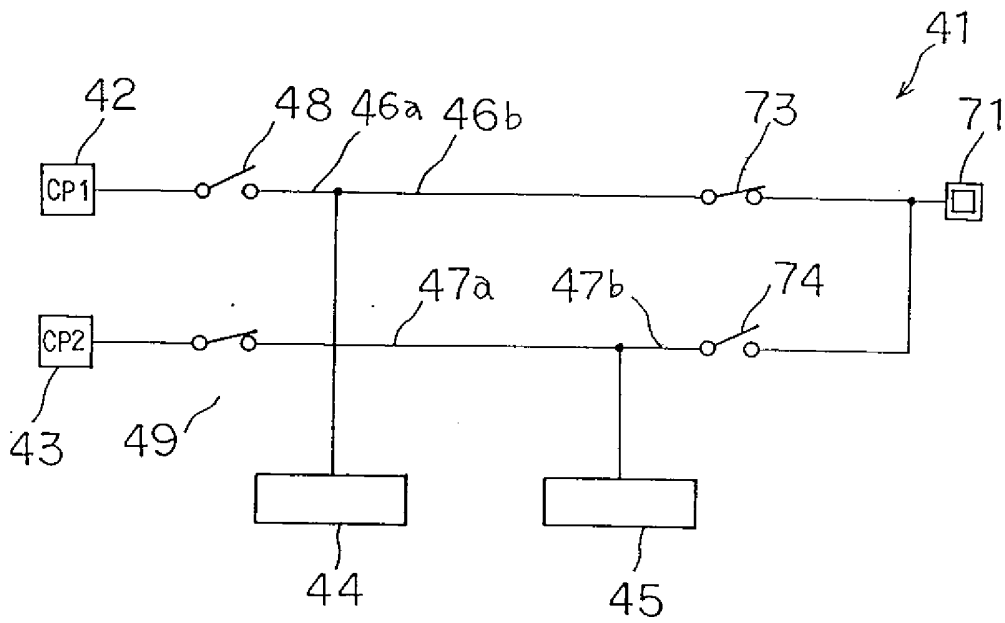


第 6a 圖

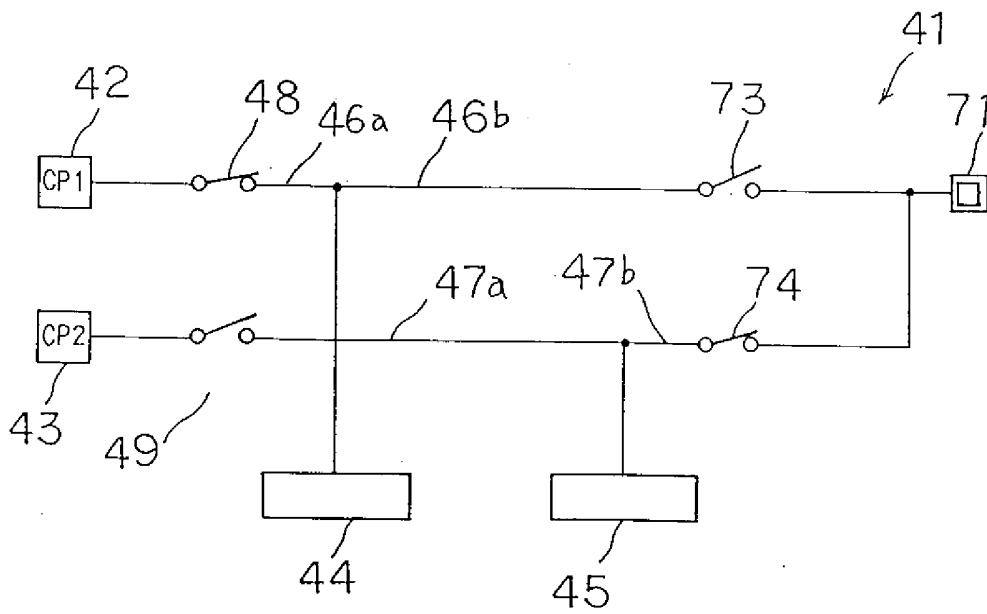


第 6b 圖

圖式

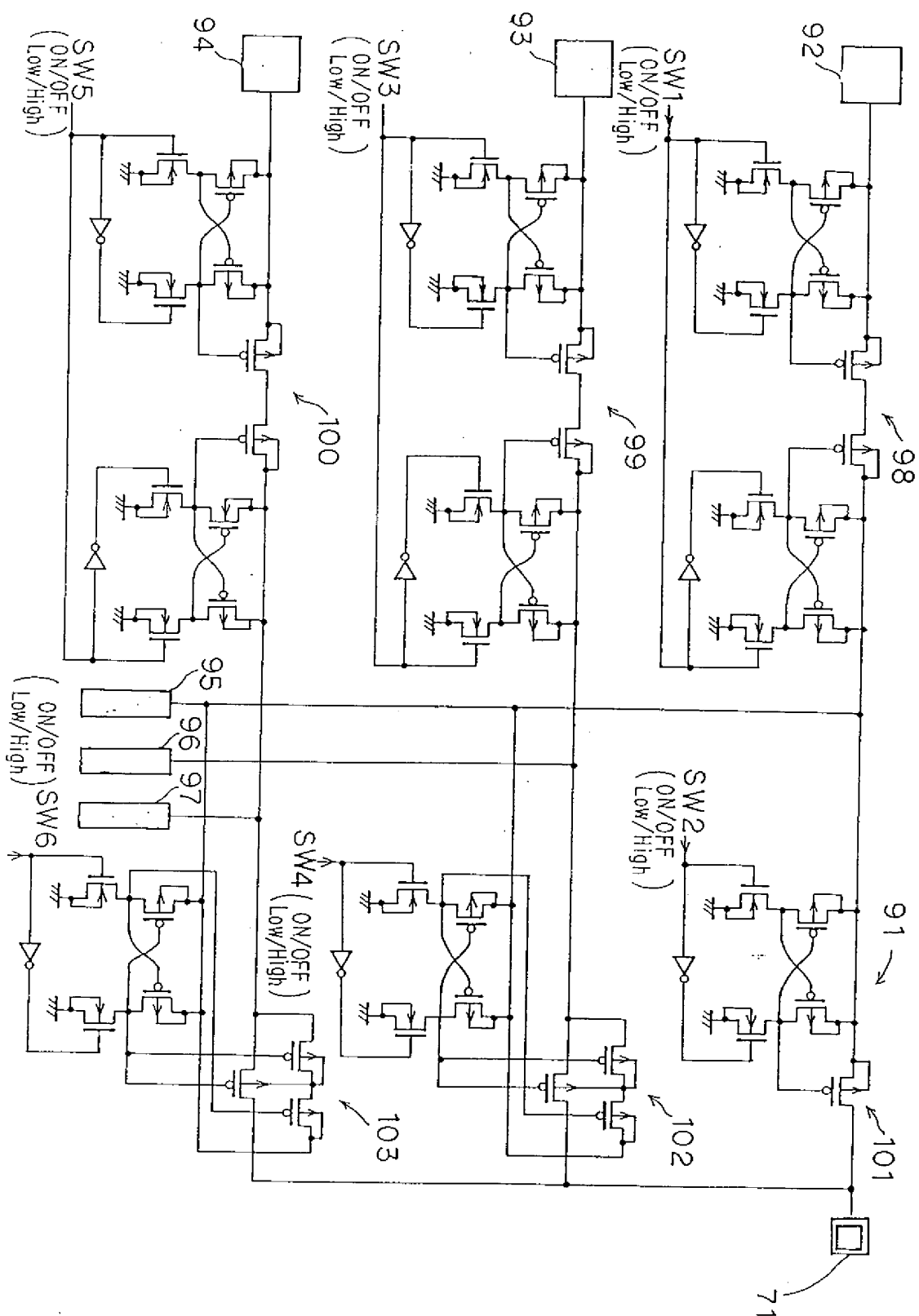


第 7a 圖



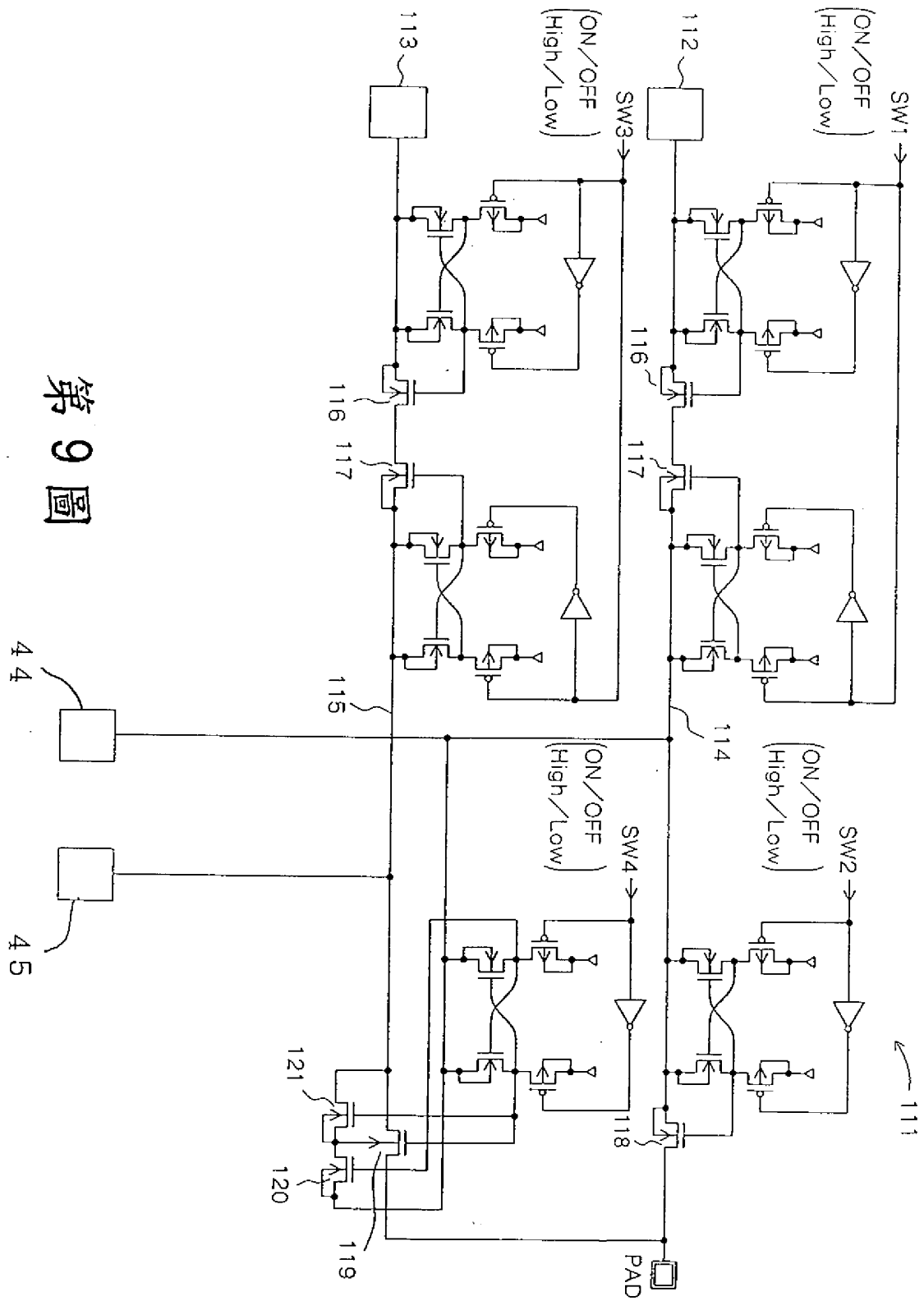
第 7b 圖

圖式



第 8 圖

圖式



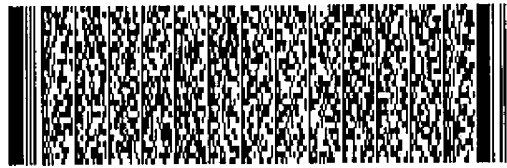
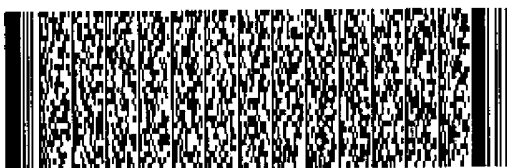
第 9 圖

五、發明說明 (19)

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內當可作更動，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

標號說明：

- 2、3、42、43、92-94、112、113~電荷泵
- 4、44~高電壓內部電路
- 5、45~低電壓內部電路
- 6a、46a~高電壓電源線
- 7a、47a~低電壓電源線
- 6b、46b~高電壓控制線
- 7b、47b~高電壓控制線
- 8、48~高電壓電源供應開關單元
- 9、49~低電壓電源供應開關單元
- 10、11~電晶體
- 12、50~背閘
- 13、53~閘極
- 14、15、36、37、54、55、76、79~位準移位器
- 16、17、38、39、56、57~控制端點
- 18、19、35、51、52、58、59、75、78~P型MOS電晶體
- 20、21、60、61、116-121~N型MOS電晶體
- 22~反相器
- 31~高電壓連接焊接區
- 32~低電壓連接焊接區



451122

案號 87113868

年 月 日

修正

五、發明說明 (20)

33、73~高電壓外部開關單元

34、74~低電壓外部開關單元

41、91、111~半導體裝置

71~信號連接焊接區

77~控制端

80~控制端點

81~高電壓控制開關

82~低電壓控制開關

95-97~內部電路

102、103~外部開關單元

114、115~線。

90年6月6日 修正
補充

