

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/311 (2006.01)



[12] 发明专利说明书

专利号 ZL 02147064.2

[45] 授权公告日 2006年1月25日

[11] 授权公告号 CN 1238886C

[22] 申请日 2002.10.28 [21] 申请号 02147064.2

[71] 专利权人 南亚科技股份有限公司

地址 台湾省桃园县

[72] 发明人 孙玉琪 黄则尧

审查员 高莺然

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 潘培坤 楼仙英

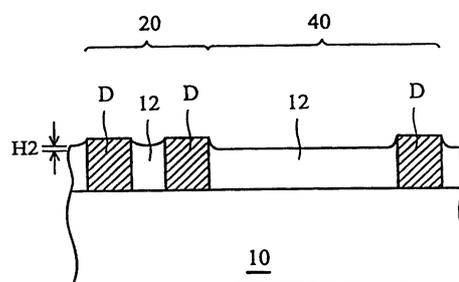
权利要求书 3 页 说明书 6 页 附图 2 页

[54] 发明名称

介电层回蚀刻方法

[57] 摘要

本发明公开了一种介电层回蚀刻方法，适用于半导体元器件制造流程中，内层介电层(inter-layer dielectric; ILD)及金属层间介电层(inter-metal dielectric; IMD)的平坦化工序，可具体改善化学机械研磨后的介电层厚度不一致的问题，包括下列步骤：提供一半导体基底，具有多个元件或经图案化的金属导线；形成一介电层材料，均匀地覆盖于元件或金属导线上；利用反应性离子蚀刻技术(RIE)，以含有 C_5H_8 、 CHF_3 与氩气(Ar)的蚀刻气体，回蚀刻(etch back)此介电层材料，并蚀刻停止于元件或金属导线上，以形成一厚度均匀的介电层于元件与金属导线间。



1. 一种介电层回蚀刻方法，可改善介电层厚度不均问题，其特征在于，包括下列步骤：

- 5 提供一半导体基底，具有多个元件分布于一元件疏区及一元件密区内；
形成一介电层材料，均匀地覆盖于该元件疏区及该元件密区内的该多个元件上；

利用反应性离子蚀刻技术，以含有 C_5H_8 与 CHF_3 的蚀刻气体，回蚀刻该介电层材料，并蚀刻停止于该多个元件上，以形成一厚度均匀的该介电层于
10 该元件疏区及该密区内的该多个元件间。

2. 如权利要求 1 所述的介电层回蚀刻方法，其特征在于，所述的多个元件的表面是由一非含氧材料所形成。

3. 如权利要求 2 所述的介电层回蚀刻方法，其特征在于，所述的非含氧材料为氮化硅、多晶硅、非晶硅、金属或金属氮化物。

15 4. 如权利要求 1 所述的介电层回蚀刻方法，其特征在于，所述的介电层材料为一含氧材料所形成。

5. 如权利要求 4 所述的介电层回蚀刻方法，其特征在于，所述的一含氧材料为二氧化硅、经掺杂的二氧化硅或为含氧的低介电常数材料。

20 6. 如权利要求 1 所述的介电层回蚀刻方法，其特征在于，所述的蚀刻气体比例约为 $C_5H_8: CHF_3=10.5: 10$ 。

7. 如权利要求 1 所述的介电层回蚀刻方法，其特征在于，所述的 C_5H_8 气体流量介于 9—10.5 sccm， CHF_3 气体流量介于 9—10 sccm。

8. 如权利要求 1 所述的介电层回蚀刻方法，其特征在于，所述的介电层为一内层介电层。

25 9. 如权利要求 1 所述的介电层回蚀刻方法，其特征在于，所述的蚀刻气体还包含氩气。

10. 如权利要求 9 所述的介电层回蚀刻方法，其特征在于，所述的氩气的流量介于 400—800 sccm。

30 11. 一种介电层回蚀刻方法，可改善介电层厚度不均问题，包括下列步骤：

提供一半导体基底，具有多个元件分布于一元件疏区及一元件密区内；
形成一介电层材料，均匀地覆盖于该元件疏区及该元件密区内的该多个
元件上；

利用反应性离子蚀刻技术，以含有 C_5H_8 与 CHF_3 的蚀刻气体，于蚀刻压
5 力介于 35—85 毫托及蚀刻源功率介于 1100—1900W，回蚀刻该介电层材料，
并蚀刻停止于该多个元件上，以形成一蚀刻厚度均匀的该介电层于该元件疏
区及该元件密区内的该多个元件间。

12. 如权利要求 11 所述的介电层回蚀刻方法，其特征在于，所述的多个
元件的表面是由非含氧材料所形成。

10 13. 如权利要求 12 所述的介电层回蚀刻方法，其特征在于，所述的非含
氧材料为氮化硅、多晶硅、非晶硅、金属或金属氮化物。

14. 如权利要求 12 所述的介电层回蚀刻方法，其特征在于，所述的介电
层材料为一含氧材料所形成。

15 15. 如权利要求 14 所述的介电层回蚀刻方法，其特征在于，所述的一含
氧材料为二氧化硅、经掺杂的二氧化硅或为含氧的低介电常数材料。

16. 如权利要求 11 所述的介电层回蚀刻方法，其特征在于，所述的蚀刻
气体比例约为 $C_5H_8: CHF_3=10.5: 10$ 。

17. 如权利要求 11 所述的介电层回蚀刻方法，其特征在于，所述的 C_5H_8
气体流量介于 9—10.5 sccm， CHF_3 气体流量介于 9—10 sccm。

20 18. 如权利要求 11 所述的介电层回蚀刻方法，其特征在于，所述的介电
层为一内层介电层。

19. 如权利要求 11 所述的介电层回蚀刻方法，其特征在于，所述的蚀刻
气体还包含氩气，其流量介于 400—800 sccm。

25 20. 一种介电层回蚀刻方法，可改善介电层厚度不均的问题，包括下列
步骤：

提供一半导体基底，具有多条经图案化的金属导线；

形成一介电层材料，均匀地覆盖于该多条金属导线上；

利用反应性离子蚀刻技术，以含有 C_5H_8 与 CHF_3 的蚀刻气体，于蚀刻压
力介于 35—86 毫托及蚀刻源功率介于 1100—1900W，回蚀刻该介电层材料，
30 并蚀刻停止于该多条金属导线上，以形成一厚度均匀的该介电层于该多条金

属导线间。

21. 如权利要求 20 所述的介电层回蚀刻方法, 其特征在于, 所述的多条金属导线材料为铝、钨、铜或由该金属与该金属的氮化物所组成的复合层材料。

5 22. 如权利要求 20 所述的介电层回蚀刻方法, 其特征在于, 所述的介电层材料为含氧材料所形成。

23. 如权利要求 20 所述的介电层回蚀刻方法, 其特征在于, 所述的含氧材料为二氧化硅、经掺杂的二氧化硅或为含氧的低介电常数材料。

24. 如权利要求 20 所述的介电层回蚀刻方法, 其特征在于, 所述的蚀刻
10 气体比例约为 $C_3H_8: CHF_3 = 10.5: 10$ 。

25. 如权利要求 20 所述的介电层回蚀刻方法, 其特征在于, 所述的 C_3H_8 气体流量介于 9—10.5 sccm, CHF_3 气体流量介于 9—10 sccm。

26. 如权利要求 20 所述的介电层回蚀刻方法, 其特征在于, 所述的介电层为一金属层间介电层。

15 27. 如权利要求 20 所述的介电层回蚀刻方法, 其特征在于, 所述的蚀刻气体还包含氩气, 其流量介于 400—800 sccm。

介电层回蚀刻方法

5 技术领域

本发明涉及一种半导体元件的制造工艺，尤指改善平坦化程序后介电层厚度不均的制造流程技术，采用一回蚀刻技术，最佳化其使用的蚀刻气体比例，以提升蚀刻后介电层一致性并达成平坦化目的的半导体制造流程，可具体改善化学机械研磨后的介电层厚度不一致的问题，特别适用在内层介电层
10 (inter-layer dielectric; ILD) 及金属层间介电层 (inter-metal dielectric; IMD) 的平坦化制造流程。

背景技术

随着集成电路结构的复杂化，在半导体基底（如硅基底）上所形成的结构层数越来越多。额外所增加的膜层进而造成其结构形态的不平整，对于后续的微影制造流程中，关于其聚焦深度（depth of focus）及小尺寸影像的分辨率方面，均有负面的影响。

而集成电路制造流程中，在晶圆上制作出元件结构（例如为 MOS 晶体管）或图案化的金属导线后，会先在基底上沉积一层介电材料，然后再进行后续金属层的沉积，依功能上的不同，这层用来隔离金属导线与元件的介电层通常被称为内层介电层（Inter-Layer Dielectrics; ILD），而用来隔离金属导线与其他金属导线的介电层通常被称为金属层间介电层（Inter-Metal Dielectrics; IMD），此介电层结构通常是由化学气相沉积法所沉积的氧化层所组成，常见如二氧化硅（ SiO_2 ）、经掺杂的二氧化硅（BSG、BPSG、PSG），或为近年来较新颖的低介电常数（low k）材料例如掺碳二氧化硅（SiOC）、掺氟二氧化硅（SiOF）等含氧（oxygen contained）的材料。由于此介电层并非完全平坦而是随着晶圆表面的图案高低起伏，因此通常可由化学机械研磨法（CMP）加以平坦化之后，提升半导体基底表面的平坦度，以利后续的微影制造流程。

以隔离金属导线与元件的内层介电层为例，位于基底上的元件并非均匀地
30 分布，通常位于元件分布数量较少的元件疏区及元件分布数量较多的元件密

区。在元件疏区内，元件间的相对距离较元件较多的元件密区为广，并相对于元件密区内元件间具有一较广区域。而应用化学机械研磨法（CMP）研磨基底上此内层介电层材料时，常于此元件疏区内的较广区域发生有碟状效应（dishing），而于元件密区的元件上常因此碟状效应（dishing）连带导致的过度研磨（over polishing）效应而破坏元件密区内元件的结构，故于 CMP 研磨后位于基底上各元件间的内层介电层其厚度依然会有 $\pm 300\text{\AA}$ 的差异（最大的高低差可达到 1600\AA 的谱），于化学机械研磨法（CMP）后，其研磨后介电层厚度不均，此基底上的平坦化目的便无法实现。

10 发明内容

有鉴于此，本发明的主要目的是提供一种介电层回蚀刻方法以替代 CMP 制造流程，可改善介电层厚度不均问题，提供一较佳的平坦化结构。

在常见的二氧化硅（ SiO_2 ）、经掺杂的二氧化硅（BSG、BPSG、PSC），或为近年来较新颖的低介电常数（low k）材料例如掺碳二氧化硅（SiOC）、掺氟二氧化硅（SiOF）等含氧（oxygen contained）材料干蚀刻过程中，大多使用含有氟化碳的蚀刻气体，例如早期的 CF_4 至现在的 C_2F_6 、 C_3F_8 等蚀刻气体，都可以用来作为提供碳原子与氟原子的反应气体，于二氧化硅（ SiO_2 ）蚀刻过程中，氧原子（O）为蚀刻过程中所产生的副产品，当氧原子浓度开始下降，蚀刻过程便接近尾声，故可借由蚀刻机台检测氧原子浓度以判定蚀刻终点（end point），决定此蚀刻制造流程是否完成。

由以上原理，本发明提供了一种介电层回蚀刻方法，对于内层介电层（Inter-Layer Dielectrics ILD）材料的平坦化，本发明的回蚀刻方法包括下列步骤：

提供一半导体基底，具有多个元件分布于一元件疏区及一密区内；形成一介电层材料，均匀地覆盖于元件疏区及元件密区内的元件上；利用反应性离子蚀刻技术（RIE），以含有 C_5H_8 、 CHF_3 与氩气的蚀刻气体，回蚀刻（etch back）上述介电层材料，并蚀刻停止于元件上，以形成一厚度均匀的内层介电层于元件疏区及元件密区内的元件间。

而对于金属层间介电层（Inter-Metal Dielectrics；IMD）材料的平坦化，本发明的回蚀刻方法包括下列步骤：提供一半导体基底，具有多条经图案化的金

属导线；形成一介电层材料，均匀地覆盖于金属导线上；利用反应性离子蚀刻技术（RIE），以含有 C_5H_8 、 CHF_3 与氩气的蚀刻气体，回蚀刻（etch back）介电层材料，并蚀刻停止于金属导线上，以形成一厚度均匀的金属层间介电层于该等金属导线间。

5 一般来说，干蚀刻过程中，包含着蚀刻与沉积两部份，蚀刻是将欲除去的部份带走，而沉积则是把欲保留的部分由沉积一保护层而将其保护住而免受后续蚀刻的侵蚀。而本发明的回蚀刻方法中，不需如以往地依赖蚀刻机台以检测蚀刻终点，本发明的特征在于调整等离子体中的蚀刻气体比例（于本发明中为 C_5H_8 与 CHF_3 ），而当基底上的元件或金属层仍为此含氧材料介电层材料所形成的内层介电层（ILD）材料或金属层间介电层（IMD）材料所坦覆时，氧原子浓度可保持于一稳定浓度，整体制造流程仍以蚀刻过程为主。而于上述介电层材料蚀刻完毕而露出部份的元件或金属导线，氧原子浓度便开始下降，而此蚀刻的过程中便开始有部份的保护层沉积，并于此回蚀刻过程中保护层的生成速率恰巧能与蚀刻过程中氧原子浓度的减低速率达成平衡，一旦蚀刻环境中氧浓度减少，整体反应便趋向此保护层的沉积，最后环境中氧浓度降至最低，此回蚀刻程序便自动地停止，其中上述的保护层是一氟碳氢聚合物（hydrofluorocarbon polymer），其厚度约为几十 Å 左右。

由本发明的方法可改善平坦化程序后介电层厚度不均问题，以提供一较佳的平坦化结构。

20 下面结合附图和具体实施方式对本发明作进一步说明。

附图说明

图 1 是本发明一较佳实施例中内层介电层平坦化前的结构剖面图；

25 图 2 是现有技术中利用化学机械研磨法（CMP）平坦化上述内层介电层后的结构剖面图；

图 3 是本发明一较佳实施例中利用本发明的回蚀刻方法平坦化上述内层介电层（ILD）后的结构剖面图；

图 4 是说明本发明一较佳实施例中利用本发明的回蚀刻方法平坦化金属层间介电层（IMD）后的结构剖面图。

具体实施方式

在本实施例中，是依本发明的方法来平坦化内层介电层以提供一较佳的平坦化结构。如图 1 所示，提供一半导体基底 10，具有多个元件 D 分布于元件数量较少的元件疏区 40 及元件数量较多的元件密区 20 内，元件 D 例如为 MOS 晶体管、电容结构 (capacitor) 或其他逻辑元件 (logic devices)，而元件 D 的表面是由如氮化硅 (Si_3N_4)、多晶硅 (poly-silicon)、非晶硅 (amorphous silicon)、金属或金属氮化物等非含氧 (Oxygen free) 材料所形成。接着形成一介电层材料，平坦性 (blanket) 的覆盖于元件疏区 40 及元件密区 20 内的元件 D 上，其中该介电层材料为一含氧 (oxygen contained) 材料所形成，例如为二氧化硅、经掺杂的二氧化硅 (BSG、BPSG、PSG)，或为掺碳二氧化硅 (SiOC)、掺氟二氧化硅 (SiOF) 等低介电常数 (low k) 材料。上述介电层厚度远超过元件 D 的高度，以作为元件 D 间的内层介电层 (ILD) 12。

如图 2 所示，为利用现有技术中常用的化学机械研磨法 (CMP) 平坦化内层介电层 12 材料的图示，化学机械研磨法 (CMP) 常因 CMP 终点不易检测，而造成如元件疏区 40 中的平坦区域的碟状效应 (dishing)，以及元件密区 20 中因碟状效应连带造成的过度研磨 (over polishing) 效应，进而造成元件 D 外部结构受损，影响产品功能，而在元件密区 20 与元件疏区 40 中经平坦化后的内层介电层 12 具有一厚度差 H1，通常介于 300—800Å，平坦化后的内层介电层 12 厚度一致性 (uniformity) 差，平坦化效果不佳。

如图 3 所示，为依据本发明的回蚀刻 (Etch Back) 方法平坦化内层介电层 12 的图示，本发明的方法采用反应性离子蚀刻技术 (Reactive Ion Etch; RIE)，以含有 C_5H_8 、 CHF_3 与氩气 (Ar) 的蚀刻气体、气体比例约为 C_5H_8 : CHF_3 = 10.5: 10，而其中 C_5H_8 气体流量介于 9—10.5 sccm (立方公分/分钟, standard cubic centimeters per minute)， CHF_3 气体流量介于 9—10 sccm 而氩气 (Ar) 的气体流量介于 400—800 sccm，蚀刻源 (source) 功率介于 1100—1900W，蚀刻压力介于 35—85 毫托 (mTorr)，回蚀刻 (etch back) 内层介电层 12 材料，由于此介电层材料由含氧材料形成，故于回蚀刻过程中，所产生副产品“氧原子”便维持于一稳定浓度，而当元件 D 上方内层介电层 12 材料蚀刻完毕并露出元件 D 时，氧原子浓度便开始下降，而此蚀刻的过程中便开始有部份的保护层 (未显示于图中) 沉积，并于此回蚀刻过程中保护层的生成速率恰巧能与

蚀刻过程中氧原子浓度的减低速率达成平衡，一旦蚀刻环境中氧浓度减少，整体反应便趋向此保护层的沉积，最后环境中氧浓度降至最低，此回蚀刻程序便自动地停止，其中上述的保护层是为—氟碳氢聚合物（hydrofluorocarbon polymer），其厚度约为约为几十 Å 左右。而利用此回蚀刻方法平坦化此内层介电层 12 后，于元件密区 20 与元件疏区 40 中的内层介电层 12 具有一厚度差 H_2 ，通常介于 0—100Å，内层介电层 12 厚度一致性（uniformity）佳，平坦化效果优于现有技术的 CMP 法。

此外，本发明的回蚀刻方法还可用于平坦化金属层间介电层（IMD）的制造流程。如图 4 所示，提供—覆盖有更多元件与膜层的半导体基底 20，具有多条经图案化的金属导线 M，金属导线 M 例如由铝、钨、铜或由金属 / 金属的氮化物（如钛 / 氮化钛等）所组成的复合层材料。接着形成—介电层材料，平坦覆盖性（blanket）地覆盖于金属导线 M 上，上述介电层的厚度远超过金属导线 M 的高度，以作为金属导线 M 间的金属层间介电层（IMD）22，其中该介电层材料为—含氧（oxygen contained）材料所形成，例如为二氧化硅、经掺杂的二氧化硅（BSG、BPSG、PSG），或为掺碳二氧化硅（SiOC）、掺氟二氧化硅（SiOF）等低介电常数（low k）材料。

接着，利用本发明的回蚀刻（Etch Back）方法，采用反应性离子蚀刻技术（Reactive Ion Etch；RIE），以含有 C_5H_8 、 CHF_3 与氩气（Ar）的蚀刻气体，气体比例约为 $C_5H_8:CHF_3=10.5:10$ ，而其中 C_5H_8 气体流量介于 9—10.5 sccm， CHF_3 气体流量介于 9—10 sccm 而氩气（Ar）的气体流量介于 400—800 sccm，当蚀刻源（source）功率介于 1100—1900W，蚀刻压力介于 35—85 毫托（mTorr），回蚀刻（etch back），回蚀刻（etch back）金属层间介电层 22，由于此金属层间介电层 22 材料含氧材料形成，故于回蚀刻过程中，所产生副产品“氧原子”便会维持—稳定浓度，而当金属导线 M 上方金属层间介电层 22 材料蚀刻完毕并露出金属导线 M 时，氧原子浓度便开始下降，而此蚀刻的过程中便开始有部份的保护层（未显示于图中）沉积，并于此回蚀刻过程中保护层的生成速率恰巧能与蚀刻过程中氧原子浓度的减低速率达成平衡，一旦蚀刻环境中氧浓度减少，整体反应便趋向此保护层的沉积，最后环境中氧浓度降至最低，此回蚀刻程序便自动地停止，其中上述的保护层是一氟碳氢聚合物（hydrofluorocarbon polymer），其厚度约为约为几十 Å 左右。利用此回蚀刻方法平坦化此金属层间

介电层 22 后，也可得到一厚度一致性（uniformity）佳的此金属层间介电层 22 位于上述经图案化的金属导线间。

虽然本发明已以较佳实施例揭露如上，但是并非用以限定本发明，本技术领域中的普通技术人员，在不脱离本发明的精神和范围内，所做出的等效变换，
5 均包含在本发明的专利范围内。

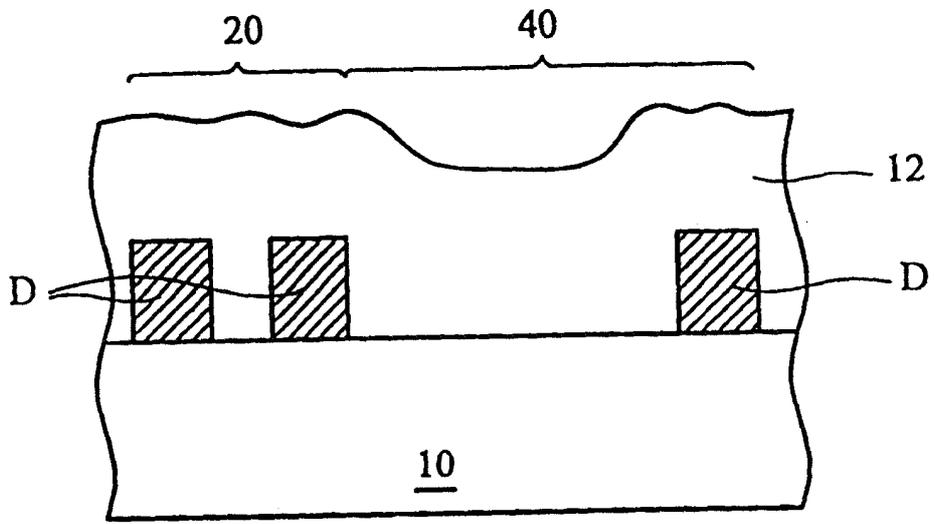


图 1

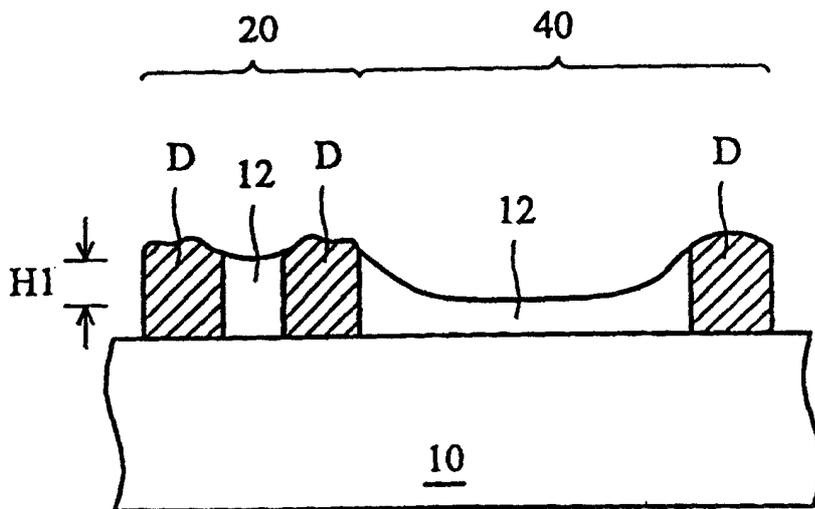


图 2

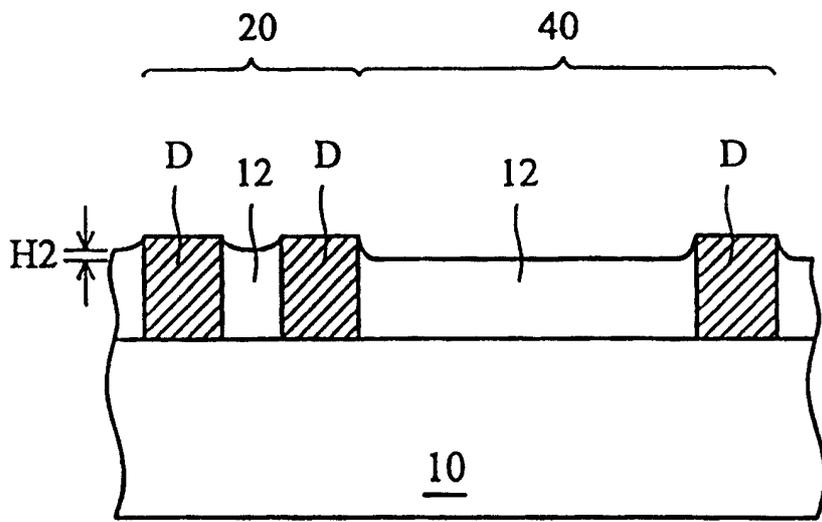


图 3

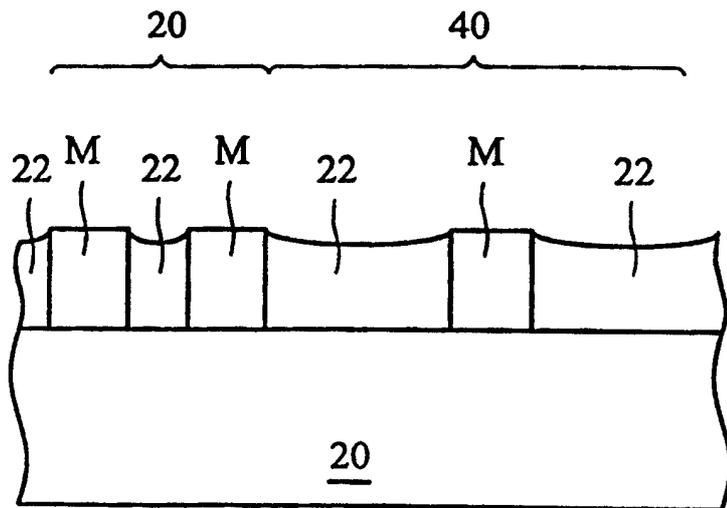


图 4