

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年6月5日(05.06.2025)



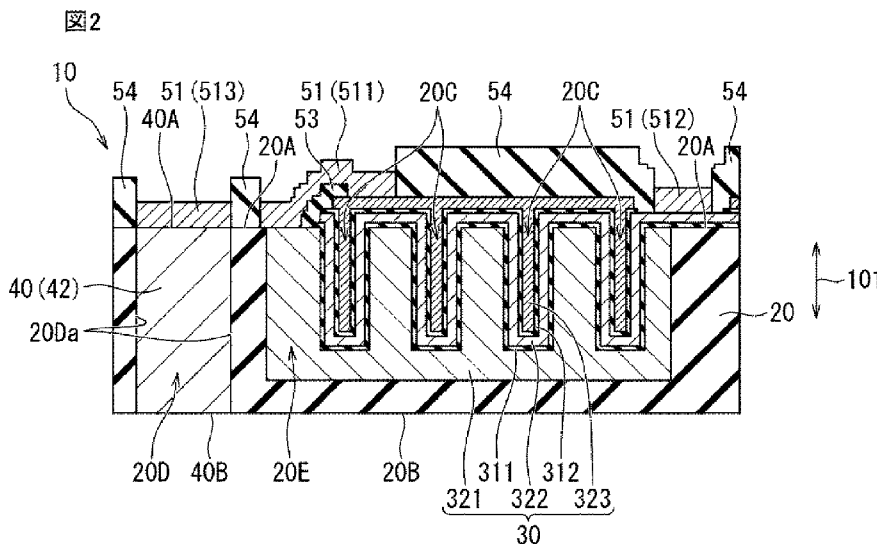
(10) 国際公開番号

WO 2025/115253 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 23/12 (2006.01)
H01G 4/30 (2006.01) H01L 25/065 (2023.01)
H01G 4/33 (2006.01) H01L 25/07 (2006.01)
H01L 21/822 (2006.01) H01L 25/18 (2023.01)
- (21) 国際出願番号: PCT/JP2024/019382
- (22) 国際出願日: 2024年5月27日(27.05.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-200783 2023年11月28日(28.11.2023) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 (JP).
- (72) 発明者: 吉岡 由雅 (YOSHIOKA, Yoshimasa);
〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 (JP). 中川 博 (NAKAGAWA, Hiroshi); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 (JP).
- (74) 代理人: 山尾 憲人, 外 (YAMAO, Norihito et al.);
〒5300017 大阪府大阪市北区角田町 8 番 1 号 大阪梅田ツインタワーズ・ノース 青山特許事務所 (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: SEMICONDUCTOR DEVICE, MODULE MEMBER, AND CIRCUIT BOARD

(54) 発明の名称: 半導体装置、モジュール部材、及び回路基板



(57) Abstract: Provided is a semiconductor device capable of reducing the effects of noise on a capacitive part. The semiconductor device comprises: a semiconductor substrate that has one main surface and another main surface which is positioned at a distance from the one main surface in the thickness direction and faces the opposite side from the one main surface in the thickness direction, the semiconductor substrate having at least one trench provided in the one main surface, and a hole provided so as to extend in the thickness direction, be open in at least one of the main surface and the other surface, and have a larger surface area than one trench when viewed in the thickness direction; a capacitive part that is provided in at least the interior of a trench and has a dielectric layer and two electrode layers that sandwich the dielectric layer; and a filling part that is provided on the interior of the hole and contains a conductive material.

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 容量部に対するノイズの影響を減らすことができる半導体装置を提供する。半導体装置は、一方主面と一方主面に対して厚み方向に間隔を空けて設けられ且つ一方主面と厚み方向の反対を向く他方主面とを有する半導体基材であって、一方主面に少なくとも1つのトレンチ部が設けられ、厚み方向に沿って延びて一方主面及び他方主面の少なくとも一方に開口し且つ厚み方向に沿って見て1つのトレンチ部よりも大きな面積を有する穴部が設けられている半導体基材と、トレンチ部の内部に少なくとも設けられ、誘電体層と誘電体層を挟む2つの電極層とを有する容量部と、穴部の内部に設けられ、導電材料を含む充填部と、を備える。

明 細 書

発明の名称：半導体装置、モジュール部材、及び回路基板

技術分野

[0001] 本開示は、トレンチ部の内部に容量部が設けられた半導体装置に関する。

背景技術

[0002] トレンチ部の内部に容量部が設けられた半導体装置の一例として、特許文献1に、表面に凹部を有する基材と、凹部の内部に設けられた誘電体膜及び導電体膜とを備えるキャパシタが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特許第7052867号公報

発明の概要

発明が解決しようとする課題

[0004] トレンチ部の内部に容量部が設けられた半導体装置において、容量部へのノイズの影響を減らすという観点において、未だ改善の余地がある。

[0005] 従って、本開示の目的は、前記課題を解決することによって、容量部に対するノイズの影響を減らすことができる半導体装置、モジュール部材、及び回路基板を提供することにある。

課題を解決するための手段

[0006] 前記目的を達成するために、本開示に係る半導体装置は、

一方主面と前記一方主面に対して厚み方向に間隔を空けて設けられ且つ前記一方主面と前記厚み方向の反対を向く他方主面とを有する半導体基材であって、前記一方主面に少なくとも1つのトレンチ部が設けられ、前記厚み方向に沿って延びて前記一方主面及び前記他方主面の少なくとも一方に開口し且つ前記厚み方向に沿って見て1つの前記トレンチ部よりも大きな面積を有する穴部が設けられている半導体基材と、

前記トレンチ部の内部に少なくとも設けられ、誘電体層と前記誘電体層を

挟む2つの電極層とを有する容量部と、

前記穴部の内部に設けられ、導電材料を含む充填部と、を備える。

[0007] また、前記目的を達成するために、本開示に係るモジュール部材は、

前記半導体装置と、

電子部品と、

前記電子部品が実装された表実装面と前記表実装面の裏面である裏実装面とを有し、前記半導体装置が設けられた実装基板と、を備える。

[0008] また、前記目的を達成するために、本開示に係る回路基板は、

前記モジュール部材と、

前記モジュール部材が表面に実装された主基板と、を備え、

前記半導体装置は、前記実装基板と前記主基板との間に位置している。

発明の効果

[0009] 本開示によれば、容量部に対するノイズの影響を減らすことができる半導体装置、モジュール部材、及び回路基板を提供することができる。

図面の簡単な説明

[0010] [図1]本開示の実施形態に係る半導体装置の平面図

[図2]図1のI-I'-I-I'断面を示す模式断面図

[図3]本開示の実施形態に係る半導体装置の等価回路図

[図4]本開示の実施形態に係る半導体装置の製造方法を説明する模式断面図

[図5]本開示の実施形態に係る半導体装置の製造方法を説明する模式断面図

[図6]本開示の実施形態に係る半導体装置の製造方法を説明する模式断面図

[図7]本開示の実施形態に係る半導体装置の製造方法を説明する模式断面図

[図8]本開示の実施形態に係る半導体装置の製造方法を説明する模式断面図

[図9]本開示の実施形態に係る半導体装置の製造方法を説明する模式断面図

[図10]本開示の実施形態に係る半導体装置の製造方法を説明する模式断面図

[図11]本開示の実施形態に係る半導体装置の変形例の模式断面図

[図12]本開示の実施形態に係る半導体装置の変形例の模式断面図

[図13]本開示の実施形態に係る半導体装置の変形例の模式断面図

[図14]本開示の実施形態に係る半導体装置の変形例の模式断面図

[図15]本開示の実施形態に係るモジュール部材の模式断面図

[図16]本開示の実施形態に係るモジュール部材の変形例の模式断面図

[図17]本開示の実施形態に係るモジュール部材の変形例の模式断面図

[図18]本開示の実施形態に係る回路基板の模式断面図

発明を実施するための形態

[0011] 以下、本開示の一例を添付図面に従って説明する。なお、以下の説明は、本質的に例示に過ぎず、本開示、その適用物、あるいは、その用途を制限することを意図するものではない。また、図面は模式的なものであり、各寸法の比率等は現実のものとは必ずしも合致していない。また、以下の説明では、必要に応じて特定の方向あるいは位置を示す用語（例えば、「上」、「下」、「右」、「左」、「前」、「後」を含む用語）が用いられる。しかし、特定の方向あるいは位置を示す用語の使用は、図面を参照した本開示の理解を容易にするためであって、それらの用語の意味によって本開示の技術的範囲が限定されるものではない。

[0012] <半導体装置>

図1は、本開示の実施形態に係る半導体装置の平面図である。図2は、図1のI-I断面を示す模式断面図である。

[0013] 図1及び図2に示すように、半導体装置10は、半導体基材20と、容量部30と、充填部40と、第1絶縁層53と、第2絶縁層54と、外部端子51と、を備える。

[0014] 半導体基材20は、例えば、シリコン（Si）基板であって、絶縁性を有する高抵抗Siによって形成されている。

[0015] 半導体基材20は、一方主面20A及び他方主面20Bを有する。一方主面20A及び他方主面20Bは、半導体基材20の厚み方向101において互いに間隔を空けて設けられている。一方主面20A及び他方主面20Bは、厚み方向101において互いに反対を向く。

[0016] 半導体基材20は、凹部20Eと4つのトレンチ部20Cとを有する。

- [0017] 凹部20Eに、後述する容量部30の第1電極層321が充填されている。第1電極層321は、半導体基材20の一方主面20Aの一部を構成している。本実施形態において、第1電極層321は、容量部30の一部であるとともに半導体基材20の一部でもある。
- [0018] 図2において、1つの凹部20Eが示されているが、半導体基材20が有する凹部20Eは1つに限らない。半導体基材20は、複数の凹部20Eを有していてもよい。
- [0019] 4つのトレンチ部20Cは、第1電極層321における一方主面20Aの一部を構成している部分に設けられ、厚み方向101に凹んでいる。つまり、4つのトレンチ部20Cの各々は、一方主面20Aに設けられた凹みである。
- [0020] トレンチ部20Cの形状は任意である。例えば、トレンチ部20Cは、厚み方向101に沿って見て、円形や長方形であってもよいし、曲がりつつ又は真っ直ぐに延びた幅狭の溝であってもよい。この溝は、複数の枝に分かれていてもよい。4つのトレンチ部20Cの各々は、同じ形状であってもよいし、異なる形状であってもよい。
- [0021] 図2において、4つのトレンチ部20Cが示されているが、半導体基材20が有するトレンチ部20Cは4つに限らない。半導体基材20は、少なくとも1つのトレンチ部20Cを有していればよい。
- [0022] 図2において、凹部20E及びトレンチ部20Cは一方主面20Aに設けられているが、凹部20E及びトレンチ部20Cは、他方主面20Bに設けられていてもよいし、一方主面20A及び他方主面20Bの双方に設けられていてもよい。
- [0023] 半導体基材20は、穴部20Dを有する。穴部20Dは、半導体基材20を厚み方向101に貫通している。つまり、穴部20Dは、厚み方向101に延びて一方主面20A及び他方主面20Bに開口している。穴部20Dは、側面20Daを有する。穴部20Dは、厚み方向101に沿って見て円形である。つまり、穴部20Dは、円柱形状である。

[0024] 穴部20Dは、半導体基材20を厚み方向101に貫通していなくてもよい。つまり、穴部20Dは、一方主面20A及び他方主面20Bの一方のみに開口していてもよい。例えば、穴部20Dは、後述する図13の変形例のように、一方主面20Aに設けられた凹みであってもよい。また、例えば、穴部20Dは、他方主面20Bに設けられた凹みであってもよい。

[0025] 穴部20Dの形状は、トレンチ部20Cの形状と同様に任意である。例えば、穴部20Dは、厚み方向101に沿って見て、円形や長方形であってもよいし、曲がりつつ又は真っ直ぐに延びた幅狭の溝であってもよい。この溝は、複数の枝分かれしていてもよい。

[0026] 厚み方向101に沿って見て、穴部20Dは、4つのトレンチ部20Cの各々より大きな面積を有する。つまり、厚み方向101に沿って見て、穴部20Dは、1つのトレンチ部20Cより大きな面積を有する。

[0027] 穴部20Dの幅は、4つのトレンチ部20Cの各々の幅より大きい。ここで、穴部20Dの幅とは、例えば以下のように規定される。厚み方向101に沿って見て穴部20Dが円形るとき、穴部20Dの幅は当該円の直径である。厚み方向101に沿って見て穴部20Dが長方形るとき、穴部20Dの幅は当該長方形の短手方向の長さである。厚み方向101に沿って見て穴部20Dが幅狭の溝るとき、穴部20Dの幅は当該溝が延びている方向と直交する方向である。以上の規定は、トレンチ部20Cの幅についても同様である。

[0028] 穴部20Dの幅は、4つのトレンチ部20Cの各々の幅の2倍以上である（図2参照）。好ましくは、穴部20Dの幅は、4つのトレンチ部20Cの各々の幅の5倍以上である。更に好ましくは、穴部20Dの幅は、4つのトレンチ部20Cの各々の幅の10倍以上である（図11参照）。

[0029] 図2において、1つの穴部20Dが示されているが、半導体基材20が有する穴部20Dは1つに限らない。半導体基材20は、複数の穴部20Dを有していてもよい。

[0030] 容量部30は、凹部20Eの内部、トレンチ部20Cの内部、及び一方主

面20A上に設けられている。つまり、容量部30は、トレンチ部20Cの内部に少なくとも設けられている。

[0031] 容量部30は、誘電体層と電極層とを有する。本実施形態において、容量部30は、2つの誘電体層（第1誘電体層311及び第2誘電体層312）と、3つの電極層（第1電極層321、第2電極層322、及び第3電極層323）とを備える。

[0032] 誘電体層は、誘電体を含む。本実施形態において、誘電体層は、二酸化シリコン（ SiO_2 ）や、窒化シリコン（ Si_3N_4 ）や、酸化ハフニウム（ HfO_2 ）や、酸化アルミニウム（ AlO ）などの誘電体で構成されている。第1誘電体層311及び第2誘電体層312は、同じ材料で構成されていてもよいし、異なる材料で構成されていてもよい。

[0033] 電極層は、導電体を含む。本実施形態において、電極層は、銅などの金属や、導電性を有するn型Si又はp型Siなどの低抵抗シリコン（Si）や、ポリシリコン（Poly-Si）などの導電体で構成されている。第1電極層321、第2電極層322、及び第3電極層323は、同じ材料で構成されていてもよいし、異なる材料で構成されていてもよい。

[0034] 第1電極層321は、凹部20Eの内部に設けられている。本実施形態において、第1電極層321は、低抵抗シリコン（Si）で構成されている。第1電極層321は、他方主面20Bと電氣的に接続されていてもよい。第1電極層321は、前述したように、一方主面20Aの一部を構成している部分に4つのトレンチ部20Cを有する。

[0035] 第1誘電体層311は、4つのトレンチ部20Cの内部及び外部に亘って、第1電極層321及び半導体基材20に積層されている。第1誘電体層311は、4つのトレンチ部20Cの内部において、トレンチ部20Cに沿って第1電極層321に積層されている。第1誘電体層311は、4つのトレンチ部20Cの外部において、第1電極層321と、半導体基材20の一方主面20Aとに積層されている。

[0036] 第2電極層322は、4つのトレンチ部20Cの内部及び外部に亘って、

第1誘電体層311に積層されている。第2電極層322は、4つのトレンチ部20Cの内部において、トレンチ部20Cに沿って第1誘電体層311に積層されている。

[0037] 第2誘電体層312は、4つのトレンチ部20Cの内部及び外部に亘って、第2電極層322に積層されている。第2誘電体層312は、4つのトレンチ部20Cの内部において、トレンチ部20Cに沿って第2電極層322に積層されている。

[0038] 第3電極層323は、4つのトレンチ部20Cの内部及び外部に亘って、第2誘電体層312に積層されている。第3電極層323は、4つのトレンチ部20Cの内部における第1誘電体層311、第2電極層322、及び第2誘電体層312に示されていない空間を埋めるように、第2誘電体層312に積層されている。

[0039] 以上のように誘電体層と電極層とが積層されていることによって、第1誘電体層311は第1電極層321及び第2電極層322に挟まれ、第2誘電体層312は第2電極層322及び第3電極層323に挟まれている。つまり、容量部30は、誘電体層と当該誘電体層を挟む2つの電極層とを、少なくとも有している。本実施形態において、容量部30は、誘電体層と当該誘電体層を挟む2つの電極層とを2組有している。当該2組の一方が、第1誘電体層311と、第1誘電体層311を挟む第1電極層321及び第2電極層322とで構成されている。当該2組の他方が、第2誘電体層312と、当該第2誘電体層312を挟む第2電極層322及び第3電極層323で構成されている。

[0040] なお、容量部30は、誘電体層と当該誘電体層を挟む2つの電極層とを1組のみ有していてもよいし、3組以上有していてもよい。

[0041] 充填部40は、穴部20Dの内部に設けられている。充填部40は、穴部20Dにおける厚み方向101の一端部から他端部まで延びている。充填部40の上面40Aは、充填部40のうち穴部20Dにおける厚み方向101の一端部に位置する部分である。充填部40の上面40Aは、半導体基材2

0の一方主面20Aの一部を構成している。充填部40の下面40Bは、充填部40のうち穴部20Dにおける厚み方向101の他端部に位置する部分である。充填部40の下面40Bは、半導体基材20の他方主面20Bの一部を構成している。

[0042] 充填部40は、導電材料を含んでいる。本実施形態において、充填部40は、導電材料としての銅で構成された導電層42で構成されている。なお、本実施形態において、充填部40は導電材料のみで構成されているが、充填部40は導電材料以外の材料を含んでいてもよい。充填部40が導電材料以外の材料を含む例は後述される。

[0043] 第1絶縁層53及び第2絶縁層54は、絶縁体で構成されている。第1絶縁層53及び第2絶縁層54は、絶縁性が高い材料であれば無機材料でも有機材料でもよい。第1絶縁層53は、第1電極層321、第2電極層322、第3電極層323、第1誘電体層311、及び第2誘電体層312のうち、半導体基材20の一方主面20A側に露出した部分の一部を覆うように積層されている。第2絶縁層54は、半導体基材20の一方主面20Aの一部と、第2誘電体層312、第2電極層322、及び第3電極層323のうち、半導体基材20の一方主面20A側に露出した部分の一部とを覆うように積層されている。

[0044] 外部端子51は、一方主面20A及び他方主面20Bの少なくとも一方に設けられている。外部端子51は、ニッケル(Ni)や金(Au)などの導電性の材料で構成されている。本実施形態において、外部端子51は、銅(Cu)、ニッケル、及び金の多層構成である。本実施形態において、外部端子51は、第1外部端子511と第2外部端子512と第3外部端子513とを備える。本実施形態において、第1外部端子511、第2外部端子512、及び第3外部端子513は、いずれも半導体基材20の一方主面20A側に設けられている。第1外部端子511と第2外部端子512と第3外部端子513とは、第2絶縁層54によって互いに絶縁されている。本実施形態において、第1外部端子511、第2外部端子512、及び第3外部端子

5 1 3 は、同じ材料で構成されているが、異なる材料で構成されていてもよい。

[0045] 第 1 外部端子 5 1 1 は、第 1 電極層 3 2 1、第 3 電極層 3 2 3、及び第 1 絶縁層 5 3 に積層されている。これにより、第 1 外部端子 5 1 1 は、第 1 電極層 3 2 1 及び第 3 電極層 3 2 3 と接触している。つまり、第 1 電極層 3 2 1 と第 3 電極層 3 2 3 とは、第 1 外部端子 5 1 1 を介して互いに電氣的に接続されている。

[0046] 一方、第 1 外部端子 5 1 1 と、第 1 誘電体層 3 1 1、第 2 電極層 3 2 2、及び第 2 誘電体層 3 1 2 との間には、第 1 絶縁層 5 3 がある。これにより、第 1 外部端子 5 1 1 と、第 1 誘電体層 3 1 1、第 2 電極層 3 2 2、及び第 2 誘電体層 3 1 2 とは、第 1 絶縁層 5 3 によって互いに絶縁されている。

[0047] 第 2 外部端子 5 1 2 は、第 2 電極層 3 2 2 に積層されている。これにより、第 2 外部端子 5 1 2 と第 2 電極層 3 2 2 とは互いに接触して電氣的に接続されている。

[0048] 第 3 外部端子 5 1 3 は、充填部 4 0 の上面 4 0 A に積層されている。これにより、第 3 外部端子 5 1 3 と充填部 4 0 とは互いに接触して電氣的に接続されている。第 3 外部端子 5 1 3 は、外部端子の一例である。

[0049] 図 3 は、本開示の実施形態に係る半導体装置の等価回路図である。半導体装置 1 0 は、前述したように構成されていることにより、図 3 に示すような回路を構成する。なお、半導体装置 1 0 の等価回路は、図 3 に示すような回路に限らない。例えば、抵抗 R とコンデンサ C 1、C 2 とが接続されていてもよい。

[0050] 図 3 に示すように、第 1 誘電体層 3 1 1 と、第 1 誘電体層 3 1 1 を挟む第 1 電極層 3 2 1 及び第 2 電極層 3 2 2 とによって、コンデンサ C 1 が構成される。また、第 2 誘電体層 3 1 2 と、当該第 2 誘電体層 3 1 2 を挟む第 2 電極層 3 2 2 及び第 3 電極層 3 2 3 とによってコンデンサ C 2 が構成される。コンデンサ C 1 の一方の電極（第 1 電極層 3 2 1）と、コンデンサ C 2 の一方の電極（第 3 電極層 3 2 3）とは、第 1 外部端子 5 1 1 に接続されている。

。コンデンサC 1、C 2の他方の電極（第2電極層3 2 2）は、第2外部端子5 1 2に接続されている。

[0051] 充填部4 0によって、抵抗Rが構成される。抵抗Rの一端部（充填部4 0の上面4 0 A）は、第3外部端子5 1 3と接続されている。本実施形態において、抵抗Rの他端部（充填部4 0の下面4 0 B）は、外部端子と接続されていないが、外部端子と接続されていてもよい。充填部4 0の下面4 0 Bが外部端子と接続されている例は後述される。

[0052] 以上説明した半導体装置1 0は、例えば、以下のようなサイズである。詳述すると、厚み方向1 0 1の長さが0. 1 5 mmであり、幅方向1 0 3の長さが0. 6 mmであり、厚み方向1 0 1及び幅方向1 0 3と直交する方向である奥行き方向の長さが0. 3 mmである。第1トレンチ部2 0 C a及び第2トレンチ部2 0 C bの各々の深さ（厚み方向1 0 1の長さ）は3 0 μmである。電極層（第1電極層3 2 1、第2電極層3 2 2、及び第3電極層3 2 3）の厚みは1 0 0 0 nmである。なお、電極層が窒化チタン（TiN）で構成されている場合、電極層の厚みは2 0 nmである。誘電体層（第1誘電体層3 1 1及び第2誘電体層3 1 2）の厚みは1 0 nmである。

[0053] <半導体装置の製造方法>

以下に、本開示の実施形態に係る半導体装置1 0の製造方法が、図4～図1 0及び図2が参照されつつ説明される。図4～図1 0は、本開示の実施形態に係る半導体装置の製造方法を説明する模式断面図である。

[0054] 半導体装置1 0は、積層体を複数に個片化することにより製造される。積層体は、複数の半導体装置1 0が配列された状態で一体化されたものである。図4～図1 0では、説明の便宜上、積層体のうち1つの半導体装置1 0に対応する部分のみが示される。本実施形態に係る半導体装置1 0の製造方法は、穴部形成工程、充填部形成工程、容量部形成工程（電極層形成工程、誘電体層形成工程、及びトレンチ部形成工程）、第1絶縁層形成工程、第2絶縁層形成工程、外部端子形成工程、及び個片化工程を含む。

[0055] （穴部形成工程）

最初に、穴部形成工程が実行される。穴部形成工程では、図4に示すように、半導体基材20に、半導体基材20を厚み方向101に貫通する穴部20Dが形成される。例えば、半導体基材20上にハードマスクを形成し、ハードマスクに穴部20Dに対応するパターニングを行い、ディープシリコンエッチングを行うことによって、半導体基材20に穴部20Dが形成される。ディープシリコンエッチングが実行された後、ハードマスクは除去される。

[0056] (充填部形成工程)

次に、充填部形成工程が実行される。充填部形成工程では、図5に示すように、穴部20Dに、導電性のペーストが充填される。このペーストが、充填部40の導電層42に対応する。例えば、シードを形成し、フィルドビームめっきを行い、シードを除去して平坦化することによって、充填部40が形成される。なお、充填部40は、前記のような形成方法以外の方法で充填され得る。例えば、充填部40としての銅(Cu)やアルミニウム(Al)などの導電材料がスパッタ、ウェットめっき、及びペーストなどの方法で充填されてもよい。

[0057] (容量部形成工程)

次に、容量部形成工程が実行される。容量部形成工程は、電極層形成工程、誘電体層形成工程、及びトレンチ部形成工程、に分けられる。

[0058] 容量部形成工程では、電極層形成工程と誘電体層形成工程とが交互に実行される。トレンチ部形成工程は、最初の電極層形成工程の後であって最初の誘電体形成工程の前に実行される。

[0059] 最初の電極層形成工程では、図6に示すように、高抵抗Siで形成された高抵抗部としての半導体基材20に不純物ドーピングが行われる。その結果、高抵抗部としての半導体基材20に凹部20Eが形成され、凹部20Eの中に低抵抗部としての第1電極層321が形成される。第1電極層321は、例えば、凹部20Eの位置にパターニングされたレジストを形成し、不純物をドーピングしたシリコンエッチングを行い、レジストを除去することによ

て形成される。

[0060] トレンチ部形成工程では、第1電極層321における一方主面20Aの一部に4つのトレンチ部20Cが形成される。トレンチ部20Cは、例えば、穴部20Dと同様に、ハードマスクのパターニング及びディープシリコンエッチングによって形成される。

[0061] 次に、誘電体層形成工程と電極層形成工程とが交互に実行される。これにより、半導体基材20の一方主面20A上とトレンチ部20Cを構成する面上とに沿って、誘電体層と電極層とが交互に積層（デポジション）される。詳細には、図7に示すように、半導体基材20、充填部40、及び第1電極層321上に第1誘電体層311が形成される。第1誘電体層311上に第2電極層322が形成される。第2電極層322上に第2誘電体層312が形成される。第2誘電体層312上に第3電極層323が形成される。以上により、容量部形成工程において、半導体基材20における少なくともトレンチ部20Cに、誘電体層と当該誘電体層を挟む2つの電極層とを有する容量部が形成される。

[0062] 誘電体層形成工程及び電極層形成工程では、各誘電体層311、312及び各電極層322、323の形成後に、各誘電体層311、312及び各電極層322、323に対してフォトリソグラフィ及びエッチング処理が行われる。これにより、図8に示すように、各誘電体層311、312及び各電極層322、323の一部が除去される。

[0063] 本実施形態では、トレンチ部形成工程は、容量部形成工程の一部と規定している。しかし、トレンチ部形成工程は、容量部形成工程とは別に規定されてもよい。この場合、容量部形成工程は、電極層形成工程及び誘電体層形成工程に分けられる。そして最初の容量部形成工程のうち電極層形成工程が実行された後で、トレンチ部形成工程が実行され、その後で容量部形成工程の残りの工程が実行される。

[0064] （第1絶縁層形成工程）

次に、第1絶縁層形成工程が実行される。第1絶縁層形成工程では、図9

に示すように、第1絶縁層53が積層される。詳細には、第1絶縁層53が図8の上面（一方主面20A側の面）にデポジションされ、フォトリソグラフィ及びドライエッチングによって図9における第1絶縁層53に対応する位置にパターニングされる。

[0065] （第2絶縁層形成工程）

次に、第2絶縁層形成工程が実行される。第2絶縁層形成工程では、図10に示すように、第2絶縁層54が積層される。詳細には、第2絶縁層54が図9の上面（一方主面20A側の面）にデポジションされ、フォトリソグラフィ及びドライエッチングによって図10における第2絶縁層54に対応する位置にパターニングされる。なお、第2絶縁層形成工程は、第1絶縁層形成工程より前に実行されてもよいし第1絶縁層形成工程と並行して実行されてもよい。

[0066] 第1絶縁層53及び第2絶縁層54は、CVD (Chemical Vapor Deposition) などのデポジション以外の手段、例えばスピコートやフィルムラミネートなどの公知の手段によって形成されてもよい。また、必要に応じて、第2絶縁層54上に更に絶縁層である保護層が設けられてもよい。例えば、保護層は、エポキシやポリイミドやアクリル系の有機樹脂である。

[0067] （外部端子形成工程）

次に、外部端子形成工程が実行される。外部端子形成工程では、図2に示すように、外部端子51（第1外部端子511、第2外部端子512、及び第3外部端子513）が形成される。詳細には、外部端子51としての導電層が、図10の上面（一方主面20A側の面）の所定の位置（図2に示す位置）に、金属スパッタ、無電解めっき、ペーストなどの公知の手段で形成される。なお、外部端子51は複数の導電層で構成されていてもよい。複数の導電層で外部端子51が構成されることで、外部端子51がエレクトロマイグレーション耐性を有しつつ、外部端子51のバリア性や半田濡れ性が向上する。

[0068] （個片化工程）

次に、個片化工程が実行される。個片化工程では、半導体装置 10 の厚みが調整され、複数の半導体装置 10 が配列された積層体が複数の半導体装置 10 に切断される。

[0069] 本実施形態によれば、導電材料を含む充填部 40 をノイズに対するシールドとして機能させることができる。これにより、容量部 30 の外部から充填部 40 を介して容量部 30 へ向かうノイズを、充填部 40 によって減らすことができる。

[0070] 充填部 40 を半導体装置 10 における配線として使用することによって、半導体装置 10 に引き回される配線を減らすことができる。これにより、半導体装置 10 に生じる寄生容量を減らすことができる。

[0071] 特許文献 1 に開示されたキャパシタでは、基材の表面側に誘電体膜及び導電体膜を備えているため、基材の裏面からの信号の取り扱いが必ずしも容易ではない。しかし、本実施形態によれば、穴部 20D が一方主面 20A 及び他方主面 20B の双方に開口し得る、言い換えると穴部 20D が半導体基材 20 を厚み方向 101 に貫通し得る。この場合、半導体基材 20 の一方主面 20A 側に容量部 30 が設けられている構成であっても、他方主面 20B からの信号の取り扱いを容易とすることができる。

[0072] 本実施形態によれば、厚み方向 101 に沿って見て穴部 20D の面積が 1 つのトレンチ部 20C の面積より大きい。そのため、穴部 20D の製造ばらつきを低減することができる。その結果、穴部 20D への充填部 40 の充填が容易である。

[0073] 以下、本実施形態の変形例、モジュール部材 70、及び回路基板 1 の構成が説明される。以下の説明において、当該説明より前に説明された構成については、同一の符号が付された上で、その説明は原則省略され、必要に応じて説明される。

[0074] <半導体装置の変形例 1>

図 11 は、本開示の実施形態に係る半導体装置の変形例の模式断面図である。

[0075] 図11に示すように、半導体装置10は、他方主面20Bに外部端子51を備えていてもよい。図11に示す半導体装置10は、他方主面20Bに外部端子51としての第4外部端子514を備える。また、半導体装置10は、一方主面20A及び他方主面20Bの少なくとも一方に、ダミー端子52を備えていてもよい。図11に示す半導体装置10は、他方主面20Bにダミー端子52を備える。

[0076] 第4外部端子514及びダミー端子52は、第1外部端子511等と同様に、ニッケル(Ni)や金(Au)などの導電性の材料で構成されている。

[0077] 第4外部端子514は、充填部40の下面40Bに積層されている。これにより、第4外部端子514と充填部40とは互いに接触して電氣的に接続されている。

[0078] ダミー端子52は、半導体基材20の他方主面20Bに積層されている。ダミー端子52は、半導体装置10が備える他の導電性部分と電氣的に接続されていない。他の導電性部分は、例えば、第1電極層321、第2電極層322、第3電極層323、充填部40、及び外部端子51である。

[0079] 変形例1によれば、半導体装置10を半田などのペーストを介して基板に実装する場合に、外部端子51にペーストを付着させることによって、当該実装を容易に行うことができる。

[0080] 変形例1によれば、半導体装置10を半田などのペーストを介して基板に実装する場合に、ダミー端子52にペーストを付着させることによって、当該実装を行うことができる。つまり、変形例1によれば、当該実装を行う場合に、ダミー端子52を備えていない半導体装置よりも多くのペーストを付着させることができる。その結果、当該実装の強度を高くすることができる。

[0081] <半導体装置の変形例2>

図12は、本開示の実施形態に係る半導体装置の変形例の模式断面図である。

[0082] 図12に示すように、充填部40は、導電材料以外の材料を含んでいても

よい。図12に示す充填部40は、導電層42に加えて、埋込層41、バリア層43、及び隔離層44を備える。

[0083] 埋込層41は、エポキシなどの樹脂で構成されている。バリア層43は、窒化チタン(TiN)やニッケル(Ni)などの導電材料を含む。隔離層44は、二酸化シリコン(SiO₂)や窒化シリコン(Si₃N₄)などの絶縁材料で構成されている。つまり、図12に示す半導体装置10の充填部40は、充填部40の一部である導電層42及びバリア層43において導電材料が含まれており、当該一部以外である埋込層41及び隔離層44において導電材料が含まれていない。

[0084] 埋込層41、導電層42、バリア層43、及び隔離層44の各々は、穴部20Dを厚み方向101に貫通している。言い換えると、埋込層41、導電層42、バリア層43、及び隔離層44の各々は、穴部20Dにおける厚み方向101の一端部から他端部まで延びている。

[0085] 厚み方向101に沿って見て、導電層42は埋込層41を囲んでいる。厚み方向101に沿って見て、バリア層43は導電層42を囲んでいる。厚み方向101に沿って見て、隔離層44はバリア層43を囲んでいる。隔離層44の外周面は、穴部20Dの側面20Daと接触している。

[0086] なお、充填部40は、埋込層41及びバリア層43の少なくとも一方を備えていなくてもよい。また、埋込層41、導電層42、バリア層43、及び隔離層44のうちの隣り合う2つの層の間に、後述する磁性層45が設けられていてもよい。

[0087] 変形例2によれば、隔離層44は絶縁材料で構成されている。そのため、導電層42から半導体基材20を介して容量部30などの他の部分へ電気信号が意図せずに伝搬することを隔離層44で遮断することができる。

[0088] 例えば、導電層42に含まれる導電材料(例えば銅)が拡散することで導電層42の電気抵抗が変化してしまうおそれがある。変形例2によれば、バリア層43によって導電層42の拡散を抑制することができる。そのため、導電層42の電気抵抗の変化を低減することができる。

[0089] 変形例 2 によれば、バリア層 4 3 は導電材料を含むため、バリア層 4 3 をシード層として機能させることができる。また、バリア層 4 3 に電気信号を通すことができる。

[0090] 変形例 2 によれば、充填部 4 0 が埋込層 4 1 を備えることによって、不要なボイド噛み、異物混入、及び充填部 4 0 の一方主面 2 0 A 及び他方主面 2 0 B への露出部分の凹凸の発生を抑制することができる。つまり、充填部 4 0 が埋込層 4 1 を備えることによって、導電層 4 2 で穴部 2 0 D の全てを充填する必要がない。そのため、半導体装置 1 0 の製造コストを低減することができる。

[0091] <半導体装置の変形例 3>

図 1 3 は、本開示の実施形態に係る半導体装置の変形例の模式断面図である。

[0092] 図 1 3 に示すように、穴部 2 0 D は、一方主面 2 0 A 及び他方主面 2 0 B の一方に開口して、一方主面 2 0 A 及び他方主面 2 0 B の他方において有底であってもよい。図 1 3 に示す変形例 3 では、穴部 2 0 D は、一方主面 2 0 A に開口して、他方主面 2 0 B 側において有底である。穴部 2 0 D は、側面 2 0 D a と、底面 2 0 D b とを備える。側面 2 0 D a は、一方主面 2 0 A 及び他方主面 2 0 B の一方から他方へ向けて延びている。図 1 3 に示す変形例 3 では、側面 2 0 D a は、一方主面 2 0 A から他方主面 2 0 B へ向けて延びている。底面 2 0 D b は、側面 2 0 D a における一方主面 2 0 A 及び他方主面 2 0 B の他方側の端部と繋がっている。図 1 3 に示す変形例 3 では、底面 2 0 D b は、側面 2 0 D a における他方主面 2 0 B 側の端部と繋がっている。変形例 3 において、側面 2 0 D a 及び底面 2 0 D b の境界部 2 0 D c は、湾曲面である。つまり、側面 2 0 D a と底面 2 0 D b との境界部 2 0 D c は角を有していない。

[0093] 穴部 2 0 D は、他方主面 2 0 B に開口して、一方主面 2 0 A 側において有底であってもよい。

[0094] 穴部 2 0 D は、トレンチ部 2 0 C よりも深い。穴部 2 0 D の厚み方向 1 0

1の長さL1は、トレンチ部20Cの厚み方向101の長さL2より長い。

[0095] 変形例3によれば、穴部20Dは有底である。つまり、穴部20Dは、厚み方向101に貫通していない。そのため、変形例3によれば、穴部20Dが厚み方向101に貫通している構成に比べて、穴部20Dのアスペクト比を小さくすることができる。その結果、穴部20Dに導電材料を充填することが容易である。

[0096] 穴部20Dにおいて側面20Daと底面20Dbとの境界部20Dcが湾曲面でなく屈曲して角を有している場合、穴部20Dに導電材料を充填する際に角の部分に導電材料が充填されずに空隙が生じるおそれがある。変形例3によれば、穴部20Dにおいて側面20Daと底面20Dbとの境界部20Dcは湾曲面であるため、穴部20Dに導電材料を充填する際に空隙を無くす又は空隙を少なくすることができる。

[0097] 変形例3によれば、穴部20Dの厚み方向101の長さL1がトレンチ部20Cの厚み方向101の長さL2以下である構成に比べて、容量部30の外部から充填部40を介して容量部30へ向かうノイズを確実に抑制することができる。

[0098] 変形例3によれば、半導体基材20の他方主面20B側を削る場合に、トレンチ部を他方主面20Bに開口させることなく、穴部20Dを他方主面20Bに開口させることができる。トレンチ部20Cが他方主面20Bへ開口しないことにより、容量部30の特性（言い換えると静電容量）を損なうことを抑制することができる。

[0099] <半導体装置の変形例4>

図14は、本開示の実施形態に係る半導体装置の変形例の模式断面図である。

[0100] 図14に示すように、充填部40は、磁性材料を含んでいてもよい。図14に示す充填部40は、導電層42に加えて、磁性層45を備える。

[0101] 磁性層45は、磁性材料で構成されている。つまり、図14に示す変形例4の半導体装置10の充填部40は、充填部40の一部である磁性層45に

において磁性材料が含まれており、当該一部以外の導電層42において導電材料が含まれていない。

[0102] 磁性材料は、例えば、球形の金属磁性粉である。金属磁性粉の最大組成元素は鉄（Fe）であり、メディアン径D50は5 μ m以下である。金属磁性粉は、例えばエポキシやフェノール、アクリル、ポリイミドといった有機樹脂とのコンポジット材料である。金属時製粉がコンポジット材料であることにより、粉体間の絶縁をとれ、半導体装置10を損失のすくないインダクタ部品として提供することができる。

[0103] 導電層42及び磁性層45の各々は、穴部20Dを厚み方向101に貫通している。言い換えると、導電層42及び磁性層45の各々は、穴部20Dにおける厚み方向101の一端部から他端部まで延びている。

[0104] 厚み方向101に沿って見て、磁性層45は導電層42を囲んでいる。言い換えると、導電層42は、磁性層45を厚み方向101に貫通している。磁性層45の外周面は、穴部20Dの側面20Daと接触している。

[0105] なお、導電層42は、磁性層45を厚み方向101に貫通していなくてもよい。例えば、導電層42が穴部20Dにおける容量部30側に設けられ且つ磁性層45が穴部20Dにおける容量部30とは反対側に設けられることによって、厚み方向101に沿って見て導電層42及び磁性層45が並んで設けられていてもよい。

[0106] 変形例4によれば、磁性層45を磁気シールドとして機能させることができる。また、変形例4によれば、充填部40をインダクタとして機能させることができる。

[0107] 変形例4によれば、厚み方向101に沿って見て穴部20Dの面積が1つのトレンチ部20Cの面積より大きい。そのため、変形例4によれば、厚み方向101に沿って見て穴部20Dの面積が1つのトレンチ部20Cの面積以下である構成に比べて、充填部40がインダクタとして機能する場合に、当該インダクタのQ値を大きくすることができる。

[0108] <モジュール部材>

図15は、本開示の実施形態に係るモジュール部材の模式断面図である。

[0109] 図15に示すように、モジュール部材70は、前述した実施形態及び各変形例のいずれかの半導体装置10と、電子部品71と、半導体装置10及び電子部品71が設けられた実装基板72とを備える。厚み方向101に沿って見て、図15及び後述する図16～図18における実装基板72の面積は、半導体装置10の面積より大きいが、半導体装置10の面積以下であってもよい。

[0110] 電子部品71は、実装基板72の表実装面72A及び裏実装面72Bの少なくとも一方に実装されている。図15に示す構成では、電子部品71は、表実装面72Aに実装されている。電子部品71は、集積回路(integrated circuit: IC)であるが、ICに限らない。例えば、電子部品71は、抵抗やインダクタ等であってもよい。

[0111] 図15に示す実装基板72は、インターポーザ基板である。実装基板72は、シリコンで構成されているが、シリコン以外（例えばセラミック）で構成されていてもよい。インターポーザ基板は、ベース基板上にビルドアップフィルムなどの有機樹脂を、配線を形成しながら積層していく。この際に、ビルドアップフィルムの一部を開口し、電子部品71や半導体装置10などの部品を埋め込むことができる。最後にビルドアップフィルムと埋め込まれた部品とを研削することで厚みを同じにすることができる。図15に示す実装基板72（インターポーザ基板）は、ガラス繊維を含む。ガラス繊維を含むことによって実装基板72の強度が高くなり、基板の反りを抑制することができる。

[0112] なお、図15に示す実装基板72は、インターポーザ基板に限らず、例えばガラスエポキシ等で構成された基板（図16参照）や、コア材721を備える基板（図17参照）であってもよい。

[0113] 実装基板72は、表実装面72Aと、表実装面72Aの裏面である裏実装面72Bを有する。表実装面72A及び裏実装面72Bは、実装基板72の厚み方向101において互いに間隔を空けて設けられている。表実装面72

A及び裏実装面72Bは、厚み方向101において互いに反対を向く。

[0114] 実装基板72には、半導体装置10が埋め込まれている。図15に示す構成では、半導体装置10の一部が裏実装面72Bにおいて実装基板72の外部に露出しており、半導体装置10のうち外部に露出している部分が裏実装面72Bの一部を構成している。なお、半導体装置10は、実装基板72の外部に露出しないように完全に実装基板72に埋め込まれていてもよい。また、半導体装置10は、一部が実装基板72の外部から突出するように一部のみ実装基板72に埋め込まれていてもよい。以上のように、半導体装置10の少なくとも一部は、実装基板72の内部に設けられている。

[0115] 厚み方向101に沿って見て、半導体装置10の少なくとも一部と電子部品71の少なくとも一部とは重なる位置にある。図15に示す構成と後述する図16～図18に示す構成とにおいて、厚み方向101に沿って見て、半導体装置10の全部が電子部品71と重なる位置にある。

[0116] 実装基板72は、外部電極725と、貫通電極726とを備える。外部電極725及び貫通電極726は、銅などの導電材料で構成されている。

[0117] 外部電極725は、表実装面72A及び裏実装面72Bの少なくとも一方に設けられている。図15に示す構成において、外部電極725は、表実装面72A及び裏実装面72Bの両方に設けられている。

[0118] 表実装面72Aに設けられた外部電極725は、半田711を介して電子部品71と電氣的に接続されている。なお、図15に示す構成では、裏実装面72Bに設けられた外部電極725は、電子部品71と電氣的に接続されていないが、半田727を介して電子部品71と電氣的に接続されていてもよい。

[0119] 貫通電極726は、実装基板72を厚み方向101に貫通する貫通穴に充填されることによって、実装基板72を厚み方向101に貫通している。図15に示す構成において、貫通電極726は、シリコン貫通電極(Through-Silicon Via: TSV)である。

[0120] 外部電極725、貫通電極726、半導体装置10の充填部40、及び半

田 7 1 1、7 2 7 は、互いに電氣的に接続され得る。例えば、図 1 5 に示す構成では、貫通電極 7 2 6 と外部電極 7 2 5 とは電氣的に接続されており、半導体装置 1 0 の充填部 4 0 は貫通電極 7 2 6 及び半田 7 2 7 と電氣的に接続されている。

[0121] 本実施形態によれば、電子部品 7 1 の近くに半導体装置 1 0 を設けることができる。その結果、半導体装置 1 0 の信号品位(Signal Integrity: SI)を向上させることができる。

[0122] <モジュール部材の変形例 1>

図 1 6 は、本開示の実施形態に係るモジュール部材の変形例の模式断面図である。

[0123] 図 1 6 に示すように、半導体装置 1 0 の一部が、表実装面 7 2 A 及び裏実装面 7 2 B の双方において実装基板 7 2 の外部に露出しているもよい。

[0124] 図 1 6 に示す構成では、半導体装置 1 0 のうち表実装面 7 2 A に露出している部分が表実装面 7 2 A の一部を構成しており、半導体装置 1 0 のうち裏実装面 7 2 B に露出している部分が裏実装面 7 2 B の一部を構成している。つまり、半導体装置 1 0 の厚み方向 1 0 1 の長さ、実装基板 7 2 の厚み方向 1 0 1 の長さとは、同じ又は略同じである。

[0125] 図 1 6 に示す実装基板 7 2 は、ガラスエポキシ等で構成された基板である。なお、図 1 6 に示す実装基板 7 2 は、例えばインターポーザ基板(図 1 5 参照)や、コア材 7 2 1 を備える基板(図 1 7 参照)であってもよい。

[0126] 図 1 6 に示す実装基板 7 2 は、外部電極 7 2 5 と、内部電極 7 2 4 とを備える。外部電極 7 2 5 及び内部電極 7 2 4 は、銅などの導電材料で構成されている。内部電極 7 2 4 は、実装基板 7 2 の内部に設けられている。半導体装置 1 0 の充填部 4 0 は、外部電極 7 2 5 及び半田 7 2 7 と電氣的に接続されている。

[0127] 図 1 6 には示されていないが、内部電極 7 2 4 は、貫通電極 7 2 6 を介して外部電極 7 2 5、半導体装置 1 0 の充填部 4 0、及び他の内部電極 7 2 4 等と接続され得る。内部電極 7 2 4、外部電極 7 2 5、貫通電極 7 2 6、半

導体装置 10 の充填部 40、及び半田 711、727 は、互いに電氣的に接続され得る。

[0128] 変形例 1 によれば、半導体装置 10 の厚みを実装基板 72 の厚みと同じにすることができる。これにより、半導体装置 10 の厚みが実装基板 72 の厚みより薄い構成よりも、容量部 30 の特性を向上させることができる。例えば、静電容量の大きくすることができる。

[0129] <モジュール部材の変形例 2>

図 17 は、本開示の実施形態に係るモジュール部材の変形例の模式断面図である。

[0130] 図 17 に示すように、半導体装置 10 は、実装基板 72 の表面に実装されていてもよい。つまり、半導体装置 10 は、実装基板 72 の外部に設けられていてもよい。

[0131] 図 17 に示す構成では、電子部品 71 が表実装面 72A に実装され、半導体装置 10 が裏実装面 72B に実装されている。なお、電子部品 71 は裏実装面 72B に実装されてもよいし、半導体装置 10 は表実装面 72A に実装されてもよいし、電子部品 71 及び半導体装置 10 が同じ実装面に実装されていてもよい。また、電子部品 71 及び半導体装置 10 の各々は、表実装面 72A 及び裏実装面 72B の両方に実装されていてもよい。

[0132] 図 17 に示す実装基板 72 は、コア材 721 と、コア材 721 を厚み方向 101 に挟むように設けられた絶縁基材 722、723 とを備える。絶縁基材 722、723 の内部には、内部電極 724 が設けられている。絶縁基材 722 におけるコア材 721 との接触面に対する反対側の面は、実装基板 72 の表実装面 72A である。絶縁基材 723 におけるコア材 721 との接触面に対する反対側の面は、実装基板 72 の裏実装面 72B である。表実装面 72A 及び裏実装面 72B に外部電極 725 が設けられている。貫通電極 726 は、コア材 721、絶縁基材 722、及び絶縁基材 723 の少なくとも一つを貫通し得る。貫通電極 726 は、内部電極 724 及び外部電極 725 と電氣的に接続され得る。

[0133] なお、図 1 7 に示す実装基板 7 2 は、例えばインターポーザ基板（図 1 5 参照）や、ガラスエポキシ等で構成された基板（図 1 6 参照）であってもよい。また、図 1 7 に示す半導体装置 1 0 は、有底の充填部 4 0 を有しているが、半導体基材 2 0 を厚み方向 1 0 1 に貫通した充填部 4 0 を有していてもよい。

[0134] 変形例 2 によれば、半導体装置 1 0 を電子部品 7 1 の近くに配置することができる。これにより、半導体装置 1 0 と電子部品 7 1 との間における寄生容量を減らすことができる。

[0135] <回路基板>

図 1 8 は、本開示の実施形態に係る回路基板の模式断面図である。

[0136] 図 1 8 に示すように、回路基板 1 は、図 1 7 に示す変形例 2 のモジュール部材 7 0 と、モジュール部材 7 0 が実装された主基板 8 0 とを備える。なお、回路基板 1 は、図 1 7 に示すモジュール部材 7 0 ではなく、変形例 2 以外の実施形態のモジュール部材 7 0 を備えていてもよい。厚み方向 1 0 1 に沿って見て、図 1 8 における主基板 8 0 の面積は、実装基板 7 2 の面積より大きい。図 1 8 における主基板 8 0 の面積は、実装基板 7 2 の面積以下であってもよい。図 1 8 における主基板 8 0 の厚みは、実装基板 7 2 の厚みより厚いが、実装基板 7 2 の厚み以下であってもよい。

[0137] 主基板 8 0 は、図 1 7 に示す実装基板 7 2 と同様に、コア材 8 1 と、コア材 8 1 を厚み方向 1 0 1 に挟むように設けられた絶縁基材 8 2、8 3 とを備える。図 1 8 に示す構成において、コア材 8 1 は実装基板 7 2 のコア材 7 2 1 と同構成であり、絶縁基材 8 2、8 3 は実装基板 7 2 の絶縁基材 7 2 2、7 2 3 と同構成である。

[0138] なお、主基板 8 0 は、インターポーザ基板であってもよいし、ガラスエポキシ等で構成された基板であってもよい。

[0139] 主基板 8 0 は、表実装面 8 0 A と、表実装面 8 0 A の裏面である裏実装面 8 0 B を有する。表実装面 8 0 A 及び裏実装面 8 0 B は、主基板 8 0 の厚み方向 1 0 1 において互いに間隔を空けて設けられている。表実装面 8 0 A 及

び裏実装面 80B は、厚み方向 101 において互いに反対を向く。絶縁基材 82 におけるコア材 81 との接触面に対する反対側の面は、主基板 80 の表実装面 80A である。絶縁基材 83 におけるコア材 81 との接触面に対する反対側の面は、主基板 80 の裏実装面 80B である。

[0140] 主基板 80 は、内部電極 84 と、外部電極 85 と、貫通電極 86 とを備える。内部電極 84、外部電極 85、及び貫通電極 86 は、銅などの導電材料で構成されている。

[0141] 内部電極 84 は、実装基板 72 の内部電極 724 と同様に、主基板 80 の内部に設けられている。外部電極 85 は、実装基板 72 の外部電極 725 と同様に、表実装面 80A 及び裏実装面 80B の少なくとも一方に設けられている。貫通電極 86 は、実装基板 72 の貫通電極 726 と同様に、コア材 81、絶縁基材 82、及び絶縁基材 83 の少なくとも一つを貫通し得る。内部電極 84、外部電極 85、及び貫通電極 86 は、互いに電氣的に接続され得る。

[0142] モジュール部材 70 は、表実装面 80A 及び裏実装面 80B の少なくとも一方に実装され得る。図 18 に示す回路基板 1 では、モジュール部材 70 は、表実装面 80A に実装されている。

[0143] モジュール部材 70 が備える半導体装置 10 は、実装基板 72 と主基板 80 との間に位置している。

[0144] 図 18 に示す回路基板 1 の製造過程において、図 17 に示すモジュール部材 70 が主基板 80 に実装される実装工程が実行される。実装工程の前に、図 17 に示すモジュール部材 70 が備える半導体装置 10 の充填部 40 を露出する露出工程が実行される。

[0145] 図 17 に示すモジュール部材 70 において、半導体装置 10 は有底の充填部 40 を有している。また、半田 727 の先端部 727A は、厚み方向 101 において、容量部 30 よりも穴部 20D の底面 20Db 側に位置している。

[0146] 露出工程において、半導体装置 10 及び半田 727 が、図 17 に破線で示

す位置で研削される。図 17 に破線で示す位置は、厚み方向 101 における半田 727 の先端部 727A と容量部 30 との間である。これにより、充填部 40 の下面 40B が外部に露出される。また、充填部 40 の下面 40B と半田 727 の先端部 727B とが図 17 に破線で示す研削面上（同一平面上）に位置する。

[0147] 次の実装工程において、露出工程を経たモジュール部材 70 が主基板 80 の表実装面 80A に実装される。このとき、露光工程において、充填部 40 の下面 40B と半田 727 の先端部 727B とが同一平面上に位置するため、実装が容易である。

[0148] 露出工程が実行されることによって、ハンドリング性を兼ね備えた上で薄型のモジュール部材 70 を主基板 80 に実行することができる。また、露出工程が実行されることによって、モジュール部材 70 の実装基板 72 の裏実装面 72B に実装された半導体装置 10 の高さを、半田 727 の高さと同じとすることができる。

[0149] 本実施形態によれば、半導体装置 10 が実装基板 72 と主基板 80 との間に位置している。つまり、厚み方向 101 に沿って見て、半導体装置 10 と実装基板 72 とが重なっている。そのため、厚み方向 101 に沿って見て、半導体装置 10 と実装基板 72 とが重なっていない構成よりも、回路基板 1 を小型化することができる。

[0150] 本実施形態によれば、半導体装置 10 が実装基板 72 と主基板 80 との間に位置しているため、外部のノイズの半導体装置 10 への進入を、例えば実装基板 72 及び主基板 80 に設けられたシールド膜によって低減することができる。

[0151] 以上説明した半導体装置 10、モジュール部材 70、及び回路基板 1 は、以下のようにも表現することができる。

[0152] 本開示の第 1 態様によれば、

一方主面と前記一方主面に対して厚み方向に間隔を空けて設けられ且つ前記一方主面と前記厚み方向の反対を向く他方主面とを有する半導体基材であ

って、前記一方主面に少なくとも1つのトレンチ部が設けられ、前記厚み方向に沿って延びて前記一方主面及び前記他方主面の少なくとも一方に開口し且つ前記厚み方向に沿って見て1つの前記トレンチ部よりも大きな面積を有する穴部が設けられている半導体基材と、

前記トレンチ部の内部に少なくとも設けられ、誘電体層と前記誘電体層を挟む2つの電極層とを有する容量部と、

前記穴部の内部に設けられ、導電材料を含む充填部と、を備える、半導体装置を提供する。

[0153] 本開示の第2態様によれば、

前記一方主面及び前記他方主面の少なくとも一方に設けられ、前記充填部に接触する導電性の外部端子を更に備える、第1態様に記載の半導体装置を提供する。

[0154] 本開示の第3態様によれば、

前記一方主面及び前記他方主面の少なくとも一方に設けられ、前記半導体装置が備える他の導電性部分と電氣的に接続されていない導電性のダミー端子を更に備える、第1態様または第2態様に記載の半導体装置を提供する。

[0155] 本開示の第4態様によれば、

前記充填部は、

樹脂で構成された埋込層と、

前記厚み方向に沿って見て前記埋込層を囲み、導電材料を含む導電層と、

前記厚み方向に沿って見て前記導電層を囲み、導電材料を含むバリア層と

、

前記厚み方向に沿って見て前記バリア層を囲み、絶縁材料で構成された隔離層と、を備える、第1態様から第3態様のいずれか1つに記載の半導体装置を提供する。

[0156] 本開示の第5態様によれば、

前記穴部は、前記一方主面及び前記他方主面の一方に開口し、前記一方主面及び前記他方主面の他方側において有底である、第1態様から第4態様の

いずれか1つに記載の半導体装置を提供する。

[0157] 本開示の第6態様によれば、

前記穴部は、

前記一方主面及び前記他方主面の一方から他方へ向けて延びる側面と、

前記側面における前記一方主面及び前記他方主面の他方側の端部と繋がっている底面と、を備え、

前記側面及び前記底面の境界部は、湾曲面である、第5態様に記載の半導体装置を提供する。

[0158] 本開示の第7態様によれば、

前記穴部の前記厚み方向の長さは、前記トレンチ部の前記厚み方向の長さより長い、第5態様または第6態様に記載の半導体装置を提供する。

[0159] 本開示の第8態様によれば、

前記充填部は、

前記穴部における前記厚み方向の一端部から他端部まで延び、導電材料を含む導電層と、

前記穴部における前記厚み方向の一端部から他端部まで延び、磁性材料を含む磁性層と、を備える、第1態様から第7態様のいずれか1つに記載の半導体装置を提供する。

[0160] 本開示の第9態様によれば、

前記導電層は、前記磁性層を前記厚み方向に貫通する、第8態様に記載の半導体装置を提供する。

[0161] 本開示の第10態様によれば、

第1態様から第9態様のいずれか1つに記載の半導体装置と、

電子部品と、

前記電子部品が実装された表実装面と前記表実装面の裏面である裏実装面とを有し、前記半導体装置が設けられた実装基板と、を備える、モジュール部材を提供する。

[0162] 本開示の第11態様によれば、

前記半導体装置の少なくとも一部は、前記実装基板の内部に設けられている、第10態様に記載のモジュール部材を提供する。

[0163] 本開示の第12態様によれば、

前記半導体装置は、前記表実装面及び前記裏実装面に露出している、第11態様に記載のモジュール部材を提供する。

[0164] 本開示の第13態様によれば、

前記半導体装置は、前記表実装面及び前記裏実装面の少なくとも一方に実装されている、第10態様に記載のモジュール部材を提供する。

[0165] 本開示の第14態様によれば、

前記厚み方向に沿って見て、前記半導体装置の少なくとも一部と前記電子部品の少なくとも一部とは重なる位置にある、第10態様から第13態様のいずれか1つに記載のモジュール部材を提供する。

[0166] 本開示の第15態様によれば、

第10態様から第14態様のいずれか1つに記載のモジュール部材と、
前記モジュール部材が表面に実装された主基板と、を備え、

前記半導体装置は、前記実装基板と前記主基板との間に位置している、回路基板を提供する。

[0167] なお、前記様々な実施形態のうちの任意の実施形態を適宜組み合わせることにより、それぞれの有する効果を奏するようにすることができる。

[0168] 本発明は、適宜図面を参照しながら好ましい実施の形態に関連して十分に記載されているが、この技術に熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

符号の説明

[0169] 1 回路基板

10 半導体装置

20 半導体基材

- 2 0 A 一方主面
- 2 0 B 他方主面
- 2 0 C トレンチ部
- 2 0 D 穴部
 - 2 0 D a 側面
 - 2 0 D b 底面
 - 2 0 D c 境界部
- 3 0 容量部
- 4 0 充填部
 - 4 1 埋込層
 - 4 2 導電層
 - 4 3 バリア層
 - 4 4 隔離層
 - 4 5 磁性層
- 5 1 外部端子
- 5 2 ダミー端子
- 7 0 モジュール部材
 - 7 1 電子部品
 - 7 2 実装基板
 - 7 2 A 表実装面
 - 7 2 B 裏実装面
- 8 0 主基板
- 1 0 1 厚み方向

請求の範囲

- [請求項1] 一方主面と前記一方主面に対して厚み方向に間隔を空けて設けられ且つ前記一方主面と前記厚み方向の反対を向く他方主面とを有する半導体基材であって、前記一方主面に少なくとも1つのトレンチ部が設けられ、前記厚み方向に沿って延びて前記一方主面及び前記他方主面の少なくとも一方に開口し且つ前記厚み方向に沿って見て1つの前記トレンチ部よりも大きな面積を有する穴部が設けられている半導体基材と、
- 前記トレンチ部の内部に少なくとも設けられ、誘電体層と前記誘電体層を挟む2つの電極層とを有する容量部と、
- 前記穴部の内部に設けられ、導電材料を含む充填部と、を備える、半導体装置。
- [請求項2] 前記一方主面及び前記他方主面の少なくとも一方に設けられ、前記充填部に接触する導電性の外部端子を更に備える、請求項1に記載の半導体装置。
- [請求項3] 前記一方主面及び前記他方主面の少なくとも一方に設けられ、前記半導体装置が備える他の導電性部分と電氣的に接続されていない導電性のダミー端子を更に備える、請求項1または2に記載の半導体装置。
- [請求項4] 前記充填部は、
- 樹脂で構成された埋込層と、
- 前記厚み方向に沿って見て前記埋込層を囲み、導電材料を含む導電層と、
- 前記厚み方向に沿って見て前記導電層を囲み、導電材料を含むバリア層と、
- 前記厚み方向に沿って見て前記バリア層を囲み、絶縁材料で構成された隔離層と、を備える、請求項1から3のいずれか1項に記載の半導体装置。

- [請求項5] 前記穴部は、前記一方主面及び前記他方主面の一方に開口し、前記一方主面及び前記他方主面の他方側において有底である、請求項 1 から 4 のいずれか 1 項に記載の半導体装置。
- [請求項6] 前記穴部は、
前記一方主面及び前記他方主面の一方から他方へ向けて延びる側面と、
前記側面における前記一方主面及び前記他方主面の他方側の端部と繋がっている底面と、を備え、
前記側面及び前記底面の境界部は、湾曲面である、請求項 5 に記載の半導体装置。
- [請求項7] 前記穴部の前記厚み方向の長さは、前記トレンチ部の前記厚み方向の長さより長い、請求項 5 または 6 に記載の半導体装置。
- [請求項8] 前記充填部は、
前記穴部における前記厚み方向の一端部から他端部まで延び、導電材料を含む導電層と、
前記穴部における前記厚み方向の一端部から他端部まで延び、磁性材料を含む磁性層と、を備える、請求項 1 から 7 のいずれか 1 項に記載の半導体装置。
- [請求項9] 前記導電層は、前記磁性層を前記厚み方向に貫通する、請求項 8 に記載の半導体装置。
- [請求項10] 請求項 1 から 9 のいずれか 1 項に記載の半導体装置と、
電子部品と、
前記電子部品が実装された表実装面と前記表実装面の裏面である裏実装面とを有し、前記半導体装置が設けられた実装基板と、を備える、モジュール部材。
- [請求項11] 前記半導体装置の少なくとも一部は、前記実装基板の内部に設けられている、請求項 10 に記載のモジュール部材。
- [請求項12] 前記半導体装置は、前記表実装面及び前記裏実装面に露出している

、請求項 11 に記載のモジュール部材。

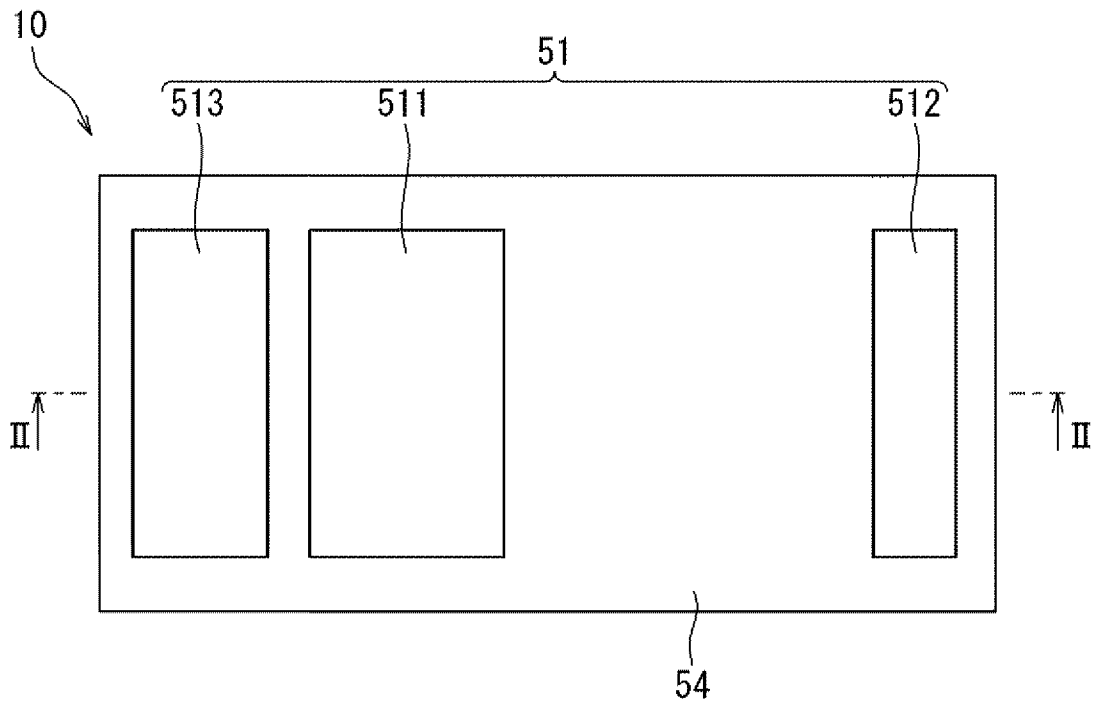
[請求項13] 前記半導体装置は、前記表実装面及び前記裏実装面の少なくとも一方に実装されている、請求項 10 に記載のモジュール部材。

[請求項14] 前記厚み方向に沿って見て、前記半導体装置の少なくとも一部と前記電子部品の少なくとも一部とは重なる位置にある、請求項 10 から 13 のいずれか 1 項に記載のモジュール部材。

[請求項15] 請求項 10 から 14 のいずれか 1 項に記載のモジュール部材と、
前記モジュール部材が表面に実装された主基板と、を備え、
前記半導体装置は、前記実装基板と前記主基板との間に位置している、回路基板。

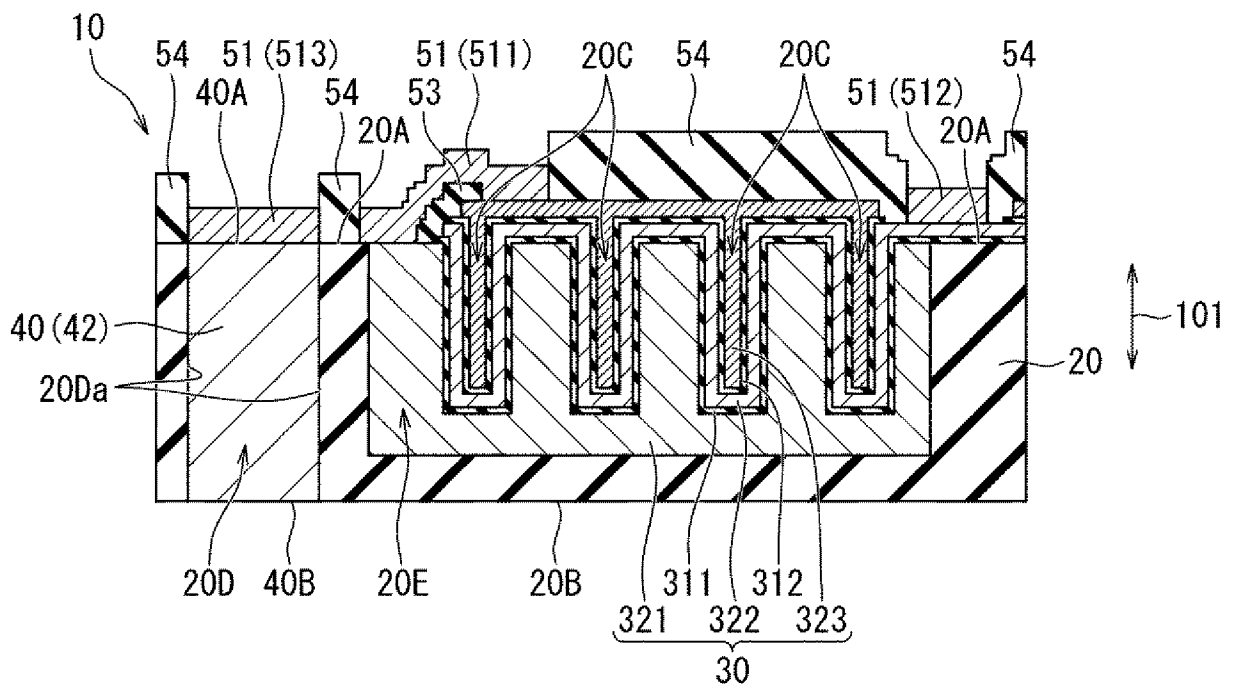
[図1]

図1



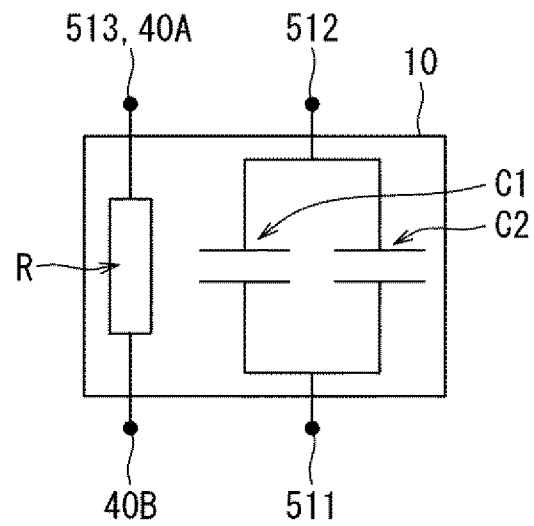
[図2]

図2



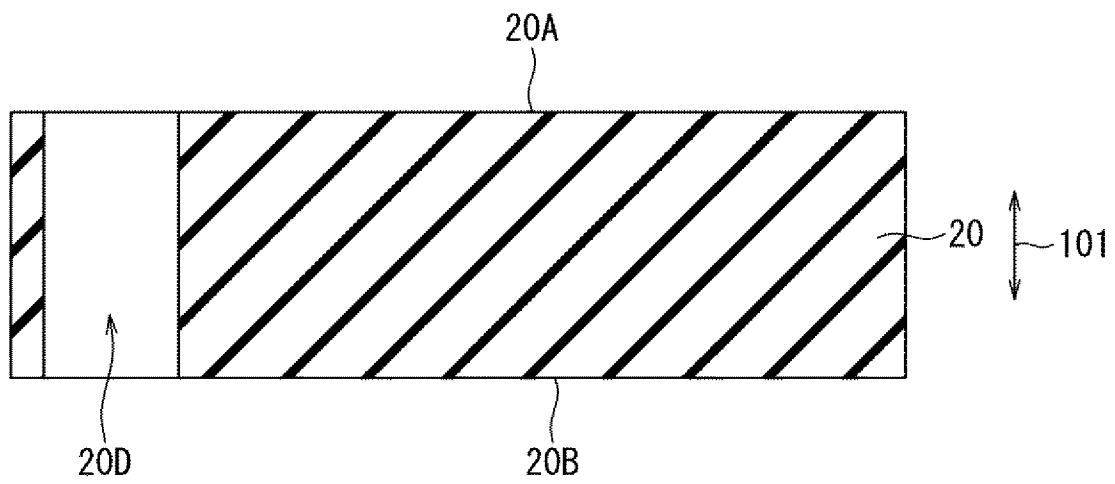
[図3]

図3



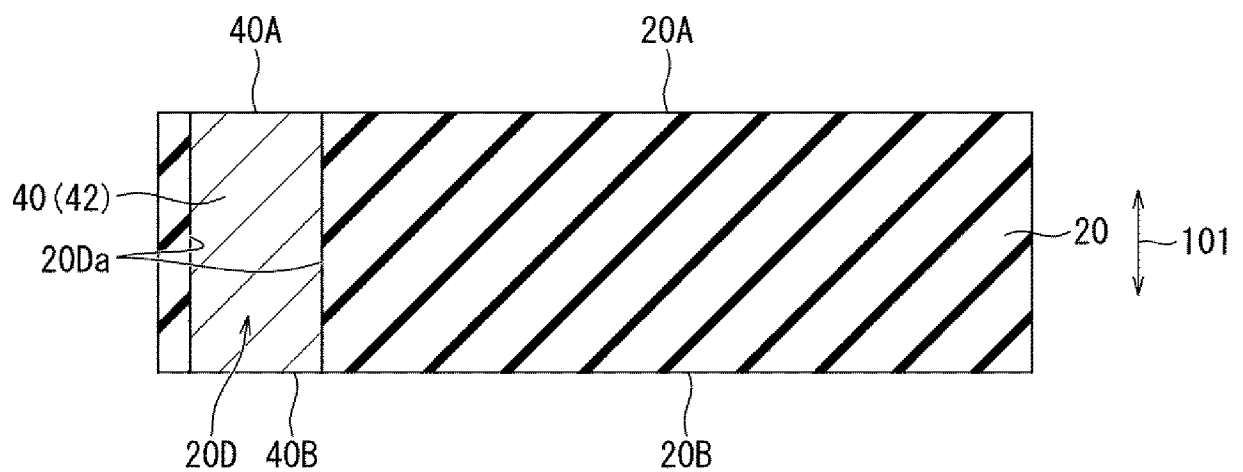
[図4]

図4



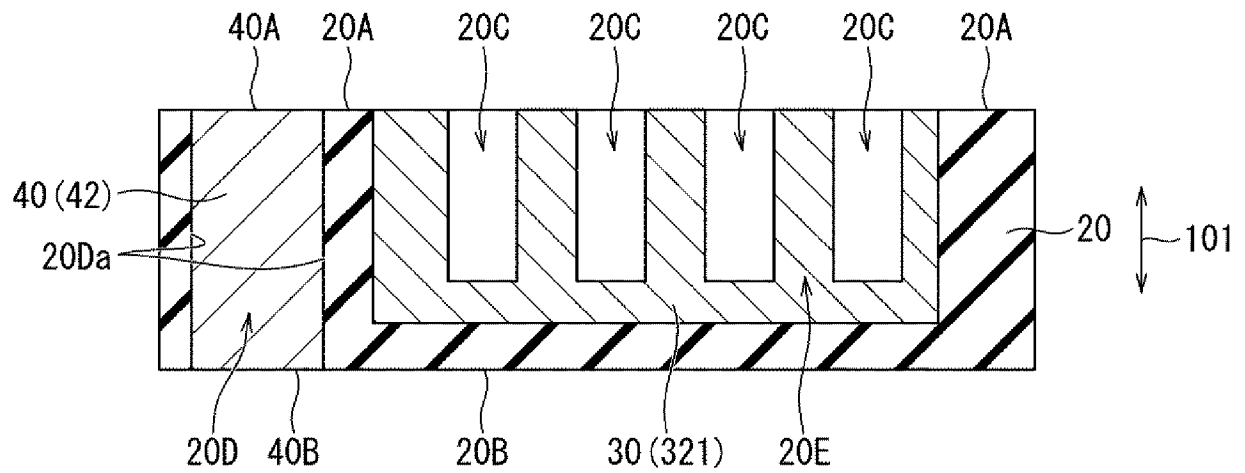
[図5]

図5



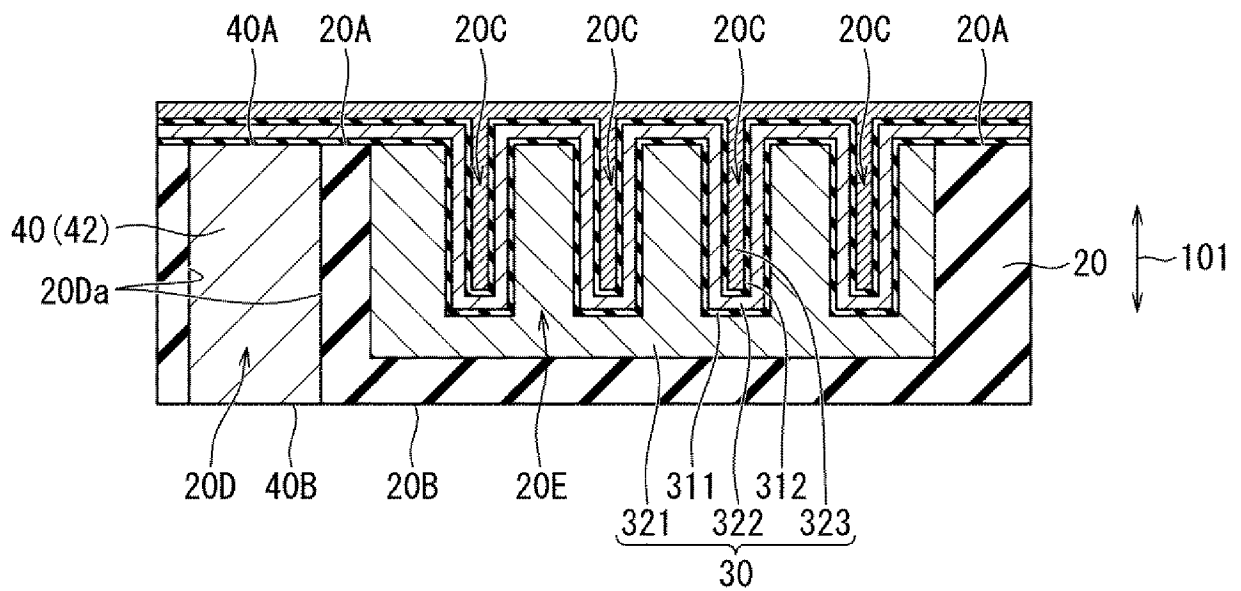
[図6]

図6



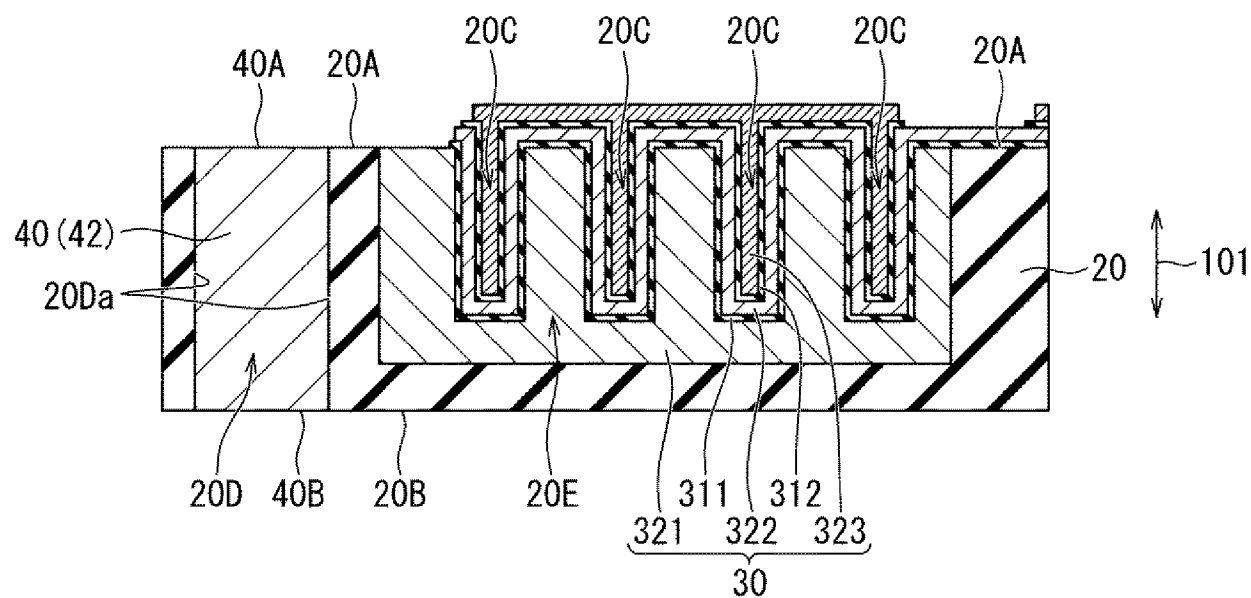
[図7]

図7



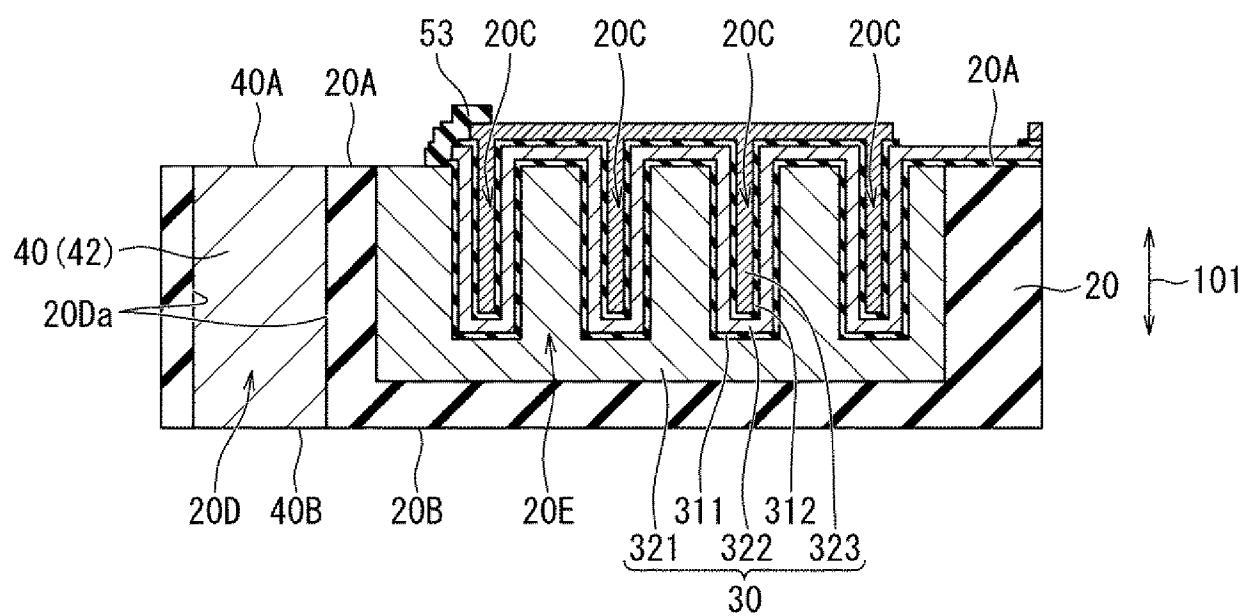
[図8]

図8



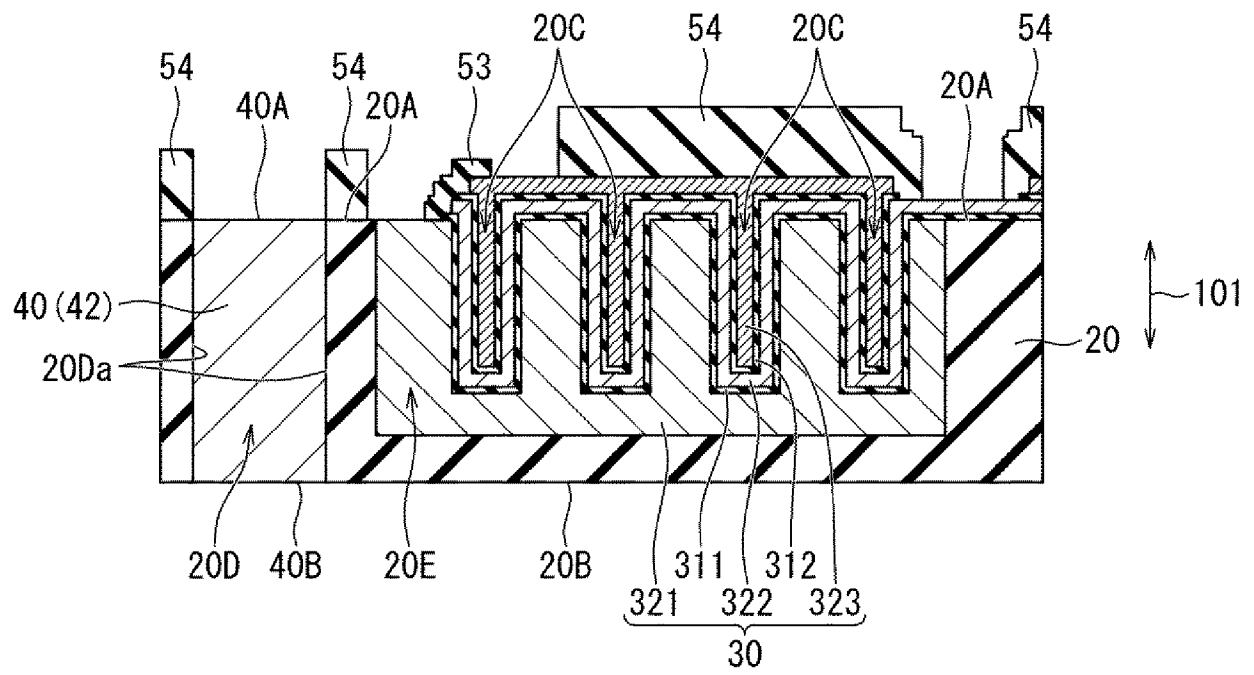
[図9]

図9

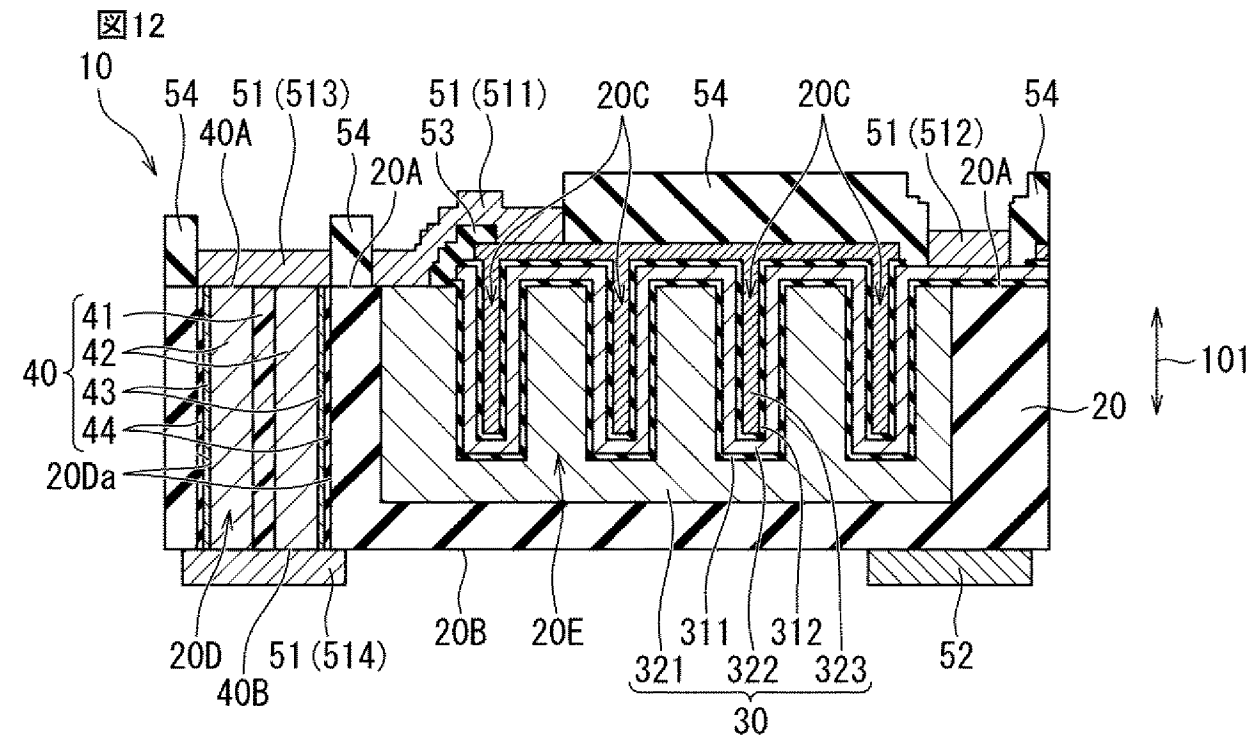


[図10]

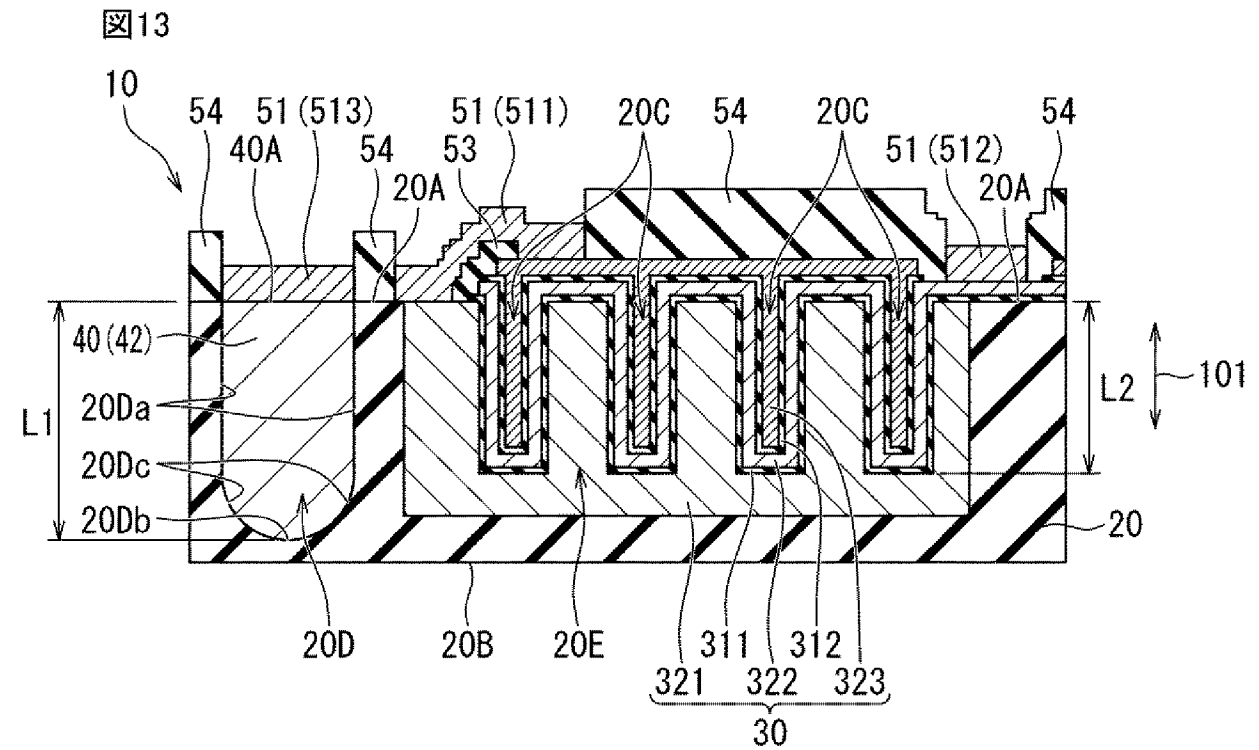
図10



[図12]

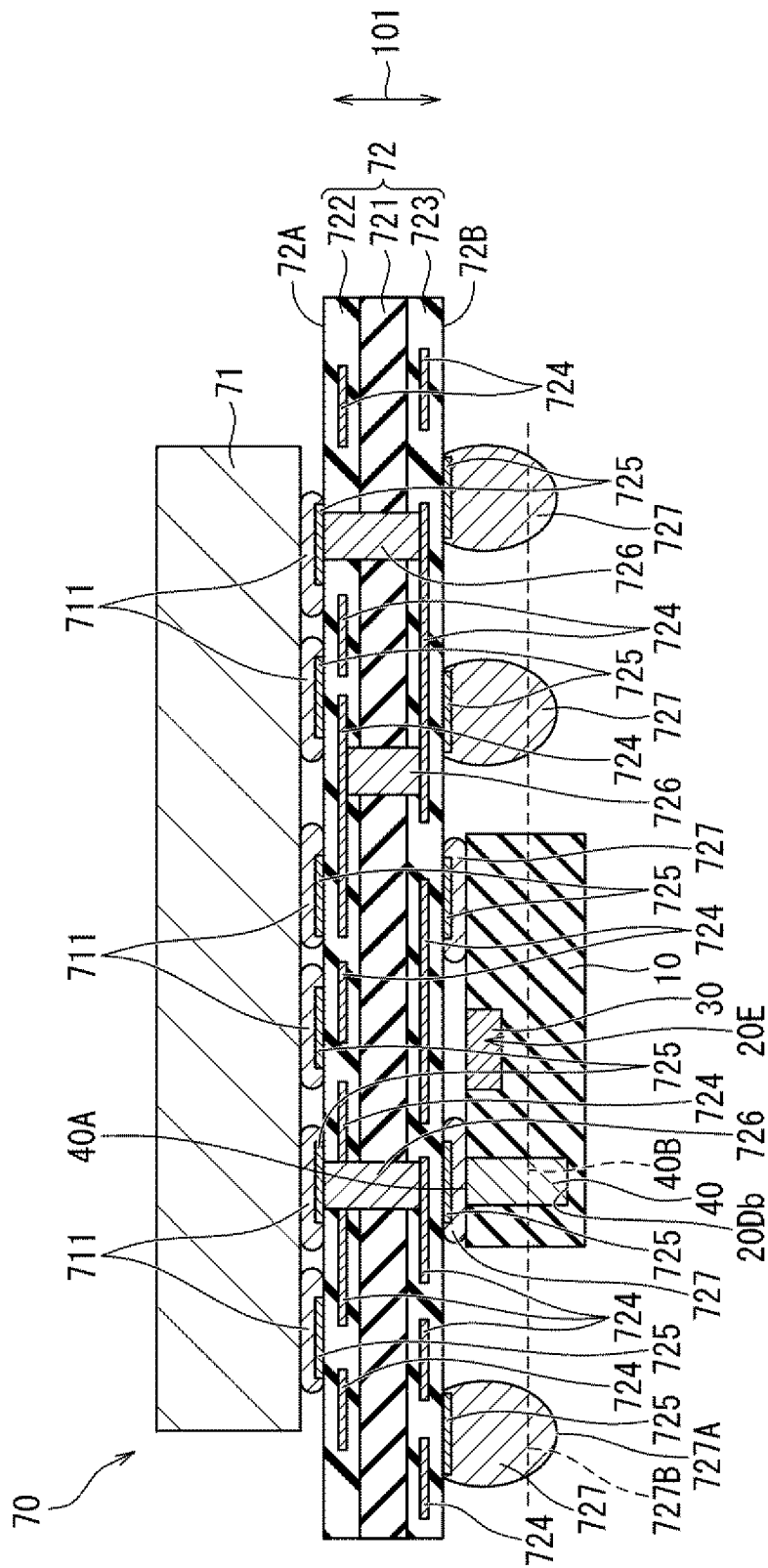


[図13]



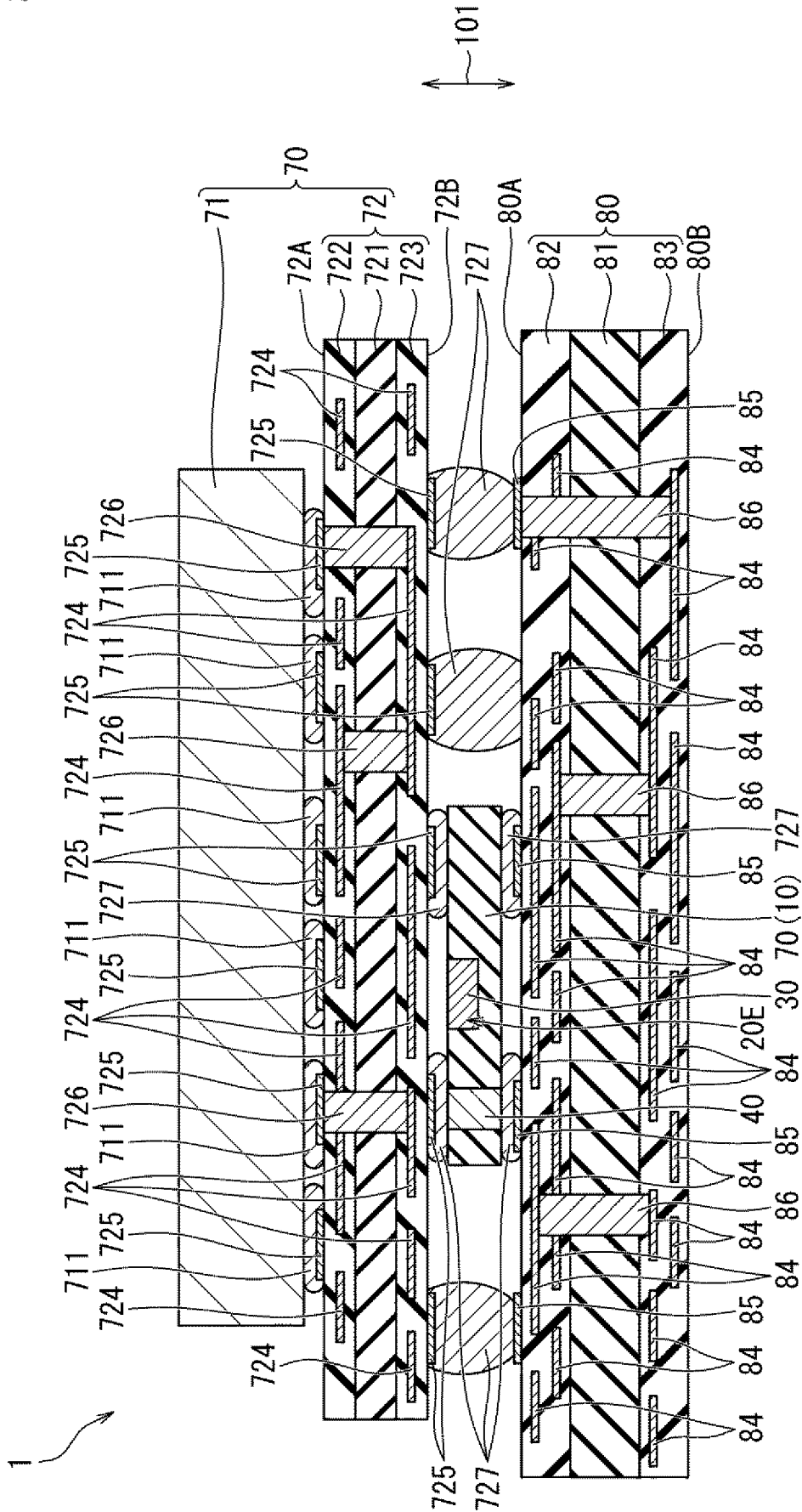
[図17]

図17



[図18]

図18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019382

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/04 (2006.01)i; H01G 4/30 (2006.01)i; H01G 4/33 (2006.01)i; H01L 21/822 (2006.01)i; H01L 23/12 (2006.01)i; H01L 25/065 (2023.01)i; H01L 25/07 (2006.01)i; H01L 25/18 (2023.01)i FI: H01L27/04 C; H01L27/04 E; H01L27/04 H; H01L23/12 B; H01L25/08 D; H01G4/33 102; H01G4/30 541 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/04; H01G4/30; H01G4/33; H01L21/822; H01L23/12; H01L25/065; H01L25/07; H01L25/18 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2022/0130949 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 28 April 2022 (2022-04-28) paragraphs [0023]-[0030], [0034], [0066]-[0070], fig. 1, 2, 18, 19	1, 2, 10-15
Y		3
A		4-9
Y	JP 2023-22078 A (INVENSAS BONDING TECHNOLOGIES, INC.) 14 February 2023 (2023-02-14) paragraphs [0015], [0021], fig. 1A, 1B	3
A	US 2023/0260977 A1 (MEDIATEK INC.) 17 August 2023 (2023-08-17)	1-15
A	WO 2021/060552 A1 (TAIYO YUDEN CO., LTD.) 01 April 2021 (2021-04-01)	1-15
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 25 July 2024		Date of mailing of the international search report 06 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/019382

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2022/0130949	A1	28 April 2022	DE	102021100397	A1	
				CN	114078839	A	
				KR	10-2022-0056084	A	
				TW	202218107	A	

JP	2023-22078	A	14 February 2023	US	2018/0190580	A1	
				paragraphs [0076], [0082], fig. 1A, 1B			
				WO	2018/126052	A1	
				TW	201841336	A	
				KR	10-2019-0092584	A	

US	2023/0260977	A1	17 August 2023	EP	4231351	A1	
				CN	116613148	A	
				TW	202335214	A	

WO	2021/060552	A1	01 April 2021	US	2022/0384113	A1	
				JP	2021-57374	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/04(2006.01)i; H01G 4/30(2006.01)i; H01G 4/33(2006.01)i; H01L 21/822(2006.01)i;
H01L 23/12(2006.01)i; H01L 25/065(2023.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i
FI: H01L27/04 C; H01L27/04 E; H01L27/04 H; H01L23/12 B; H01L25/08 D; H01G4/33 102; H01G4/30 541

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/04; H01G4/30; H01G4/33; H01L21/822; H01L23/12; H01L25/065; H01L25/07; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2022/0130949 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 28.04.2022 (2022 - 04 - 28) 段落0023-0030, 0034, 0066-0070、図1, 2, 18, 19	1, 2, 10-15
Y		3
A		4-9
Y	JP 2023-22078 A (インヴェンサス ボンディング テクノロジーズ インコーポレイ テッド) 14.02.2023 (2023 - 02 - 14) 段落0015, 0021、図1A, 1B	3
A	US 2023/0260977 A1 (MEDIATEK INC.) 17.08.2023 (2023 - 08 - 17)	1-15
A	WO 2021/060552 A1 (太陽誘電株式会社) 01.04.2021 (2021 - 04 - 01)	1-15

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に
公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し
くは他の特別な理由を確立するために引用する文献（理由を
付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の
後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵
触するものではなく、発明の原理又は理論の理解のために引
用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性
又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献
との、当業者にとって自明である組合せによって進歩性がな
いと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日 25.07.2024

国際調査報告の発送日 06.08.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

岩本 勉 5F 9355

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/019382

引用文献			公表日	パテントファミリー文献			公表日
US	2022/0130949	A1	28.04.2022	DE	102021100397	A1	
				CN	114078839	A	
				KR	10-2022-0056084	A	
				TW	202218107	A	

JP	2023-22078	A	14.02.2023	US	2018/0190580	A1	
				段落0076, 0082、図1A, 1B			
				WO	2018/126052	A1	
				TW	201841336	A	
				KR	10-2019-0092584	A	

US	2023/0260977	A1	17.08.2023	EP	4231351	A1	
				CN	116613148	A	
				TW	202335214	A	

WO	2021/060552	A1	01.04.2021	US	2022/0384113	A1	
				JP	2021-57374	A	
