

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年8月13日(13.08.2009)

PCT

(10) 国際公開番号
WO 2009/099182 A1

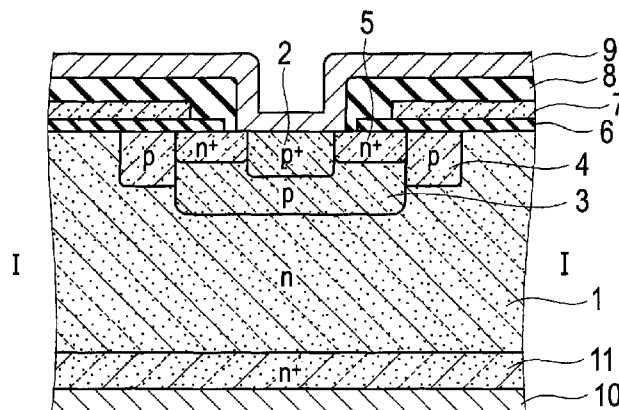
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/739 (2006.01)
H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2009/052050
- (22) 国際出願日: 2009年2月6日(06.02.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-026973 2008年2月6日(06.02.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大塚 拓一 (OTSUKA, Takukazu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP). 箕谷 周平 (MITANI, Shuhei) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目2番8号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG. 1



(57) Abstract: Provided is a semiconductor device which has an improved withstand voltage and can be manufactured by simpler manufacturing process. The semiconductor device is provided with a SiC-containing n type epitaxial layer (1) which is laminated on a surface of an n⁺ type substrate (11) containing SiC; n⁺ type source regions (5) arranged on a surface layer of the epitaxial layer (1) with a space in between; a p type well contact region (2) sandwiched between the source regions (5); a p type well region (3) arranged in contact with the surfaces, which are of the source regions (5) and the p type well contact region (2) and on the side of the substrate (11); and p-type well extension region (4) arranged to sandwich the source region (5) and the p type well region (3). As for impurity concentration of the p type well region (3), the concentration peak in the depth direction from the surface of the epitaxial layer (1) toward the substrate (11) is at a position deeper than that of the p type well extension region (4).

(57) 要約:

[続葉有]

WO 2009/099182 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

耐圧性が向上し、製造プロセスの簡易化が可能となる半導体装置を提供する。 本発明による半導体装置は、SiCを含むn⁺型基板11の表面に積層された、SiCを含むn型エピタキシャル層1と、エピタキシャル層1の表面層に互いに隔離して配置されたn⁺型ソース領域5と、ソース領域5に挟まれたp型ウェルコンタクト領域2と、ソース領域5及びp型ウェルコンタクト領域2の基板11側表面に接して配置されたp型ウェル領域3と、ソース領域5及びp型ウェル領域3を挟むように配置されたp型ウェルエクステンション領域4とを備えている。p型ウェル領域3の不純物濃度は、エピタキシャル層1の表面から基板11に向かう深さ方向において、濃度ピーク位置がp型ウェルエクステンション領域4の不純物濃度における濃度ピーク位置より深い。

明 細 書

半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特に、炭化シリコンを用いた半導体装置に関する。

[0002] 近年、電力用半導体素子としてMOSFET(Metal Oxide Semiconductor Field Effect Transistor)やIGBT(Insulated Gate Bipolar Transistor)を用いた電力変換用半導体装置の開発が進められている。中でも、炭化シリコン(SiC)半導体を用いたものは、シリコン(Si)に比べ、SiCのバンドギャップが広く、また絶縁破壊電界が一桁も大きい等の理由から、特に注目されている。

[0003] 図25に、従来のSiCを用いたパワーMOSFETの構造の一例を示す。従来のパワーMOSFETは、 n^+ 型SiC半導体基板11の表面に n^- 型SiC半導体エピタキシャル層1が設けられている。 n^- 型SiC半導体エピタキシャル層1の表層部には、p型不純物領域14と、このp型不純物領域14内に p^+ 型不純物領域2を挟んで n^+ 型不純物領域5とが設けられている。

[0004] 従来、SiCでの不純物領域の形成には、Si半導体で用いられている熱拡散法による不純物領域の形成が困難であるため、通常イオン注入法が用いられている。(例えば、特許文献1参照。)

特許文献1:特開2002-299620号公報

発明の開示

発明が解決しようとする課題

[0005] しかし、SiCを用いたMOSFETでは、p型不純物領域14のゲート絶縁膜6との界面付近(チャネル領域)における不純物濃度が大きくなるとチャネル領域での移動度が低くなる。そのため、p型不純物領域14の表面付近の不純物濃度を低くするために、不純物イオンの注入ドーズ量を下げp型不純物領域14の不純物濃度を全体的に低く抑える必要があった。その結果、逆電圧を印加した場合、p型不純物領域14でパンチスルーが生じる。そのため、SiC本来の絶縁破壊電界の利点を生かせず、高い耐圧を得ることができないといった問題があった。

[0006] また、ガードリングやp型不純物領域、n型不純物領域をすべて異なるマスクで形成した場合、製造プロセスが増え、歩留まりが下がるといった問題があった。

[0007] 本発明の目的は、耐圧性が向上し、製造プロセスの簡易化が可能となる半導体装置を提供することにある。

課題を解決するための手段

[0008] 上記目的を達成するための本発明の一態様によれば、炭化シリコンを含む、第1主電極領域からなる基板と、前記基板の表面に積層された、炭化シリコンからなる第1導電型エピタキシャル層と、前記エピタキシャル層の表面層に互いに隔離して配置された第1導電型の第2主電極領域と、前記第2主電極領域に挟まれた第2導電型ウェルコンタクト領域と、前記第2主電極領域及び前記第2導電型ウェルコンタクト領域の前記基板側表面に接して配置された第2導電型ウェル領域と、前記第2主電極領域及び前記第2導電型ウェル領域を挟むように配置された第2導電型ウェルエクステンション領域と、前記第2主電極領域及び前記エピタキシャル層の表面露出部に挟まれた前記第2導電型ウェルエクステンション領域の表面にゲート絶縁膜を介して配置されたゲート電極と、前記第2主電極領域及び前記第2導電型ウェルコンタクト領域の表面に共通に接触して配置された第2主電極と、前記基板の表面に対向する裏面に配置された第1主電極とを備え、前記第2導電型ウェル領域が有する第2導電型不純物の濃度は、前記エピタキシャル層の表面から前記基板に向かう深さ方向において、濃度ピーク位置が、前記第2導電型ウェルエクステンション領域が有する前記第2導電型不純物の濃度における濃度ピーク位置より深いことを特徴とする半導体装置が提供される。

発明の効果

[0009] 本発明によれば、耐圧性が向上し、製造プロセスの簡易化が可能となる半導体装置を提供することができる。

図面の簡単な説明

[0010] [図1]本発明の第1の実施の形態に係る半導体装置の模式的断面構造図。

[図2]図1の模式的平面図。

[図3]本発明の第1の実施の形態に係る半導体装置の製造方法の説明図であって、

(a) 基板11の表面にエピタキシャル層1を形成する工程図、(b) ガードリング部も同時に形成することができるp型用マスクを用いて、エピタキシャル層1の表層部にp型ウェルエクステンション領域4を形成する工程図、(c) p型ウェル領域3を、n型用マスクを用いてエピタキシャル層1の表面層に形成する工程図。

[図4] 本発明の第1の実施の形態に係る半導体装置の製造方法の説明図であって、(d) n型用マスクを用いて n^+ 型ソース領域5及びp型ウェルコンタクト領域2を形成する工程図、(e) ゲート絶縁膜6を形成した後、ゲート電極7を形成する工程図、(f) 層間絶縁層8を形成した後、ソース電極9を形成する工程図。

[図5] イオン注入エネルギー380keV、ドーズ量 $3.6 \times 10^{13} \text{cm}^{-2}$ でドーピングしたときの深さ方向の不純物濃度を示す図。

[図6] イオン注入エネルギー300keV、ドーズ量 $1.8 \times 10^{13} \text{cm}^{-2}$ でドーピングしたときの深さ方向の不純物濃度を示す図。

[図7] イオン注入エネルギー300keV、ドーズ量 $6.0 \times 10^{12} \text{cm}^{-2}$ でドーピングしたときの深さ方向の不純物濃度を示す図。

[図8] イオン注入エネルギー250keV、ドーズ量 $1.8 \times 10^{13} \text{cm}^{-2}$ でドーピングしたときの深さ方向の不純物濃度を示す図。

[図9] イオン注入エネルギー200keV、ドーズ量 $8.0 \times 10^{12} \text{cm}^{-2}$ でドーピングしたときの深さ方向の不純物濃度を示す図。

[図10] シミュレーションにおける形状モデルを示す図であって、(a) は本発明の第1の実施の形態に係る半導体装置の形状モデル、(b) は従来の半導体装置の形状モデル、を示す図。

[図11] 本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について300keV/ $1.2 \times 10^{13} \text{cm}^{-2}$ 、2段目について380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図12] 本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について300keV/ $1.5 \times 10^{13} \text{cm}^{-2}$ 、2段目について380keV/ $3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図13] 本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結

果を示す図であって、不純物の照射条件を、1段目について $300\text{keV}/1.8 \times 10^{13} \text{cm}^{-2}$ 、2段目について $380\text{keV}/3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図14]本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $250\text{keV}/6.0 \times 10^{12} \text{cm}^{-2}$ 、2段目について $380\text{keV}/3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図15]本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $300\text{keV}/6.0 \times 10^{12} \text{cm}^{-2}$ 、2段目について $380\text{keV}/3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図16]本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $250\text{keV}/1.2 \times 10^{13} \text{cm}^{-2}$ 、2段目について $380\text{keV}/3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図17]本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $250\text{keV}/1.5 \times 10^{13} \text{cm}^{-2}$ 、2段目について $380\text{keV}/3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図18]本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $250\text{keV}/1.8 \times 10^{13} \text{cm}^{-2}$ 、2段目について $380\text{keV}/3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図19]本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $200\text{keV}/8.0 \times 10^{12} \text{cm}^{-2}$ 、2段目について $300\text{keV}/4.0 \times 10^{12} \text{cm}^{-2}$ とした場合の図。

[図20]本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $200\text{keV}/1.2 \times 10^{13} \text{cm}^{-2}$ 、2段目について $300\text{keV}/6.0 \times 10^{12} \text{cm}^{-2}$ とした場合の図。

[図21]従来の半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $380\text{keV}/1.8 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図22]従来の半導体装置についてのシミュレーション結果を示す図であって、不純物の照射条件を、1段目について $380\text{keV}/3.6 \times 10^{13} \text{cm}^{-2}$ とした場合の図。

[図23]本発明の第2の実施の形態に係る半導体装置の模式的平面図。

[図24]本発明の第3の実施の形態に係る半導体装置の模式的断面構造図。

[図25]従来の半導体装置の模式的断面構造図。

符号の説明

- [0011] 1・・・n型エピタキシャル層
2・・・p型ウェルコンタクト領域
3・・・p型ウェル領域
4・・・p型ウェルエクステンション領域
5・・・ n^+ 型ソース領域
6・・・ゲート絶縁膜
7・・・ゲート電極
8・・・層間絶縁層
9・・・ソース電極
10・・・ドレイン電極
11・・・基板
21・・・n型エピタキシャル層
22・・・p型ウェルコンタクト領域
23・・・p型ウェル領域
24・・・p型ウェルエクステンション領域
25・・・ n^+ 型エミッタ領域
26・・・ゲート絶縁膜
27・・・ゲート電極
28・・・層間絶縁層
29・・・エミッタ電極
30・・・コレクタ電極
31・・・基板

発明を実施するための最良の形態

- [0012] 以下、図面を参照して本発明の実施の形態による半導体装置を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している

。ただし、図面は模式的なものであり、現実のものとは異なる。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることに留意すべきである。

[0013] [第1の実施の形態]

(半導体装置の構造)

本発明の第1の実施の形態に係る半導体装置としてのパワーMOSFETについて、図1及び図2を参照して説明する。

[0014] 図1に示すように、第1の実施の形態のパワーMOSFETは、炭化シリコンを含む、第1主電極領域からなる基板11と、基板11の表面に積層された、炭化シリコンからなる第1導電型エピタキシャル層1と、エピタキシャル層1の表面層に互いに隔離して配置された第1導電型の第2主電極領域5と、第2主電極領域5に挟まれた第2導電型ウェルコンタクト領域2と、第2主電極領域5及び第2導電型ウェルコンタクト領域2の基板11側表面に接して配置された第2導電型ウェル領域3と、第2主電極領域5及び第2導電型ウェル領域3を挟むように配置された第2導電型ウェルエクステンション領域4と、第2主電極領域5及びエピタキシャル層1の表面露出部に挟まれた第2導電型ウェルエクステンション領域4の表面にゲート絶縁膜6を介して配置されたゲート電極7と、第2主電極領域5及び第2導電型ウェルコンタクト領域2の表面に共通に接触して配置された第2主電極9と、基板11の表面に対向する裏面に配置された第1主電極10とを備え、第2導電型ウェル領域3が有する第2導電型不純物の濃度は、エピタキシャル層1の表面から基板11に向かう深さ方向において、濃度ピーク位置が、第2導電型ウェルエクステンション領域4が有する第2導電型不純物の濃度における濃度ピーク位置より深い。

[0015] ここで、主電極領域とは、主電流の通路の両端に位置する半導体領域を意味し、主電極は、ドレイン電極、ソース電極等の主電極を意味する。

[0016] 第1主電極領域からなる基板11は第1導電型を有しており、第1主電極領域はドレイン領域であり、第2主電極領域5はソース領域であり、第1主電極10はドレイン電極であり、第2主電極9はソース電極である。

[0017] 第1導電型と第2導電型とは互いに反対導電型である。すなわち、第1導電型がn

型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。以下において、第1導電型はn型であり、第2導電型はp型である。

[0018] 炭化シリコン(SiC)を含む基板11は、n型不純物濃度が相対的に高い n^+ 型SiC半導体からなり、基板11の表面には基板11より低いn型不純物濃度を有するn型SiC半導体エピタキシャル層1が配置されている。

[0019] 図2は、エピタキシャル層1の表面層に配置された各不純物領域の構造の一例を示す平面図である。図2において、ゲート絶縁膜6、ゲート電極7、層間絶縁層8及びソース電極9は省略されている。図2のI-I線に沿う部分の断面図が図1である。

[0020] 図2に示す例では、 n^+ 型ソース領域5が平面視で四角棒状の形状を有し、p型ウェルコンタクト領域2が n^+ 型ソース領域5の四角棒内に囲まれて配置されている。そして、p型ウェル領域3が n^+ 型ソース領域5及びp型ウェルコンタクト領域2の基板11側表面に接して配置され、p型ウェルエクステンション領域4が n^+ 型ソース領域5及びp型ウェル領域3の側面を挟むように配置されている。

[0021] p型ウェル領域3の基板11側表面は、p型ウェルエクステンション領域4の基板11側表面よりもエピタキシャル層1表面からの深さが深い。

[0022] 各領域において、エピタキシャル層1の表面からの深さは、p型ウェルコンタクト領域2が0.2～0.5 μm 、 n^+ 型ソース領域5が0.05～0.1 μm 、p型ウェル領域3が0.2～0.7 μm 、p型ウェルエクステンション領域4が0.15～0.5 μm 、を有している。

[0023] ゲート絶縁膜6及びゲート電極7は、エピタキシャル層1の上に順に積層されている。ゲート絶縁膜6は、例えば、酸化シリコン(SiO_2)からなり、 n^+ 型ソース領域5の外周縁部とp型ウェルエクステンション領域4外との間に跨って配置され、 n^+ 型ソース領域5の外周縁部とp型ウェルエクステンション領域4外との間におけるエピタキシャル層1の表面を覆っている。

[0024] ゲート電極7は、例えば、多結晶シリコンからなり、外部電極端子と接続されている。

[0025] 層間絶縁層8は、例えば、 SiO_2 からなり、ゲート絶縁膜6及びゲート電極7を覆うように配置されており、ソース電極9とゲート電極7を絶縁している。

[0026] ソース電極9は、例えば、アルミニウム(Al)等の金属からなり、形状は、例えば、平面視で四角形状を有しており、層間絶縁層8上に配置されている。ソース電極9は、n

⁺型ソース領域5の内周縁部の表面とp型ウェルコンタクト領域2の表面を含むソースコンタクト領域に接続されている。Ni等の金属薄膜を介してソースコンタクト領域と接続されていてもよい。

[0027] ドレイン電極10は、例えば、Al等の金属からなり、基板11の裏面側(エピタキシャル層1と反対側)に基板11の裏面を全体的に覆うように配置されている。

[0028] 半導体装置の耐圧を確保するために、p型不純物を含むガードリング(図示略)がエピタキシャル層1の外周縁部の表面付近に配置されているのが好ましい。

[0029] p型ウェル領域3が有するp型不純物の濃度は、エピタキシャル層1の表面から基板11に向かう深さ方向において、濃度ピーク位置が、p型ウェルエクステンション領域4が有するp型不純物の濃度における濃度ピーク位置より深い。

[0030] p型ウェル領域3のp型不純物濃度は、最深部(エピタキシャル層1との境界部)付近においてピークを有し、表面に近づくほど連続的かつ緩やかに低くなるのが好ましい。

[0031] 例えば、p型ウェル領域3のp型不純物のピーク濃度は、 $2 \times 10^{17} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 、好ましくは $4 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ である。また、p型不純物濃度のピーク位置は、 $0.3 \sim 0.6 \mu\text{m}$ 、好ましくは $0.4 \sim 0.5 \mu\text{m}$ である。

[0032] p型ウェルエクステンション領域4のp型不純物濃度は、最深部(エピタキシャル層1との境界部)付近においてピークを有し、表面に近づくほど連続的かつ緩やかに低くなるのが好ましい。

[0033] 例えば、p型ウェルエクステンション領域4のp型不純物のピーク濃度は $1 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ 、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であり、表面付近でのp型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $5 \times 10^{15} \text{ cm}^{-3}$ 以下である。また、p型不純物濃度のピーク位置は、 $0.2 \sim 0.5 \mu\text{m}$ 、好ましくは $0.3 \sim 0.4 \mu\text{m}$ である。

[0034] p型ウェルコンタクト領域2は、p型ウェル領域3及びp型ウェルエクステンション領域4よりもp型不純物の平均濃度が高いことが好ましい。p型不純物の平均濃度が高いことにより、オン抵抗が低減する。

[0035] (動作原理)

本発明の第1の実施の形態に係るパワーMOSFETの動作原理は以下の通りであ

る。

[0036] ゲート電極7へ正の電圧を印加する。この電圧印加により、ゲート電極7下のp型ウェルエクステンション領域4の表層部に反転層が形成され、その反転層を通じてn⁺型ソース領域5とエピタキシャル層1とが導通される。それにより、エピタキシャル層1の下の基板11裏面に設けられたドレイン電極10からn⁺型ソース領域5の表面に設けられたソース電極9へと電流を流すことができる。すなわち、ゲート電極に印加する電圧によって電流を制御することができる。

[0037] (製造方法)

図3及び図4は、本発明の第1の実施の形態による半導体装置の製造方法を説明する図である。

[0038] 本発明の第1の実施の形態に係る半導体装置の製造方法は、炭化シリコンを含む第1主電極領域からなる基板11の表面に、炭化シリコンからなる第1導電型エピタキシャル層1を形成する工程と、第2導電型用マスクを用いてエピタキシャル層1の表面層に第2導電型不純物をイオン注入することにより第2導電型ウェルエクステンション領域4を形成する工程と、第1導電型用マスクを用いてエピタキシャル層1の表面層に第2導電型不純物をイオン注入することにより第2導電型ウェル領域3を形成する工程と、第1導電型用マスクを用いて第1導電型不純物をイオン注入することにより第1導電型の第2主電極領域5を形成する工程とを有する。

[0039] 以下に、製造工程を詳述する。

[0040] (a)まず、図3(a)に示すように、n⁺型SiC半導体が形成された基板11の表面に基板11と同じn型SiC半導体をエピタキシャル成長させてエピタキシャル層1を形成する。

[0041] (b)次に、図3(b)に示すように、ガードリング部も同時に形成することができるp型領域形成用マスクを用いて、エピタキシャル層1の表層部に、イオン注入法によりp型不純物を注入エネルギー250keV、ドーズ量 $1.8 \times 10^{13} \text{ cm}^{-2}$ の照射条件でドーピングすることによりp型ウェルエクステンション領域4を形成する。

[0042] p型不純物としては、B, Al, In, Ga等を挙げることができる。好ましくはB若しくはAlを用いるのがよい。

[0043] ここで、注入エネルギーを調節することにより、p型不純物の形成される深さを制御

することができる。またドーズ量を調節することにより、p型不純物の濃度を制御することができる。

[0044] 図5～9に、注入エネルギーとドーズ量を変えた場合において、得られた不純物濃度のエピタキシャル層1の表面からの深さ方向における濃度の例を示した。

[0045] 図8は、上記の照射条件で得られた、p型ウェルエクステンション領域4が有するp型不純物の深さ方向における濃度の一例を示す図である。濃度のピーク位置は、エピタキシャル層1の表面からの深さが約 $0.31\ \mu\text{m}$ である。ピーク位置でのp型不純物濃度は、約 $1 \times 10^{18}\text{cm}^{-3}$ であり、表面付近では約 $5 \times 10^{15}\text{cm}^{-3}$ である。

[0046] (c)次に、図3(c)に示すように、p型ウェル領域3を、n型ソース領域形成用マスクを用いてエピタキシャル層1の表面層に、例えば、p型不純物であるAlを、イオン注入法により注入エネルギー380keV、ドーズ量 $3.6 \times 10^{13}\text{cm}^{-2}$ の照射条件でドーピングすることにより形成する。これにより、p型ウェル領域3では、p型ウェルエクステンション領域4の不純物濃度に加えて、p型ウェル領域3の不純物濃度が合わされるため、縦方向で起こるパンチスルーを効果的に防ぐことができる。さらに、p型ウェル領域3は、チャンネル領域とは関係がないので、表面での不純物濃度は高くなるものの、移動度には影響しない。

[0047] 図5は、上記の照射条件で得られた、p型ウェル領域3が有するp型不純物の深さ方向における濃度の一例を示す図である。濃度のピーク位置は、注入エネルギーを高めたことにより、p型ウェルエクステンション領域4の場合と比べて、エピタキシャル層1の表面からの深さがより深い位置に形成されており、その深さは約 $0.48\ \mu\text{m}$ である。また、ピーク位置でのp型不純物濃度は、約 $2 \times 10^{18}\text{cm}^{-3}$ である。

[0048] (d)次に、図4(d)に示すように、同じn型ソース領域形成用マスクを用いて、イオン注入法によりn型不純物をイオン注入することにより n^+ 型ソース領域5を形成する。次いで、p型ウェルコンタクト領域形成用マスクを用いてp型ウェルコンタクト領域2を形成する。

[0049] n型不純物としては、N, P, As, Sb等を挙げることができる。好ましくはN若しくはPであるのがよい。

[0050] (e)次に、図4(e)に示すように、パイロジェニック法により、エピタキシャル層1の表面

を熱酸化してゲート絶縁膜6を形成した後、減圧CVD (Chemical Vapor Deposition) 法により多結晶シリコンを形成し、フォトリソグラフィを用いてゲート電極7を形成する。

[0051] (f) 次に、図4 (f) に示すように、パイロジェニック法により、熱酸化して層間絶縁層8を形成した後、RIE (Reactive Ion Etching) により、エピタキシャル層1の表面の電極接触部分を露出させた後、アルミニウム等を蒸着し、ソース電極9を形成する。

[0052] (g) 最後に、基板11の裏面をアルミニウム等を蒸着して、ドレイン電極10を形成して、図1に示す半導体装置が完成する。

[0053] このような製造方法により、p型ウェル領域3とp型ウェルエクステンション領域4において、p型不純物濃度のピーク位置の深さが異なる2段構造のpウェル構造を有する半導体装置を製造することができる。

[0054] (シミュレーション)

図11～20に、本発明の第1の実施の形態に係る半導体装置についてのシミュレーション結果を示し、図21及び22に、従来の半導体装置についてのシミュレーション結果を示した。図11～22における(a)～(c)は、水平方向(単位: 10^{-6} m)及び深さ方向(単位: 10^{-6} m)の二次元における、(a)アクセプター密度分布、(b)ホール密度分布、(c)電流密度分布、を示し、(d)は、横軸に n^{+} 型ソース領域5とp型ウェルエクステンション領域4の界面をゼロとして、その界面からp型ウェルエクステンション領域4側への水平方向(単位: 10^{-10} m)、縦軸に電流密度、を示す。

[0055] 図10は、シミュレーションにおける形状モデルを示す図であり、図10 (a)は、図11～20の各(a)～(c)の水平方向及び深さ方向の位置に対応している。図10 (b)は、図21及び22の各(a)～(c)の水平方向及び深さ方向の位置に対応している。

[0056] p型不純物(アクセプター)のドーピングは、1段目のpウェル4 (p型ウェルエクステンション領域4)と2段目のpウェル3 (p型ウェル領域3)に、それぞれ異なる注入エネルギー及びドーズ量での照射により行った。

[0057] 上記で得られた半導体装置について、ソースドレイン電極間に逆電圧を印加し、これを増加させていった場合について、公知のデバイス・シミュレーション手段を用いてシミュレーションを行った。

[0058] 図14、図17、図18及び図20に示すように、耐圧1200Vにおいても、1段目pウェ

ル4の横方向45及び2段目pウェル3の縦方向35でのパンチスルーは発生しておらず、エピタキシャル層1に電流は流れないで、高耐圧を示した。

[0059] 図11、図12、図13、図15、図16及び図19に示すように、それらの不純物照射条件では、パンチスルーが発生している。しかし、パンチスルー発生直前における耐圧は、図11においては120V、図12においては500V、図13においては700V、図15においては200V、図16においては800V、図19においては1100V、であり、高耐圧を示した。

[0060] 一方、従来の半導体装置については、1段のみのpウェル14を、p型不純物(アクセプター)のドーピングの照射条件:注入エネルギー380keV、ドーズ量 $1.8 \times 10^{13} \text{ cm}^{-2}$ 、で形成した半導体装置は、図21に示すように、耐圧500Vにおいて、1段のみのpウェル14の横方向41及び縦方向51でパンチスルーが発生し、エピタキシャル層1に電流が流れた。

[0061] なお、上記した従来の半導体装置において、ドーズ量を $3.6 \times 10^{13} \text{ cm}^{-2}$ に高めた場合、図22に示すように、耐圧1200Vでもパンチスルーは発生していない。しかしながら、チャネル領域での移動度が低下した。

[0062] 本発明の第1の実施の形態によれば、pウェル構造が2段構造であり、1段目のpウェル4の深部におけるp型不純物濃度が高いので、逆電位を印加した場合においても、pウェル4の横方向45で起こるパンチスルーを抑制することができる。また、2段目のpウェル3の深部におけるp型不純物濃度が高いので、2段目のpウェル3の縦方向35で起こるパンチスルーを抑制することができる。

[0063] 本発明の第1の実施の形態によれば、1段目のpウェル4の表面付近でのp型不純物濃度が低いので、良好な移動度を確保することができ、オン抵抗を低減することができる。

[0064] 本発明の第1の実施の形態によれば、 n^+ 型ソース領域5を形成した後、pウェル3を形成する際、共通のn型用マスクを用いるので、製造プロセスが増えることなく、耐圧構造を形成することが可能となる。

[0065] 本発明の第1の実施の形態によれば、pウェル構造が2段構造であるので、1段目のpウェル4をガードリングと共に形成する製造プロセスにおいても、ガードリングの不

純物濃度を所望の濃度に設定することが可能となる。

[0066] 本発明の第1の実施の形態に係る半導体装置によれば、耐圧性が向上し、製造プロセスの簡易化が可能となる。

[0067] [第2の実施の形態]

本発明の第2の実施の形態に係る半導体装置について、図23を参照して説明する。なお、第2の実施の形態において、第1の実施の形態と同一の部分については、同一の参照符号を付して、重複した説明は省略する。

[0068] 図23は、エピタキシャル層1の表面層に配置された各不純物領域の構造の一例を示す平面図である。図23において、ゲート絶縁膜6、ゲート電極7、層間絶縁層8及びソース電極9は省略されている。図23のI-I線に沿う部分の断面図が図1である。

[0069] 本発明の第2の実施の形態に係る半導体装置は、図23に示すように、平面視で四角形状の n^+ 型ソース領域5が互いに隔離して配置されており、 n^+ 型ソース領域5に挟まれてp型ウェルコンタクト領域2が配置されている。その他の構成は、第1の実施の形態と同様であるので説明は省略する。

[0070] 第2の実施の形態に係る半導体装置の製造方法は、 n^+ 型ソース領域5を形成する方法が第1の実施の形態における製造方法と異なる点であり、他は第1の実施の形態と同様であるので、重複した説明は省略する。

[0071] 本発明の第2の実施の形態に係る半導体装置によれば、耐圧性が向上し、製造プロセスの簡易化が可能となる。

[0072] [第3の実施の形態]

(半導体装置の構造)

本発明の第3の実施の形態に係る半導体装置としてのIGBTについて、図24を参照して説明する。なお、第3の実施の形態において、第1の実施の形態と同一の部分については、同一の参照符号を付して、重複した説明は省略する。

[0073] 図24に示すように、第3の実施の形態のIGBTは、炭化シリコンを含む、第1主電極領域からなる基板31と、基板31の表面に積層された、炭化シリコンからなる第1導電型エピタキシャル層21と、エピタキシャル層21の表面層に互いに隔離して配置された第1導電型の第2主電極領域25と、第2主電極領域25に挟まれた第2導電型ウェ

ルコンタクト領域22と、第2主電極領域25及び第2導電型ウェルコンタクト領域22の基板31側表面に接して配置された第2導電型ウェル領域23と、第2主電極領域25及び第2導電型ウェル領域23を挟むように配置された第2導電型ウェルエクステンション領域24と、第2主電極領域25及びエピタキシャル層21の表面露出部に挟まれた第2導電型ウェルエクステンション領域24の表面にゲート絶縁膜26を介して配置されたゲート電極27と、第2主電極領域25及び第2導電型ウェルコンタクト領域22の表面に共通に接触して配置された第2主電極29と、基板31の表面に対向する裏面に配置された第1主電極30とを備え、第2導電型ウェル領域23が有する第2導電型不純物の濃度は、エピタキシャル層21の表面から基板31に向かう深さ方向において、濃度ピーク位置が、第2導電型ウェルエクステンション領域24が有する第2導電型不純物の濃度における濃度ピーク位置より深い。

[0074] 第1主電極領域からなる基板31は第2導電型を有しており、第1主電極領域はコレクタ領域であり、第2主電極領域25はエミッタ領域であり、第1主電極30はコレクタ電極であり、第2主電極29はエミッタ電極である。

[0075] 以下において、第1導電型はn型であり、第2導電型はp型である。

[0076] 炭化シリコン(SiC)を含む基板31は、p型不純物濃度が相対的に高い p^+ 型SiC半導体からなり、基板31の表面にはn型SiC半導体エピタキシャル層21が配置されている。

[0077] エピタキシャル層21の表面層には、平面視で四角形状の n^+ 型エミッタ領域25が互いに隔離して配置されており、 n^+ 型エミッタ領域25に挟まれてp型ウェルコンタクト領域22が配置されている。そして、p型ウェル領域23が n^+ 型エミッタ領域25及びp型ウェルコンタクト領域22の基板31側表面に接して配置され、p型ウェルエクステンション領域24が n^+ 型エミッタ領域25及びp型ウェル領域23の側面を挟むように配置されている。

[0078] p型ウェル領域23の基板31側表面は、p型ウェルエクステンション領域24の基板31側表面よりもエピタキシャル層21表面からの深さが深い。

[0079] 各領域において、エピタキシャル層21の表面からの深さは、p型ウェルコンタクト領域22が $0.2 \sim 0.5 \mu\text{m}$ 、 n^+ 型エミッタ領域25が $0.05 \sim 0.1 \mu\text{m}$ 、p型ウェル領域2

3が0.2～0.7 μm 、p型ウェルエクステンション領域24が0.15～0.5 μm 、を有している。

[0080] ゲート絶縁膜26及びゲート電極27は、エピタキシャル層21の上に順に積層されている。ゲート絶縁膜26は、例えば、酸化シリコン(SiO_2)からなり、 n^+ 型エミッタ領域25の外周縁部とp型ウェルエクステンション領域24外との間に跨って配置され、 n^+ 型エミッタ領域25の外周縁部とp型ウェルエクステンション領域24外との間におけるエピタキシャル層21の表面を覆っている。

[0081] ゲート電極27は、例えば、多結晶シリコンからなり、外部電極端子と接続されている。

[0082] 層間絶縁層28は、例えば、 SiO_2 からなり、ゲート絶縁膜26及びゲート電極27を覆うように配置されており、エミッタ電極29とゲート電極27を絶縁している。

[0083] エミッタ電極29は、例えば、アルミニウム(Al)等の金属からなり、形状は、例えば、平面視で四角形状を有しており、層間絶縁層28上に配置されている。エミッタ電極29は、 n^+ 型エミッタ領域25の内周縁部の表面とp型ウェルコンタクト領域22の表面を含むコンタクト領域に接続されている。Ni等の金属薄膜を介してコンタクト領域と接続されていてもよい。

[0084] コレクタ電極30は、例えば、Al等の金属からなり、基板31の裏面側(エピタキシャル層21と反対側)に基板31の裏面を全体的に覆うように配置されている。

[0085] 半導体装置の耐圧を確保するために、p型不純物を含むガードリング(図示略)がエピタキシャル層21の外周縁部の表面付近に配置されているのが好ましい。

[0086] p型ウェル領域23が有するp型不純物の濃度は、第1の実施の形態におけるp型ウェル領域3の濃度と同様であり、またp型ウェルエクステンション領域24が有するp型不純物の濃度は、第1の実施の形態におけるp型ウェルエクステンション領域4の濃度と同様であるので、説明を省略する。

[0087] (動作原理)

本発明の第3の実施の形態に係るIGBTの動作原理は以下の通りである。

[0088] エミッタ電極29に負の電圧、コレクタ電極30に正の電圧を印加した状態で、ゲート電極27にエミッタ電圧より高い電圧を印加する。この電圧印加により、ゲート電極27

下のp型ウェルエクステンション領域24の表層部に反転層が形成され、電子がエミッタ領域25から反転層を介して、基板31に注入されると共に、基板31から正孔がエピタキシャル層21へ注入される。これにより、エピタキシャル層21の下の基板31裏面に設けられたコレクタ電極30からエミッタ領域25の表面に設けられたエミッタ電極29へと電流が流れる。この電流は、ゲート電極27に印加する電圧によって制御することができる。

[0089] 第3の実施の形態に係る半導体装置の製造方法は、基板31を形成する方法が第1の実施の形態における製造方法と異なる点であり、他は第1の実施の形態と同様であるので、重複した説明は省略する。

[0090] 本発明の第3の実施の形態に係る半導体装置によれば、耐圧性が向上し、製造プロセスの簡易化が可能となる。

[0091] [その他の実施の形態]

以上、上述した第1乃至第3の実施の形態によって本発明を詳細に説明したが、当業者にとっては、本発明が本明細書中に説明した第1乃至第3の実施の形態に限定されるものではないということは明らかである。本発明は、特許請求の範囲の記載により定まる本発明の趣旨及び範囲を逸脱することなく修正及び変更形態として実施することができる。従って、本明細書の記載は、例示説明を目的とするものであり、本発明に対して何ら制限的な意味を有するものではない。以下、上述した第1乃至第3の実施の形態を一部変更した変更形態について説明する。

[0092] 上述した第1乃至第3の実施の形態に係る半導体装置において、第1導電型をn型、第2導電型をp型として説明をしたが、第1導電型をp型、第2導電型をn型としてもよい。この構成においても、それぞれ上述した第1乃至第3の実施の形態と同様の効果が得られる。

請求の範囲

- [1] 炭化シリコンを含む、第1主電極領域からなる基板と、
前記基板の表面に積層された、炭化シリコンからなる第1導電型エピタキシャル層と、
、
前記エピタキシャル層の表面層に互いに隔離して配置された第1導電型の第2主電極領域と、
前記第2主電極領域に挟まれた第2導電型ウェルコンタクト領域と、
前記第2主電極領域及び前記第2導電型ウェルコンタクト領域の前記基板側表面に接して配置された第2導電型ウェル領域と、
前記第2主電極領域及び前記第2導電型ウェル領域を挟むように配置された第2導電型ウェルエクステンション領域と、
前記第2主電極領域及び前記エピタキシャル層の表面露出部に挟まれた前記第2導電型ウェルエクステンション領域の表面にゲート絶縁膜を介して配置されたゲート電極と、
前記第2主電極領域及び前記第2導電型ウェルコンタクト領域の表面に共通に接触して配置された第2主電極と、
前記基板の表面に対向する裏面に配置された第1主電極とを備え、
前記第2導電型ウェル領域が有する第2導電型不純物の濃度は、前記エピタキシャル層の表面から前記基板に向かう深さ方向において、濃度ピーク位置が、前記第2導電型ウェルエクステンション領域が有する前記第2導電型不純物の濃度における濃度ピーク位置より深いことを特徴とする半導体装置。
- [2] 前記第1主電極領域は第1導電型を有しており、前記第1主電極領域はドレイン領域であり、前記第2主電極領域はソース領域であり、前記第1主電極はドレイン電極であり、前記第2主電極はソース電極であることを特徴とする請求項1に記載の半導体装置。
- [3] 前記第1主電極領域は第2導電型を有しており、前記第1主電極領域はコレクタ領域であり、前記第2主電極領域はエミッタ領域であり、前記第1主電極はコレクタ電極であり、前記第2主電極はエミッタ電極であることを特徴とする請求項1に記載の半導

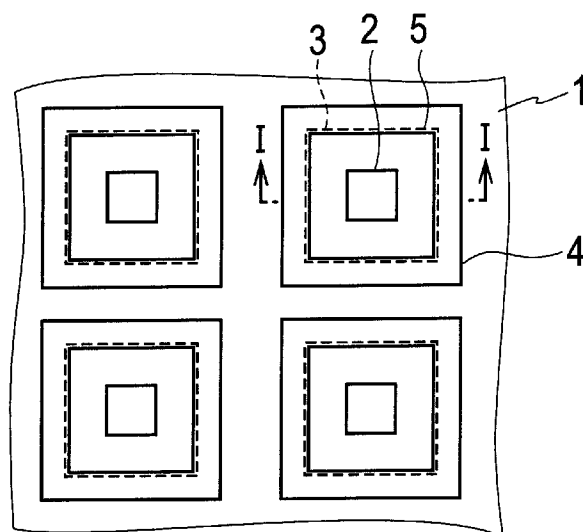
体装置。

- [4] 前記第2導電型ウェル領域の濃度ピーク位置における第2導電型不純物の濃度は、前記第2導電型ウェルエクステンション領域の濃度ピーク位置における第2導電型不純物の濃度より高いことを特徴とする請求項1～3のいずれか1項に記載の半導体装置。
- [5] 前記第2導電型ウェル領域の前記基板側表面は、前記第2導電型ウェルエクステンション領域の前記基板側表面よりも前記エピタキシャル層の表面からの深さが深いことを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

FIG. 1

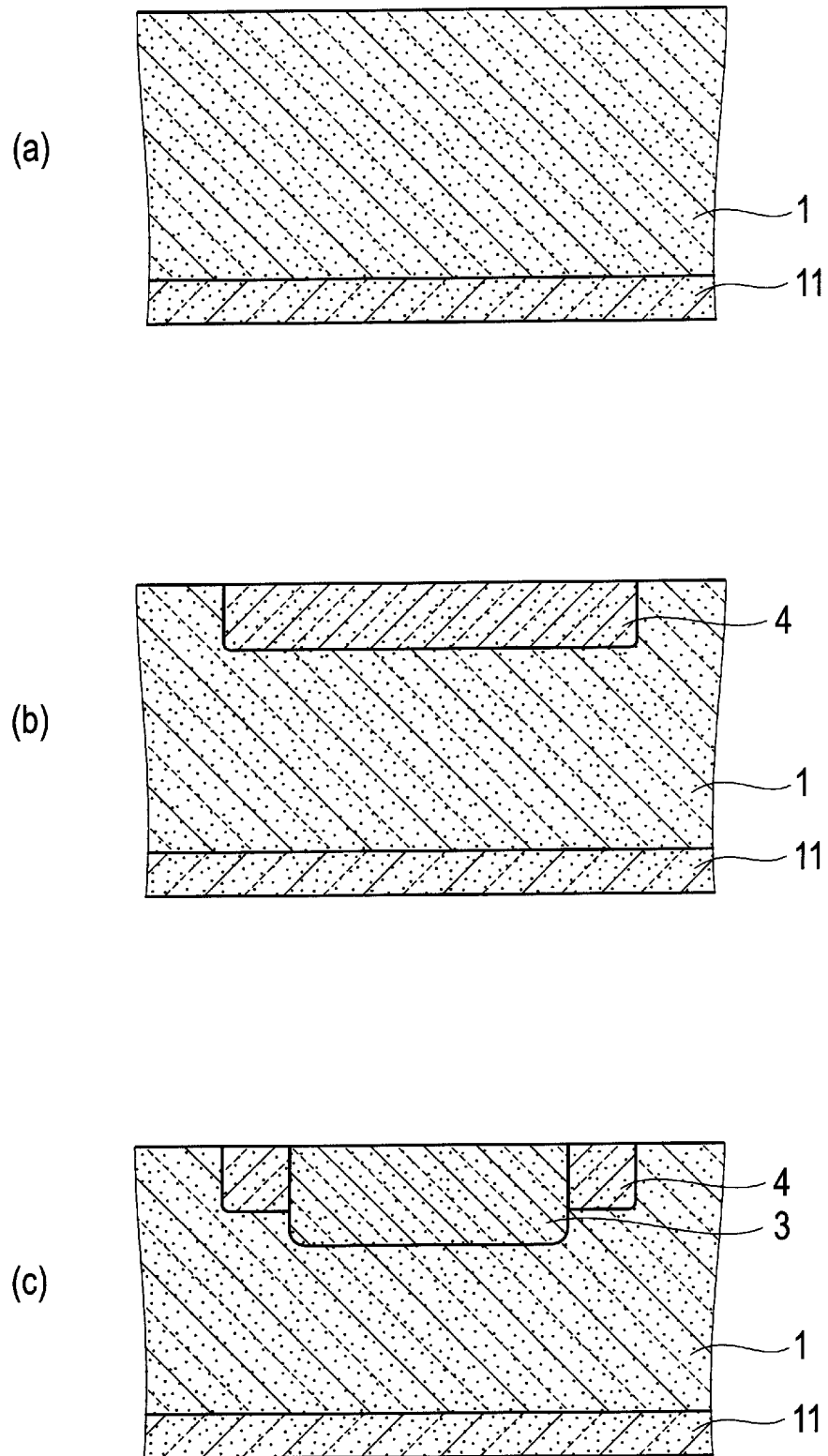


FIG. 2



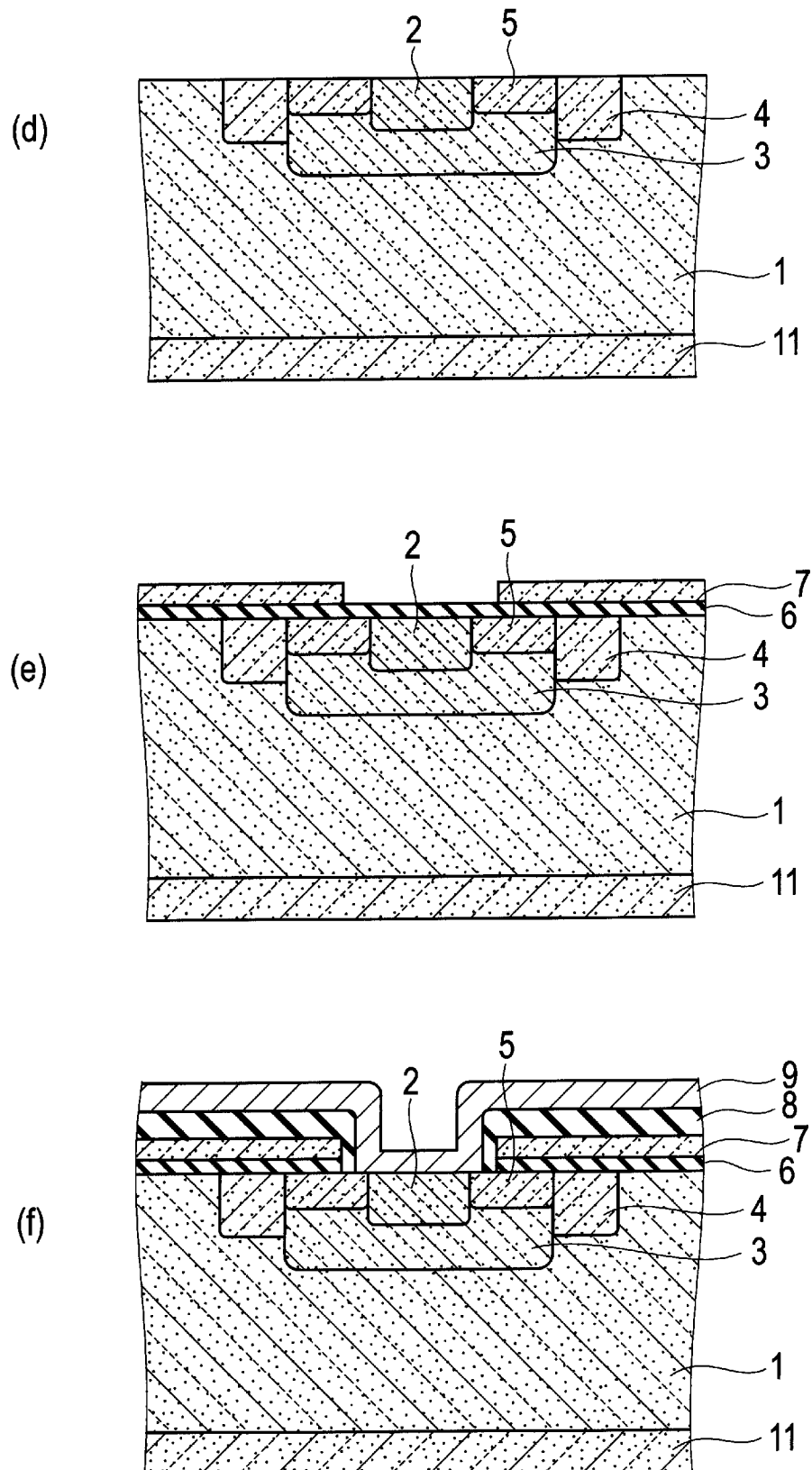
[図3]

FIG. 3



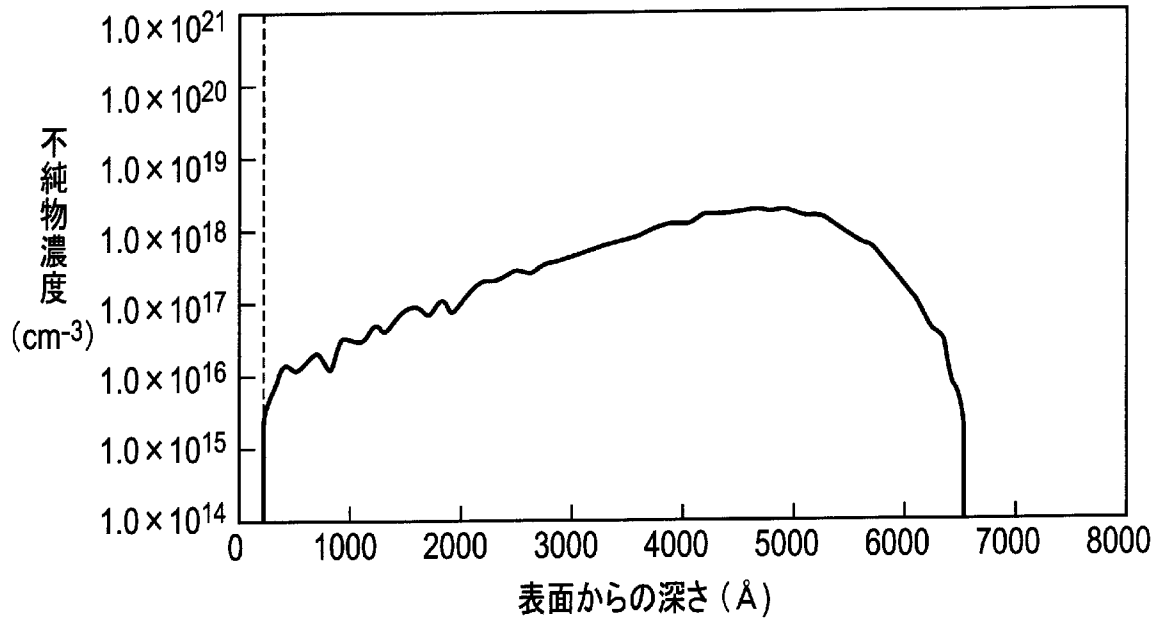
[図4]

FIG. 4



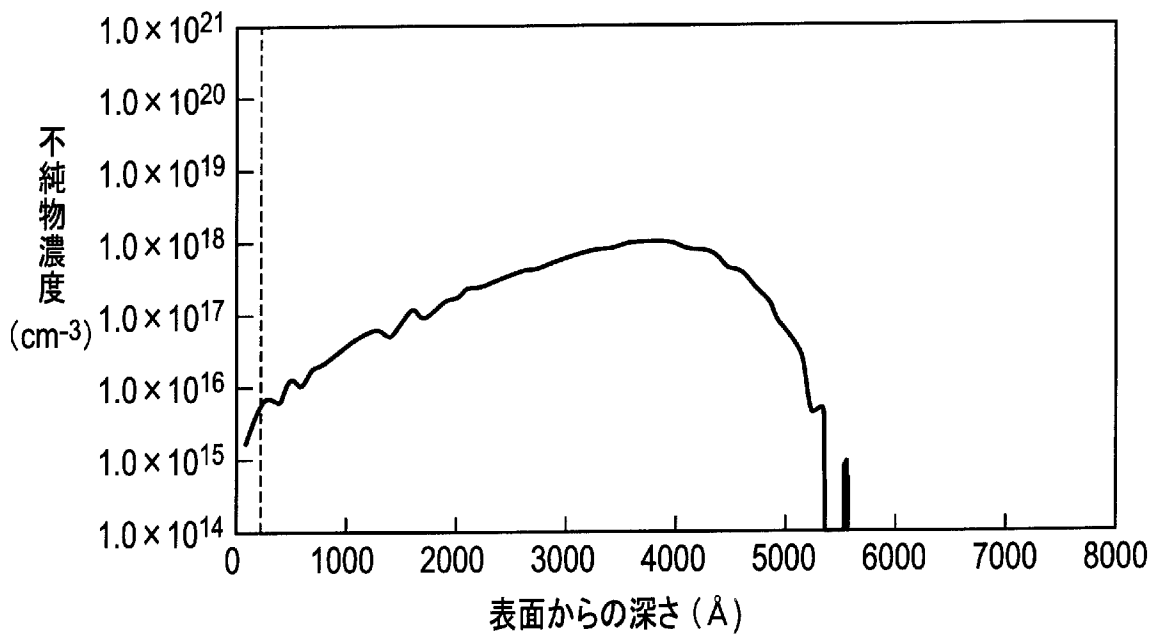
[図5]

FIG. 5



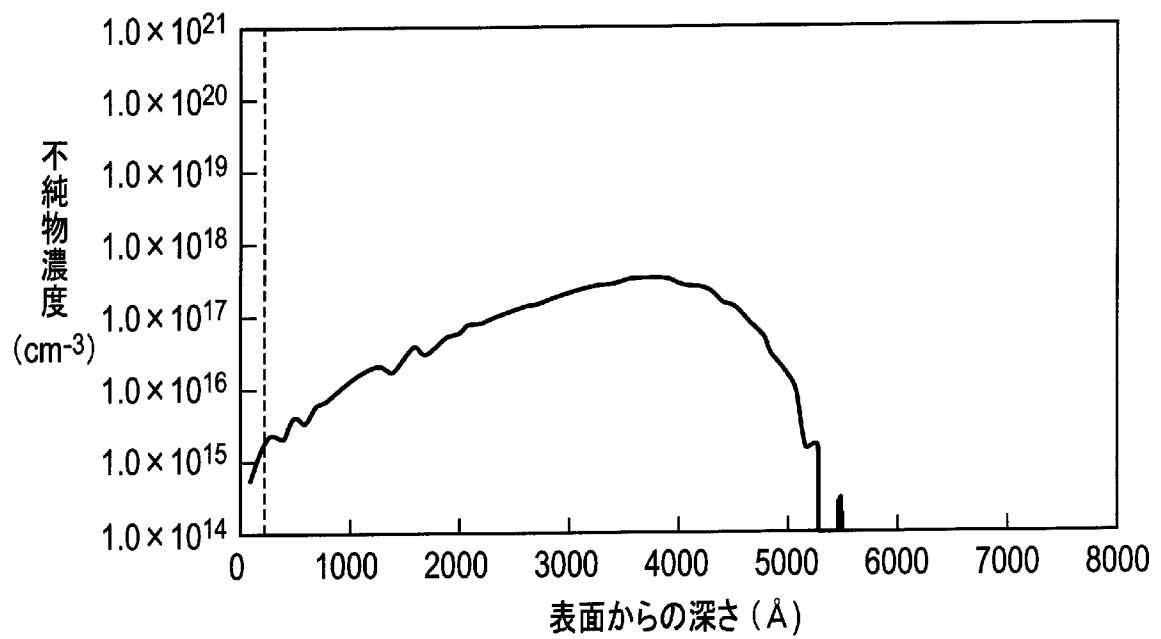
[図6]

FIG. 6



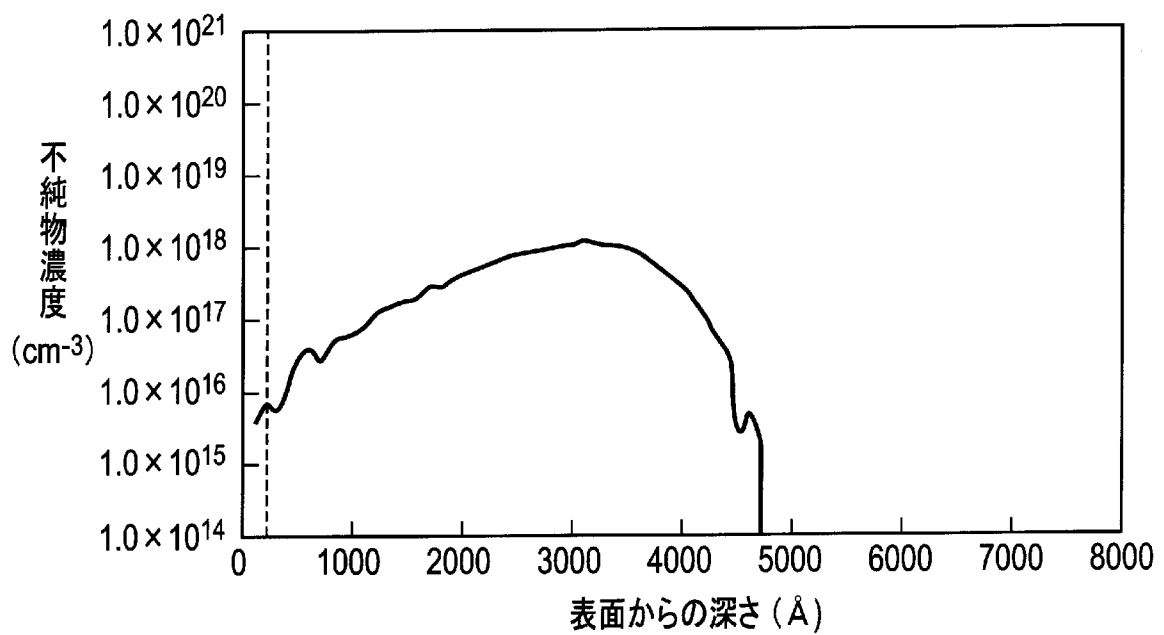
[図7]

FIG. 7



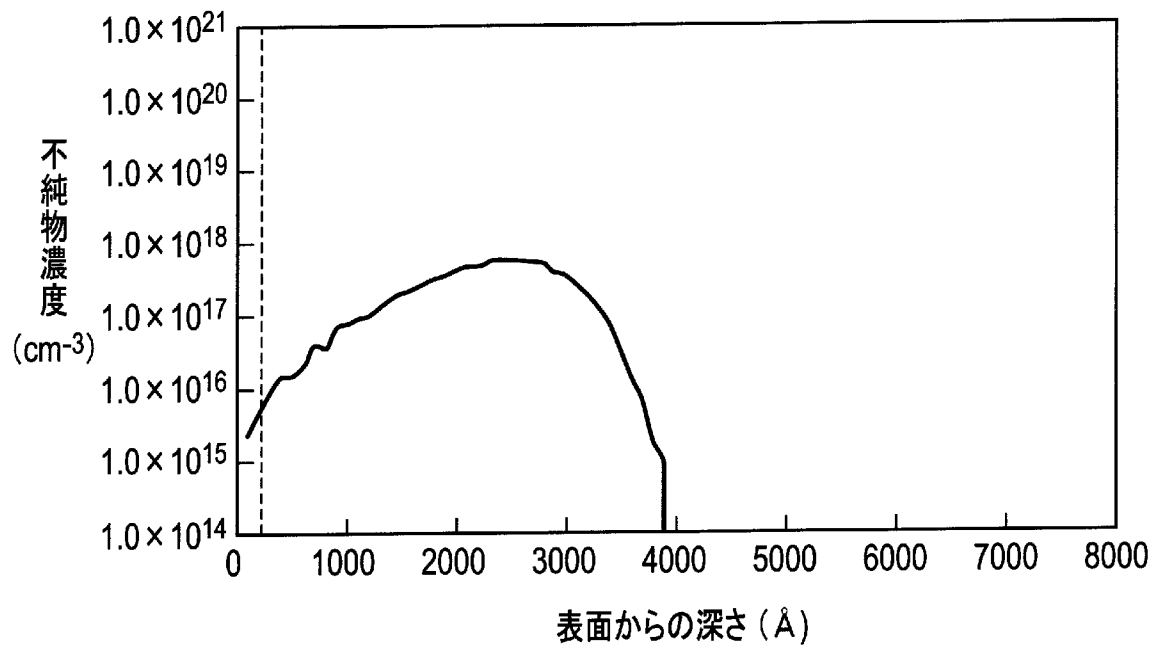
[図8]

FIG. 8



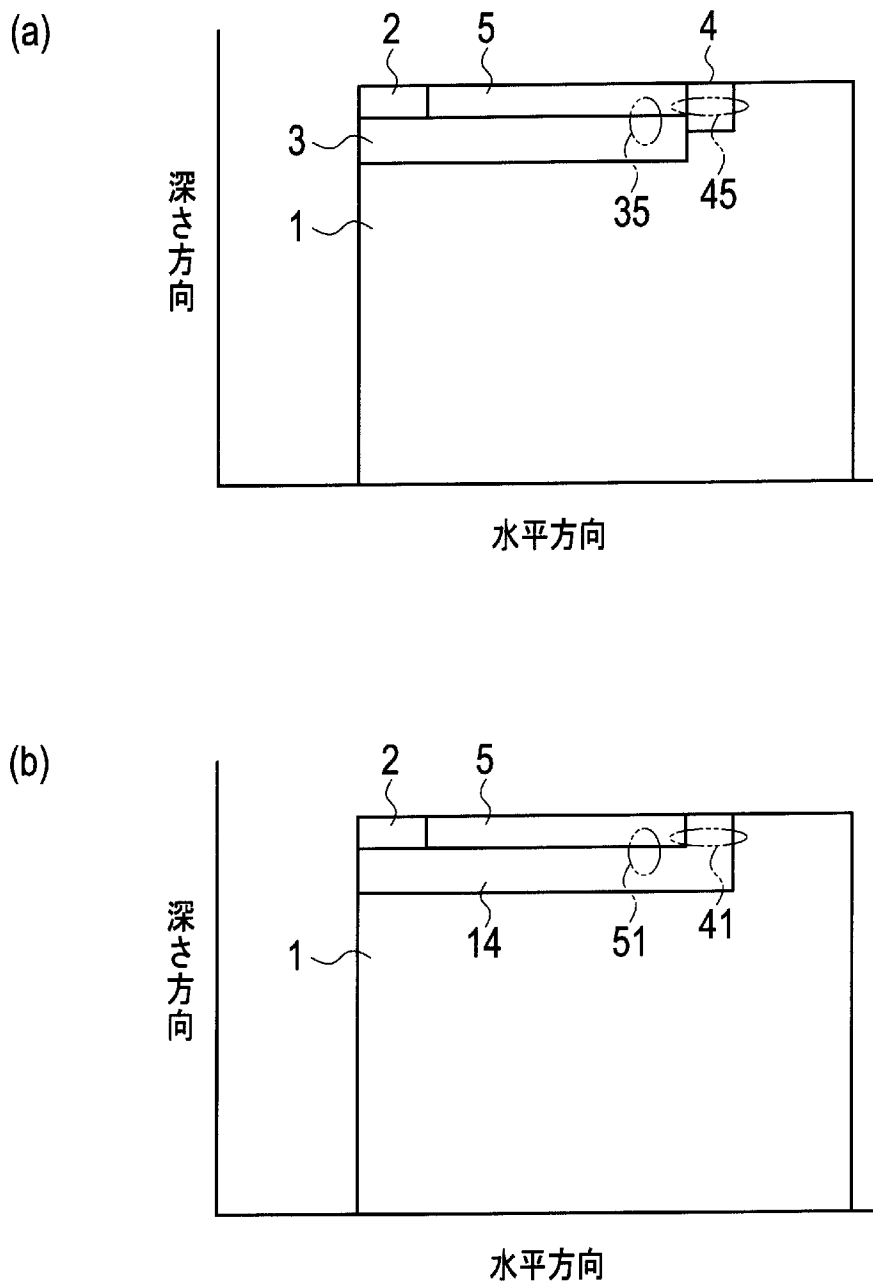
[図9]

FIG. 9

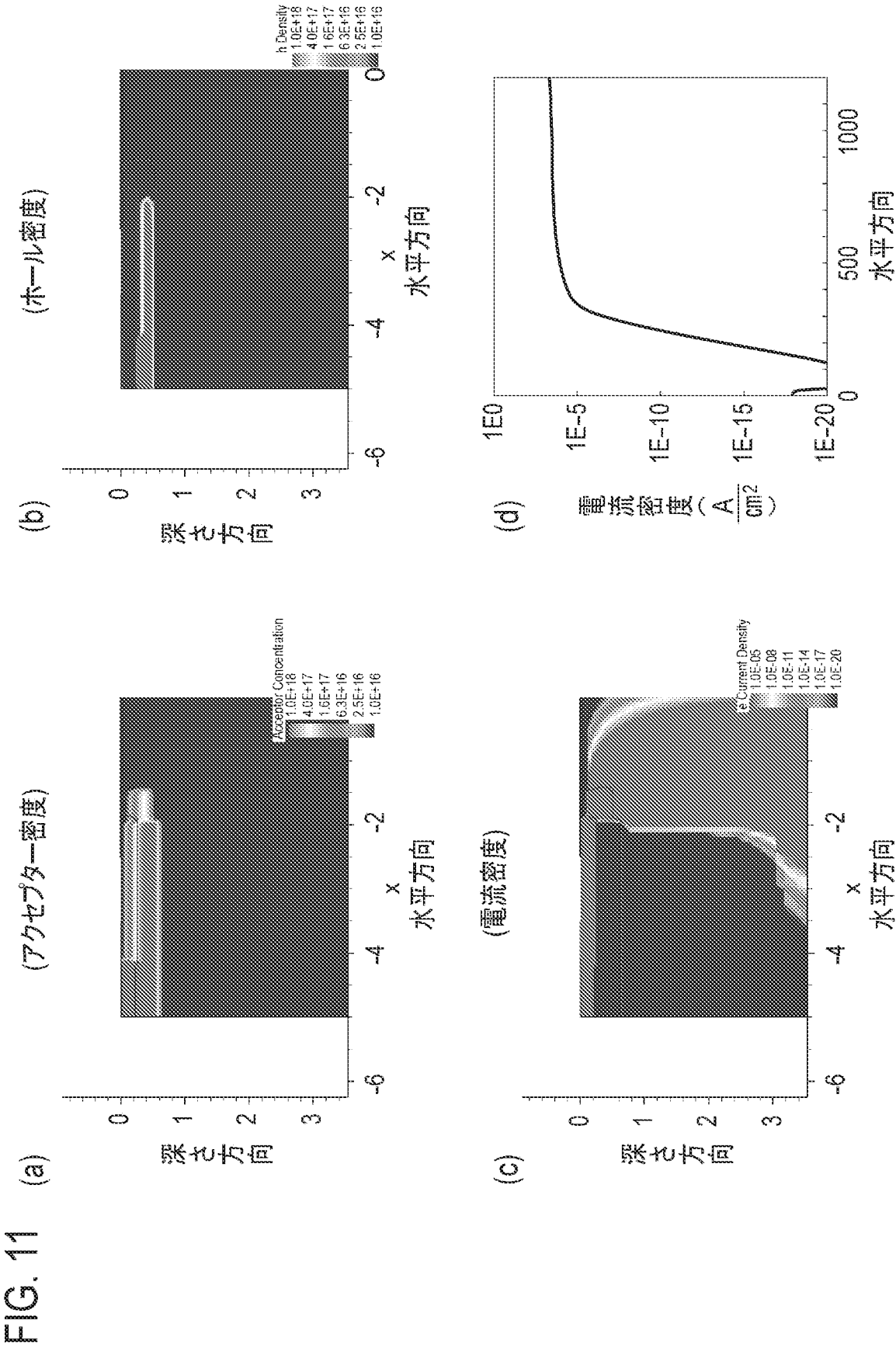


[図10]

FIG. 10

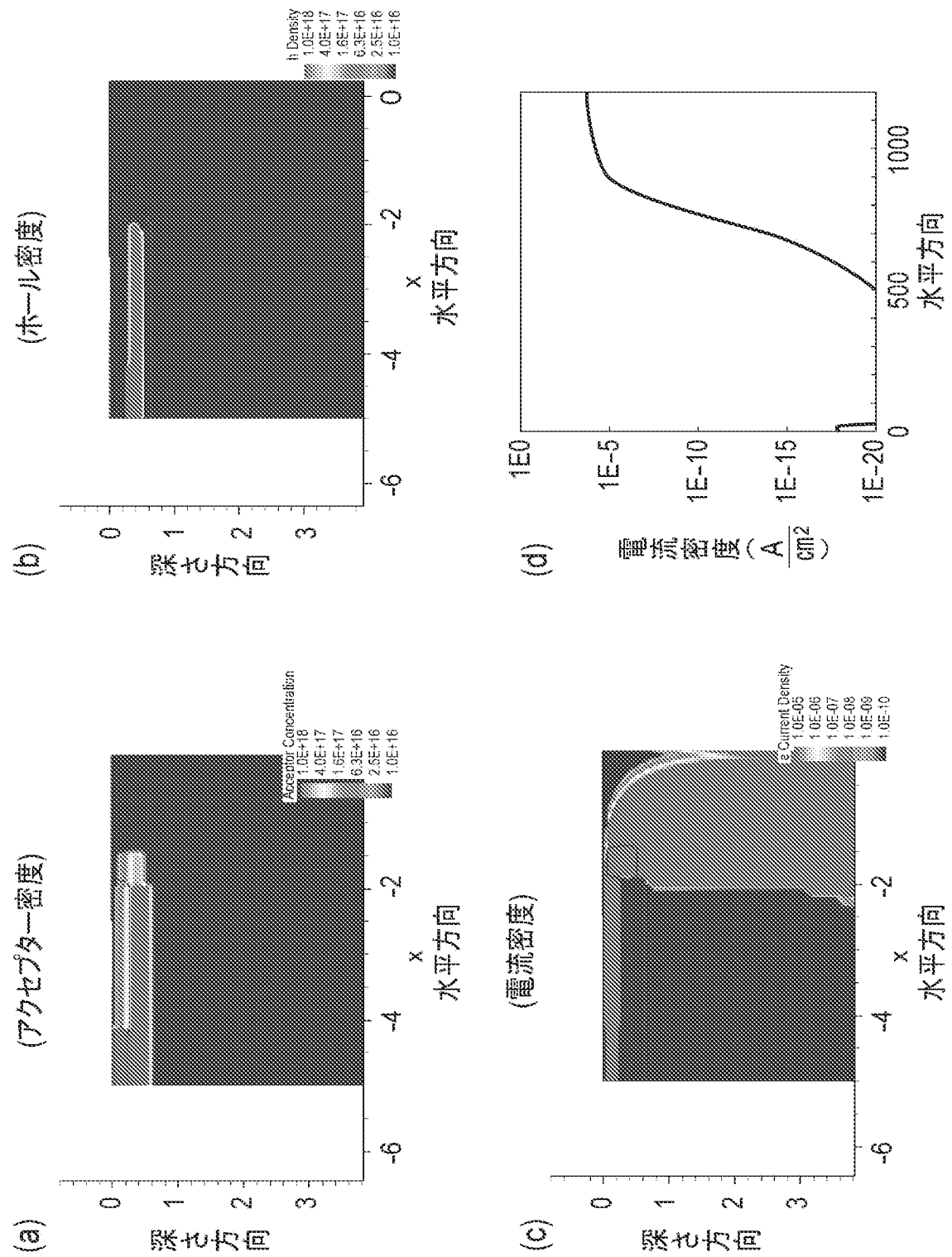


[図11]



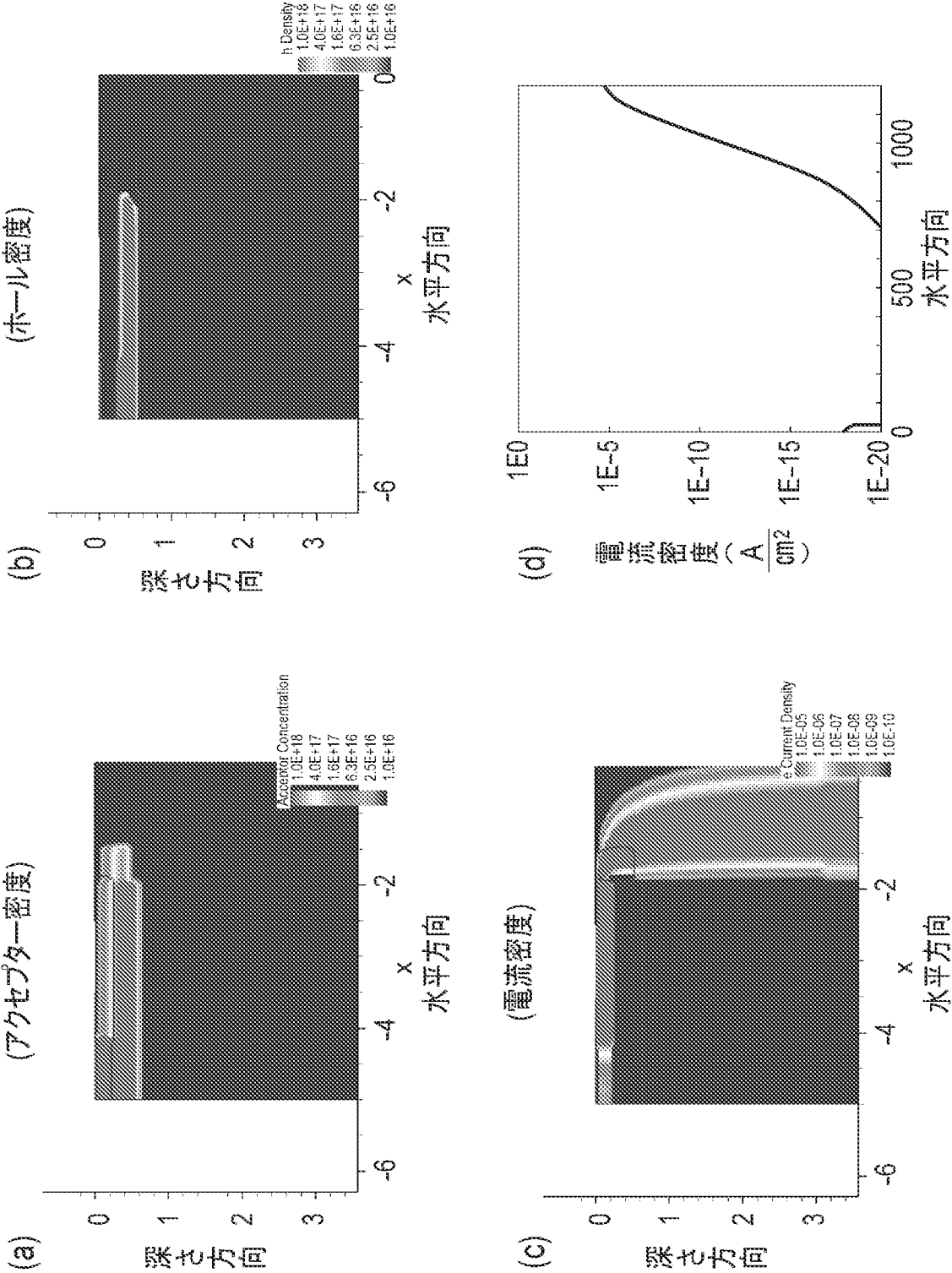
[図12]

FIG. 12



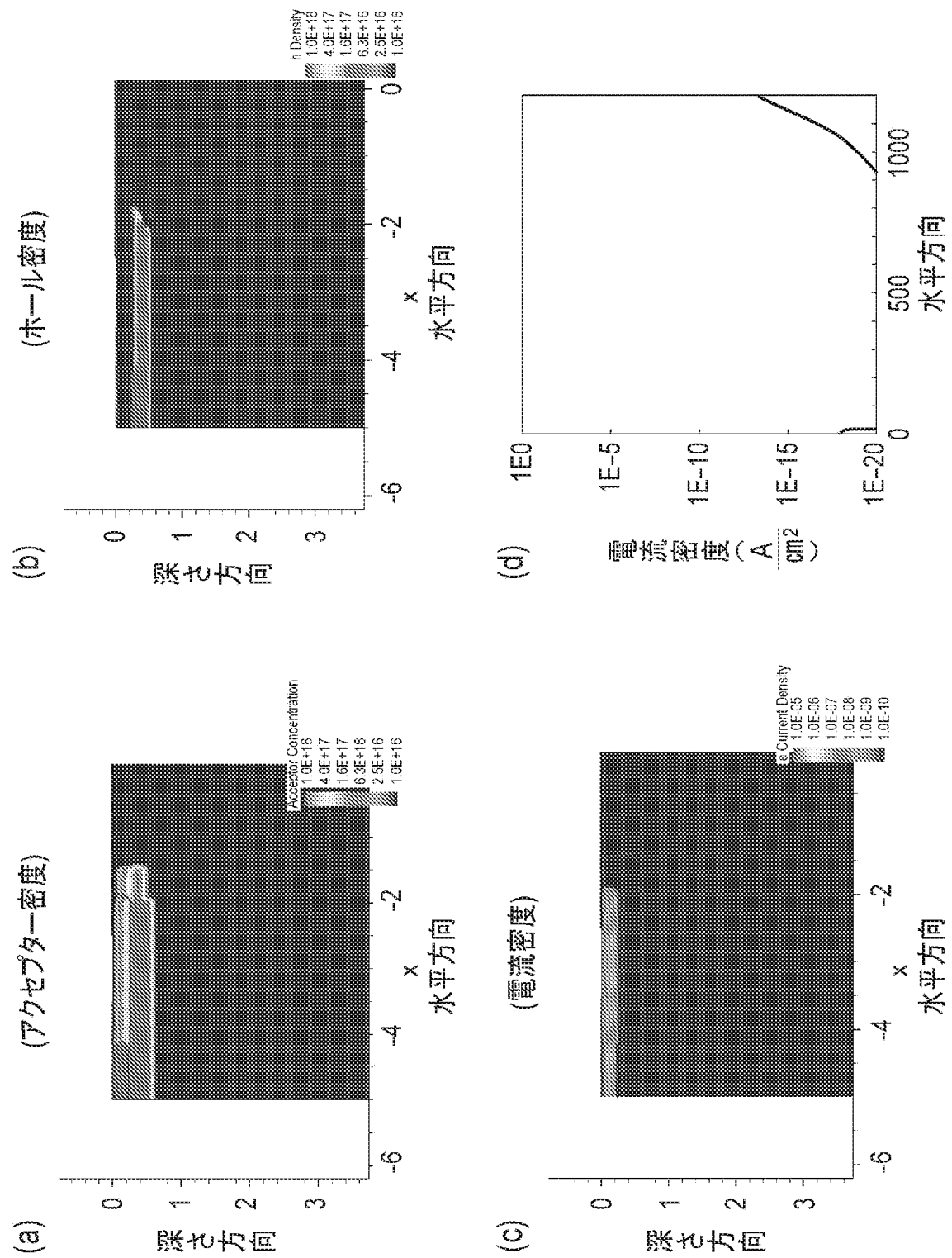
[図13]

FIG. 13



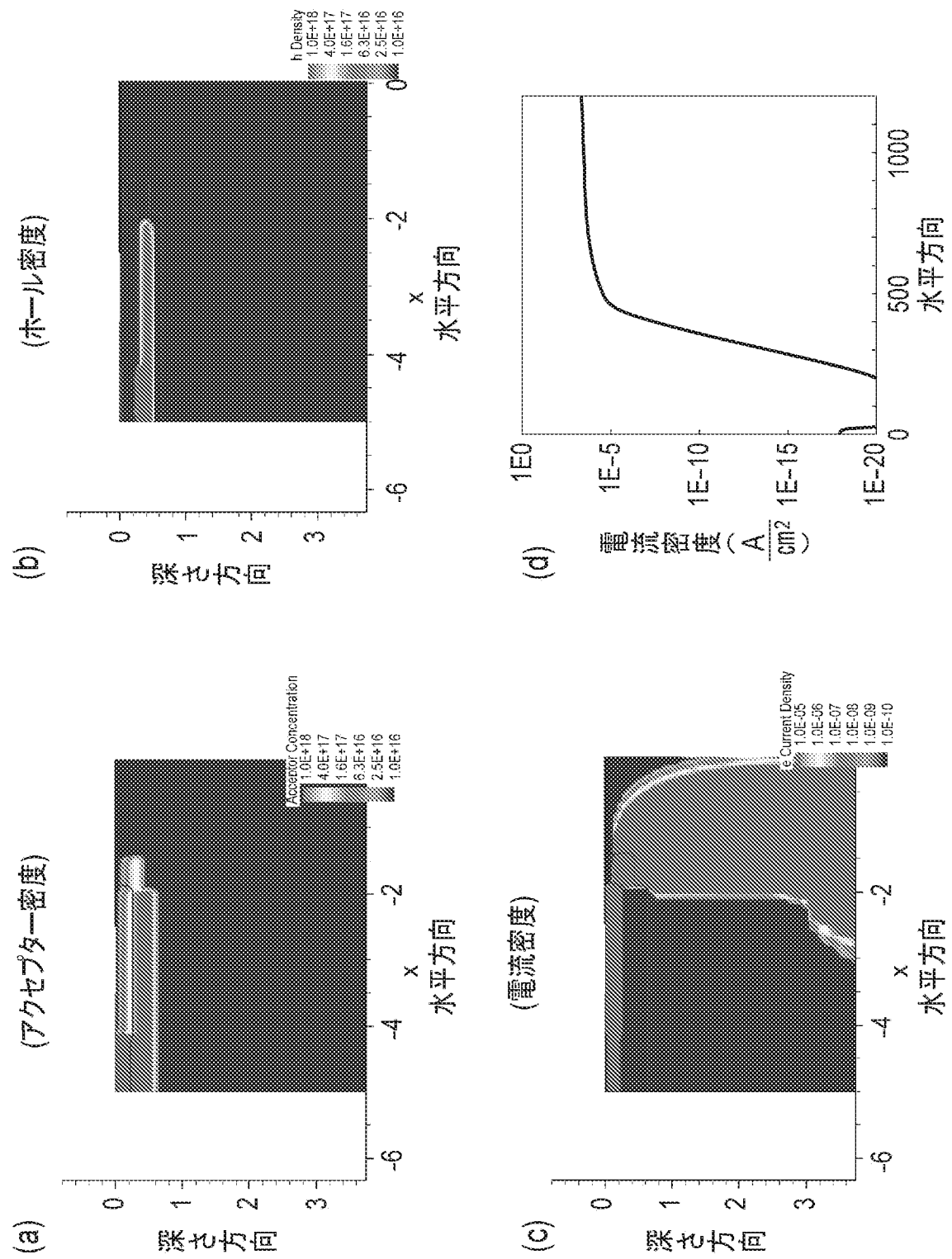
[図14]

FIG. 14



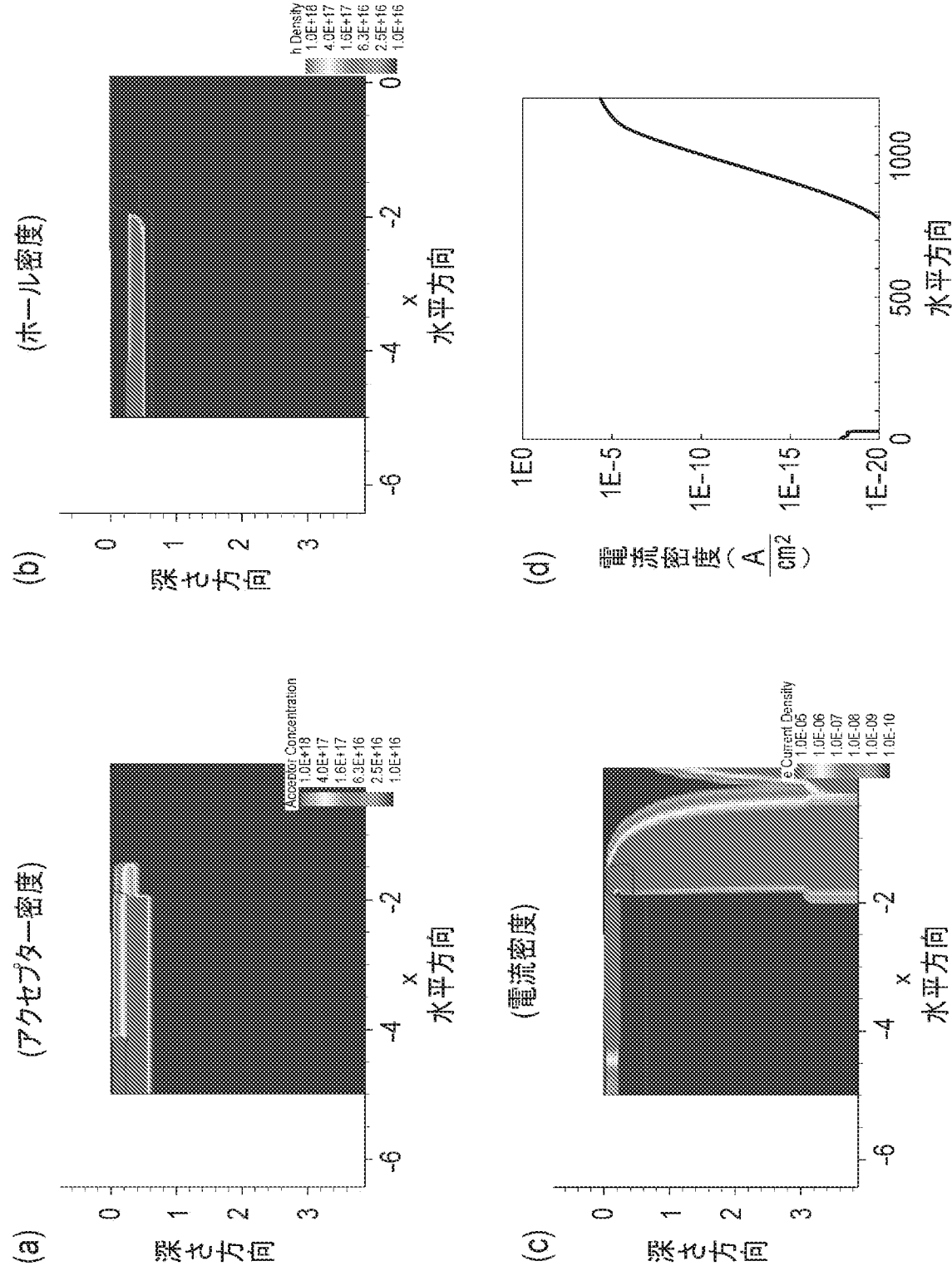
[図15]

FIG. 15

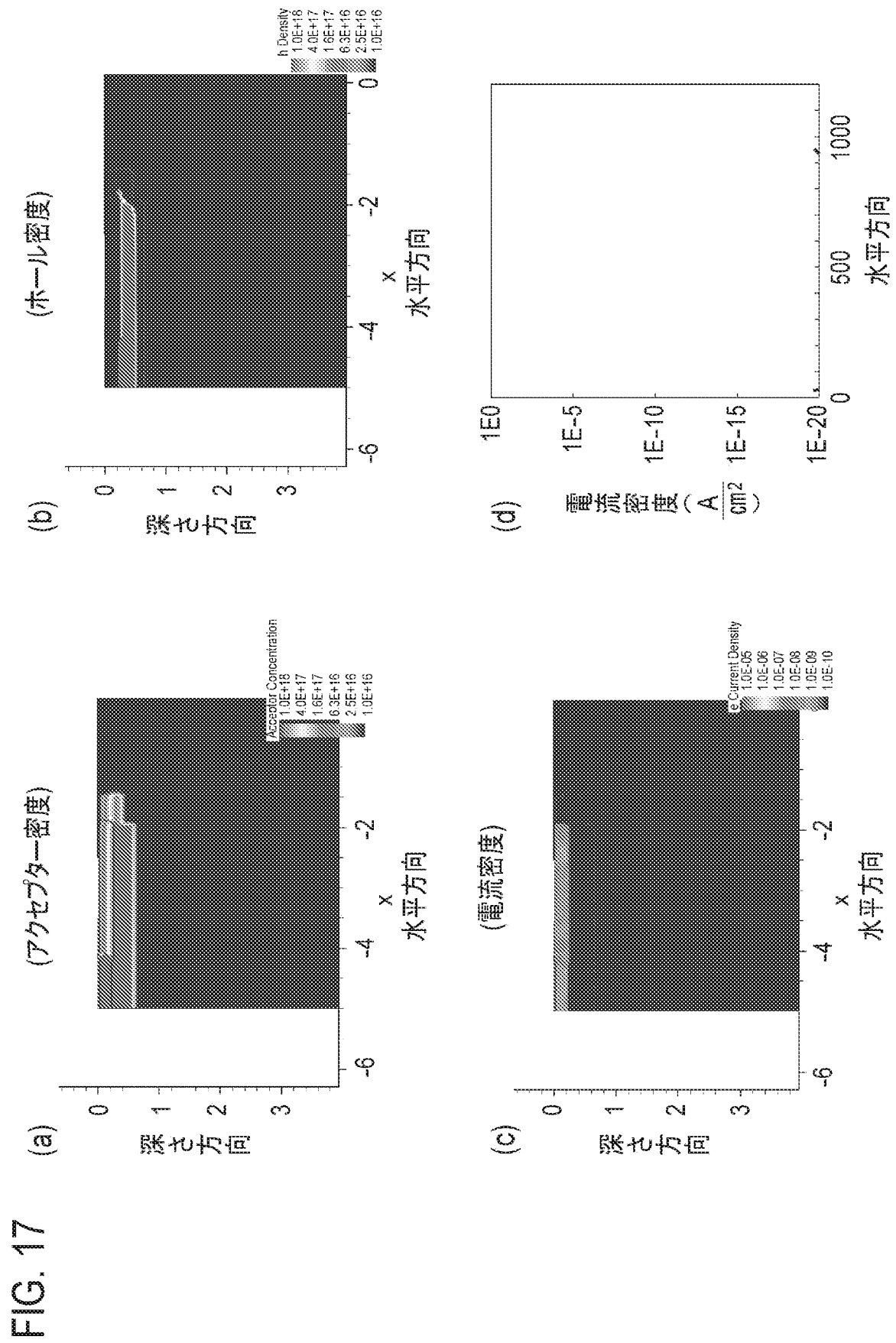


[図16]

FIG. 16

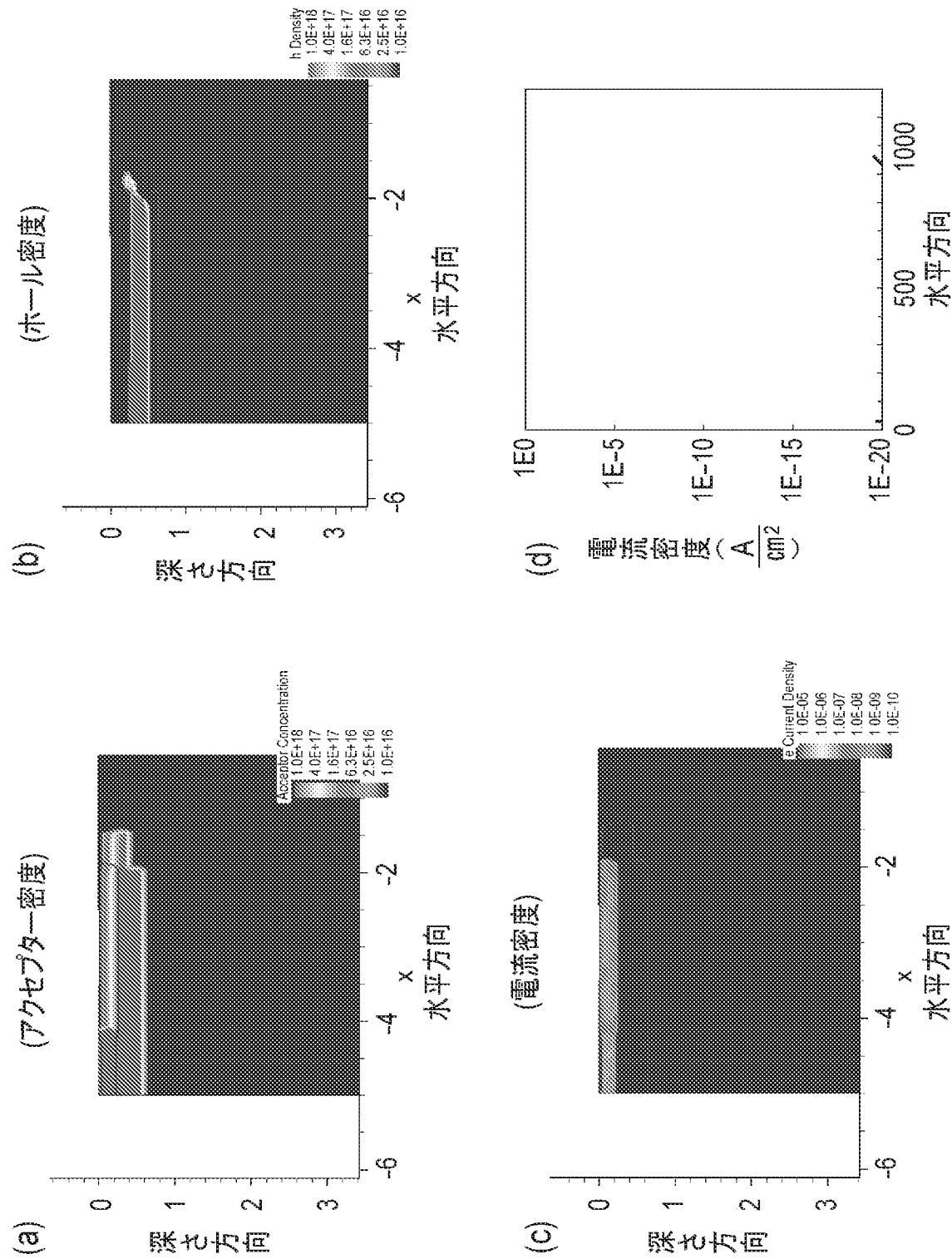


[図17]



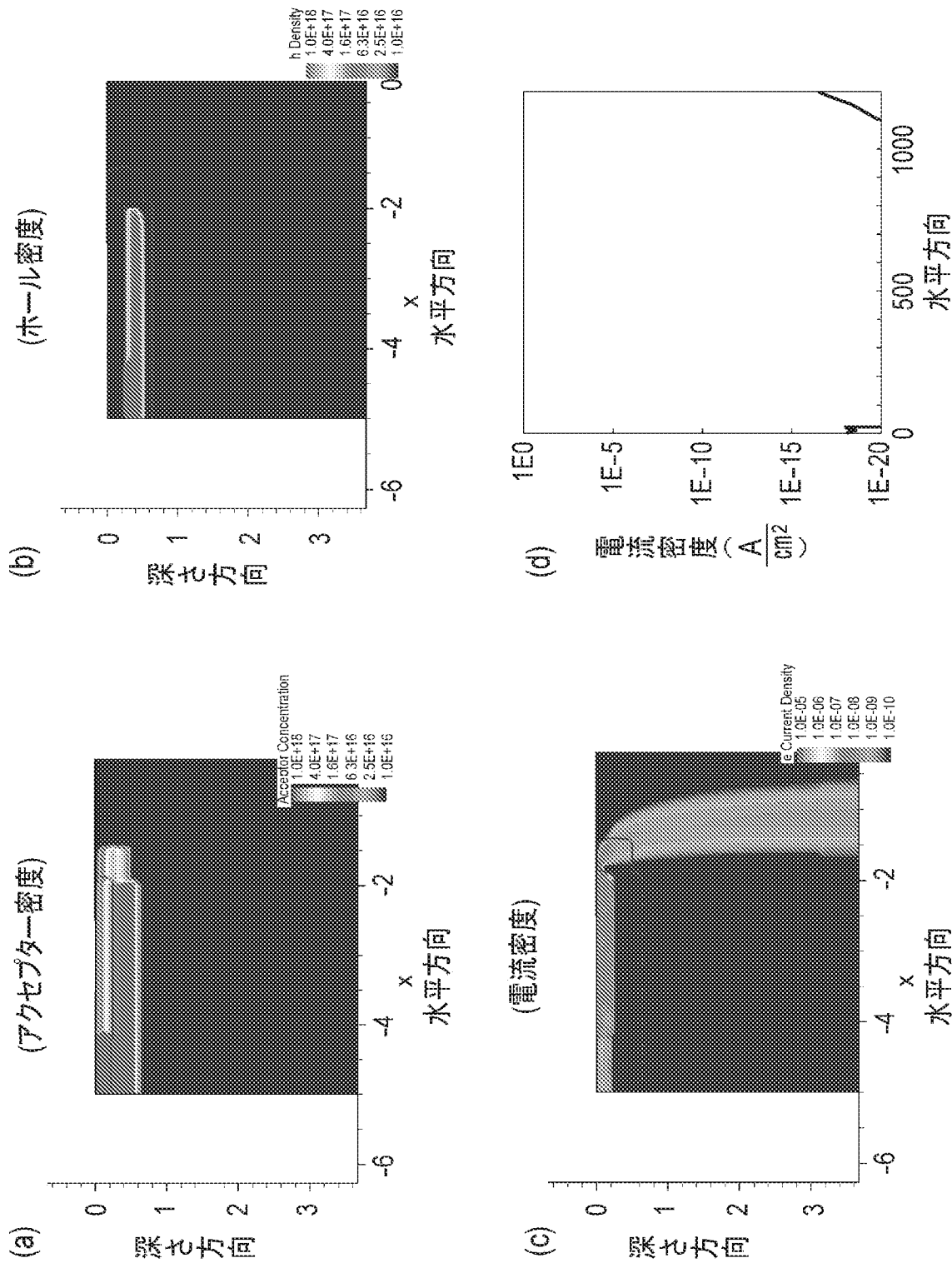
[図]18

FIG. 18

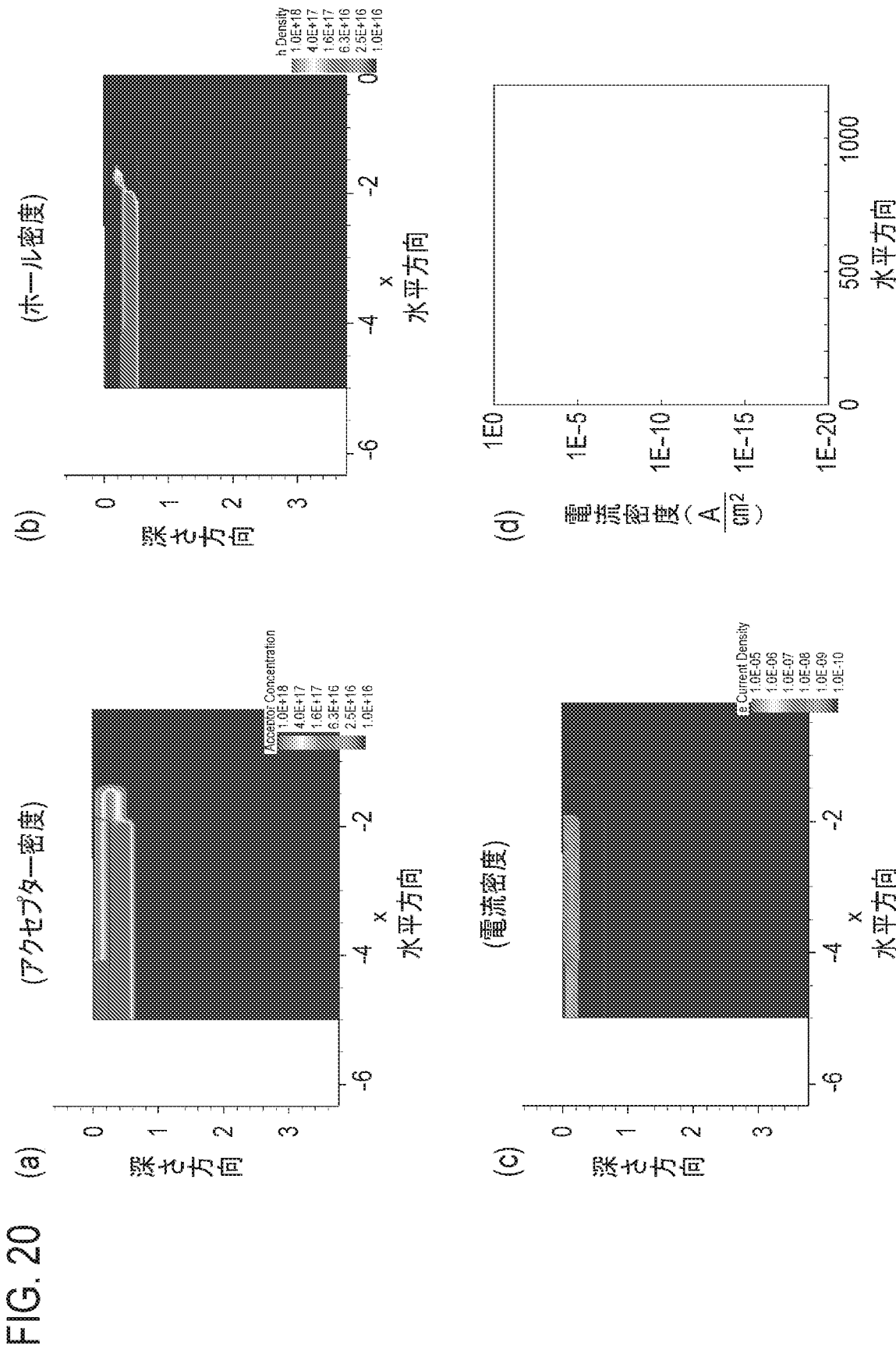


[図]19

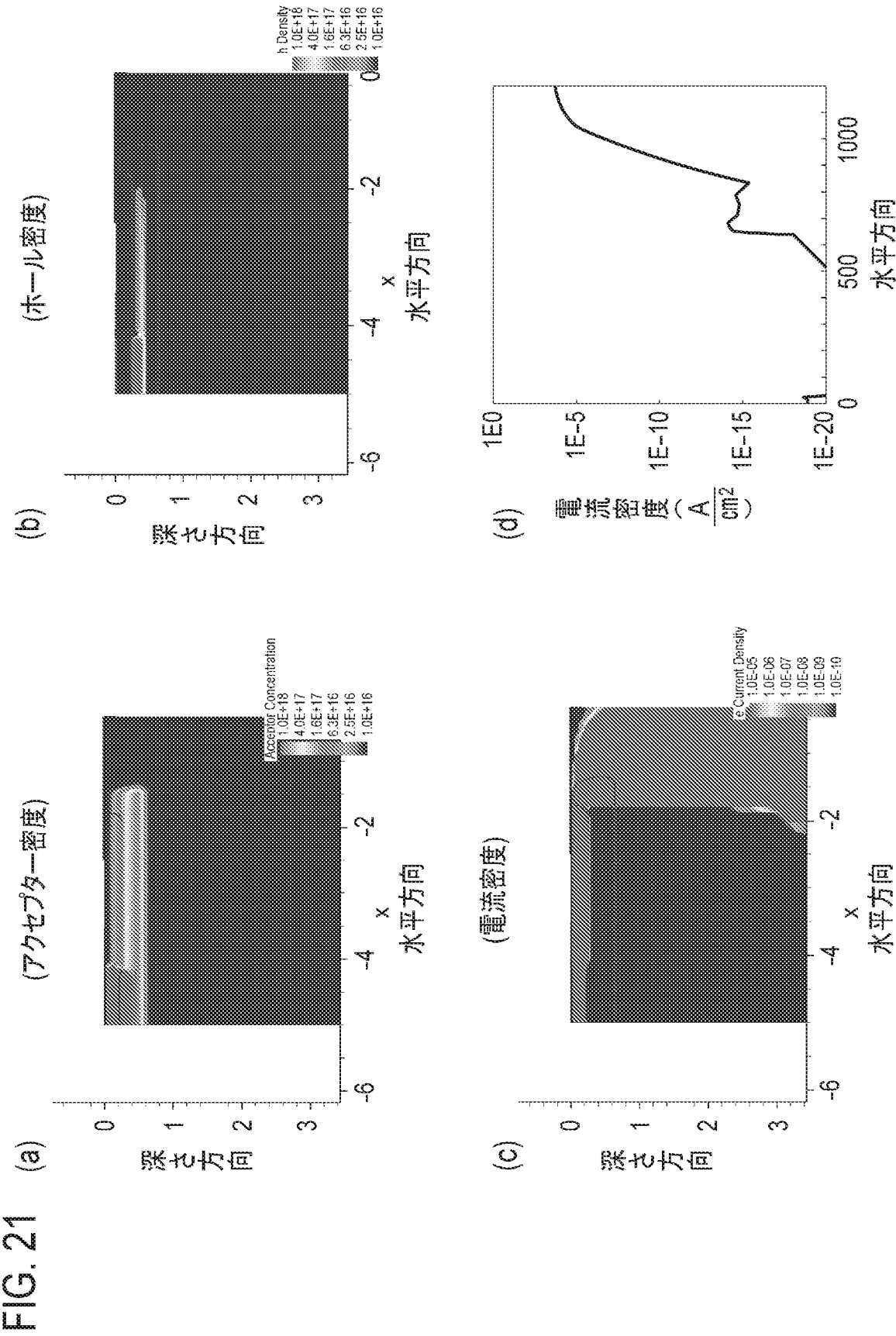
FIG. 19



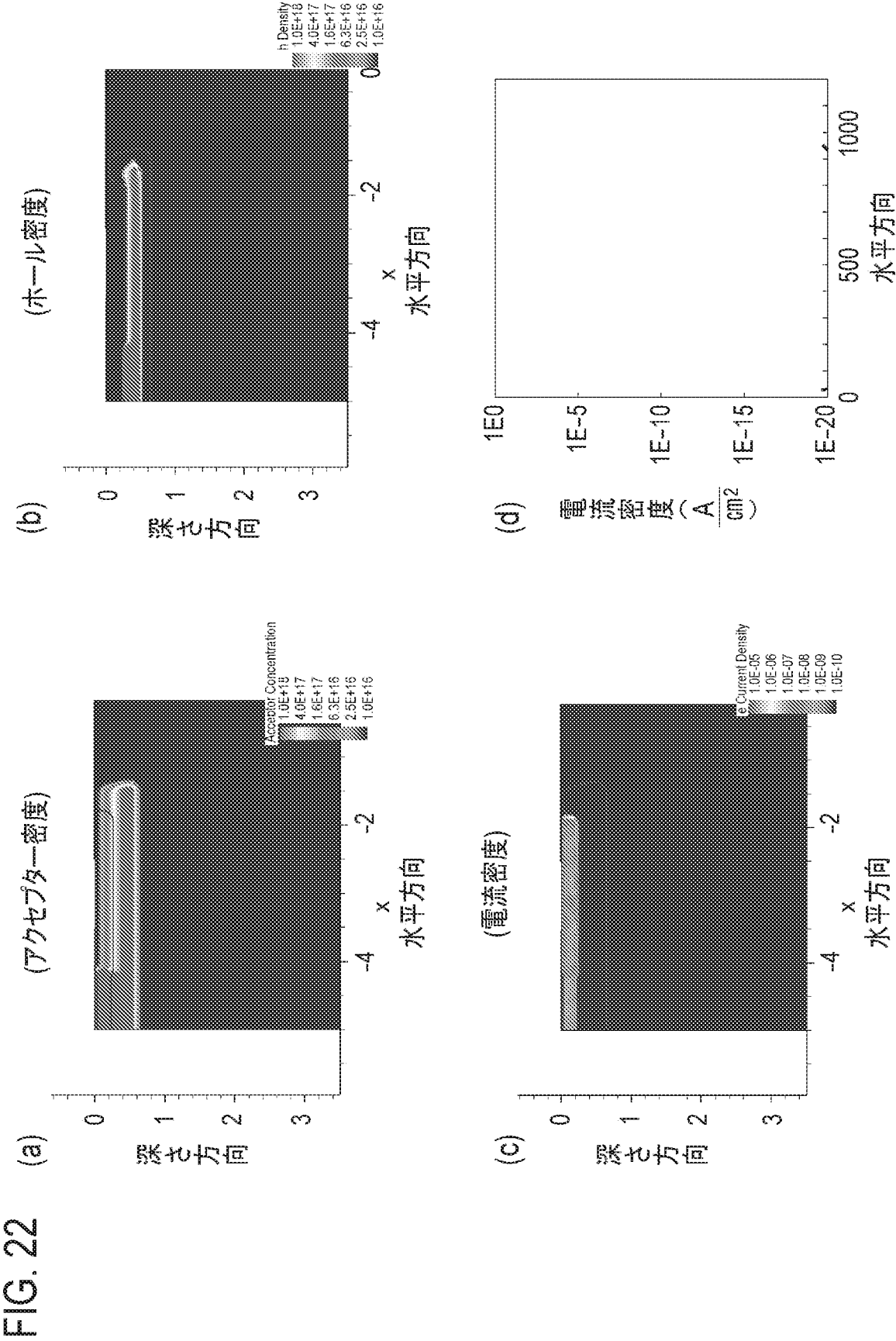
[図20]



[図21]



[図22]



[図23]

FIG. 23

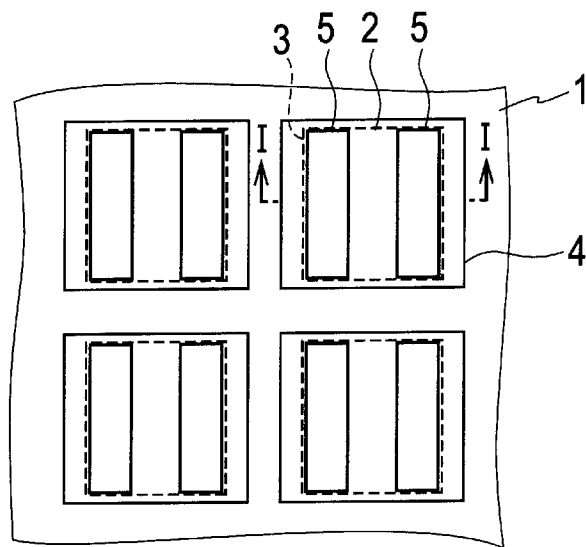


FIG. 24

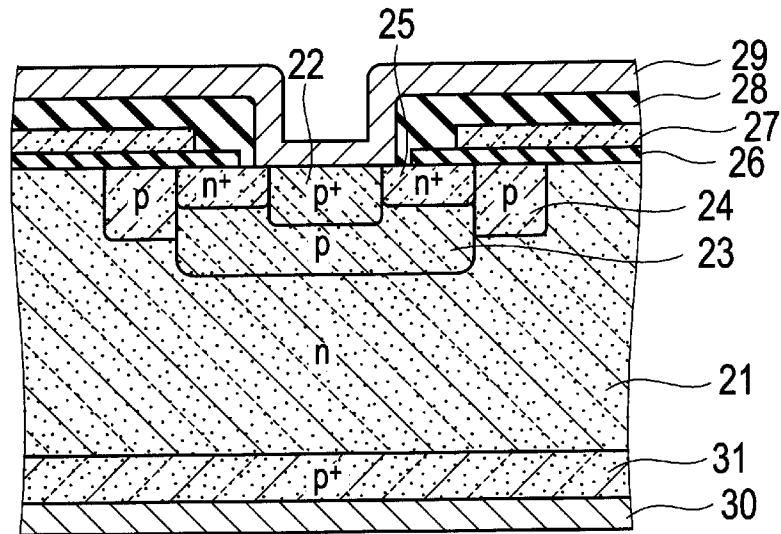
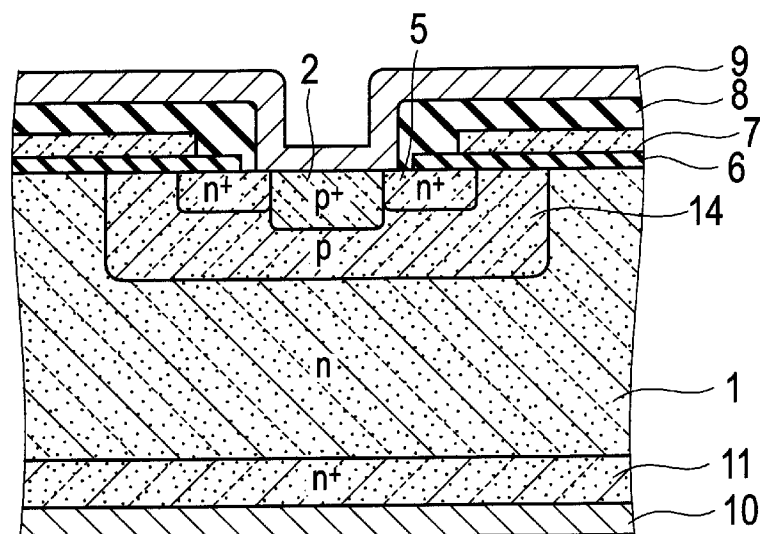


FIG. 25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/052050

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i, H01L29/12(2006.01) i, H01L29/739(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/12, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009

Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-192772 A (NEC Corp.), 22 August, 1991 (22.08.91), Full text; Fig. 1 (Family: none)	1-5
Y	JP 5-259443 A (Fuji Electric Co., Ltd.), 08 October, 1993 (08.10.93), Par. Nos. [0028], [0046]; Fig. 1 (Family: none)	1-5
Y	JP 2006-303272 A (Mitsubishi Electric Corp.), 02 November, 2006 (02.11.06), Par. Nos. [0021] to [0067]; Figs. 1 to 5 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 April, 2009 (21.04.09)Date of mailing of the international search report
12 May, 2009 (12.05.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/052050

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-77662 A (Hitachi, Ltd.), 14 March, 2000 (14.03.00), Par. No. [0015]; Fig. 1 (Family: none)	3
A	JP 61-283169 A (TDK Corp.), 13 December, 1986 (13.12.86), Full text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L29/12, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 3-192772 A（日本電気株式会社）1991.08.22, 全文、第1図（ファミリーなし）	1-5
Y	JP 5-259443 A（富士電機株式会社）1993.10.08, 段落【0028】、【0046】、図1（ファミリーなし）	1-5
Y	JP 2006-303272 A（三菱電機株式会社）2006.11.02, 段落【0021】－【0067】、図1－5（ファミリーなし）	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 4 . 2 0 0 9

国際調査報告の発送日

1 2 . 0 5 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

恩田 春香

4M

8934

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-77662 A (株式会社日立製作所) 2000.03.14, 段落【0015】, 図1 (ファミリーなし)	3
A	JP 61-283169 A (ティーディーケー株式会社) 1986.12.13, 全文, 全図 (ファミリーなし)	1-5