

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4809340号
(P4809340)

(45) 発行日 平成23年11月9日(2011.11.9)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int.Cl.

G05F 3/26 (2006.01)

F 1

G 05 F 3/26

請求項の数 8 (全 19 頁)

(21) 出願番号 特願2007-519760 (P2007-519760)
 (86) (22) 出願日 平成17年6月14日 (2005.6.14)
 (65) 公表番号 特表2008-505412 (P2008-505412A)
 (43) 公表日 平成20年2月21日 (2008.2.21)
 (86) 國際出願番号 PCT/EP2005/052737
 (87) 國際公開番号 WO2006/003083
 (87) 國際公開日 平成18年1月12日 (2006.1.12)
 審査請求日 平成20年6月13日 (2008.6.13)
 (31) 優先権主張番号 10/881,300
 (32) 優先日 平成16年6月30日 (2004.6.30)
 (33) 優先権主張国 米国(US)

(73) 特許権者 501144003
 アナログ・デバイシズ・インコーポレーテッド
 アメリカ合衆国マサチューセッツ州ノーウッド, ワン・テクノロジー・ウェイ (番地なし)
 (74) 代理人 100077481
 弁理士 谷 義一
 (74) 代理人 100088915
 弁理士 阿部 和夫
 (72) 発明者 ステファン マリンカ
 アイルランド シーオー・リムリック ドーラドイル キャッスル パーク 5

審査官 槻木澤 昌司

最終頁に続く

(54) 【発明の名称】絶対温度に比例する電圧回路

(57) 【特許請求の範囲】

【請求項 1】

第1の入力および第2の入力を有し、かつ、カレントミラー回路を駆動する出力を有する第1の増幅器を備える電圧回路であって、

前記カレントミラー回路からの出力は、前記増幅器の前記第1の入力および前記第2の入力にそれぞれ結合された第1のn型バイポーラトランジスタおよび第2のn型バイポーラトランジスタを駆動し、

前記増幅器が前記第1のn型バイポーラトランジスタのベースおよびコレクタを同じ電位に保つように、前記第1のn型バイポーラトランジスタのベースは前記増幅器の前記第2の入力に結合され、さらに前記第1のn型バイポーラトランジスタのコレクタは前記増幅器の前記第1の入力に結合されており、

前記第2のn型バイポーラトランジスタはダイオード構成で設けられており、

前記第1のn型バイポーラトランジスタおよび第2のn型バイポーラトランジスタは、前記第1のn型バイポーラトランジスタと前記第2のn型バイポーラトランジスタとの間にベース-エミッタ電圧の差が存在するように、異なる電流密度で動作するように構成されており、

負荷抵抗が、前記第1のn型バイポーラトランジスタと前記第2のn型バイポーラトランジスタとの間にベース-エミッタ電圧の前記差が使用中に前記負荷抵抗の両端間に発生するように、前記第2のn型バイポーラトランジスタのコレクタ及び前記増幅器の前記第2の入力に結合されており、

10

20

ベース - エミッタ電圧の前記差は絶対温度に比例する(PTAT)電圧であり、前記カレントミラー回路は、第1のp型バイポーラトランジスタおよび第2のp型バイポーラトランジスタを備え、前記第1のp型バイポーラトランジスタのエミッタは、前記増幅器の前記出力に結合され、前記第1のp型バイポーラトランジスタのベースは、前記増幅器の前記第2の入力に結合され、前記第1のp型バイポーラトランジスタのコレクタは、前記増幅器の前記第1の入力に結合されており、

前記第2のp型バイポーラトランジスタは、ベースおよびコレクタが前記負荷抵抗を介して前記第2のn型バイポーラトランジスタに共通に結合されたダイオード構成で設けられ、

前記第1のp型バイポーラトランジスタの前記ベースは、前記第1のn型バイポーラトランジスタの前記ベースおよび前記増幅器の前記第2の入力に結合され、

前記第1のp型バイポーラトランジスタの前記コレクタは、前記第1のn型バイポーラトランジスタの前記コレクタおよび前記増幅器の前記第1の入力に結合されていることを特徴とする電圧回路。

【請求項2】

前記第1のp型バイポーラトランジスタおよび前記第1のn型バイポーラトランジスタは、増幅器の第1段を形成していることを特徴とする請求項1に記載の電圧回路。

【請求項3】

前記負荷抵抗は、前記第1のn型バイポーラトランジスタの前記ベースと前記第2のn型バイポーラトランジスタの前記コレクタとの間に直列に設けられていることを特徴とする請求項1に記載の電圧回路。

【請求項4】

前記第1のn型バイポーラトランジスタおよび第2のn型バイポーラトランジスタの前記エミッタは、両方とも、第2の負荷抵抗を介して接地に結合されていることを特徴とする請求項1に記載の電圧回路。

【請求項5】

前記電圧回路は、湾曲補正を行うように構成された追加の回路を備え、前記追加の回路は、絶対温度に対して相補的な(CTAT)電流源および第3の負荷抵抗を備え、

前記第3の負荷抵抗は、前記第1のn型バイポーラトランジスタおよび第2のn型バイポーラトランジスタの前記エミッタに結合されており、それによって、前記第2の負荷抵抗および第3の負荷抵抗の値の調整を、湾曲を補正するために使用することができ、

動作中に前記CTAT電流源により提供されるCTAT電流信号は、第2の組のカレントミラー回路によってミラーされ、

前記第2の組のカレントミラー回路は、マスタトランジスタとスレーブトランジスタを備え、

前記第3の負荷抵抗の両端間にT1ogTの型の信号を発生させるために、前記スレーブトランジスタのコレクタに動作中に反映されるCTAT電流信号が前記増幅器の前記出力から取り出されるように、前記スレーブトランジスタは、2つのダイオード接続トランジスタを通して前記増幅器の前記出力に結合され、前記第3の負荷抵抗は、前記スレーブトランジスタに結合されていることを特徴とする請求項4に記載の電圧回路。

【請求項6】

前記CTAT電流源は、前記電圧回路の外に設けられていることを特徴とする請求項5に記載の電圧回路。

【請求項7】

第4の負荷抵抗をさらに備え、前記第4の負荷抵抗は、前記増幅器の前記出力と前記第1のn型バイポーラトランジスタおよび第2のn型バイポーラトランジスタの共通に結合されたエミッタとの間に設けられ、前記第4の負荷抵抗を設けることによって、前記増幅器の前記出力に与えられる電圧の調整が可能になることを特徴とする請求項5に記載の電圧回路。

【請求項8】

10

20

30

40

50

前記第1のp型バイポーラトランジスタおよび前記第2のp型バイポーラトランジスタのエミッタ面積は、前記第1のp型バイポーラトランジスタおよび前記第2のp型バイポーラトランジスタが異なる電流密度で動作し、それによって前記電圧回路の開ループ利得を高めるように、異なっていることを特徴とする請求項2に記載の電圧回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電圧回路に関し、より詳細には、絶対温度に比例する(PTAT)出力を供給するように構成された回路に関する。好ましい実施形態に従って、本発明は、バンドギャップ技術を使用しPTAT電圧回路を組み込んで実現された電圧基準(voltage reference)回路を提供する。本発明の電圧回路は、等価な電流回路として容易に実現することができる。10

【背景技術】

【0002】

電圧発生回路は、当技術分野でよく知られており、定められた特性を有する電圧出力を供給するために使用されている。既知の例には、電圧基準を供給するように構成された回路、温度の上昇につれて増すように絶対温度に比例する(PTAT)出力を有する回路、および温度の上昇につれて減少するように絶対温度に対して相補的な(CTAT)出力を有する回路がある。温度と共に予測可能に変化する出力を有するこれらの回路は、一般に温度センサとして使用されるが、一方で、温度変動に依存しない出力を有するものは電圧基準回路として使用される。電圧発生回路は電流発生回路に容易に変換できることは当業者によく知られており、したがって、説明を容易にするために、本明細書の範囲内では、電圧発生回路としてこれらの回路を説明する。20

【0003】

電圧基準回路の1つの特定のカテゴリは、バンドギャップ回路として知られているものである。バンドギャップ電圧基準回路は、等しいが反対の温度係数を有する2つの電圧を加えることに基づいている。第1の電圧は、順方向バイアスされたバイポーラトランジスタのベース-エミッタ電圧である。この電圧は、約-2.2mV/Cの負のTC(温度係数)を有し、通常、絶対温度に対して相補的な(Complementary to Absolute Temperature)電圧すなわちCTAT電圧として示される。絶対温度に比例する(Proportional to Absolute Temperature)第2の電圧、すなわちPTAT電圧は、異なる電流密度で動作するバイポーラトランジスタの2つの順方向バイアスされたベース-エミッタ接合の電圧差(V_{be})を増幅して形成される。これらの型の回路はよく知られており、その動作のさらなる詳細は非特許文献1に与えられている。非特許文献1の内容は、参照して本明細書に組み込まれる。30

【0004】

そのような電圧基準回路の古典的な構成は、「ブロコウ・セル(Brokaw Cell)」として知られており、その例を図1に示す。第1および第2のトランジスタQ1、Q2は、それぞれのコレクタが増幅器A1の非反転入力および反転入力に結合されている。各トランジスタのベースは共通に結合されており、この共通ノードは、抵抗器r5を介して増幅器の出力に結合されている。結合されたベースと抵抗器r5の共通ノードは、別の抵抗器r6を介して接地に結合されている。Q2のエミッタは、抵抗器r1を介して、トランジスタQ1のエミッタとの共通ノードに結合されている。次に、この共通ノードは、第2の抵抗器r2を介して接地に結合されている。A1の出力ノードからのフィードバックループは、抵抗器r3を介してQ2のコレクタに供給され、また抵抗器r4を介してQ1のコレクタに供給されている。40

【0005】

図1において、トランジスタQ2は、トランジスタQ1のエミッタ面積に比べてより大きなエミッタ面積を設けられており、したがって、2つのバイポーラトランジスタQ1お50

および Q 2 は、異なる電流密度で動作する。抵抗器 r 1 の両端間に、次式の形の電圧 V_{b_e} が生じる。

【0006】

【数1】

$$\Delta V_{be} = \frac{KT}{q} \ln(n) \quad (1)$$

【0007】

ここで、K は、ボルツマン定数であり、q は、電子の電荷であり、T は、ケルビンの単位の動作温度であり、n は、2 つのバイポーラトランジスタのコレクタ電流密度の比である。

【0008】

通常、2 つの抵抗器 r 3 および r 4 は、等しい値であるように選ばれ、コレクタ電流密度比は、Q 1 に対する Q 2 のエミッタ面積の比で与えられる。プロセス変動による基準電圧 (reference voltage) の変動を減少させるために、Q 2 は、各トランジスタが Q 1 と同じ面積である n 個のトランジスタのアレイとして設けることができる。

【0009】

電圧 V_{b_e} は、電流 I 1 を発生し、この電流 I 1 はまた P T A T 電流である。Q 1 および Q 2 の共通ベースノードの電圧は、次式で与えられる。

【0010】

【数2】

$$V_b = 2 \Delta V_{be} * \frac{r_2}{r_1} + V_{be1} \quad (2)$$

【0011】

抵抗器の比およびコレクタ電流密度を適切に調整することによって、電圧「V b」は、第1次のオーダで温度の影響を受けなくなり、ベース - エミッタ電圧 (V_{b_e}) によって生じる湾曲 (curvature) は別にして、補償されていると考えることができる。電圧「V b」は、r 5 と r 6 の比によって、増幅器の出力に基準電圧 V_{ref} として調整される。

【0012】

【数3】

$$V_{ref} = (2 \Delta V_{be} * \frac{r_2}{r_1} + V_{be1}) (1 + \frac{r_5}{r_6}) + (I_b(Q_1) + I_b(Q_2)) r_5 \quad (3)$$

【0013】

ここで、 $I_b(Q_1)$ および $I_b(Q_2)$ は、Q 1 および Q 2 のベース電流である。

【0014】

「プロコウ・セル」は広く使用されているが、いくつかの欠点がまだある。式(3)の第2の項は、ベース電流による誤差を表している。この誤差を減らすために、r 5 はできるだけ小さくなければならない。r 5 が減少するにつれて、基準電圧を介して電源から取り出される電流は増加し、これが欠点である。別の欠点は、セルの動作温度が変化するときに、2 つのトランジスタのコレクタ - ベース電圧も変化することに関係している。アーリ効果 (Early effect) (バイアス印加による実効ベース幅の変化のトランジスタ動作に及ぼす効果) の結果として、2 つのトランジスタへの電流が影響を受ける。アーリ効果についてのさらなる情報は、非特許文献 2 に見出すことができる。非特許文献 2 の内容は、参照して本明細書に組み込まれる。

【0015】

10

20

30

40

50

プロコウ・セルの非常に重要な特徴は、増幅器が2つのバイポーラトランジスタのコレクタ電流を制御するので、増幅器のオフセットおよび雑音に対して感度が低いことである。

【0016】

図1の増幅器A1の入力のオフセット電圧 V_{off} は、次式に従って電流 I_1 と I_2 を不均衡にするという対応する効果を有する。

$$I_2 r_4 - V_{off} = I_1 r_3 \quad (4)$$

r_1 の両端間に反映されるQ1とQ2のベース-エミッタ電圧の差 V_{be} は、次式で与えられる。

【0017】

【数4】

$$\Delta V_{be} = \frac{KT}{q} \ln\left(n \frac{I_2}{I_1}\right) \quad (5)$$

【0018】

$r_3 = r_4$ の場合、次式が得られる。

【0019】

【数5】

$$\Delta V_{be} = \frac{KT}{q} \ln(n) + \frac{KT}{q} \ln\left(1 + \frac{V_{off}}{\Delta V_{be} r_4}\right) \quad (6)$$

【0020】

式(6)の第2項は、オフセット電圧によるベース-エミッタ電圧差への誤差を表す。この項は、 r_1 に比べて r_4 を大きくすることによって減少させることができる。しかし、 r_4 をより大きくすることによってアーリ効果が悪化し、それは望ましくない。合理的な妥協として、 $r_4 = 4r_1$ であるように r_4 および r_1 の値を選ぶことができる。電圧基準回路に一般的な値を使用し、さらに、 $r_4 = 4r_1$ 、 $V_{off} = 1\text{mV}$ および $V_{be} = 100\text{mV}$ (25で)であると仮定すると、式(6)のオフセット電圧による誤差は、約 0.065mV である。この誤差は、式(3)に従って基準電圧に反映される。 $r_2 = 3r_1$ および $r_5 = r_6$ と想定すると、 1mV のオフセット電圧は、基準電圧に 0.77mV として反映される。増幅器がコレクタ電流を制御するので、1ミリボルトのオフセット電圧は、それぞれ基準電圧に 0.77mV の誤差として反映される。同様にして、増幅器の雑音が基準電圧に反映され、その両方とも望ましくない効果である。

【0021】

また、「プロコウ・セル」には、全ての無補償基準電圧と同じように、ベース-エミッタ電圧の「湾曲」の影響を受けるという点で問題がある。バンドギャップ電圧基準で絶対温度に対して相補的な(CTAT)電圧として使用され、かつ絶対温度に比例する(PTAT)コレクタ電流でバイアスされるようなバイポーラトランジスタのベース-エミッタ電圧は、式(7)が示すように温度に関係している。

【0022】

【数6】

$$V_{be}(T) = V_{be0} \left(1 - \frac{T}{T_0}\right) + V_{be0} \frac{T}{T_0} - (\sigma - 1) \frac{kT}{q} \ln\left(\frac{T}{T_0}\right) \quad (7)$$

【0023】

ここで、 V_{be} (T)は、動作温度でのバイポーラトランジスタのベース-エミッタ電圧の温度依存性であり、 V_{be0} は、基準温度でのバイポーラトランジスタのベースエミッタ電圧。

10

20

30

40

50

タ電圧であり、 V_{G_0} は、温度 0 K でのバンドギャップ電圧またはベース - エミッタ電圧であり、 T_0 は、基準温度であり、 α は、飽和電流温度指数 (saturation current temperature exponent) (コンピュータ付加シミュレータでは X_T と呼ばれることがある) である。

【0024】

図 1 の r_2 の両端間に生じる P T A T 電圧は、式 (7) の最初の 2 項を補償するだけである。工業温度範囲 (-40°C から 85°C) でほぼ約 2.5 mV の「湾曲」を与える最後の項は、補償されないでそのまま残り、これがまた式 (3) に従って基準電圧に取り込まれる。そのような湾曲の例が $T \log T$ 効果であり、図 2 で与えられている。

【0025】

【特許文献 1】米国特許第 5,352,973 号明細書

【特許文献 2】米国特許第 4,399,398 号明細書

【非特許文献 1】Gray et al, "Analysis and Design of Analog Integrated Circuits", 4th Edition, Chapter 4

【非特許文献 2】Gray et al, "Analysis and Design of Analog Integrated Circuits", 4th Edition, page 15

【発明の開示】

【発明が解決しようとする課題】

【0026】

「プロコウ・セル」が十分に平衡のとれているときに、「湾曲」誤差を内部で補償することは容易でない。この誤差を補償しようとする 1 つの試みが、本発明の譲受人に共に譲渡された特許文献 1 に記載されている。特許文献 1 の開示は、参照することによって本明細書に組み込まれる。この米国特許では、「湾曲」誤差は補償されているが、余分なバイポーラトランジスタを一定電流でバイアスする別個の回路を使用することによるこの方法では、追加の回路を使用することが必要となる。

【0027】

バンドギャップ基準回路の他の知られている例には、RCA 社に譲渡された特許文献 2 に記載されているものがあり、この特許では、所定値からずれる基準電位に応じて第 1 の出力端子と第 2 の出力端子との間を流れる電流を制御するように構成されたフィードバックのある電圧基準回路が記載されている。この回路は、ベース電流効果を減少させるのに役立つが、大きな電力という犠牲を払ってである。その結果、この回路は、比較的大きな電流の用途にだけ適している。

【0028】

したがって、理解されることであろうが、図 1 に示す回路は、オフセットおよび雑音に対する感度が非常に低いが、オフセットおよび雑音に対する感度のさらなる減少を可能にする必要がある。

【課題を解決するための手段】

【0029】

本発明のこれら及び他の問題は、改善された電圧回路を実現する本発明の第 1 の実施形態によって対処される。

【0030】

本発明に従って、第 1 の入力と第 2 の入力を有し、かつカレントミラー回路を駆動する出力を有する第 1 の増幅器を備える電圧回路が提供される。前記カレントミラー回路からの出力は、前記増幅器の前記第 1 の入力および前記第 2 の入力にそれぞれ結合された第 1 のトランジスタおよび第 2 のトランジスタを駆動するように構成され、前記増幅器が前記第 1 のトランジスタのベースとコレクタを同じ電位に保つように、前記第 1 のトランジスタのベースが前記増幅器の前記第 2 の入力に結合され、前記第 1 のトランジスタのコレクタが前記増幅器の前記第 1 の入力に結合されている。前記第 2 のトランジスタはダイオード構成で設けられており、さらに、前記第 1 のトランジスタおよび前記第 2 のトランジスタは、前記第 1 のトランジスタと前記第 2 のトランジスタのベース - エミッタ電圧の差が

10

20

30

40

50

前記第2のトランジスタに結合された抵抗負荷の両端間に発生することができるよう、異なる電流密度で動作するように構成されており、ベース - エミッタ電圧の差は P T A T 電圧である。

【0031】

望ましくは、前記カレントミラー回路は、マスタトランジスタおよびスレーブトランジスタを備え、前記マスタトランジスタは前記第2のトランジスタに結合され、前記スレーブトランジスタは前記第1のトランジスタに結合されている。前記スレーブトランジスタと前記第1のトランジスタは、増幅器の第1段を形成することができる。

【0032】

前記マスタトランジスタおよび前記スレーブトランジスタは、一般に p 型トランジスタとして設けられ、前記第1のトランジスタおよび前記第2のトランジスタは、n 型トランジスタとして設けられる。代替的構成では、前記マスタおよびスレーブが n 型として設けられ、前記第1および第2が p 型として設けられる。普通、前記トランジスタは、バイポーラ型トランジスタとして設けられる。

【0033】

前記負荷抵抗は、前記第1のトランジスタのベースと前記第2のトランジスタのコレクタとの間に直列に設けることができる。しかし、他の実施形態では、前記第1のトランジスタのベースは、前記第2のトランジスタのコレクタに直接結合され、前記負荷抵抗は前記第2のトランジスタのエミッタと前記第1のトランジスタのエミッタとの間に直列に設けられる。

10

20

【0034】

前記第1のトランジスタおよび前記第2のトランジスタのエミッタは、両方とも第2の負荷抵抗を介して接地に結合することができる。

【0035】

前記第1のトランジスタおよび前記スレーブトランジスタのベース - エミッタ電圧は、一般に、絶対温度に対して相補的な (C T A T) 電圧を与え、前記 C T A T 電圧は、前記増幅器によって前記 P T A T 電圧と組み合わされて前記増幅器の出力に電圧基準を与えるように構成される。

【0036】

そのような実施形態では、前記第1のトランジスタおよび前記第2のトランジスタのエミッタは、通常両方とも、第2の負荷抵抗を介して接地に結合されており、前記回路は、湾曲補正を行うように構成された追加の回路を備え、前記追加の回路は C T A T 電流源および第3の負荷抵抗を備え、前記第3の負荷抵抗は前記第1のトランジスタと前記第2のトランジスタのエミッタに結合されており、それによって、湾曲を補正するために、前記第2の負荷抵抗および前記第3の負荷抵抗の値の調整 (scaling) を使用することができる。

30

【0037】

前記 C T A T 電流は、第2の組のカレントミラー回路によってミラー (mirror) することができ、前記第2の組のカレントミラー回路は、マスタトランジスタとスレーブトランジスタを備え、ここで、前記スレーブトランジスタは2つのダイオード接続トランジスタを通して前記増幅器の出力に結合され、前記第3の負荷抵抗は前記スレーブトランジスタに結合され、それによって、前記第3の負荷抵抗の両端間に T l o g T の型の信号を発生させるために、前記スレーブトランジスタのコレクタに反映される C T A T 電流が前記増幅器の出力から取り出される。ここで、T は絶対温度である。

40

【0038】

そのような C T A T 電流源は、前記回路の外部的に設けることができ、または代わりに内部で発生させることができる。そのような後者の実施形態は、第4の負荷抵抗を備えるように回路を修正することによって実現することができ、前記第4の負荷抵抗は、前記増幅器の出力と前記第1のトランジスタおよび前記第2のトランジスタの共通に結合されたエミッタとの間に設けられ、前記第4の負荷抵抗を設けることによって、前記増幅器の出

50

力に与えられる電圧の調整が可能になる。

【0039】

特定の構成では、前記マスタトランジスタおよび前記スレーブトランジスタが異なる電流密度で動作しそれによって前記回路の開ループ利得を高めるように、前記マスタトランジスタおよび前記スレーブトランジスタのエミッタ面積は異なっている。

【0040】

本発明の別の実施形態に従って、第1の入力および第2の入力を有する第1の増幅器を備える電圧回路が提供され、前記増幅器は、前記増幅器の前記第1の入力および前記第2の入力にそれぞれ結合された第1のトランジスタおよび第2のトランジスタを有している。そのような実施形態では、前記第1のトランジスタは、前記増幅器の前記第2の入力にさらに結合されており、それによって、前記増幅器が前記第1のトランジスタのベースノードとコレクタノードを同じ電位に保つ。前記第2のトランジスタは、前記第1のトランジスタの電流密度と比べてより高い電流密度で動作することができ、それによって、前記2つのトランジスタのベース-エミッタ電圧の差が負荷の両端間に発生する。さらに、前記回路は、前記増幅器の出力と前記第1のトランジスタおよび前記第2のトランジスタとの間のフィードバック経路に設けられたカレントミラー回路を備えるように構成することができ、前記カレントミラーは、それぞれのトランジスタのベース-コレクタ電圧が最小限になるように前記第1のトランジスタおよび前記第2のトランジスタにベース電流を供給するように構成され、それによってアーリ効果を軽減する。

【0041】

本発明のさらに他の実施形態は、増幅器に第1の入力および第2の入力を与える第1のアームと第2のアームを備えたトランジスタのブリッジ構成を備え、前記増幅器が次いで出力として電圧基準を与えるバンドギャップ電圧基準回路を提供する。前記ブリッジの各アームはトランジスタを備え、前記第2のアームのトランジスタは前記第1のアームのトランジスタの電流密度と比べてより高い電流密度で動作可能であり、その結果、前記第1のトランジスタと前記第2のトランジスタのベース-エミッタ電圧の差を反映する電圧が前記第2のアームの一部として設けられた抵抗回路網の中の抵抗器の両端間に発生する。前記第1のアームは、前記回路網の中の中間点で前記第2のアームに結合され、前記ブリッジは、前記増幅器が前記第1のアームのトランジスタのベース-コレクタ電圧を減少させるように前記増幅器の出力からの電圧基準に結合されている。

【0042】

さらなる実施形態に従って、本発明は、第1の入力および第2の入力を有しつつ出力に電圧基準を与える第1の増幅器を備えるバンドギャップ電圧基準回路を提供する。前記回路は、

前記第1の入力に結合され、前記回路の第1のトランジスタおよび第2のトランジスタを有する第1のアームであって、前記第1のトランジスタおよび第2のトランジスタのそれぞれのベースは互いに結合され、前記第1のトランジスタは前記増幅器の出力にさらに結合されている第1のアームと、

前記第2の入力に結合され、前記回路の第3のトランジスタおよび第4のトランジスタおよび負荷抵抗器を有する第2のアームであって、前記第4のトランジスタは前記第2のトランジスタのエミッタ面積よりも大きなエミッタ面積を有し、前記第3のトランジスタは前記増幅器の出力に結合されている第2のアームとを備え、

前記負荷抵抗器は、使用中に、前記バンドギャップ基準電圧の形成で使用するための、前記第2のトランジスタと第4のトランジスタのベース-エミッタ電圧の適量の差 V_{be} を与え、さらに、

前記第1のトランジスタと第2のトランジスタの共通に結合されたベースは、前記第3のトランジスタのベースおよび前記増幅器の第2の入力にさらに結合されており、それによって、前記第1のアームと第2のアームを結合し、かつ3つのトランジスタすべてにベース電流を供給し、前記増幅器は、使用中に、前記第1のトランジスタのベースとコレク

10

20

30

40

50

タを同じ電位に保つことを特徴とする。

【0043】

本発明は、また、バンドギャップ基準回路を実現する方法を提供し、この方法は、

第1の入力および第2の入力を有し、使用中に電圧基準を出力に発生する第1の増幅器を設けるステップと、

前記第1の入力に結合され、前記回路の第1のトランジスタおよび第2のトランジスタを有する第1のアームを設けるステップであって、前記第1のトランジスタおよび第2のトランジスタのそれぞれのベースは互いに結合され、前記第1のトランジスタは前記増幅器の出力にさらに結合されるステップと、

前記第2の入力に結合され、前記回路の第3のトランジスタおよび第4のトランジスタ、および負荷抵抗器を有する第2のアームを設けるステップであって、前記第4のトランジスタは前記第2のトランジスタのエミッタ面積よりも大きなエミッタ面積を有し、前記第3のトランジスタは前記増幅器の出力に結合されるステップと
を含み、その結果、使用中に、

前記負荷抵抗器は、使用中に、前記バンドギャップ基準電圧の形成で使用するための、前記第2のトランジスタと第4のトランジスタのベース - エミッタ電圧の適量の差 V_{be} を与え、

前記第1のトランジスタと第2のトランジスタの共通に結合されたベースは、前記第3のトランジスタのベースおよび前記増幅器の第2の入力にさらに結合され、それによって、前記第1のアームと第2のアームを結合し、かつ3つのトランジスタすべてにベース電流を供給し、前記増幅器は、使用中に、前記第1のトランジスタのベースとコレクタを同じ電位に保つことを特徴とする。

【0044】

本発明のこれらおよび他の特徴は、以下の図面を参照してより適切に理解されるであろう。

【発明を実施するための最良の形態】

【0045】

図1および2は、従来技術に関連して説明した。

【0046】

図3は、本発明による電圧回路を与える。この回路は、反転入力および非反転入力を有する増幅器Aを備える。カレントミラー回路300が増幅器の出力に結合され、非反転入力および反転入力にそれぞれ結合された2つのバイポーラトランジスタQN1およびQN2をバイアスするために使用されている。QN1のエミッタ面積のn倍のエミッタ面積を有するQN2が設けられ、2つのトランジスタのベース - エミッタ電圧の差を表す電圧が、QN2と直列に設けられた抵抗器R1の両端間に発生する。QN2は、ダイオード接続構成で設けられ、ベースはコレクタに直接結合されており、QN1のベースはR1に結合されている。したがって、増幅器の2つのアーム、すなわち、反転入力に結合された第1のアームと非反転入力に結合された第2のアームも結合されている。

【0047】

QN2のベースおよびコレクタは互いに結合されているので、QN2の両端間に発生するベース - コレクタ電圧はない。QN1のコレクタは増幅器の非反転入力に結合され、ベースは反転入力に結合されている。両方の入力を同じ電位に保つときの増幅器の標準動作に従って、ベースとコレクタの両方は同じ電位に保たれる。したがって、QN1の両端間に発生するベース - コレクタ電圧はない。QN1とQN2の両方にベース - コレクタ電圧が存在しないことで、アーリ効果は減少する。

【0048】

上の式(1)から理解されることであるが、R1の両端間に発生する電圧はPTAT電圧である。したがって、図3の回路は、自己バイアスPTAT電圧発生器を実現する。このPTAT電圧発生回路は、例えば温度基準を含む様々な目的のために、またはバンドギャップ基準回路内のコンポーネントセルとして、使用することができる。その両端間に電

10

20

30

40

50

圧を発生させることができる負荷として抵抗器を使用することが一般的であるが、トランジスタ構成のような等価負荷デバイスを使用することもできることを、当業者は理解するであろう。

【0049】

図4は、本発明によるバンドギャップ基準電圧回路の第1の実施形態を表している。この回路は、反転入力および非反転入力を有しその出力に電圧基準 V_{ref} を与える増幅器Aを備える。この増幅器の入力に、各々同じエミッタ面積を有する2つのPNPバイポーラトランジスタQ P1、Q P2と、2つのNPNバイポーラトランジスタQ N1およびQ N2と、2つの抵抗器R 1およびR 2とが結合され、Q N2はQ N1のエミッタ面積のn倍のエミッタ面積を有している。この回路の第1のアームに関して、第1のPNPトランジスタQ P1は、増幅器の出力ノードと反転入力の間にフィードバック構成で設けられている。Q P1のベースは、第1のNPNトランジスタQ N1のベースに結合され、さらに反転入力にも結合されている。トランジスタQ N1のコレクタは、トランジスタQ P1のコレクタに結合され、さらに増幅器の非反転入力にも結合されている。回路の第2のアームに関して、トランジスタQ P2がダイオード構成で設けられ、そのベースはコレクタに直接結合され、さらにQ P1およびQ N1の共通に結合されたベースにも結合されており、それによって、回路の第1のアームと第2のアームを接続している。エミッタは増幅器の出力ノードに結合されている。また、トランジスタQ N2が、ダイオード構成で設けられ、そのコレクタが抵抗器R 1を越えてQ P2のベースに結合されている。Q N2のエミッタは、抵抗器R 2を越えて接地に結合され、さらにQ N1のエミッタに直接結合されている。理解されることであろうが、図4の部品、Q N1、Q N2、R 1および増幅器は、全て図3のPTATセルの部品である。図3のカレントミラーのブロックは、2つのPNPトランジスタQ P1およびQ P2で実現されており、Q P2がマスタトランジスタであり、Q P1がスレーブトランジスタである。

10

20

30

【0050】

上で述べたように、Q N1およびQ N2はそれぞれ異なるコレクタ電流密度で動作し、式(1)の形のPTAT電圧がR 1の両端間に生じる。このことによって、結果として、図4の回路で、基準電圧ノード「 V_{ref} 」からQ P2、R 1、Q N2、R 2を介して接地gndに流れる対応したPTAT電流が生じる。Q P1がQ P2と同じエミッタ面積を有して設けられた場合には、 V_{ref} から接地へQ P1、R 1、およびR 2を介して流れる電流は、 V_{ref} ノードからQ P2、R 1、Q N2、R 2を介して流れる電流と同じである。電流I 1でバイアスされ、既知の増幅器特性に従って動作する増幅器Aは、両方のトランジスタQ P1およびQ N1のベース-コレクタ電圧をゼロに近く保ち、またノード V_{ref} に基準電圧を発生するように適合されている。その結果として、主セルの4つのトランジスタQ P1、Q P2、Q N1、Q N2すべては、ベース-コレクタ電圧ゼロで動作し、それによって、アーリ効果をゼロに減少させる。

30

【0051】

図4を参照して、基準電圧 V_{ref} は、 r_2 の両端間に生じたPTAT電圧と、Q P1およびQ N1のベース-エミッタ電圧に相当する2つのCTAT電圧とからなる。この電圧は、次式で与えられる。

40

【0052】

【数7】

$$V_{ref} = (\Delta V_{be} * \frac{r_2}{r_1} + V_{be(QN1)} + V_{be(QP2)}) \quad (8)$$

【0053】

Q P1およびQ P2が同じエミッタ面積を有する場合、それらは同じベース-エミッタ電圧を有するので(両方とも V_{ref} に結合されている)、それらのコレクタ電流は同じである。また、Q P1のコレクタ電流は、Q N1のコレクタ電流に流れ込む。その結果として、Q P1、Q P2およびQ N1はすべて、同じコレクタ電流 I_p を有する。Q P2の

50

バイアス電流およびQ P 1とQ N 1とのバイアス電流差のために、Q N 2のコレクタ電流は違っている。これらのバイアス電流は、「ベータ」係数すなわち（コレクタ電流のバイアス電流に対する比）と一般に呼ばれるものに関係している。ベータ係数がQ P 1で1、Q P 2で2、Q N 1で3、さらにQ N 2で4であると仮定すると、Q N 2のコレクタ電流（ $I_c(QN_2)$ ）は次式で与えられる。

【0054】

【数8】

$$I_c(QN_2) = I_p \frac{1 + \frac{1}{\beta_1} + \frac{1}{\beta_2} - \frac{1}{\beta_3}}{1 + \frac{1}{\beta_4}} = I_p * Err \quad (9)$$

10

【0055】

r_1 の両端間に生じるベース - エミッタ電圧差（ V_{be} ）は、次式で与えられる。

【0056】

【数9】

$$\Delta V_{be} = \frac{KT}{q} \ln\left(\frac{Ic(QN_1)}{Ic(QN_2)}\right) = \frac{KT}{q} \ln(n) + \frac{KT}{q} \ln[Err] \quad (10)$$

20

【0057】

式（10）の第2項は、4つのバイポーラトランジスタQ P 1、Q P 2、Q N 1およびQ N 2のエミッタ面積を適切に調整することによって最小化することができる誤差要素である。しかし、たとえ4つのトランジスタを特に選び、このベータ係数誤差の効果を最小化しても、温度およびプロセスの変動によるベータ係数変動に起因して依然として残っている特定の最小固有誤差がある。一般的なバイポーラプロセスでは、ベータ係数は100よりも大きく、それらの相対的な変動は約+/-15%であると仮定することができる。そうである場合には、バイポーラトランジスタの最悪のベータ変動は、1mV未満の電圧変動として2.5V基準に反映される。

30

【0058】

基準電圧が湾曲補償されていない場合、図2に関連して前に説明したように、一般的な湾曲電圧が基準電圧に存在する。本発明は、特定の実施形態で、この固有電圧湾曲（inherent voltage curvature）の補償を可能にする。これを行うために、発生した固有のT log T信号に対して反対符号のT log T信号を供給することが必要である。本発明は、これまでに説明した回路の外部で発生させることができるC T A T電流 I_2 を供給しこの電流を第3の抵抗器 R_3 と組み合わせて使用することによって、このT log T信号の発生を可能にする。C T A T電流 I_2 は、ダイオード構成トランジスタQ N 5を介して、別のN P NトランジスタQ N 4にミラーされ、Q N 4のコレクタに反映されたC T A T電流は、2つのバイポーラトランジスタを介して、すなわちQ P 1と同じエミッタ面積のQ P 3およびQ N 1と同じエミッタ面積のQ N 3を介して、基準ノード V_{ref} から取り出される。抵抗器 R_3 は、共通に結合されたQ N 4のコレクタ/Q N 3のエミッタとQ N 1のエミッタとの間に設けられる。その結果として、 R_3 の両端間にT log Tの形の電圧湾曲が生じる。 R_3 の R_2 に対する比を適切に調整することによって、電圧湾曲はゼロに減少する。

40

【0059】

これまでに説明した回路の非常に重要な特徴は、基準電圧に及ぼすどんな増幅器誤差の影響も非常に小さいことに関係している。この理由は、Q P 1およびQ N 1のベース - コレクタ電圧がそれぞれのベース - エミッタ電圧およびコレクタ電流にほとんど影響を及ぼさず、その結果として、増幅器の出力に与えられた基準電圧が増幅器の誤差の影響を余り

50

受けないからである。理解されることであろうが、Q P 1 と Q N 1 の組は、増幅器 A の増幅効果より前に信号の前増幅を行う。これらは、実質上増幅器の第1段として作用し、それによって、実際の増幅器の誤差への寄与を低減する。言い換えると、増幅器は、基準電圧に対して2次の影響 (second order effect) を及ぼすパラメータを制御するが、同時に必要な基準電圧を強制する。

【0060】

増幅器 A は、例えばMOS入力部品を使用することによって低利得を有する簡単な増幅器として形成することができる。そのような部品の使用によって、増幅器が取り込む電流がゼロに減少する。全ループ利得は非常に高いので、線路電圧変動率 (または電源電圧変動除去比 (PSRR)) および負荷変動率は、シミュレーションが示すように非常に高い

10

。

【0061】

図4の回路は、標準部品を使用して約2.3Vの基準電圧を一般に供給するバンドギャップ電圧セルを実現する。図5に示すように単一の抵抗器 R 4 を挿入するように回路を修正することによって、この電圧を2.5Vの標準電圧に簡単に調整することができる。抵抗器の一端は、増幅器の出力に結合され、他端は、Q N 1 のエミッタとQ N 2 のエミッタの間の共通ノードに結合されている。この抵抗器 R 4 の両端間に、純粋なCTAT電圧が反映されて、R 2 に流れ込む対応したシフトCTAT電流を発生させる。R 2 を適切に調整することによって、基準電圧は、温度範囲にわたってフラットな応答を備えることができる。増幅器の供給電流は非常に小さく設定することができ、さらに基準電圧を設定するために抵抗分割器が必要でないので、結果として得られた基準電圧は非常に小さな供給電流を有している。

20

【0062】

図6は、図4の回路のさらなる修正を示し、バイポーラトランジスタ Q P 4 が抵抗器 R 4 と増幅器の出力との間に直列に設けられている。このトランジスタを設けることで、CTAT電流を発生し、また別のバイポーラトランジスタ Q P 5 を介してミラーして、回路内で内部的にバイアス電圧を発生し、それによって、図4および5に存在する外部発生電流 I 2 を不要にすることができる。

【0063】

図4から6の増幅器は、2段MOS /バイポーラ増幅器として実現することができ、そのような部品が図7に明示的に詳しく示されている。図7に示すように、増幅器は、非反転入力 I np と反転入力 I nn の2つの入力を持つ。出力 o がまた設けられている。増幅器の入力段は、電流 I 1 でバイアスされた2つのpMOSデバイス m p 1 および m p 2 に基づいている。第1段の負荷は、q n 1 と q n 2 である。第2段は、電流 I 2 でバイアスされたインバータ q n 3 である。トランジスタデバイス q n 5 および q n 6 は、必要な出力電流を供給するためにダーリントン対を形成している。

30

【0064】

図4から7の回路の性能のシミュレーションが、-55°Cから125°Cの拡大温度範囲および全供給電流について行われ、図8に示されている。図8Aに示すように、全電圧変動は約20μVであり、これは0.05ppmに相当する。図8Bに示すように、全供給電流は41μA未満である。増幅器の出力に約2.5Vの基準電圧を発生するときの一般的なプロコウ・セル(図1)では、r 5 の両端間の電圧降下は約1.25Vである。その結果として、抵抗分割器 r 5 、r 6 に流れ込む唯一の電流は約100μAであり、図4から7による回路の全供給電流の2倍を超えていている。

40

【0065】

図9Aは、q p 3 プラス q n 3 (図6) のベース - エミッタ電圧の直線からのずれ(すなわち、湾曲)およびq p 1 プラス q n 2 の対応する電圧ずれを表している。これらの差 ~ V が図9Bに示されている。室温で約5mVのこの湾曲差は、r 3 の両端間に反映される。対応する電流が、q p 1 プラス q n 1 のベース - エミッタ電圧の湾曲電圧を正確に打ち消すように r 3 から r 2 に流れる。

50

【0066】

第1にオフセットがないこと、および第2に5mVのオフセット電圧が増幅器の入力に存在する場合を仮定した基準電圧のシミュレーションは、増幅器の5mVオフセット電圧は、0.12mVとして基準電圧に反映されることを示す。これは、一般的なプロコウ・セルで実現される可能性があるようなオフセット入力電圧のほぼ2分の1の減少に比べて40分の1を超える減少に相当する。

【0067】

図10は、基準電圧供給除去またはPSRRを表している。この非常に高いPSRRは、主にQP1およびQN1による高い開ループ利得によっている。

【0068】

また、線路電圧変動率または基準電圧変動対供給電圧をシミュレートすることができた。1つの例では、供給電圧の7.5Vの変動は、基準電圧に7μVの変化として反映され、これは、0.0001%未満の相対的変動に相当する。

【0069】

図10が示すように、本発明の回路は、高い開ループ利得を実現することができる。例えばQP1を多エミッタデバイスとして作り、図11が示すように基準電圧ノードからQP1のエミッタに抵抗器を挿入することによって、QP1およびQP2が各々異なる電流密度を有するように設定される場合、この開ループ利得をさらに高くすることが可能であり、また雑音を減少することが可能である。図11の回路は図6の回路と実質的に同じであるが、ただ、QP1のQP2に対するエミッタ比が、QN2とQN1の対応する比と同じ「n」であること、および新しい抵抗器R5が基準電圧とQP1のエミッタとの間に挿入されていることが異なる。

【0070】

また、部品デバイスに一般的な値を使用して図11による回路をシミュレートし、この修正回路を使用して実現可能なPSRRは、図10に比べて約10dB大きいことが分かった。また、図11による回路の全雑音は、図10に比べて半分であることも分かったが、これは、主に、QP1がより大きなエミッタ面積を有し、またディジエネレーション(degeneration)抵抗器を有するためである。

【0071】

当業者には明らかになるように、図4～6および11の回路のアームのそれぞれに設けられた2つのPNPトランジスタ(QP1、QP2)は、増幅器の入力に結合されたNPNトランジスタを駆動するために使用される図3のカレントミラー回路300を効果的に形成している。そのようなカレントミラー300は、(図4～6および11に示すような)バイポーラ構成が図12に示すようなMOS構成のいずれかで容易に実現することができる。図12に示すように、トランジスタNP1およびNP2に供給される電流I1およびI2は、MOSデバイスMP1およびMP2(この例では、P型デバイスで示されている)で供給することができ、それらのMOSデバイスのゲートは増幅器の出力に結合され、またソースはVddに結合されている。このようにして、この回路は、増幅器の第1および第2の入力に結合されたトランジスタのブリッジ構成を実現し、ブリッジの第1のアームが第1の電流密度で動作するトランジスタを備え、そしてブリッジの第2のアームは、第2のより高い電流密度で動作するトランジスタを備える。2つのトランジスタの間のベース-エミッタ電圧の適量の差は、第2のアームに結合された抵抗回路網で与えられる。第1のアームは、抵抗回路網の中間点に結合され、両方のアームは、カレントミラーを介して増幅器の出力に結合されている。ミラーを介して各アームをそのように出力に結合することは、各トランジスタのベースを同じ電圧で駆動するのに役立ち、さらに、それらのトランジスタのコレクタがまた同じ電位であるので(各コレクタは増幅器のそれぞれの入力に結合されている)、回路はトランジスタのベース-コレクタ電圧を最小値に減少させるのに役立ち、それによって、アーリ効果を軽減する。

【0072】

同様に、理解されることであろうが、本発明は、反転および非反転入力を有し電圧基準

10

20

30

40

50

をその出力に与える増幅器を利用するバンドギャップ電圧基準回路を提供する。回路の第1のアームおよび第2のアームが設けられ、各アームは増幅器の定められた入力に結合されている。第1のアームにNPNおよびPNPのバイポーラトランジスタを設け、これら2つのトランジスタのベースを互いに結合することによって、増幅器の2つのアームを接続することができる。これによって、これらのトランジスタが増幅器の第1段と同等の増幅機能を実現する可能性を含む複数の利点が与えられる。「第2の」増幅器を設けることによって、実際の増幅器のアーキテクチャの複雑さを軽減し、さらにまた増幅器の入力で生じる誤差を減少させることができる。

【0073】

理解されることであろうが、本発明はバイポーラトランジスタの特定のPNPおよびNPN構成を用いて説明したが、これらの説明は本発明の例示的実施形態についてであり、本発明の応用はそのような例示の構成いずれにも限定されないことが意図されている。理解されることであろうが、本発明の精神および範囲から逸脱することなく、代替的実装で、構成の多くの修正物および変形物が考えられ、または実現される可能性がある。特定の部品、特徴および値が、回路を詳細に説明するために使用されたが、添付の特許請求の範囲を考慮して必要であると思われる可能性のある場合を除いて、本発明が何らかの点で制限されることを意図していない。さらに理解されることであろうが、以上で説明した回路の部品のいくつかは、その従来の信号に関連しており、例えば増幅器の内部アーキテクチャおよび機能的な説明は省略した。そのような機能は、当業者にはよく知られており、追加の詳細が必要な場合、いくつかの標準的な教科書のどれにでも見出すことができる。

【0074】

同様に、本明細書で使用されるとき、「備える」という語は、述べられた特徴、整数(`integer`)、ステップまたは部品の存在を明細に記すために使用されるが、1つまたは複数の追加の特徴、整数、ステップ、部品またはそれらのグループの存在または追加を排除しない。

【図面の簡単な説明】

【0075】

【図1】伝統的な従来技術の実装による「プロコウ・セル」の例を示す図である。

【図2】バンドギャップ基準回路に本質的に存在する湾曲の例を示す図である。

【図3】本発明の第1の実施形態によるPTAT電圧発生回路の例を示す図である。

【図4】本発明による図3のPTAT回路を備える基準回路の例を示す図である。

【図5】出力基準電圧を所望のレベルにシフトさせることを可能にするための、図4の回路の修正の例を示す図である。

【図6】増幅器の出力の湾曲を補正する目的のためにCTAT電流を内部で発生するよう修正された、図4の回路のさらなる修正を示す図である。

【図7】図4から6の回路の増幅器の実装を示す回路図である。

【図8A】本発明による回路のシミュレートされた性能特性の例を示す図であり、-55Cから125Cの拡張された温度範囲について基準電圧を示す。

【図8B】図8Aのシミュレーション結果に対応し、全供給電流を示す図である。

【図9A】本発明による回路のシミュレートされた性能特性の例を示す図であり、q_{p3}プラスq_{n3}のベース-エミッタ電圧の直線からのずれ(または湾曲)およびq_{p1}プラスq_{n2}の対応する電圧のずれを示す。

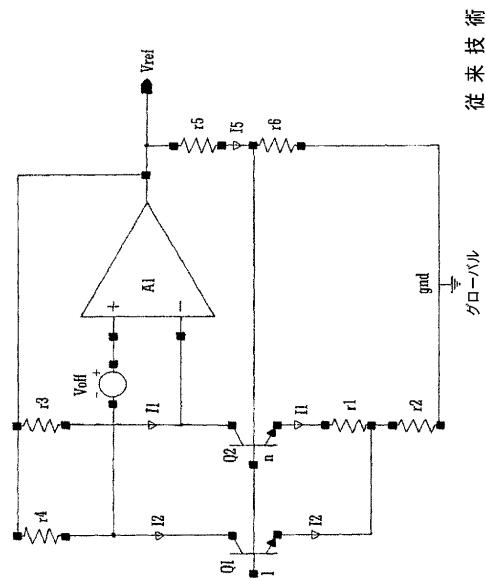
【図9B】図9Aの結果に対応するが、電圧差を示す図である。

【図10】本発明による回路のシミュレートされた性能特性の例を示す図であり、基準電圧供給除去またはPSRRを示す図である。

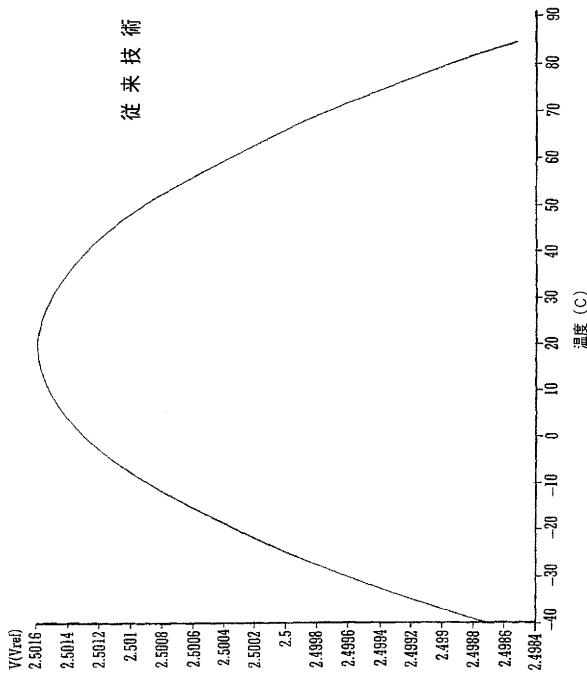
【図11】本回路の開ループ利得を高めるための図6の回路の修正を示す図である。

【図12】バイポーラ/CMOS技術を使用した本発明による回路の実装の例を示す図である。

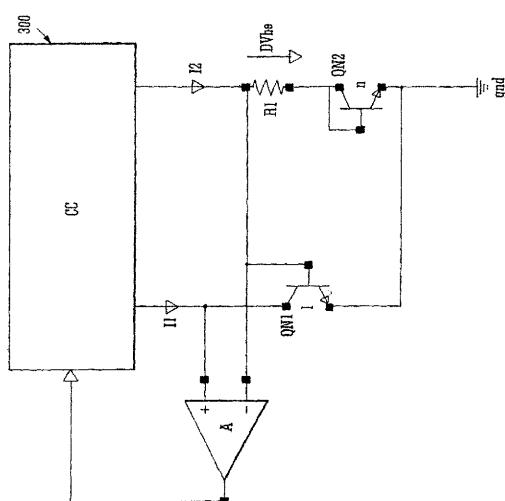
【図1】



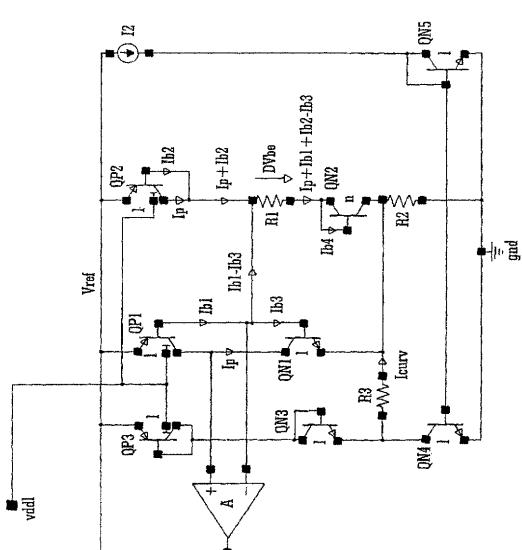
【図2】



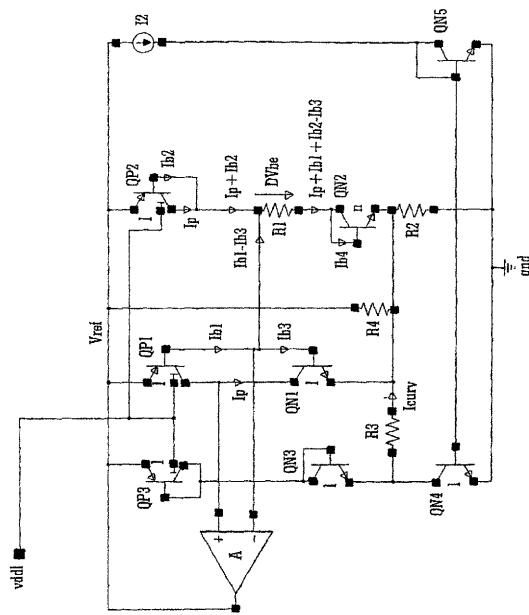
【図3】



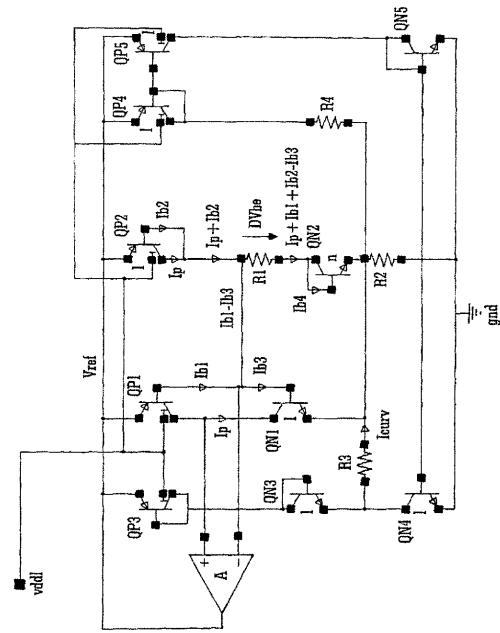
【図4】



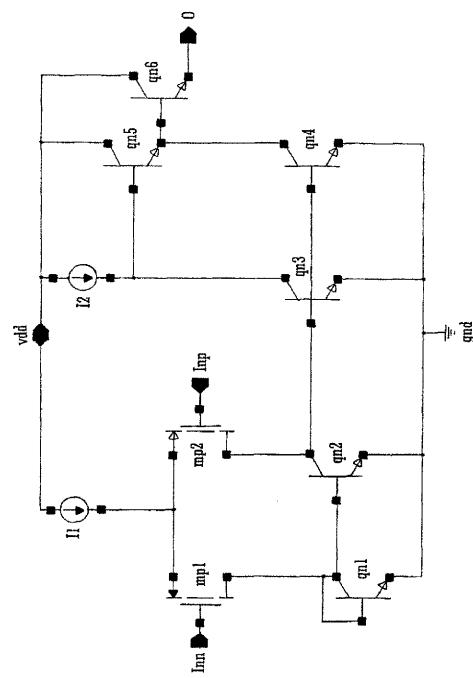
【図5】



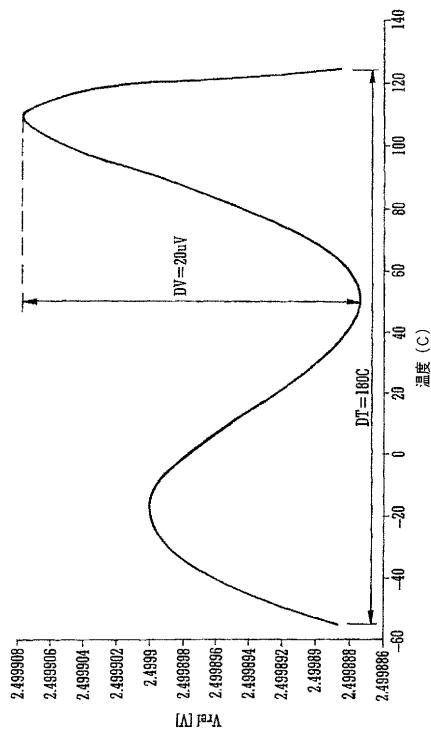
【図6】



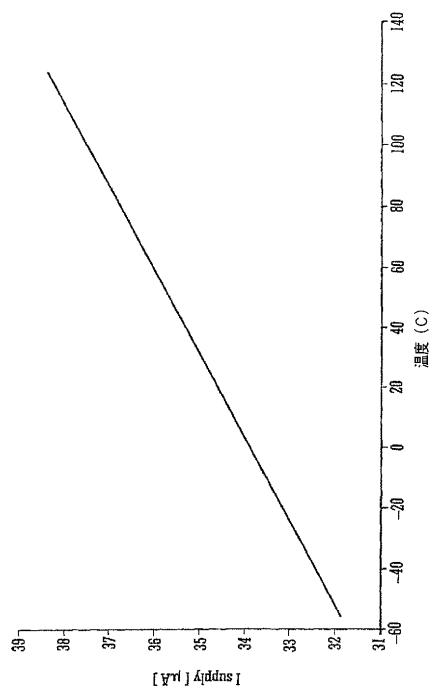
【図7】



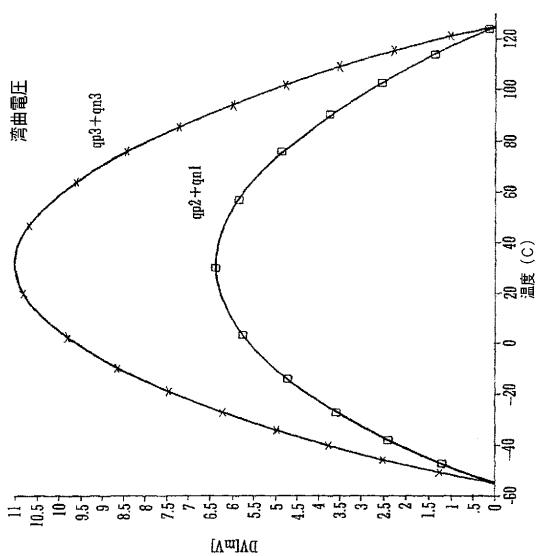
【図8 A】



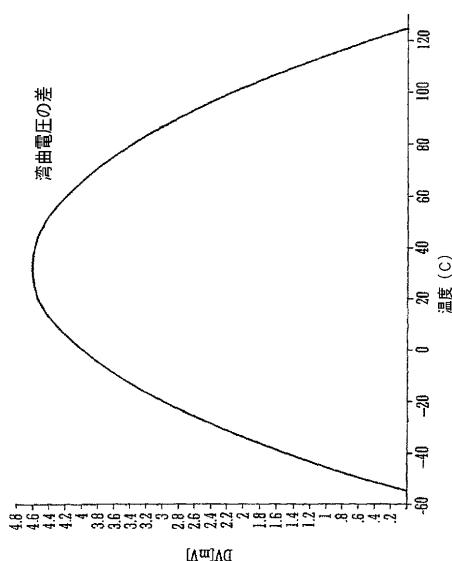
【図 8 B】



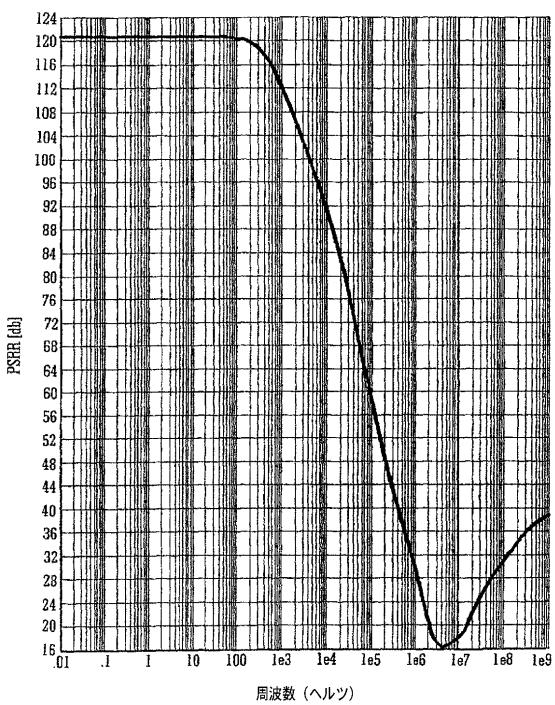
【図 9 A】



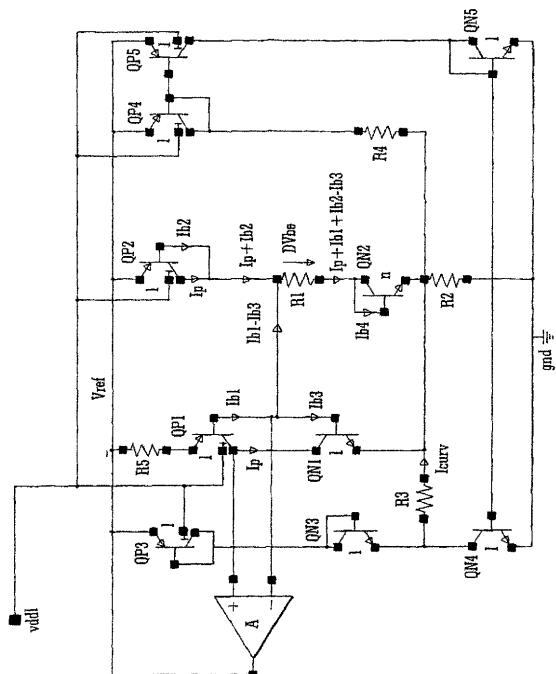
【図 9 B】



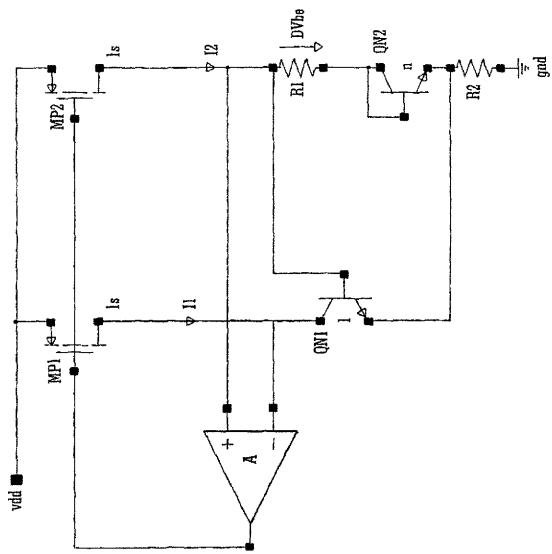
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(56)参考文献 米国特許第06690228(US, B1)
米国特許出願公開第2003/0253638(US, A1)
米国特許第06664847(US, B1)
米国特許第05789906(US, A)
特開平04-076715(JP, A)
特表2007-514225(JP, A)
特表2007-518173(JP, A)

(58)調査した分野(Int.Cl., DB名)

G05F 3/26-3/30