

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年8月11日(2011.8.11)

【公開番号】特開2010-40571(P2010-40571A)

【公開日】平成22年2月18日(2010.2.18)

【年通号数】公開・登録公報2010-007

【出願番号】特願2008-198477(P2008-198477)

【国際特許分類】

H 01 L	29/786	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	21/265	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)

【F I】

H 01 L	29/78	6 1 8 C
H 01 L	29/78	6 1 3 A
H 01 L	29/78	6 1 6 A
H 01 L	29/78	6 1 6 L
H 01 L	27/08	3 3 1 E
H 01 L	27/08	3 2 1 E
H 01 L	27/08	3 2 1 C
H 01 L	21/265	F
H 01 L	27/08	1 0 2 B

【手続補正書】

【提出日】平成23年6月29日(2011.6.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

同一基板上に第1のフィン型半導体領域及び第2のフィン型半導体領域を形成する工程(a)と、

前記第1のフィン型半導体領域に第1導電型不純物をプラズマドーピング法によって注入し、それにより、前記第1のフィン型半導体領域の上部に第1の第1導電型不純物領域を形成すると共に、前記第1のフィン型半導体領域の側部に第2の第1導電型不純物領域を形成する工程(b)と、

前記第2のフィン型半導体領域に第2導電型不純物をプラズマドーピング法によって注入し、それにより、前記第2のフィン型半導体領域の上部に第1の第2導電型不純物領域を形成すると共に、前記第2のフィン型半導体領域の側部に第2の第2導電型不純物領域を形成する工程(c)とを備え、

前記第1導電型不純物はp型不純物又はn型不純物であり、

前記第2導電型不純物は前記第1導電型不純物とは異なる導電型の不純物であり、

前記第2導電型不純物の質量が前記第1導電型不純物の質量よりも重い場合には、前記

工程 (c) でのプラズマドーピング時の圧力を前記工程 (b) でのプラズマドーピング時の圧力以下に設定し、

前記第 1 導電型不純物の質量が前記第 2 導電型不純物の質量よりも重い場合には、前記工程 (b) でのプラズマドーピング時の圧力を前記工程 (c) でのプラズマドーピング時の圧力以下に設定することを特徴とする半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、

前記工程 (b) において、前記第 2 の第 1 導電型不純物領域の注入ドーズ量は前記第 1 の第 1 導電型不純物領域の注入ドーズ量の 80 % 以上であり、

前記工程 (c) において、前記第 2 の第 2 導電型不純物領域の注入ドーズ量は前記第 1 の第 2 導電型不純物領域の注入ドーズ量の 80 % 以上であることを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置の製造方法において、

前記工程 (a) と前記工程 (b) 及び前記工程 (c) との間に、前記第 1 のフィン型半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うように第 1 のゲート絶縁膜を形成すると共に前記第 2 のフィン型半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うように第 2 のゲート絶縁膜を形成する工程をさらに備え、

前記工程 (b) の後、前記第 1 のゲート絶縁膜の外側に位置する前記第 1 のフィン型半導体領域における上部コーナーの曲率半径 r_1' は、前記第 1 のゲート絶縁膜の下側に位置する前記第 1 のフィン型半導体領域における上部コーナーの曲率半径 r_1 よりも大きく且つ $2 \times r_1$ 以下であり、

前記工程 (c) の後、前記第 2 のゲート絶縁膜の外側に位置する前記第 2 のフィン型半導体領域における上部コーナーの曲率半径 r_2' は、前記第 2 のゲート絶縁膜の下側に位置する前記第 2 のフィン型半導体領域における上部コーナーの曲率半径 r_2 よりも大きく且つ $2 \times r_2$ 以下であることを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 2 導電型不純物の質量は前記第 1 導電型不純物の質量よりも重く、

前記工程 (b) において、プラズマドーピング時のイオン電流密度を 0.5 mA/cm^2 以下に設定し、

前記工程 (c) において、プラズマドーピング時のイオン電流密度を 0.1 mA/cm^2 以下に設定することを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 2 導電型不純物の質量は前記第 1 導電型不純物の質量よりも重く、

前記第 1 導電型不純物はボロンであり、

前記第 2 導電型不純物は砒素又は燐であり、

前記工程 (b) は、前記第 1 導電型不純物を含むガスからなるプラズマを用いて行われ、

前記工程 (c) は、前記第 2 導電型不純物を含むガスからなるプラズマを用いて行われることを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置の製造方法において、

前記工程 (b) は、前記第 1 導電型不純物を含む第 1 のガスからなるプラズマを用いて行われ、

前記工程 (c) は、前記第 2 導電型不純物を含む第 2 のガスからなるプラズマを用いて行われ、

前記第 1 のガスは、前記第 1 導電型不純物を含む分子をヘリウムで希釈してなるガスであり、

前記第2のガスは、前記第2導電型不純物を含む分子をヘリウムで希釈してなるガスであることを特徴とする半導体装置の製造方法。

【請求項7】

請求項1～4のいずれか1項に記載の半導体装置の製造方法において、

前記工程(b)は、前記第1導電型不純物を含む第1のガスからなるプラズマを用いて行われ、

前記工程(c)は、前記第2導電型不純物を含む第2のガスからなるプラズマを用いて行われ、

前記第1のガス又は前記第2のガスの一方はB₂H₆とHeとの混合ガスであることを特徴とする半導体装置の製造方法。

【請求項8】

請求項1～4のいずれか1項に記載の半導体装置の製造方法において、

前記工程(b)は、前記第1導電型不純物を含む第1のガスからなるプラズマを用いて行われ、

前記工程(c)は、前記第2導電型不純物を含む第2のガスからなるプラズマを用いて行われ、

前記第1のガス又は前記第2のガスの一方はAsH₃とHeとの混合ガスであることを特徴とする半導体装置の製造方法。

【請求項9】

請求項1～4のいずれか1項に記載の半導体装置の製造方法において、

前記工程(b)は、前記第1導電型不純物を含む第1のガスからなるプラズマを用いて行われ、

前記工程(c)は、前記第2導電型不純物を含む第2のガスからなるプラズマを用いて行われ、

前記第1のガス又は前記第2のガスの一方はPH₃とHeとの混合ガスであることを特徴とする半導体装置の製造方法。

【請求項10】

同一基板上に形成された第1のフィン型半導体領域及び第2のフィン型半導体領域と、前記第1のフィン型半導体領域の上部に形成された第1の第1導電型不純物領域と、前記第1のフィン型半導体領域の側部に形成された第2の第1導電型不純物領域と、前記第2のフィン型半導体領域の上部に形成された第1の第2導電型不純物領域と、前記第2のフィン型半導体領域の側部に形成された第2の第2導電型不純物領域と、前記第1のフィン型半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うように形成された第1のゲート絶縁膜と、

前記第2のフィン型半導体領域の所定の部分における少なくとも側面及び上部コーナーを覆うように形成された第2のゲート絶縁膜とを備え、

前記第1のゲート絶縁膜の外側に位置する前記第1のフィン型半導体領域における上部コーナーの曲率半径r_{1'}は、前記第1のゲート絶縁膜の下側に位置する前記第1のフィン型半導体領域における上部コーナーの曲率半径r₁よりも大きく且つ2×r₁以下であり、

前記第2のゲート絶縁膜の外側に位置する前記第2のフィン型半導体領域における上部コーナーの曲率半径r_{2'}は、前記第2のゲート絶縁膜の下側に位置する前記第2のフィン型半導体領域における上部コーナーの曲率半径r₂よりも大きく且つ2×r₂以下であることを特徴とする半導体装置。

【請求項11】

請求項10に記載の半導体装置において、

前記第2の第1導電型不純物領域のシート抵抗は前記第1の第1導電型不純物領域のシート抵抗の1.25倍以下であり、

前記第2の第2導電型不純物領域のシート抵抗は前記第1の第2導電型不純物領域のシート抵抗の1.25倍以下であることを特徴とする半導体装置。

【請求項 1 2】

請求項1 0に記載の半導体装置において、

前記第2の第1導電型不純物領域の比抵抗は前記第1の第1導電型不純物領域の比抵抗の1.25倍以下であり、

前記第2の第2導電型不純物領域の比抵抗は前記第1の第2導電型不純物領域の比抵抗の1.25倍以下であることを特徴とする半導体装置。

【請求項 1 3】

請求項1 0に記載の半導体装置において、

前記第2の第1導電型不純物領域の拡がり抵抗は前記第1の第1導電型不純物領域の拡がり抵抗の1.25倍以下であり、

前記第2の第2導電型不純物領域の拡がり抵抗は前記第1の第2導電型不純物領域の拡がり抵抗の1.25倍以下であることを特徴とする半導体装置。

【請求項 1 4】

請求項1 0～1 3のいずれか1項に記載の半導体装置において、

前記第2の第1導電型不純物領域の接合深さは、前記第1の第1導電型不純物領域の接合深さと比べて同等以上であり、

前記第2の第2導電型不純物領域の接合深さは、前記第1の第2導電型不純物領域の接合深さと比べて同等以上であることを特徴とする半導体装置。

【請求項 1 5】

請求項1 0～1 4のいずれか1項に記載の半導体装置において、

前記第1のフィン型半導体領域及び前記第2のフィン型半導体領域のそれぞれと前記基板との間には絶縁層が形成されていることを特徴とする半導体装置。

【請求項 1 6】

請求項1 0～1 5のうちのいずれか1項に記載の半導体装置において、

前記第1のゲート絶縁膜上に形成された第1のゲート電極と、

前記第2のゲート絶縁膜上に形成された第2のゲート電極とをさらに備え、

前記第1の第1導電型不純物領域及び前記第2の第1導電型不純物領域は、前記第1のフィン型半導体領域における前記所定の部分以外の他の部分に形成されており、

前記第1の第2導電型不純物領域及び前記第2の第2導電型不純物領域は、前記第2のフィン型半導体領域における前記所定の部分以外の他の部分に形成されていることを特徴とする半導体装置。

【請求項 1 7】

請求項1 6に記載の半導体装置において、

前記第1のゲート絶縁膜は、前記第1のフィン型半導体領域の前記所定の部分における上面上にも形成されており、

前記第2のゲート絶縁膜は、前記第2のフィン型半導体領域の前記所定の部分における上面上にも形成されていることを特徴とする半導体装置。

【請求項 1 8】

請求項1 6又は1 7に記載の半導体装置において、

前記第1の第1導電型不純物領域及び前記第2の第1導電型不純物領域はP型のエクステンション領域であり、

前記第1の第2導電型不純物領域及び前記第2の第2導電型不純物領域はN型のエクステンション領域であることを特徴とする半導体装置。

【請求項 1 9】

請求項1 6～1 8のいずれか1項に記載の半導体装置において、

前記第1のゲート電極の側面上に形成された第1の絶縁性サイドウォールスペーサと、

前記第2のゲート電極の側面上に形成された第2の絶縁性サイドウォールスペーサと、

前記第1のフィン型半導体領域の上部に形成された第3の第1導電型不純物領域と、

前記第1のフィン型半導体領域の側部に形成された第4の第1導電型不純物領域と、

前記第2のフィン型半導体領域の上部に形成された第3の第2導電型不純物領域と、

前記第2のフィン型半導体領域の側部に形成された第4の第2導電型不純物領域とをさらに備え、

前記第3の第1導電型不純物領域及び前記第4の第1導電型不純物領域は、前記第1のフィン型半導体領域の前記他の部分のうち前記第1の絶縁性サイドウォールスペーサの外側に位置する部分に形成されており、

前記第3の第2導電型不純物領域及び前記第4の第2導電型不純物領域は、前記第2のフィン型半導体領域の前記他の部分のうち前記第2の絶縁性サイドウォールスペーサの外側に位置する部分に形成されていることを特徴とする半導体装置。

【請求項20】

請求項19に記載の半導体装置において、

前記第3の第1導電型不純物領域及び前記第4の第1導電型不純物領域はP型のソース・ドレイン領域であり、

前記第3の第2導電型不純物領域及び前記第4の第2導電型不純物領域はN型のソース・ドレイン領域であることを特徴とする半導体装置。

【請求項21】

請求項10～20のいずれか1項に記載の半導体装置において、

前記第1のフィン型半導体領域の側面の高さは、前記第1のフィン型半導体領域の上面におけるゲート幅方向の幅と比べて大きく、

前記第2のフィン型半導体領域の側面の高さは、前記第2のフィン型半導体領域の上面におけるゲート幅方向の幅と比べて大きいことを特徴とする半導体装置。

【請求項22】

請求項10～21のいずれか1項に記載の半導体装置において、

前記第1のフィン型半導体領域及び前記第2のフィン型半導体領域のそれぞれの上面におけるゲート幅方向の幅は20nm以下であることを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

同様に、アスペクト比が小さければ、フィン型半導体領域側部に形成された第4のp型不純物領域27b及び第4のn型不純物領域927bの注入ドーズ量が、フィン型半導体領域上部に形成された第3のp型不純物領域27a及び第3のn型不純物領域927aの注入ドーズ量と比べてある程度小さくても、つまり、第4のp型不純物領域27b及び第4のn型不純物領域927bのシート抵抗、比抵抗又は拡がり抵抗が第3のp型不純物領域27a及び第3のn型不純物領域927aのシート抵抗、比抵抗又は拡がり抵抗と比べてある程度大きくても、トランジスタ特性の劣化は少ない。一方、このアスペクト比が大きくなるに従って、第4のp型不純物領域27b及び第4のn型不純物領域927bの注入ドーズ量を第3のp型不純物領域27a及び第3のn型不純物領域927aの注入ドーズ量と比べて同等以上にする必要性、つまり第4のp型不純物領域27b及び第4のn型不純物領域927bのシート抵抗、比抵抗又は拡がり抵抗を第3のp型不純物領域27a及び第3のn型不純物領域927aのシート抵抗、比抵抗又は拡がり抵抗と比べて同等以下にする必要性が増す。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正の内容】

【0088】

まず、図4に示すように、n型のフィン型半導体領域13a、13bに対して、p型不

純物をプラズマドーピング法を用いて注入する。これにより、フィン型半導体領域 13a、13b の上部には、注入イオン 18a と、吸着種（ガス分子やラジカル等の中性種）18b と、スパッタリングによってフィン型半導体領域 13a、13b を離脱する不純物 18c とのバランスによって決まる注入ドーズ量を持つ第 1 の p 型不純物領域 17a が形成される。また、フィン型半導体領域 13a、13b の側部には、主として吸着種（ガス分子やラジカル等の中性種）18b によって決まる注入ドーズ量を持つ第 2 の p 型不純物領域 17b が形成される。このとき、フィン型半導体領域 13a、13b の側面に対して斜めに入射するイオンも存在するため、注入イオン 18a やスパッタリングによってフィン型半導体領域 13a、13b を離脱する不純物 18c も存在するが、吸着種 18b と比べるとその影響は非常に小さく、吸着種 18b によるドーピングが支配的になる。すなわち、フィン型半導体領域 13a、13b の上部にドーピングされる注入イオン 18a 及びフィン型半導体領域 13a、13b の上部からスパッタリングによって離脱する不純物 18c の数と比べて、フィン型半導体領域 13a、13b の側部にドーピングされる注入イオン 18a 及びフィン型半導体領域 13a、13b の側部からスパッタリングによって離脱する不純物 18c の数は圧倒的に少ない。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0129

【補正方法】変更

【補正の内容】

【0129】

図 16 は、プラズマドーピングによって p 型のフィン型半導体領域（正確にはフィンを有する半導体領域 951）を構成するシリコン中に砒素を注入した後、さらに熱処理を施して砒素をシリコン中で電気的に活性化することによって低抵抗領域 952 を形成した様子を示している。図 16 に示すように、第 1 の n 型不純物領域（フィン上部）だけではなく第 2 の n 型不純物領域（フィン側部）にも低抵抗領域 952 が形成されている。図 8 (a) に示すフィン型 PMISET の場合と同様に、図 16 に示すフィン型 NMISFE の場合も、第 1 の n 型不純物領域（フィン上部）のシート抵抗と第 2 の n 型不純物領域（フィン側部）のシート抵抗とをわずか ± 10 % の差で同程度に設定することができ、これは、従来技術では達成不可能なコンフォーマルドーピング性能である。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0187

【補正方法】変更

【補正の内容】

【0187】

【図 1】図 1 (a) ~ (e) は、本発明の第 1 の実施形態に係る半導体装置の構造を示す図であり、図 1 (a) は平面図であり、図 1 (b) は図 1 (a) における A - A 線の断面図であり、図 1 (c) は図 1 (a) における B - B 線の断面図であり、図 1 (d) は図 1 (a) における C - C 線の断面図であり、図 1 (e) は図 1 (a) における D - D 線の断面図である。

【図 2】図 2 (a) ~ (j) は、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】図 3 (a) ~ (h) は、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】図 4 は、本発明のプラズマドーピングによるドーピング方法を説明するための断面図である。

【図 5】図 5 (a) は本発明の第 1 実施例に係るフィン型 CMISFET の斜視図であり、図 5 (b) は図 5 (a) に示すフィン型 CMISFET のうち NMISFET の拡大斜視図である。

【図6】図6(a)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETにおけるプラズマドーピング前のフィン型半導体領域の断面形状を模式的に示す図であり、図6(b)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETにおけるプラズマドーピング後のフィン型半導体領域の断面形状を模式的に示す図である。

【図7】図7(a)及び(b)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETにおけるプラズマドーピング前のフィン型半導体領域の断面形状を模式的に示す図及びその拡大図であり、図7(c)及び(d)は図7(a)及び(b)に示すフィン型半導体領域の斜視図及びその拡大図である。

【図8】図8(a)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETにおけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図であり、図8(b)は、図8(a)のA-A線上における拡がり抵抗の変化を示す図であり、図8(c)は図8(a)のB-B線上における拡がり抵抗の変化を示す図であり、図8(d)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETに形成された第1の不純物領域(フィン上部)のSIMS測定結果を示す図である。

【図9】図9は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETにおけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図である。

【図10】図10は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETにおけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図である。

【図11】図11は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETにおけるフィン角部の削れ量の時間変化を示す図である。

【図12】図12(a)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETを形成するためのp型不純物のプラズマドーピングにおける圧力とイオン電流密度との関係を示す図であり、図12(b)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETを形成するためのp型不純物のプラズマドーピングにおける圧力と電子温度との関係を示す図である。

【図13】図13は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型PMISFETにおけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図である。

【図14】図14(a)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型NMISFETにおけるプラズマドーピング前のフィン型半導体領域の断面形状を模式的に示す図であり、図14(b)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型NMISFETにおけるプラズマドーピング後のフィン型半導体領域の断面形状を模式的に示す図である。

【図15】図15(a)及び(b)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型NMISFETにおけるプラズマドーピング前のフィン型半導体領域の断面形状を模式的に示す図及びその拡大図であり、図15(c)及び(d)は図15(a)及び(b)に示すフィン型半導体領域の斜視図及びその拡大図である。

【図16】図16は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型NMISFETにおけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図である。

【図17】図17(a)及び(b)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型NMISFETにおけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図である。

【図18】図18(a)は、本発明の第1実施例に係るフィン型CMISFETのうちのフィン型NMISFETを形成するためのn型不純物のプラズマドーピングにおける圧力とイオン電流密度との関係を示す図であり、図18(b)は、本発明の第1実施例に係る

フィン型C M I S F E Tのうちのフィン型N M I S F E Tを形成するためのn型不純物のプラズマドーピングにおける圧力と電子温度との関係を示す図である。

【図19】図19は、本発明の第1実施例に係るフィン型C M I S F E Tのうちのフィン型N M I S F E Tにおけるプラズマドーピング後のフィン型半導体領域の断面構造を模式的に示す図である。

【図20】図20(a)は本発明の第2実施例に係るフィン型C M I S F E Tの斜視図であり、図20(b)は図20(a)に示すフィン型C M I S F E TのうちN M I S F E Tの拡大斜視図である。

【図21】図21(a)～(c)は、本発明の第2実施例に係るフィン型C M I S F E Tのうちのフィン型N M I S F E Tにおけるフィン角部の削れ量を説明する図である。

【図22】図22は本発明の第1実施例及び第2実施例に係る半導体装置の基本構造の一例を模式的に示す斜視図である。

【図23】図23は本発明の第1実施例及び第2実施例に係る半導体装置の基本構造の他例を模式的に示す斜視図である。

【図24】図24は本発明の第1の実施形態の第1変形例に係る半導体装置の平面図である。

【図25】図25(a)～(d)は本発明の第1の実施形態の第2変形例に係る半導体装置の断面構造を示す図であり、図25(a)は図1(a)におけるA-A線の断面図であり、図25(b)は図1(a)におけるB-B線の断面図であり、図25(c)は図1(a)におけるC-C線の断面図であり、図25(d)は図1(a)におけるD-D線の断面図である。

【図26】図26(a)は比較例のフィン型C M I S F E Tの斜視図であり、図26(b)は図26(a)に示すフィン型C M I S F E Tのうちフィン型N M I S F E Tの拡大斜視図である。

【図27】図27(a)～(d)は、従来のフィン型F E Tの構造を示す図であり、図27(a)は平面図であり、図27(b)は図27(a)におけるA-A線の断面図であり、図27(c)は図27(a)におけるB-B線の断面図であり、図27(d)は図27(a)におけるC-C線の断面図である。

【図28】図28(a)～(d)は、従来の半導体装置の製造方法を工程順に示す断面図である。

【図29】図29(a)は、特許文献1におけるフィン型F E Tのソース・ドレイン領域を形成する工程を示した断面図であり、図29(b)は、非特許文献1におけるフィン型F E Tのソース・ドレイン領域を形成する工程を示した断面図である。

【図30】図30(a)は、特許文献2に開示されたプラズマドーピング法を平坦な半導体領域に適用した場合の削れ量を説明する図であり、図30(b)は、特許文献2に開示されたプラズマドーピング法をフィン形状の半導体領域に適用した場合の削れ量を説明する図である。

【図31】図31は従来の半導体装置の構造を模式的に示す斜視図である。