

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3581459号
(P3581459)

(45) 発行日 平成16年10月27日(2004.10.27)

(24) 登録日 平成16年7月30日(2004.7.30)

(51) Int. Cl.⁷

F I

H O 1 L 27/10

H O 1 L 27/10 3 7 1

H O 1 L 21/822

H O 1 L 27/04 P

H O 1 L 27/04

請求項の数 4 (全 46 頁)

<p>(21) 出願番号 特願平7-275918 (22) 出願日 平成7年10月24日(1995.10.24) (65) 公開番号 特開平9-121030 (43) 公開日 平成9年5月6日(1997.5.6) 審査請求日 平成14年10月22日(2002.10.22)</p> <p>前置審査</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号</p> <p>(74) 代理人 100064746 弁理士 深見 久郎</p> <p>(74) 代理人 100085132 弁理士 森田 俊雄</p> <p>(74) 代理人 100083703 弁理士 仲村 義平</p> <p>(74) 代理人 100096781 弁理士 堀井 豊</p> <p>(74) 代理人 100098316 弁理士 野田 久登</p> <p>(74) 代理人 100109162 弁理士 酒井 将行</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

情報を記憶するための複数のメモリセルを含む内部回路を備える半導体記憶装置であって、
 第1の電源電圧を供給する第1のラインと、第1のノードとの間に接続される第1の抵抗手段と、
 前記第1のノードと、第2の電源電圧を供給する第2のラインとの間に接続される第2の抵抗手段と、
 前記第1のラインと、第2のノードとの間に接続され、その制御電極が前記第1のノードに接続される第1の第1導電型トランジスタと、
 前記第2のノードと、前記第2のラインとの間に接続される第3の抵抗手段と、
 前記第1のラインと、第3のノードとの間に接続され、その制御電極が前記第2のノードに接続される第2の第1導電型トランジスタと、
 前記第1のラインと、前記第3のノードとの間に接続され、その制御電極が前記第1のラインに接続される第2導電型トランジスタとを備え、
 前記第1の抵抗手段は、第1の抵抗値および構成を有する複数の第1の抵抗素子を含み、
 前記第2の抵抗手段は、実質的に前記第1の抵抗値および構成を有する第2の抵抗素子を含み、
 前記第1の抵抗手段と前記第2の抵抗手段とが有する前記第1の抵抗素子と前記第2の抵抗素子の総和が3個以上であり、

前記第2の第1導電型トランジスタは、前記第1もしくは第2の電源電圧に基づき、前記内部回路に与える第1の電圧を前記第3のノードに発生し、
 前記第2導電型トランジスタは、前記第1もしくは第2の電源電圧に基づき、前記内部回路に与える第2の電圧を前記第3のノードに発生し、
 前記第2の第1導電型トランジスタは、前記第1もしくは第2の電源電圧が所定の電圧になったときに、オフし、前記第1の電圧の発生を停止し、
 前記第2の第1導電型トランジスタがオフになる条件としての前記所定の電圧の大きさは、前記第1の抵抗手段の抵抗値の、前記第2の抵抗手段の抵抗値に対する比（前記第1の抵抗手段の抵抗値：前記第2の抵抗手段の抵抗値）によって決定され、
 複数の前記第1の抵抗素子のうち、少なくとも1つは、第2のヒューズで短絡され、前記第2のヒューズの切断により、前記第1の抵抗手段の抵抗値を調節する、半導体記憶装置

10

【請求項2】

情報を記憶するための複数のメモリセルを含む内部回路を備える半導体記憶装置であって、

第1の電源電圧を供給する第1のラインと、第1のノードとの間に接続される第1の抵抗手段と、

前記第1のノードと、第2の電源電圧を供給する第2のラインとの間に接続される第2の抵抗手段と、

前記第1のラインと、第2のノードとの間に接続され、その制御電極が前記第1のノードに接続される第1の第1導電型トランジスタと、

20

前記第2のノードと、前記第2のラインとの間に接続される第3の抵抗手段と、

前記第1のラインと、第3のノードとの間に接続され、その制御電極が前記第2のノードに接続される第2の第1導電型トランジスタと、

前記第1のラインと、前記第3のノードとの間に接続され、その制御電極が前記第1のラインに接続される第2導電型トランジスタとを備え、

前記第1の抵抗手段は、第1の抵抗値および構成を有する第1の抵抗素子を含み、

前記第2の抵抗手段は、各々が実質的に前記第1の抵抗値および構成を有する複数の第2の抵抗素子を含み、

前記第1の抵抗手段と前記第2の抵抗手段とが有する前記第1の抵抗素子と前記第2の抵抗素子の総和が3個以上であり、

30

前記第2の第1導電型トランジスタは、前記第1もしくは第2の電源電圧に基づき、前記内部回路に与える第1の電圧を前記第3のノードに発生し、

前記第2導電型トランジスタは、前記第1もしくは第2の電源電圧に基づき、前記内部回路に与える第2の電圧を前記第3のノードに発生し、

前記第2の第1導電型トランジスタは、前記第1もしくは第2の電源電圧が所定の電圧になったときに、オフし、前記第1の電圧の発生を停止し、

前記第2の第1導電型トランジスタがオフになる条件としての前記所定の電圧の大きさは、前記第1の抵抗手段の抵抗値の、前記第2の抵抗手段の抵抗値に対する比（前記第1の抵抗手段の抵抗値：前記第2の抵抗手段の抵抗値）によって決定され、

40

複数の前記第2の抵抗素子のうち、少なくとも1つは、第3のヒューズで短絡され、前記第3のヒューズの切断により、前記第2の抵抗手段の抵抗値を調節する、半導体記憶装置

【請求項3】

情報を記憶するための複数のメモリセルを含む内部回路を備える半導体記憶装置であって、

第1の電源電圧を供給する第1のラインと、第1のノードとの間に接続される第1の抵抗手段と、

前記第1のノードと、第2の電源電圧を供給する第2のラインとの間に接続される第2の抵抗手段と、

50

前記第 1 のラインと、第 2 のノードとの間に接続され、その制御電極が前記第 1 のノードに接続される第 1 の第 1 導電型トランジスタと、
 前記第 2 のノードと、前記第 2 のラインとの間に接続される第 3 の抵抗手段と、
 前記第 1 のラインと、第 3 のノードとの間に接続され、その制御電極が前記第 2 のノードに接続される第 2 の第 1 導電型トランジスタと、
 前記第 1 のラインと、前記第 3 のノードとの間に接続され、その制御電極が前記第 1 のラインに接続される第 2 導電型トランジスタと、
 前記第 1 のラインと、前記第 1 のノードとの間に接続される第 1 の容量手段と、
 前記第 1 のノードと、前記第 2 のラインとの間に接続される第 2 の容量手段とを備え、
 前記第 2 の第 1 導電型トランジスタは、前記第 1 もしくは第 2 の電源電圧に基づき、前記内部回路に与える第 1 の電圧を前記第 3 のノードに発生し、
 前記第 2 導電型トランジスタは、前記第 1 もしくは第 2 の電源電圧に基づき、前記内部回路に与える第 2 の電圧を前記第 3 のノードに発生し、
 前記第 2 の第 1 導電型トランジスタは、前記第 1 もしくは第 2 の電源電圧が所定の電圧になったときに、オフし、前記第 1 の電圧の発生を停止し、
 前記第 2 の第 1 導電型トランジスタがオフになる条件としての前記所定の電圧の大きさは、前記第 1 の抵抗手段の抵抗値の、前記第 2 の抵抗手段の抵抗値に対する第 1 の比（前記第 1 の抵抗手段の抵抗値：前記第 2 の抵抗手段の抵抗値）によって決定し、
 前記第 2 の容量手段の容量値の、前記第 1 の容量手段の容量値に対する第 2 の比（前記第 2 の容量手段の容量値：前記第 1 の容量手段の容量値）が前記第 1 の比に等しくなっている、半導体記憶装置。

【請求項 4】

前記第 1 の容量手段は、実質的に同一の容量値を有する 1 個または複数個の第 1 の容量素子を含み、

前記第 2 の容量手段は、実質的に前記同一の容量値を有する 1 個または複数個の第 2 の容量素子を含む、請求項 3 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、内部電圧発生回路を有する半導体記憶装置およびそれに用いる薄膜トランジスタに関し、特に、低消費電力型の半導体記憶装置および半導体記憶装置の低消費電力化を実現するための薄膜トランジスタに関する。

【0002】

【従来の技術】

スタティック・ランダムアクセスメモリ（以下、「SRAM」という）に用いることのできる従来の内部電圧発生回路は、たとえば、特開平 3 - 207091 号公報に開示されている。この従来の内部電圧発生回路について説明する。

【0003】

図 23 は、従来の内部電圧発生回路を有する SRAM の一部を詳細に示す回路図である。

【0004】

図 23 を参照して、従来の内部電圧発生回路を有する SRAM は、内部電圧発生回路としての降圧回路 57 および内部回路 1 を含む。降圧回路 57 は、抵抗 R1, R2, R3、PMOSTランジスタ QP1, QP2 および NMOSTランジスタ QN を含む。

【0005】

抵抗 R1 および抵抗 R2 は、外部電源電圧 Vcc を有するノードと、接地電圧を有するノードとの間に直列に接続される。PMOSTランジスタ QP1 および抵抗 R3 は、外部電源電圧 Vcc を有するノードと接地電圧を有するノードとの間に直列に接続される。PMOSTランジスタ QP1 のゲートとノード N1 が接続される。

【0006】

PMOSTランジスタ QP2 は、外部電源電圧 Vcc を有するノードと、ノード N3 との

間に接続される。PMOSトランジスタQP2のゲートはノードN2に接続される。NMOSトランジスタQNは、外部電源電圧Vccを有するノードとノードN3との間に接続される。NMOSトランジスタQNのゲートは、外部電源電圧Vccを有するノードに接続される。ノードN3は、内部回路1に接続される。

【0007】

ここで、内部回路1は、たとえば、メモリ回路などである。降圧回路57の動作について説明する。

【0008】

外部電源電圧Vccが低電圧、たとえば3Vのときは、抵抗R1の抵抗R2に対する比によって決まるノードN1の電圧によりPMOSトランジスタQP1がオフする。そして、抵抗R3によってノードN2は0V近くまで下がる。このため、PMOSトランジスタQP2がオンし、ノードN3に、3Vの外部電源電圧Vccが供給される。これにより、内部回路1には、3Vの外部電源電圧Vccが供給されることになる。

10

【0009】

一方、外部電源電圧Vccが、所定電圧よりも高電圧、たとえば5Vになったときは、ノードN1の電圧によりPMOSトランジスタQP1がオンする。そして、ノードN2の電圧が外部電源電圧Vccまで上昇し、PMOSトランジスタQP2はオフする。このため、内部回路1へ供給される電圧（電流）はすべて、NMOSトランジスタQNを介することになる。これにより、内部回路1には、5Vの外部電源電圧VccからNMOSトランジスタQNのしきい値電圧Vtn分降圧された約3.5Vの電圧が供給されることになる。

20

【0010】

このように、外部電源電圧Vccが所定の電圧より大きくなったときには、NMOSトランジスタQNにより電圧を供給して、内部回路1に高電圧がかからないようにして信頼性を確保している。そして、さらに、外部電源電圧Vccが所定の電圧より小さくなったときには、主にPMOSトランジスタQP2により電圧を供給して、内部回路1としてのメモリ回路（メモリセル）のデータが失われないようにしている。

【0011】

以上のように、従来の降圧回路57は、低電圧でのデータの保持を可能にし、一方、高電圧を降圧することが可能である。ここで、PMOSトランジスタQP2がオフ（PMOSトランジスタQP1がオン）になる条件としての所定電圧（以下、「切換点」という）の大きさは、抵抗R1の抵抗R2に対する比で主に決定される。

30

【0012】

すなわち、PMOSトランジスタQP2により、直接、外部電源電圧Vccを内部回路1に供給する場合と、ダイオード接続されたNMOSトランジスタQNにより、外部電源電圧Vccをしきい値電圧Vtn分降圧して内部回路1に供給する場合とを切換えるための条件は、抵抗R1の抵抗R2に対する比によって主に決定される。

【0013】

また、抵抗R1、R2、R3はポリシリコンにより形成される高抵抗の抵抗素子である。

【0014】**【発明が解決しようとする課題】**

以上のように、従来の降圧回路57は、抵抗R1として、1個の抵抗素子を用いている。また、抵抗R2および抵抗R3についても同様である。このため、抵抗R1、R2を作成する過程において、マスクずれなどを原因として、設計上の抵抗値と実際の抵抗値とが異なる場合があり、上述した切換点が設計通りに決まらないという問題点があった。

40

【0015】

また、従来の降圧回路57において、消費電流を減らすために抵抗R1～R3の抵抗値を上げると、降圧回路57の外部電源電圧Vccに対する反応速度（外部電源電圧Vccの変化にตอบสนองして、ノードN1の電圧が変化する速さ）が遅くなる。このため、降圧回路57が誤動作するという問題点があった。

50

【0016】

すなわち、外部電源電圧 V_{cc} が上述した切換点(所定の電圧)を上回ってもPMOSトランジスタQP2がオフ(PMOSトランジスタQP1がオン)しなかったり、外部電源電圧 V_{cc} が上述した切換点(所定の電圧)を下回ってもPMOSトランジスタQP2がオン(PMOSトランジスタQP1がオフ)しなかったりするという問題点があった。

【0017】

特に、降圧回路57の外部電源電圧 V_{cc} に対する反応速度が遅いことを原因として、電源投入時などの大きく外部電源電圧 V_{cc} が変動したときなどは、内部回路1に異常電圧がかかる心配があるという問題点があった。すなわち、降圧回路57の外部電源電圧 V_{cc} に対する反応速度が遅いため、外部電源電圧 V_{cc} が上述した切換点(所定の電圧)を上回ってもPMOSトランジスタQP2がオフ(PMOSトランジスタQP1がオン)しないため、上述した切換点を超えた高電圧である外部電源電圧 V_{cc} が内部回路1に与えられるという問題点があった。

10

【0018】

この発明は、以上のような問題点を解決するためになされたもので、切換点を決定する抵抗の抵抗値が設計上の抵抗値とずれた場合においても、切換点の変動を防止できる内部電圧発生回路を有する半導体記憶装置を提供することを目的とする。

【0019】

この発明の他の目的は、外部電源電圧に対する反応速度を速くして、誤動作を防止できる内部電圧発生回路を有する半導体記憶装置を提供することである。

20

【0020】

この発明の他の目的は、高抵抗の薄膜トランジスタひいては、半導体記憶装置の低消費電力化を実現できる薄膜トランジスタを提供することである。

【0021】

【課題を解決するための手段】

この発明の第1の発明に係る半導体記憶装置は、情報を記憶するための複数のメモリセルを含む内部回路を備える半導体記憶装置であって、第1の電源電圧を供給する第1のラインと、第1のノードとの間に接続される第1の抵抗手段と、第1のノードと、第2の電源電圧を供給する第2のラインとの間に接続される第2の抵抗手段と、第1のラインと、第2のノードとの間に接続され、その制御電極が第1のノードに接続される第1の第1導電型トランジスタと、第2のノードと、第2のラインとの間に接続される第3の抵抗手段と、第1のラインと、第3のノードとの間に接続され、その制御電極が第2のノードに接続される第2の第1導電型トランジスタと、第1のラインと、第3のノードとの間に接続され、その制御電極が第1のラインに接続される第2導電型トランジスタとを備える。

30

【0022】

第1の抵抗手段は、実質的に同一の抵抗値および構成を有する、1個または複数個の第1の抵抗素子を含む。第2の抵抗手段は、第1の抵抗素子と実質的に同一の抵抗値および構成を有する、1個または複数個の第2の抵抗素子を含む。

【0023】

第2の第1導電型トランジスタは、第1の電源電圧に基づき、内部回路に与える第1の電圧を第3のノードに発生する。第2導電型トランジスタは、第1の電源電圧に基づき、内部回路に与える第2の電圧を第3のノードに発生する。

40

【0024】

第2の第1導電型トランジスタは、第1の電源電圧が所定の電圧になったときに、オフし、第1の電圧の発生を停止する。第2の第1導電型トランジスタがオフになる条件としての所定の電圧の大きさは、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比(第1の抵抗手段の抵抗値:第2の抵抗手段の抵抗値)によって決定する。

【0025】

第1の発明に係る半導体記憶装置においては、1種類の、すなわち、実質的に同一の抵抗値および構成を有する第1および第2の抵抗素子を用いて、第1の抵抗手段を第1の抵抗

50

素子で、第2の抵抗手段を第2の抵抗素子で構成している。このため、第1および第2の抵抗手段の製造プロセスにおいて、プロセスパラメータの変動を原因として、第1および第2の抵抗素子の抵抗値が、設計上の値から変動した場合、第1および第2の抵抗素子の抵抗値は、同じ割合で変動する。

【0026】

その結果、第1の発明に係る半導体記憶装置においては、プロセスパラメータが変動した場合でも、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比の変動を防止できる。すなわち、第2の第1導電型トランジスタが、オフになる条件としての所定の電圧の大きさが、プロセスパラメータの変動により、変動するのを防止できる。

【0027】

また、第1の発明に係る半導体記憶装置においては、1種類の第1および第2の抵抗素子を用いて、第1の抵抗手段を第1の抵抗素子で、第2の抵抗手段を第2の抵抗素子で構成している。

【0028】

その結果、第1の発明に係る半導体記憶装置においては、CAD上でのレイアウトを容易に行なうことができる。さらに、CAD上で、設計変更などによるレイアウトの修正も簡単に行なうことができる。

【0029】

また、第1の発明に係る半導体記憶装置においては、第1の抵抗素子を並べる数によって、第1の抵抗手段の抵抗値を調節し、第2の抵抗素子を並べる数によって第2の抵抗手段の抵抗値を調節する。すなわち、第1および第2の抵抗素子を並べる数により、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比を調節する。このことは、第1および第2の抵抗素子を構成しているすべての要素を考慮して、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比を設定していることになる。

【0030】

その結果、第1の発明に係る半導体記憶装置においては、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比の設定を、正確、かつ、容易に行なうことができる。

【0031】

この発明の第2の発明に係る半導体記憶装置は、情報を記憶するための複数のメモリセルを含む内部回路を備える半導体記憶装置であって、第1の電源電圧を供給する第1のラインと、第1のノードとの間に接続される第1の抵抗手段と、第1のノードと、第2の電源電圧を供給する第2のラインとの間に接続される第2の抵抗手段と、第1のラインと、第2のノードとの間に接続され、その制御電極が第1のノードに接続される第1の第1導電型トランジスタと、第2のノードと、第2のラインとの間に接続される第3の抵抗手段と、第1のラインと、第3のノードとの間に接続され、その制御電極が第2のノードに接続される第2の第1導電型トランジスタと、第1のラインと、第3のノードとの間に接続され、その制御電極が第1のラインに接続される第2導電型トランジスタとを備える。

【0032】

第1の抵抗手段は、実質的に同一の抵抗値および構成を有する、1個または複数個の第1の抵抗素子を含む。第2の抵抗手段は、第1の抵抗素子と実質的に同一の抵抗値および構成を有する、1個または複数個の第2の抵抗素子を含む。

【0033】

第2の第1導電型トランジスタは、第2の電源電圧に基づき、内部回路に与える第1の電圧を前記第3のノードに発生する。第2導電型トランジスタは、第2の電源電圧に基づき、内部回路に与える第2の電圧を第3のノードに発生する。

【0034】

第2の第1導電型トランジスタは、第2の電源電圧が所定の電圧になったときに、オフし、第1の電圧の発生を停止する。第2の第1導電型トランジスタがオフになる条件としての所定の電圧の大きさは、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比（第1の抵抗手段の抵抗値：第2の抵抗手段の抵抗値）によって決定する。

10

20

30

40

50

【0035】

第2の発明に係る半導体記憶装置においては、1種類の、すなわち、実質的に同一の抵抗値および構成を有する第1および第2の抵抗素子を用いて、第1の抵抗手段を第1の抵抗素子で、第2の抵抗手段を第2の抵抗素子で構成している。このため、第1および第2の抵抗手段の製造プロセスにおいて、プロセスパラメータの変動を原因として、第1および第2の抵抗素子の抵抗値が、設計上の値から変動した場合、第1および第2の抵抗素子の抵抗値は、同じ割合で変動する。

【0036】

その結果、第2の発明に係る半導体記憶装置においては、プロセスパラメータが変動した場合でも、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比の変動を防止できる。すなわち、第2の第1導電型トランジスタが、オフになる条件としての所定の電圧の大きさが、プロセスパラメータの変動により変動するのを防止できる。

10

【0037】

また、第2の発明に係る半導体記憶装置においては、1種類の第1および第2の抵抗素子を用いて、第1の抵抗手段を第1の抵抗素子で、第2の抵抗手段を第2の抵抗素子で構成している。

【0038】

その結果、第2の発明に係る半導体記憶装置においては、CAD上でのレイアウトを容易に行なうことができる。さらに、CAD上で、設計変更などによるレイアウトの修正も簡単に行なうことができる。

20

【0039】

また、第2の発明に係る半導体記憶装置においては、第1の抵抗素子を並べる数によって、第1の抵抗手段の抵抗値を調節し、第2の抵抗素子を並べる数によって第2の抵抗手段の抵抗値を調節する。すなわち、第1および第2の抵抗素子を並べる数により、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比を調節する。このことは、第1および第2の抵抗素子を構成しているすべての要素を考慮して、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比を設定していることになる。

【0040】

その結果、第2の発明に係る半導体記憶装置においては、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する比の設定を、正確、かつ、容易に行なうことができる。

30

【0041】

この発明の第3の発明に係る半導体記憶装置は、情報を記憶するための複数のメモリセルを含む内部回路を備える半導体記憶装置であって、第1の電源電圧を供給する第1のラインと、第1のノードとの間に接続される第1の抵抗手段と、第1のノードと、第2の電源電圧を供給する第2のラインとの間に接続される第2の抵抗手段と、第1のラインと、第2のノードとの間に接続され、その制御電極が第1のノードに接続される第1の第1導電型トランジスタと、第2のノードと、第2のラインとの間に接続される第3の抵抗手段と、第1のラインと、第3のノードとの間に接続され、その制御電極が第2のノードに接続される第2の第1導電型トランジスタと、第1のラインと、第3のノードとの間に接続され、その制御電極が第1のラインに接続される第2導電型トランジスタと、第1のラインと、第1のノードとの間に接続される第1の容量手段と、第1のノードと、第2のラインとの間に接続される第2の容量手段とを備える。

40

【0042】

第2の第1導電型トランジスタは、第1の電源電圧に基づき、内部回路に与える第1の電圧を第3のノードに発生する。第2導電型トランジスタは、第1の電源電圧に基づき、内部回路に与える第2の電圧を第3のノードに発生する。

【0043】

第2の第1導電型トランジスタは、第1の電源電圧が所定の電圧になったときに、オフし、第1の電圧の発生を停止する。第2の第1導電型トランジスタがオフになる条件としての所定の電圧の大きさは、第1の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する

50

第1の比(第1の抵抗手段の抵抗値:第2の抵抗手段の抵抗値)によって決定する。

【0044】

第2の容量手段の容量値の、第1の容量手段の容量値に対する第2の比(第2の容量手段の容量値:第1の容量手段の容量値)が、第1の比に等しくなっている。

【0045】

第3の発明に係る半導体記憶装置においては、第1および第2の容量手段を設けることにより、第1の電源電圧が、急激に変化した場合でも、第1のノードの電圧をその急激な変化に遅れることなく、所望の電圧にすることができる。

【0046】

その結果、第3の発明に係る半導体記憶装置においては、第1の電源電圧が急激に変化した場合でも、意図したとおり、第1および第2の第1導電型トランジスタのオン/オフを制御でき、意図したとおり、内部回路に、第1または第2の電圧を供給できる。

10

【0047】

この発明の第4の発明に係る半導体記憶装置は、情報を記憶するための複数のメモリセルを含む内部回路を備える半導体記憶装置であって、第1の電源電圧を供給する第1のラインと、第1のノードとの間に接続される第1の抵抗手段と、第1のノードと、第2の電源電圧を供給する第2のラインとの間に接続される第2の抵抗手段と、第1のラインと、第2のノードとの間に接続され、その制御電極が第1のノードに接続される第1の第1導電型トランジスタと、第2のノードと、第2のラインとの間に接続される第3の抵抗手段と、第1のラインと、第3のノードとの間に接続され、その制御電極が第2のノードに接続される第2の第1導電型トランジスタと、第1のラインと、第3のノードとの間に接続され、その制御電極が第1のラインに接続される第2導電型トランジスタと、第1のラインと、第1のノードとの間に接続される第1の容量手段と、第1のノードと、第2のラインとの間に接続される第2の容量手段とを備える。

20

【0048】

第2の第1導電型トランジスタは、第2の電源電圧に基づき、内部回路に与える第1の電圧を第3のノードに発生する。第2導電型トランジスタは、第2の電源電圧に基づき、内部回路に与える第2の電圧を第3のノードに発生する。

【0049】

第2の第1導電型トランジスタは、第2の電源電圧が所定の電圧になったときに、オフし、第1の電圧の発生を停止する。第2の第1導電型トランジスタがオフになる条件としての所定の電圧の大きさは、第2の抵抗手段の抵抗値の、第2の抵抗手段の抵抗値に対する第1の比(第1の抵抗手段の抵抗値:第2の抵抗手段の抵抗値)によって決定する。

30

【0050】

第2の容量手段の容量値の、第1の容量手段の容量値に対する第2の比(第2の容量手段の容量値:第1の容量手段の容量値)が、第1の比に等しくなっている。

【0051】

第4の発明に係る半導体記憶装置においては、第1および第2の容量手段を設けることにより、第2の電源電圧が、急激に変化した場合でも、第1のノードの電圧をその急激な変化に遅れることなく、所望の電圧にすることができる。

40

【0052】

その結果、第4の発明に係る半導体記憶装置においては、第2の電源電圧が急激に変化した場合でも、意図したとおり、第1および第2の第1導電型トランジスタのオン/オフを制御でき、意図したとおり、内部回路に、第1または第2の電圧を供給できる。

【0053】

この発明の第5の発明に係る半導体記憶装置は、内部電源線に接続される内部回路を有する半導体記憶装置であって、第1のパッドと、予定していない電圧の入力から内部回路を保護するための入力保護手段とを備えている。第1のパッドは、入力保護手段を介して内部電源線に接続される。

【0054】

50

第5の発明に係る半導体記憶装置においては、内部電源線と第1のパッドとの間に入力保護手段を設けている。

【0055】

その結果、第5の発明に係る半導体記憶装置においては、第1のパッドに予定していない大きな電圧がかかったときでも、内部回路が破壊されるのを防止することができる。

【0056】

この発明の第6の発明に係る薄膜トランジスタは、半導体記憶装置に用いられる薄膜トランジスタであって、第1の導電手段と、第2の導電手段と、第1の導電手段と第2の導電手段との間に形成される絶縁手段とを備える。

【0057】

第1の導電手段は、制御電極を含む。第2の導電手段は第1および第2の電極を含む。絶縁手段の厚さは、半導体記憶装置のメモリセルにおいて、負荷素子として用いる薄膜トランジスタの制御電極絶縁膜より厚い。

【0058】

第6の発明に係る薄膜トランジスタにおいては、絶縁手段が、メモリセルにおいて、負荷素子として用いる薄膜トランジスタの制御電極絶縁膜より厚いため、オン時に、第1および第2の電極間を流れる電流が、メモリセルに負荷素子として用いられる薄膜トランジスタより小さくなる。すなわち、第6の発明に係る薄膜トランジスタにおいては、オン時の抵抗を、メモリセルにおいて、負荷素子として用いる薄膜トランジスタの抵抗より大きくすることができる。

【0059】

その結果、第6の発明に係る薄膜トランジスタを用いることにより、半導体記憶装置の低消費電力化を実現するための所望の抵抗値を有する抵抗を、メモリセルにおいて、負荷素子として用いる薄膜トランジスタを用いる場合に比べ、少ない数で構成することができる。

【0060】

第6の発明に係る薄膜トランジスタにおいては、絶縁手段が、メモリセルにおいて、負荷素子として用いる薄膜トランジスタの制御電極絶縁膜より厚いため、第1の導電手段と第2の導電手段との間の電界を緩和することができる。

【0061】

その結果、第6の発明にかかる薄膜トランジスタを、降圧されない電圧がかかる回路に使用しても、薄膜トランジスタの信頼性を損なうことはない。

【0062】

この発明の第7の発明に係る薄膜トランジスタにおいては、半導体記憶装置に用いられる薄膜トランジスタであって、第1の導電手段と、第2の導電手段と、第1の導電手段と第2の導電手段との間に形成される絶縁手段とを備える。

【0063】

第1の導電手段は、制御電極を含む。第2の導電手段は、第1および第2の電極を含む。第1の導電手段は、信号配線として用いられるいずれかのメタル配線層と同時に形成されたメタル配線層により構成される。

【0064】

第7の発明に係る薄膜トランジスタにおいては、その第1の導電手段が、信号配線として用いられるいずれかのメタル配線層と同時に形成されたメタル配線層により構成されるため、半導体記憶装置の既存の製造工程の一部を利用して、第1の導電手段を構成することができる。

【0065】

その結果、第7の発明に係る薄膜トランジスタにおいては、製造工程を追加することなく、その第1の導電手段を構成でき、コストの高騰を防止できる。

【0066】

【発明の実施の形態】

10

20

30

40

50

以下、本発明による半導体記憶装置としてのスタティック・ランダムアクセスメモリ（以下、「SRAM」という）について図面を参照しながら説明する。なお、本発明のSRAMの特徴は、内部電圧発生回路にあるため、内部電圧発生回路を中心に説明する。

【0067】

（実施の形態1）

本発明の実施の形態1によるSRAMの内部電圧発生回路が、図23に示した降圧回路（内部電圧発生回路）57と異なるのは次の点である。図23の従来の降圧回路57の抵抗R1、R2、R3は、各々1個の抵抗素子から構成されるのに対し、本発明の実施の形態1によるSRAMの内部電圧発生回路の各抵抗は同一の抵抗値および構成を有する複数の抵抗素子により構成される点で異なっている。

10

【0068】

図1は、本発明の実施の形態1によるSRAMの一部の詳細を示す回路図である。

【0069】

図1を参照して、実施の形態1によるSRAMの一部は、内部電圧発生回路としての降圧回路2および内部回路1を含む。降圧回路2は、抵抗R1、R2、R3、PMOSトランジスタQP1、QP2およびNMOSトランジスタQNを含む。抵抗R1は、m個の抵抗素子Rを含む。抵抗R2はn個の抵抗素子Rを含む。抵抗R3はk個の抵抗素子Rを含む。

【0070】

抵抗R1および抵抗R2は、外部電源電圧Vccを有するノードと、接地電圧を有するノードとの間に直列に接続される。m個の抵抗素子Rは、外部電源電圧Vccを有するノードと、ノードN1との間に直列に接続される。n個の抵抗素子Rは、ノードN1と接地電圧を有するノードとの間に直列に接続される。

20

【0071】

PMOSトランジスタQP1および抵抗R3は、外部電源電圧Vccを有するノードと接地電圧を有するノードとの間に直列に接続される。PMOSトランジスタQP1のゲートとノードN1が接続される。k個の抵抗素子Rは、ノードN2と接地電圧を有するノードとの間に直列に接続される。

【0072】

PMOSトランジスタQP2は、外部電源電圧Vccを有するノードと、ノードN3との間に接続される。PMOSトランジスタQP2のゲートはノードN2に接続される。NMOSトランジスタQNは、外部電源電圧Vccを有するノードとノードN3との間に接続される。NMOSトランジスタQNのゲートは、外部電源電圧Vccを有するノードに接続される。ノードN3は、内部回路1に接続される。

30

【0073】

内部回路1は、たとえば、情報を記憶するためのメモリセルを複数有するメモリ回路などである。また、抵抗R1を構成するm個の抵抗素子Rの抵抗値、抵抗R2を構成するn個の抵抗素子Rの抵抗値および抵抗R3を構成するk個の抵抗素子Rの抵抗値は、すべて実質的に同一である。また、全ての抵抗素子Rの構成も実質的に同一である。

【0074】

まず、降圧回路2の一般的な動作について説明する。外部電源電圧Vccが、所定の電圧よりも低電圧、たとえば3Vのときは、抵抗R1の抵抗R2に対する比によって決まるノードN1の電圧によりPMOSトランジスタQP1がオフする。このため、抵抗R3によってノードN2の電圧は0V近くまで下がる。そして、PMOSトランジスタQP2がオンする。これにより、PMOSトランジスタQP2を介して、外部電源電圧VccがノードN3に供給されることになる。すなわち、内部回路1は、主に、PMOSトランジスタQP2を介して外部電源電圧Vccを内部電圧として受けることになる。

40

【0075】

一方、外部電源電圧Vccが所定の電圧よりも高電圧、たとえば5Vになったときは、ノードN1の電圧によってPMOSトランジスタQP1がオンする。このため、ノードN2

50

の電圧が外部電源電圧 V_{cc} 付近まで上昇し、PMOSトランジスタQP2はオフする。これにより、内部回路1へ供給される電圧（電流）はすべてNMOSトランジスタQNを介することになる。すなわち、5Vの外部電源電圧 V_{cc} からNMOSトランジスタQNのしきい値電圧 V_{tn} 分降圧された約3.5Vの電圧が供給されることになる。

【0076】

ここで、PMOSトランジスタQP2がオフ（PMOSトランジスタQP1がオン）になる条件としての所定の電圧（以下、「切換点」という）の大きさは主に抵抗 R_1 の抵抗 R_2 に対する比によって決定される。すなわち、PMOSトランジスタQP2により、直接、外部電源電圧 V_{cc} を内部回路1に供給する場合と、NMOSトランジスタQNにより、外部電源電圧 V_{cc} からNMOSトランジスタQNのしきい値電圧 V_{tn} 分降圧された電圧を内部回路1に供給する場合とを切換えるための条件としての所定電圧（切換点）の大きさは主に抵抗 R_1 の抵抗 R_2 に対する比で決定する。

10

【0077】

図2は、図1の降圧回路2の動作を説明するための図である。

図2を参照して、横軸は外部電源電圧 V_{cc} を示し、縦軸は、ノードN3の電圧（以下、「内部電圧 V_{int} 」という）を示す。外部電源電圧 V_{cc} が切換点（所定電圧）Sより小さいときは、PMOSトランジスタQP2がオンしており、主にPMOSトランジスタQP2により内部電圧 V_{int} が内部回路1に供給される。外部電源電圧 V_{cc} が切換点（所定電圧）Sより大きいときは、PMOSトランジスタQP2がオフし、NMOSトランジスタQNにより内部電圧 V_{int} が内部回路1に供給される。

20

【0078】

このように、降圧回路2は、外部電源電圧 V_{cc} が切換点Sより小さいときは、PMOSトランジスタQP2を介して、外部電源電圧 V_{cc} を直接、内部電圧 V_{int} として内部回路1に供給する。外部電源電圧 V_{cc} が切換点Sより大きいときはNMOSトランジスタQNにより外部電源電圧 V_{cc} を降圧した内部電圧 V_{int} を内部回路1に供給する。なお、破線は、外部電源電圧 V_{cc} を降圧せずに、内部電圧 V_{int} として発生した場合（切換点Sがない場合）を示す。

【0079】

次に、本発明の実施の形態1によるSRAMの降圧回路2の特徴を説明する。実施の形態1による降圧回路2の特徴は、上述したように、1種類（実質同一の抵抗値および実質同一の構成）の抵抗素子Rだけを用いており、3つの抵抗 R_1 、 R_2 、 R_3 は抵抗素子Rを1個または複数並べることによって構成している。抵抗 R_1 の抵抗値を R_1 、抵抗 R_2 の抵抗値を R_2 、抵抗 R_3 の抵抗値を R_3 および抵抗素子Rの抵抗値をRとする。図1においては、 $R_1 = m \times R$ 、 $R_2 = n \times R$ 、 $R_3 = k \times R$ としている。m、n、kの各々は、抵抗 R_1 、 R_2 、 R_3 の各々に含まれる抵抗素子Rの数であり、自然数である。

30

【0080】

このように、1種類の抵抗素子Rを1個または複数並べることにより抵抗 $R_1 \sim R_3$ を構成しているため、CAD（Computer Aided Design）上でのレイアウトが非常に容易になる。さらに、CAD上で、設計の変更などによるレイアウトの修正も簡単になる。

40

【0081】

また、抵抗 $R_1 \sim R_3$ を作成するプロセスにおいて、プロセスパラメータの変動にも強くなる。つまり、抵抗素子 $R_1 \sim R_3$ を作成するプロセスにおいて、たとえば、マスクずれなどによって、抵抗素子Rの抵抗値が変動した場合（抵抗素子Rの抵抗値が設計上の抵抗値と異なった場合）でも、すべての抵抗素子Rの抵抗値が同じ割合で変動する。たとえば、すべての抵抗素子Rの抵抗値Rが、すべて抵抗値 R になる。このため、降圧回路2において、最も重要な切換点を決定するための、抵抗 R_1 の抵抗値 R_1 の、抵抗 R_2 の抵抗値 R_2 に対する比（ $R_1 : R_2$ ）は、次式に示すように、抵抗素子Rの抵抗値Rが抵抗値Rに変動した場合でも、一定となる。

【0082】

50

$$\begin{aligned}
 R_1 : R_2 \\
 &= m \times R_1 : n \times R_1 \\
 &= m : n \quad \dots [1]
 \end{aligned}$$

また、PMOSトランジスタQP1のしきい値電圧 V_{tp} は、一般的に、0.8V付近であることが多い。このため、 $R_1 : R_2 = m : n = 1 : 2 \sim 1 : 5$ に設定することによって、外部電源電圧 V_{cc} が5Vのときには、PMOSトランジスタQP2がオフになり、NMOSトランジスタQNにより、内部電圧 V_{int} を発生し、内部回路1に供給することができる。そして、 $R_1 : R_2 = m : n = 1 : 2 \sim 1 : 5$ に設定することによって、外部電源電圧 V_{cc} が3Vのときには、PMOSトランジスタQP2がオンになり、3Vの外部電源電圧 V_{cc} を内部電圧 V_{int} として直接内部回路1に供給することができる。

10

【0083】

すなわち、書込/読出などのSRAMの通常動作時には、5Vの外部電源電圧 V_{cc} を降圧した内部電圧 V_{int} が内部回路1に供給される。SRAMがデータを保持するときには、3Vの外部電源電圧 V_{cc} を直接、内部電圧として内部回路1に供給できる。

【0084】

また、1種類（実質同一の抵抗値および実質同一の構成）の抵抗素子Rを複数並べて、抵抗 $R_1 \sim R_3$ を形成するため、抵抗 R_1 の抵抗値 R_1 の、抵抗 R_2 の抵抗値 R_2 に対する比（ $R_1 : R_2$ ）の決定が容易にできる。このことを詳しく説明する。

【0085】

図1の抵抗素子Rとして、ポリシリコンにより形成される高抵抗の抵抗素子（以下、「ポリシリコン高抵抗」という）を用いる場合を考えるが、まず、一般的なポリシリコン高抵抗について説明する。実際に、ポリシリコンを抵抗素子として回路内で使用するには、ポリシリコンをコンタクトホールなどを介してメタル配線（メタル信号配線）に接続しなければならない。図面を参照しながら説明する。

20

【0086】

図3は、図1の抵抗素子Rとしてのポリシリコン高抵抗の構造を示す図である。図3(a)は、ポリシリコン高抵抗の平面図である。図3(b)は、図3(a)のAA線に沿った断面図である。

【0087】

図3を参照して、抵抗素子Rとしてのポリシリコン高抵抗は、メタル配線3、コンタクトホール5およびポリシリコン7からなる。ポリシリコン7は、ポリシリコン（抵抗部）7aとポリシリコン（配線部）7bからなる。ポリシリコン（配線部）7bは、酸化膜などの絶縁膜19に形成されたコンタクトホール5を介してメタル配線3に接続される。ここで、コンタクトホール5には、メタルなどの導電層が形成されている。

30

【0088】

なお、ポリシリコン（抵抗部）7aとポリシリコン（配線部）7bとは、一体としてポリシリコン7を形成している。ポリシリコン（配線部）7bが、不純物を注入して抵抗値を下けている点で、ポリシリコン（抵抗部）7aと異なる。このように、ポリシリコン7をコンタクトホール5を介してメタル配線3に接続することにより、抵抗素子Rとしてのポリシリコン抵抗を形成する。

40

【0089】

一般に、ポリシリコン（抵抗部）7aの抵抗値は、その長さLに比例し、幅Wに反比例する。すなわち、ポリシリコン（抵抗部）7aの抵抗値は、長さLの、幅Wに対する比（L : W）の値L/Wで決定される。

【0090】

このため、抵抗素子Rとしてのポリシリコン高抵抗の抵抗値の調整は、ポリシリコン（抵抗部）7aの長さLと幅Wを変えることにより行なう。この場合、ポリシリコン（抵抗部）7aは、ポリシリコン（配線部）7bおよびコンタクトホール5を介してメタル配線3に接続されているため、ポリシリコン（抵抗部）7aの抵抗値だけでなく、ポリシリコン（配線部）7bやコンタクトホール5などの抵抗値も抵抗素子Rとしてのポリシリコン高

50

抵抗の抵抗値に含まれることになる。

【0091】

ここで、図23の従来の降圧回路57の抵抗R1およびR2として、図3のポリシリコン高抵抗を用いた場合を考える。抵抗R1のポリシリコン(抵抗部)の長さをL1、幅をW1とする。抵抗R2のポリシリコン(抵抗部)の長さをL2、幅をW2とする。

【0092】

外部電源電圧Vccを、抵抗R1の抵抗値R1の抵抗R2の抵抗値R2に対する比(R1 : R2、以下、「R1R2抵抗比」という)に応じて、抵抗分割する場合、所望のR1R2抵抗比を得るために、L1 : W1の値L1/W1およびL2 : W2の値L2/W2を調整している。すなわち、L1/W1 : L2/W2の値を、所望のR1R2抵抗比の値に合

10

【0093】

しかし、上述したように、抵抗R1, R2の抵抗値としては、コンタクトホール5やポリシリコン(配線部)7bを考慮しなければならず、L1/W1 : L2/W2の値を所望のR1R2抵抗比の値に合わせるだけでは、実際のR1R2抵抗比は、所望のR1R2抵抗比と異なることになる。

【0094】

たとえば、幅W1 = W2で、所望のR1R2抵抗比が1 : 5の場合を考える。このとき、

20

【0095】

そこで、図3に示すように、実施の形態1によるSRAMの降圧回路2では、抵抗R1, R2としての抵抗素子Rは、コンタクトホール5やポリシリコン(配線部)7bを考慮している。すなわち、コンタクトホール5やポリシリコン(配線部7b)が一体として抵抗素子Rを形成する。

【0096】

さらに、図1に示すように、実施の形態1によるSRAMの降圧回路2では、1種類(抵抗値および構成が実質同じ)の抵抗素子Rを複数用いて、抵抗R1, R2を構成している

30

【0097】

このため、実施の形態1によるSRAMの降圧回路2では、たとえば、所望のR1R2抵抗比を1 : 5にしたい場合は、抵抗R1として、抵抗素子Rを1つならば、抵抗R2として抵抗素子Rを5つ並べることにより行なう。この場合には、コンタクトホール5やポリシリコン(配線部)7bの抵抗も考慮されているので、実際のR1R2抵抗比は、所望のR1R2抵抗比である1 : 5にほぼ等しくなる。

【0098】

つまり、実施の形態1によるSRAMの降圧回路2のように、1種類の抵抗素子Rを並べたほうが正確なR1R2抵抗比を得ることができる。なお、メタル配線3の抵抗値はポリ

40

【0099】

図4は、一般的な抵抗の抵抗値を調整する方法を説明するための図である。なお、図3と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。

【0100】

一般に、抵抗は、ポリシリコン(抵抗部)7aの幅Wを一定にした場合、長さLを変えることにより、その抵抗値を調整する。たとえば、図4を参照して、ポリシリコン(抵抗部)7aの長さがLの抵抗の抵抗値を2倍にしようとするときには、ポリシリコン(抵抗部)7aの長さを2倍の2Lにする。しかし、実際には、コンタクトホール5やポリシリコン(配線部)7bの抵抗値はそのままなので、抵抗値は元の2倍よりも小さくなる。すな

50

わち、一般的な抵抗では、ポリシリコン（抵抗部）7aのみを、抵抗素子Rと考えることになる。図23の降圧回路57の抵抗R1～R3の抵抗値の調整はこのようにして行なっている。

【0101】

図5は、図1の降圧回路2の抵抗R1またはR2の抵抗値の調整方法を説明するための図である。なお、図3と同様の部分については同一の参照符号を付し、その説明を適宜省略する。

【0102】

降圧回路2の抵抗R1, R2は、それを構成する1種類（抵抗値および構成が実質同じ）の抵抗素子Rを並べる数によってその抵抗値を調整する。たとえば、ポリシリコン（抵抗部）7aの長さがLの1つの抵抗素子Rからなる抵抗R1の抵抗値を、2倍にするときは、コンタクトホール5およびポリシリコン（配線部）7bを含む抵抗素子Rを2つ並べる。この場合には、コンタクトホール5やポリシリコン（配線部）7bも2倍になるので、抵抗値を確実に2倍にすることができる。

【0103】

以上のように、実施の形態2によるSRAMの降圧回路では、1種類（抵抗値および構成が実質同じ）の抵抗素子Rを並べて、抵抗R1～R3を構成している。

【0104】

このため、抵抗R1～R3を作成するプロセスにおいて、プロセスパラメータが変動した場合でも、降圧回路2において最も重要な要素であるR1R2抵抗比を一定に保つことができる。すなわち、切換点を決定する抵抗R1, R2の抵抗値がプロセスパラメータの変動により、設計上の抵抗値とずれた場合でも、切換点の変動を防止できる。

【0105】

また、1種類（抵抗値および構成が実質同じ）の抵抗素子Rのみを使うことで、CAD上でのレイアウトが非常に容易になり、設計の変更などによるレイアウトの修正も簡単になる。

【0106】

また、R1R2抵抗比R1:R2を、1:2～1:5に設定することによって、低消費電力型SRAMの使用条件（データを保持するときには、3Vの外部電源電圧Vccを降圧せず、内部回路1としてのメモリ回路に3Vの電圧を与えることおよび通常の動作時には、5Vの外部電源電圧Vccを降圧した電圧を内部回路1に与えること）に適合させることができる。

【0107】

また、ポリシリコン（抵抗部）7aだけでなく、コンタクトホール5やポリシリコン（配線部）7bを含んだものを一体として抵抗素子Rとして考え、その抵抗素子Rを1つまたは複数並べることによって抵抗R1～R3を構成している。すなわち、ポリシリコン（抵抗部）7aの抵抗値だけでなくコンタクトホール5やポリシリコン（配線部）7bの抵抗値を考慮した、1種類（抵抗値および構成が実質同じ）の抵抗素子Rを1つまたは複数並べることにより抵抗R1～R3の抵抗値を調整している。このため、降圧回路2において最も重要な要素であるR1R2抵抗比の設定を、正確かつ容易に行なうことができる。また、抵抗R1～R3を高抵抗にすることにより、SRAM全体の低消費電力化を図ることができる。

【0108】

（実施の形態2）

図23の降圧回路57の抵抗R1～R3としては、ポリシリコン高抵抗が用いられている。このため、以下のような問題を生じる。最近のSRAMのメモリセルの負荷素子として、ポリシリコン高抵抗を用いないため、SRAMの製造プロセスにおいて、ポリシリコン高抵抗を作ることが困難である。すなわち、最近の1Mまたは4Mクラスの低消費電力型の大容量SRAMでは、メモリセルの負荷素子としてポリシリコン高抵抗を使用するのではなく、薄膜トランジスタ（以下、「TFT」という）を使用している。このため、ポリ

10

20

30

40

50

シリコン高抵抗を作る工程がなく、降圧回路にポリシリコン高抵抗を使用することは、SRAMの製造プロセスにおける工程数の増加を招き、コストの高騰につながるという問題点がある。実施の形態2によるSRAMの降圧回路はこのような問題点を解決するためになされたものである。

【0109】

実施の形態2によるSRAMの降圧回路は、図1の降圧回路2の抵抗R1～R3を構成する1個または複数の抵抗素子Rとして、1個または複数のTFTを用いたものである。すなわち、抵抗素子Rとしては、ポリシリコン高抵抗は用いていない。

【0110】

図6は、本発明の実施の形態2によるSRAMの一部を詳細に示す回路図である。なお、図1と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。 10

【0111】

抵抗R1, R2, R3は、1つまたは複数の1種類(抵抗値および構成が実質同じ)のTFTにより構成される。すなわち、図1において抵抗素子Rとして、TFTを用いたものである。

【0112】

図7は、図6のTFTの構造を詳細に示す図である。図7(a)は、TFTの平面図である。図7(b)は、AA線に沿った断面図である。

【0113】

図7を参照して、TFTは、ポリシリコン9, 11およびゲート絶縁膜17により構成される。ポリシリコン9は、ドレインD、チャンネルCおよびソースSからなる。ポリシリコン11の一部は、ゲートGである。ゲート絶縁膜17は、たとえば、ゲート酸化膜である。TFTを抵抗R1～R3を構成する抵抗素子として用いる場合には、メタル配線3、コンタクトホール5, 21, 23、ポリシリコン9, 11, 13およびゲート絶縁膜17を一体としてTFTと考える。 20

【0114】

ポリシリコン11の上にはゲート絶縁膜17が形成される。ゲート絶縁膜17の上にはポリシリコン9が形成される。ポリシリコン9のドレインDとポリシリコン11はコンタクトホール21を介して接続される。コンタクトホール21には、ポリシリコンにより導電層が形成される。 30

【0115】

ポリシリコン9のソースSは、ポリシリコン13とコンタクトホール23を介して接続される。コンタクトホール23にはポリシリコンにより導電層が形成される。ポリシリコン11とメタル配線3とは絶縁膜19に形成されたコンタクトホール5を介して接続される。コンタクトホール5には、メタルにより導電層が形成される。ポリシリコン13とメタル配線3とは絶縁膜19に形成されたコンタクトホール5を介して接続される。コンタクトホール5にはメタルにより導電層が形成される。なお、絶縁膜19としてはたとえば酸化膜であり、分離絶縁膜15としては、たとえば、分離酸化膜である。

【0116】

ここで、図23の降圧回路57の抵抗R1～R3に、図7のTFTを用いた場合を考える。この場合、抵抗R1の抵抗値R1の抵抗R2の抵抗値R2に対する比(以下、「R1R2抵抗比」という)を所望の比に設定するために、チャンネル幅Wを一定としたとき、チャンネル長Lを変えることにより抵抗R1, R2の抵抗値を調整する。なお、この場合は、TFTの抵抗値は、チャンネル長Lに比例し、チャンネル幅Wに反比例すると考えている。 40

【0117】

しかし、このようにして、R1R2抵抗比を設定する場合は、コンタクトホール5, 21, 23およびポリシリコン11, 13の抵抗値を考慮していない。このため、たとえば、抵抗R1またはR2の抵抗値を2倍にするために、チャンネル長Lを2倍の2Lにしたとしても、実際の抵抗値は、元の抵抗値の2倍より小さくなる。これでは、結果的にR1R2抵抗比を所望の比に設定することは困難である。 50

【0118】

そこで、実施の形態2によるSRAMの降圧回路2では、抵抗R1～R3を構成する抵抗素子としてのTF Tは、コンタクトホール5, 21, 23、ポリシリコン11, 9, 13、メタル配線3およびゲート絶縁膜17が一体となったものと考えている。そして、抵抗R1～R3の抵抗値の調整は、1種類（抵抗値および構成が実質同じ）のTF Tの数を変えることにより行なっている。

【0119】

したがって、各TF Tには、コンタクトホール5, 21, 23およびポリシリコン11, 13の抵抗値などが考慮されているため、たとえば、抵抗値を2倍にしたいときには、TF Tの数を2倍することにより、確実に抵抗値を2倍にすることができる。このため、R1R2抵抗比を所望の比に正確、かつ、容易に設定することができる。

10

【0120】

以上のように、実施の形態2によるSRAMの降圧回路2では、1種類（抵抗値および構成が実質同じ）のTF Tを1つまたは複数用いることにより、抵抗R1～R3を構成している。すなわち、実施の形態2によるSRAMの降圧回路は、実施の形態1によるSRAMの降圧回路（図1）の抵抗素子RとしてTF Tを用いたものである。このため、実施の形態2によるSRAMは、実施の形態1によるSRAMと同様の効果を奏する。

【0121】

また、実施の形態2によるSRAMの降圧回路では、抵抗R1～R3を構成する抵抗素子としてのTF Tは、コンタクトホール5, 21, 23、ポリシリコン11, 9, 13、メタル配線3およびゲート絶縁膜17を一体のものと考え、TF Tの抵抗値としては、ポリシリコン9の抵抗値のみならず、コンタクトホール5, 21, 23およびポリシリコン11, 13の抵抗値も含んでいる。すなわち、コンタクトホール5, 21, 23およびポリシリコン11, 13などの抵抗値を考慮した、1種類（抵抗値および構成が実質同じ）のTF Tを1つまたは複数並べることによって、抵抗R1～R3を構成している。このため、実施の形態2によるSRAMの降圧回路では、R1R2抵抗比を所望の比に、正確、かつ、容易に設定することができる。

20

【0122】

また、実施の形態2によるSRAMでは、R1R2抵抗比を、1:2～1:5に設定することによって、実施の形態1によるSRAMと同様の効果を奏する。

30

【0123】

また、実施の形態2によるSRAMの降圧回路2の抵抗R1～R3として、メモリセルの負荷素子として用いるTF Tを用いている。このため、実施の形態2によるSRAMにおいては、抵抗R1～R3を作成する工程を特別に設ける必要はなく、SRAMの製造プロセスの工程数の増大を抑えることができるため、コストの高騰を防止できる。

【0124】

（実施の形態3）

本発明の実施の形態3によるSRAMが、実施の形態2によるSRAMと異なるのは、降圧回路に用いる抵抗素子としてのTF Tの構造である。したがって、実施の形態3によるSRAMの一部は、図6に示す実施の形態2によるSRAMの一部と同様である。

40

【0125】

まず、TF Tを降圧回路の抵抗素子として用いた場合に、SRAM全体の低消費電力化を図るための条件について、具体例を挙げて説明する。低消費電力を要求されるSRAMでは、外部電源電圧が3Vの待機時において、その消費電流は1μA以下に抑えなければならない。このようなSRAMに使用される降圧回路では、降圧回路自身が消費する電流も低く抑える必要がある。

【0126】

図1に示した実施の形態1によるSRAMの降圧回路2を用いて説明する。外部電源電圧を3Vとし、抵抗R1の抵抗値R1の抵抗R2の抵抗値R2に対する比（以下、「R1R2抵抗比」という）を1:3とし、降圧回路2自身が消費する電流を0.001μA以下

50

とする場合を考える。この場合は、抵抗 R_1 を1つの抵抗素子 R で構成し、抵抗 R_2 を3つの抵抗素子 R で構成したとすると、1つの抵抗素子 R の抵抗値 R は 750 M 程度にする必要がある。

【0127】

次に、図7に示したような(メモリセルの負荷素子として用いるTF Tと同様な)TF Tを抵抗素子 R として用いた場合を考える。図7に示すTF Tのオン時の抵抗値は 10 M 以下であり小さい。このため、TF Tを用いて、抵抗 R_1 , R_2 を構成し、上記の具体例の条件を満足しようとするれば、 750 M 程度の抵抗素子 R を用いて抵抗 R_1 , R_2 を構成した場合に比し、抵抗 R_1 , R_2 を構成する抵抗素子 R としてのTF Tの数が多くなる。そこで、実施の形態3によるSRAMの降圧回路に用いるTF Tは、その抵抗値が大きくなるような構造を有している。

10

【0128】

図8は、実施の形態3によるSRAMの降圧回路の抵抗として用いるTF Tの構造を詳細に示す図である。

【0129】

図8(a)は、TF Tの平面図である。図8(b)は、図8(a)のAA線に沿う断面図である。

【0130】

図8を参照して、TF Tは、メタル配線29、ゲート絶縁膜27およびポリシリコン11からなる。なお、メタル配線29の一部はゲートGとして用いられている。ポリシリコン11は、ドレインD、チャンネルCおよびソースSからなる。

20

【0131】

抵抗素子 R として、TF Tを用いるときには、コンタクトホール5およびメタル配線3も含めてTF Tと考える。すなわち、抵抗素子 R としてのTF Tの抵抗値には、コンタクトホール5などの抵抗値も考慮されている。

【0132】

ポリシリコン11の上にゲート絶縁膜27が形成される。ゲート絶縁膜27は、たとえば、ゲート酸化膜などである。ゲート絶縁膜27の上にメタル配線29, 3が形成される。メタル配線29, 3は、たとえば、アルミ配線などである。ゲート絶縁膜27には、コンタクトホール5が形成される。メタル配線29とポリシリコン11とはコンタクトホール5によって接続される。ポリシリコン11とメタル配線3とはコンタクトホール5によって接続される。なお、コンタクトホール5には導電層が形成される。この導電層としては、たとえばアルミなどのメタルである。なお、チャンネルCは、その幅が W で、その長さが L である。すなわち、チャンネル幅が W で、チャンネル長が L である。

30

【0133】

信号配線などに用いられるメタル配線と同じ層に形成されるメタル配線29をゲート電極Gとして用いることにより、ゲート絶縁膜27を厚くしている。この場合のゲート絶縁膜27の厚さは、 $2000 \sim 5000$ (オングストローム)である。これにより、TF Tのオン時の抵抗値を、降圧回路の抵抗素子 R として用いるのに丁度よい数百Mにすることができる。すなわち、オン時において、図7のTF Tに流れる電流より、オン時に図8のTF Tに流れる電流のほうが小さくなる。なお、メモリセルの負荷素子として用いられるTF T(図7のTF T)のゲート絶縁膜の厚さは $150 \sim 500$ である。

40

【0134】

また、図7のTF Tにおいても、ゲート絶縁膜17の厚さを、 $2000 \sim 5000$ (オングストローム)にすることもできる。この場合にも、TF Tのオン時の抵抗値を、降圧回路の抵抗素子 R として用いるのにちょうどよい数百Mにすることができる。

【0135】

図7のTF Tのゲート絶縁膜17を、その抵抗値を上げるために、メモリセルの負荷素子として用いられるTF T(通常のTF T)のゲート絶縁膜よりも厚くするためにはSRAMの製造プロセスにおいて、新たな工程を追加する必要がある。

50

【0136】

図8に示す、実施の形態3で用いるTFTのゲートとして、ポリシリコン11よりも上の層にあるメタル配線29を用いている。すなわち、実施の形態3で用いるTFTのゲートは、信号配線として用いられるいずれかのメタル配線層と同時に形成されたメタル配線層により構成される。このように、信号配線などに用いられるメタル配線と同じ層に形成されるメタル配線29をゲートとして用いることにより、ゲート絶縁膜27を厚くしている。このため、ゲート絶縁膜27を厚くするための工程として、信号配線などに用いるメタル配線を形成する工程を用いることができるため、新たな工程の追加が不要となる。

【0137】

メタル配線29下のゲート絶縁膜27として、BPSG(Boron Phospho Silicated Glass:ボロン・リン珪化ガラス)などの低融点ガラスを用いて形成することにより、比較的簡単に、ゲート絶縁膜27を形成できる。なお、メタル配線29,3には、第1層のメタル配線を用いたが、それより上にある第2層のメタル配線や、さらに、その上にあるメタル配線を用いることもできる。またメタル配線29,3は、たとえば、アルミなどから形成される。

【0138】

以上のように、実施の形態3によるSRAMの降圧回路としては、図6に示した実施の形態2によるSRAMの降圧回路2を用いている。さらに、抵抗R1~R3を構成する抵抗素子として、TFTを用いる場合には、コンタクトホール5なども含めてTFTと考えている。すなわち、TFTの抵抗値として、コンタクトホール5の抵抗値も考慮している。したがって、実施の形態3によるSRAMの降圧回路が、実施の形態2によるSRAMの降圧回路と違うのは、TFTの構造のみである。このため、実施の形態3によるSRAMは、実施の形態2によるSRAMと同様の効果を奏する。

【0139】

実施の形態3によるSRAMの降圧回路に用いるTFTのゲートとして、信号配線などに用いられるメタル配線と同じ層に形成されるメタル配線を用いて、ゲート絶縁膜を厚くしている。このため、TFTの抵抗値を上げるために、ゲート絶縁膜を厚くしようとするとき、ゲート絶縁膜を厚くするための新たな工程の追加が不要となり、コストの高騰を防止できる。

【0140】

また、降圧回路2に用いるTFTのゲートには、信号配線などに用いられるメタル配線と同じ層に形成されるメタル配線29を用いるため、図7に示したTFTよりもオン時の抵抗値を容易に大きくすることができる。このため、SRAMの低消費電力化を図るため、抵抗R1~R3の抵抗値を大きくする場合、図7のTFTで抵抗R1~R3を構成する場合に比し、容易に、少ない数のTFTで抵抗R1~R3を構成できる。また、図7のTFTのゲート絶縁膜17を、厚くすることによっても、すなわち、2000~5000にすることによっても同様の効果を得ることができる。

【0141】

実施の形態3によるSRAMの降圧回路に用いるTFTのゲート絶縁膜27は、BPSGなどの低融点ガラスにより形成することができるため、比較的簡単にゲート絶縁膜を作成できる。また、図7のTFTのゲート絶縁膜17を、厚くする場合に、ゲート絶縁膜17をBPSGなどの低融点ガラスにより形成することもできる。この場合も同様の効果を得ることができる。

【0142】

実施の形態3によるSRAMの降圧回路に用いるTFTでは、そのゲート絶縁膜27を、メモリセルの負荷素子として用いるTFTのゲート絶縁膜よりも厚くすることによりポリシリコン29とポリシリコン11との間の電界を緩和している。このため、外部電源電圧Vccが直接かかる降圧回路2内のTFTの信頼性を確保することができる。すなわち、メモリセルの負荷素子として用いるTFTのように、ゲート絶縁膜が薄い場合には、外部電源電圧Vccが直接印加されると、TFTが破損する可能性もあるため、図8のTFT

10

20

30

40

50

を用いるとこのような弊害を容易に防止できる。また、図7のTFTのゲート絶縁膜17を、厚くすることにより、すなわち、2000～5000にすることによっても同様の効果を得ることができる。

【0143】

(実施の形態4)

本発明の実施の形態4によるSRAMの降圧回路は、図23に示した降圧回路57において、外部電源電圧Vccを有するノードとノードN1との間および接地電圧を有するノードとノードN1との間に容量を設けたものである。

【0144】

図9は、本発明の実施の形態4によるSRAMの一部の詳細を示す回路図である。なお、図1と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。 10

【0145】

図9を参照して、実施の形態4によるSRAMの一部は、降圧回路2および内部回路1を含む。降圧回路2は、抵抗R1、R2、R3、容量C1、C2、PMOSトランジスタQP1、QP2およびNMOSトランジスタQNを含む。

【0146】

抵抗R1および抵抗R2は、外部電源電圧Vccを有するノードと接地電圧を有するノードとの間に直列に接続される。容量C1は、外部電源電圧Vccを有するノードとノードN1との間に接続される。容量C2は、ノードN1と接地電圧を有するノードとの間に接続される。PMOSトランジスタQP1および抵抗R3は、外部電源電圧Vccを有するノードと接地電圧を有するノードとの間に直列に接続される。PMOSトランジスタQP1のゲートは、ノードN1に接続される。 20

【0147】

PMOSトランジスタQP2は、外部電源電圧Vccを有するノードとノードN3との間に接続される。PMOSトランジスタQP2のゲートは、ノードN2に接続される。NMOSトランジスタQNは、外部電源電圧Vccを有するノードとノードN3との間に接続される。NMOSトランジスタQNのゲートは、外部電源電圧Vccを有するノードに接続される。ノードN3は、内部回路1に接続される。

【0148】

外部電源電圧Vccが印加されている状態では、ノードN1の電圧は、抵抗R1および抵抗R2によって、次式に示すような電圧になるように設計されている。 30

【0149】

【数1】

$$\frac{R2}{R1+R2} Vcc \quad \dots [2]$$

【0150】

ここで、抵抗R1の抵抗値をR1とし、抵抗R2の抵抗値をR2としている。ノードN1の電圧が式[2]になるように設計されているのは、図23に示した従来の降圧回路57においても同様である。しかし、従来の降圧回路57は、以下のような問題がある。図23において、電源投入時のノードN1の電圧の動きを考えてみる。たとえば、外部電源電圧Vccが0Vから5Vまで急速に昇圧された場合、ノードN1の電圧は、外部電源電圧Vccが5Vに達する時間にかなり遅れて所望の電圧(R2/(R1+R2))Vccになる。 40

【0151】

これは、チップ全体の消費電流低減のために、抵抗R1および抵抗R2の抵抗値を上げれば上げるほど顕著になる。外部電源電圧Vccが、所定の電圧になっているにもかかわらず 50

ず、ノードN1の電圧が、意図しない電圧になり、PMOSトランジスタQP1のオン/オフが、意図したように制御できない。このため、予定している電圧が、内部回路1に印加されないことになってしまう。

【0152】

そこで、実施の形態4によるSRAMに用いる降圧回路2では、ノードN1に、容量C1および容量C2を接続している。そして、さらに、 $R1 : R2 = C2 : C1$ とする。ここで、容量C1の容量値をC1とし、容量C2の容量値をC2としている。つまり、次式のような関係を成立させている。

【0153】

【数2】

$$\frac{R2}{R1+R2} V_{cc} = \frac{C1}{C1+C2} V_{cc} \quad \dots [3]$$

10

【0154】

このようにすることで、外部電源電圧Vccが急速に上昇した場合でも、容量分割により、ノードN1の電圧は、外部電源電圧Vccの急速な上昇に遅れることなく、式[2]に示した設計通りの電圧になる。その結果、電源投入時などにおいても、降圧回路2を意図したように動作させることができ、内部回路1に、意図した電圧を供給することができる。

20

【0155】

降圧回路2の基本的な動作について説明する。外部電源電圧Vccが、所定の電圧よりも低電圧、たとえば3Vのときは、抵抗R1の抵抗R2に対する比によって決まるノードN1の電圧によりPMOSトランジスタQP1がオフする。このため、抵抗R3によってノードN2の電圧は0V近くまで下がる。そして、PMOSトランジスタQP2がオンする。これにより、PMOSトランジスタQP2を介して、外部電源電圧Vccが内部電圧としてノードN3に供給されることになる。すなわち、内部回路1は、PMOSトランジスタQP2を介して外部電源電圧Vccを受けられることになる。

30

【0156】

一方、外部電源電圧Vccが所定の電圧よりも高電圧、たとえば5Vになったときは、ノードN1の電圧によってPMOSトランジスタQP1がオンする。このため、ノードN2の電圧が外部電源電圧Vcc付近まで上昇し、PMOSトランジスタQP2はオフする。これにより、内部回路1へ供給される電圧(電流)はすべてNMOSトランジスタQNを介することになる。すなわち、5Vの外部電源電圧VccがNMOSトランジスタQNのしきい値電圧Vtn分降圧された約3.5Vの電圧が供給されることになる。

【0157】

ここで、PMOSトランジスタQP2がオフ(PMOSトランジスタQP1がオン)になる条件としての所定の電圧(以下、「切換点」という)の大きさは主に抵抗R1の抵抗R2に対する比によって決定される。すなわち、主にPMOSトランジスタQP2により、外部電源電圧Vccを直接、内部回路1に供給する場合と、NMOSトランジスタQNにより、外部電源電圧VccからNMOSトランジスタQNのしきい値電圧Vtn分降圧された電圧を内部回路1に供給する場合とを切換えるための条件としての所定電圧(切換点)の大きさは主に抵抗R1の抵抗R2に対する比で決定する。

40

【0158】

図9の降圧回路2の基本的な動作は、図1の降圧回路2の基本的な動作と同様である。このため、図1の降圧回路2の基本的な動作を説明した図2は、図9の降圧回路2の基本的な動作を説明するためにも使うことができる。図2を用いて、図9の降圧回路2の基本的な動作について説明する。

50

【0159】

外部電源電圧 V_{cc} が切換点(所定電圧) S より小さいときは、PMOSトランジスタ $QP2$ がオンしており、PMOSトランジスタ $QP2$ により内部電圧 V_{int} が内部回路1に供給される。外部電源電圧 V_{cc} が切換点(所定電圧) S より大きいときは、PMOSトランジスタ $QP2$ がオフし、NMOSトランジスタ QN により内部電圧 V_{int} が内部回路1に供給される。

【0160】

このように、降圧回路2は、外部電源電圧 V_{cc} が切換点 S よりも小さいときは、主にPMOSトランジスタ $QP2$ を介して、外部電源電圧 V_{cc} を直接、内部電圧として内部回路1に供給する。外部電源電圧 V_{cc} が切換点 S より大きいときはNMOSトランジスタ

10

【0161】

以上のように、実施の形態4によるSRAMの降圧回路2は、容量 $C1$ および容量 $C2$ を、図23に示した従来の降圧回路57にさらに加えたものである。このため、消費電流を減らすために、抵抗 $R1$ および抵抗 $R2$ の抵抗値を大きくした場合においても、降圧回路2の外部電源電圧 V_{cc} に対する反応速度を速くすることができ、降圧回路2を意図したとおりに動作させることができる。すなわち、外部電源電圧 V_{cc} が急速に上昇または下降した場合でも、容量分割により、ノード $N1$ の電圧を、外部電源電圧 V_{cc} の急速な上昇または下降に遅れることなく、設計通りの電圧にすることができる。その結果、低消費電力化を実現しつつ、電源投入時においても、降圧回路2を意図したとおりに動作させる

20

【0162】

なお、抵抗 $R1 \sim R3$ として、図1に示すように、1個または複数の1種類(抵抗値および構成が実質同じ)の抵抗素子 R を用いることもできる。この場合には、実施の形態4によるSRAMは、実施の形態1によるSRAMと同様の効果を奏する。

【0163】

また、抵抗 $R1 \sim R3$ として、図6に示したように、1つまたは複数の1種類(抵抗値および構成が実質同じ)のTFTを用いることもできる。このときは、図7または図8に示したTFTを用いることができる。このような場合には、実施の形態4によるSRAMは、実施の形態2または3によるSRAMと同様の効果を奏する。

30

【0164】

(実施の形態5)

本発明の実施の形態5によるSRAMの特徴を簡単に説明する。実施の形態5によるSRAMの降圧回路は、図9の降圧回路2の容量 $C1$ および容量 $C2$ を、1種類(容量値および構成が実質同じ)の容量素子を複数用いて構成したものである。詳しく説明する。

【0165】

図10は、本発明の実施の形態5によるSRAMの一部を詳細に示す回路図である。なお、図9と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。

【0166】

図9のSRAMと異なる特徴部分を説明する。容量 $C1$ は、1種類の(容量値および構成が実質同じ)容量素子 C を1つまたは複数用いて構成されている。容量 $C2$ は、1種類の(容量値および構成が実質同じ)容量素子 C を1つまたは複数用いて構成する。なお、容量 $C1$ を構成する容量素子 C と容量 $C2$ を構成する容量 C は同じ容量値および同じ構成を有している。すなわち、容量 $C1$ を構成する容量素子 C と容量 $C2$ を構成する容量素子 C とは、同一種類である。

40

【0167】

容量 $C1$ を構成する1つまたは複数の容量素子 C は、外部電源電圧 V_{cc} を有するノードとノード $N1$ との間に並列に接続される。容量 $C2$ を構成する1つまたは複数の容量素子 C は、ノード $N1$ と接地電圧を有するノードとの間に並列に接続される。

【0168】

50

図10の降圧回路2が、図9の降圧回路2と違うのは、図10の降圧回路2が、容量C1、C2を1つまたは複数の容量素子Cで構成しているに対し、図9の降圧回路2の容量C1、C2は各々1つの素子で構成されている点である。このため、図10の容量C1、C2の役割は、図9の容量C1、C2の役割と同様である。また、図10の降圧回路2の基本的な動作は、図9の降圧回路2の基本的な動作と同様である。

【0169】

以上のように、実施の形態5によるSRAMの降圧回路2においては、容量C1、C2を、1種類の容量素子Cを1つまたは複数用いることにより構成している。このため、CAD上でのレイアウトが非常に容易であり、設計の変更などによるレイアウトの修正も簡単になる。

10

【0170】

実施の形態5によるSRAMの降圧回路2と実施の形態4によるSRAMの降圧回路2との違いは、容量C1および容量C2の各々を、1つの素子で構成するか複数の1種類の素子で構成するかである。このため、実施の形態5によるSRAMは実施の形態4によるSRAMと同様の効果を奏する。

【0171】

なお、抵抗R1～R3として、図9に示した抵抗R1～R3と同様のものを用いることができる。

【0172】

(実施の形態6)

20

実施の形態1によるSRAMの降圧回路2において、切換点(外部電源電圧Vccを降圧して内部電圧を発生し始める所定の電圧)は、抵抗R1の抵抗値R1の、抵抗R2の抵抗値R2に対する比(以下、「R1R2抵抗比」という)、すなわち、R1：R2で決定している。ただし、SRAMの製造プロセスにおける種々のばらつきを原因として、R1R2抵抗比が設計値と同じでも、切換点が所望の値からずれる可能性がある。

【0173】

SRAMの製造プロセスにおける種々のばらつきとは、たとえば、PMOSトランジスタQP1、QP2のしきい値電圧Vtpや抵抗R3の抵抗値R3の変動などである。実施の形態6によるSRAMの降圧回路はこのような問題を解決するためになされたものである。

30

【0174】

図11は、本発明の実施の形態6によるSRAMの一部の詳細を示す回路図である。なお、図1と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。

【0175】

図11を参照して、実施の形態6によるSRAMの一部は、降圧回路2および内部回路1を含む。降圧回路2は、抵抗R1、R2、R3、R4、R5、3つのヒューズF、PMOSトランジスタQP1、QP2およびNMOSトランジスタQNを含む。抵抗R4は、抵抗素子Rを含む。抵抗R5は、2つの抵抗素子Rを含む。抵抗R1～R3は、1つまたは複数の抵抗素子Rを含む。

【0176】

40

抵抗R1～R5は、外部電源電圧Vccを有するノードと接地電圧を有するノードとの間に直列に接続される。抵抗R4は、外部電源電圧Vccを有するノードと、抵抗R1との間に接続される。抵抗R5は、接地電圧を有するノードと抵抗R2との間に接続される。抵抗R5を構成する2つの抵抗素子Rは、直列に接続されている。抵抗R4としての抵抗素子Rは、ヒューズFによって短絡されている。抵抗R5を構成する各抵抗素子Rは、ヒューズFによって短絡されている。

【0177】

ここで、抵抗R1を構成する抵抗素子R、抵抗R2を構成する抵抗素子R、抵抗R3を構成する抵抗素子R、抵抗R4を構成する抵抗素子Rおよび抵抗R5を構成する抵抗素子Rは、同じ種類の抵抗素子、すなわち、抵抗値および構成が実質同じ抵抗素子である。抵抗

50

R 4 , R 5 を構成する抵抗素子 R は、ヒューズ F によって短絡されているときには、抵抗としての機能を有さない。ヒューズ F が切断されて、初めて、抵抗としての機能を有することになる。ウェハプロセス完了時に切換点を測定する。そして、測定した切換点が、設計上の切換点と異なっている場合には、ヒューズ F のいずれかまたは全部を切断して、切換点の大きさを調整する。

【 0 1 7 8 】

具体的に説明する。3つのヒューズ F を切断していないときには、切換点の大きさは、R 1 R 2 抵抗比によって決定される。抵抗素子 R の抵抗値を R とする。抵抗 R 4 を構成する抵抗素子 R を短絡するヒューズ F を切断した場合を考える。このとき切換点は、抵抗 R 4 を構成する抵抗素子 R の抵抗値 R と抵抗 R 1 の抵抗値 R 1 との和の、抵抗 R 2 の抵抗値 R 2 に対する比、すなわち、 $(R 1 + R) : R 2$ によって決定される。

10

【 0 1 7 9 】

次に、抵抗 R 5 を構成する2つの抵抗素子 R を短絡する2つのヒューズ F のみを切断した場合を考える。このとき、切換点は、抵抗 R 1 の抵抗値 R 1 の、抵抗 R 2 の抵抗値 R 2 と抵抗 R 5 の抵抗値 2 R との和に対する比、すなわち、 $R 1 : (R 2 + 2 R)$ によって決定される。

【 0 1 8 0 】

以上は、抵抗 R 4 を構成する抵抗素子 R を短絡するヒューズ F を切断した場合と抵抗 R を構成する2つの抵抗素子 R を短絡するヒューズ F を切断した場合について説明したが、切断するヒューズ F の数を調整することによって、切換点を調整できる。すなわち、切換点は、外部電源電圧 V_{cc} を有するノードとノード N 1 との間の抵抗値の、ノード N 1 と接地電圧を有するノードとの間の抵抗値に対する比（以下、「抵抗分割比」という）によって決定されるため、ヒューズ F により、外部電源電圧 V_{cc} を有するノードとノード N 1 との間の抵抗値またはノード N 1 と接地電圧を有するノードとの間の抵抗値を調整することによって、切換点の大きさを調整している。このようにすることで、SRAM の製造プロセスにおける種々のばらつき（SRAM の製造プロセスの変動）にかかわらず、常に、切換点を、設計通りの（最適な）切換点に設定することができる。

20

【 0 1 8 1 】

また、ヒューズ F で短絡された抵抗素子 R からなる抵抗 R 4 は、抵抗 R 1 とノード N 1 との間に設けることもできる。また、ヒューズ F で短絡された抵抗素子 R からなる抵抗 R 5 は、ノード N 1 と抵抗 R 2 との間に設けることもできる。

30

【 0 1 8 2 】

なお、抵抗 R 4 は、1つの抵抗素子 R を設けているが、抵抗素子 R は何個であっても構わず、その場合には、各抵抗素子 R は、対応するヒューズ F によって短絡する。また、抵抗 R 5 は、2つの抵抗素子 R を設けているが、これも何個であっても構わず、その場合に、各抵抗素子 R は、各抵抗素子 R に対応したヒューズ F によって短絡されることになる。

【 0 1 8 3 】

また、抵抗 R 1 が複数の抵抗素子 R からなる場合、そのうちの少なくとも1つをヒューズ F によって短絡することができる。このときは、ヒューズ F の切断によって、抵抗 R 1 の抵抗値を調節することになる。また、抵抗 R 2 が複数の抵抗素子 R からなる場合、そのうちの少なくとも1つをヒューズ F によって短絡することができる。このときは、ヒューズ F の切断によって、抵抗 R 2 の抵抗値を調節することになる。

40

【 0 1 8 4 】

図 1 1 の降圧回路 2 が、図 1 の降圧回路と異なるのは、図 1 1 の降圧回路 2 が、ヒューズ F によって短絡された抵抗素子 R を含み、ウェハプロセス完了時に、切換点をヒューズ F の切断により調整できるようにしているのに対し、図 1 の降圧回路 2 は、ヒューズ F によって短絡された抵抗素子 R を含んでいない点である。このため、図 1 1 の降圧回路 2 の基本的な動作は、図 1 の降圧回路 2 の基本的な動作と同様である。

【 0 1 8 5 】

以上のように、実施の形態 6 による SRAM の降圧回路 2 において、抵抗 R 1 と外部電源

50

電圧 V_{cc} を有するノードとの間に、ヒューズ F によって短絡された抵抗素子 R を設け、抵抗 R_2 と接地電圧を有するノードとの間に、2つのヒューズ F によって短絡された2つの抵抗素子 R を設けている。このため、ウェハプロセスにおいて、切換点の変動した場合でも、製造プロセス完了時に、ヒューズ F を切断する数を調整することによって、抵抗分割比を変化させ、切換点を設計通りに設定することができる。

【0186】

また、抵抗 R_4 を、抵抗 R_1 とノード N_1 との間に設けることもできる。抵抗 R_5 を、ノード N_1 と抵抗 R_2 との間に設けることもできる。抵抗 R_1 が複数の抵抗素子 R からなる場合、そのうちの少なくとも1つをヒューズ F によって短絡することができる。抵抗 R_2 が複数の抵抗素子 R からなる場合、そのうちの少なくとも1つをヒューズ F によって短絡することができる。これらの場合にも、ウェハプロセスにおいて、切換点の変動した場合でも、製造プロセス完了時に、ヒューズ F を切断する数を調整することによって、抵抗分割比を変化させ、切換点を設計通りに設定することができる。

10

【0187】

実施の形態6によるSRAMの降圧回路2においては、ヒューズ F で、直接、抵抗素子 R を短絡している。このため、ヒューズを切断して間接的に抵抗値を調節する場合に比し、降圧回路を単純化できるとともに、レイアウト面積を節約することができる。ヒューズを切断して、間接的に抵抗値を調節する場合というのは、たとえば、次のような場合である。ヒューズと抵抗との間にスイッチを設け、そのスイッチのオン/オフをヒューズを切断することによって制御し、そのスイッチのオン/オフによって、抵抗素子を抵抗として機能させるか否かを決定する場合である。

20

【0188】

実施の形態6によるSRAMの降圧回路2と実施の形態1によるSRAMの降圧回路2とが異なるのは、実施の形態6によるSRAMの降圧回路2が、ヒューズ F によって短絡された抵抗素子 R を設けているのに対し、実施の形態1によるSRAMの降圧回路2はこれらを設けていない点である。このため、実施の形態6によるSRAMの降圧回路2は、実施の形態1によるSRAMの降圧回路2の機能を失っていない。したがって、実施の形態6によるSRAMは、実施の形態1によるSRAMと同様の効果を奏する。

【0189】

また、図9および図10と同様に、外部電源電圧 V_{cc} を有するノードとノード N_1 との間に容量 C_1 および接地電圧を有するノードとノード N_1 との間に容量 C_2 を設けることもできる。この場合には、実施の形態6によるSRAMは、実施の形態4または5によるSRAMと同様の効果を奏する。

30

【0190】

また、実施の形態6によるSRAMの降圧回路の抵抗素子 R として、図7および図8に示したTFTを用いることができる。この場合には、実施の形態6によるSRAMは実施の形態2または3によるSRAMと同様の効果を奏する。

【0191】

(実施の形態7)

図12は、本発明の実施の形態7によるSRAMの一部を示す概略図である。

40

【0192】

図12を参照して、実施の形態7によるSRAMの一部は、第1のパッド33、第2のパッド31、降圧回路35、入力保護回路37、内部回路1および内部電源配線39を含む。

【0193】

降圧回路35は、第2のパッド31の近傍に配置される。第1のパッド33は、第2のパッド31の近傍に配置する。第1のパッド33は、入力保護回路37を介して内部電源配線39に接続される。

【0194】

降圧回路35は、第2のパッド31を介して外部電源電圧 V_{cc} を受ける。降圧回路35

50

は、外部電源電圧 V_{cc} を降圧して内部電圧を発生する。降圧回路35によって発生した内部電圧は、内部電源配線39を介して内部回路1に供給される。なお、内部回路1は、メモリ回路(メモリセル)などである。

【0195】

第1のパッド33は、ウェハテスト時に、内部電源配線39の電位(内部電圧)をモニタすることによって、降圧回路35の動作を確認および評価するためのものである。すなわち、第1のパッド33は、入力保護回路37を介して内部電源配線39に接続されているため、第1のパッド33の電位をモニタすることによって、降圧回路35の動作を確認または評価することができる。

【0196】

第1のパッド33の他の使い方を説明する。第2のパッド31は、その近くに配置された図示しないリード端子から外部電源電圧 V_{cc} を供給されている。このため、第1のパッド33を、第2のパッド31の近傍に配置することにより、第2のパッド31に外部電源電圧 V_{cc} を供給しているリード端子と、第1のパッド33とを容易にボンディングすることができる。したがって、外部電源電圧 V_{cc} を直接、内部電圧として内部回路1に供給するときには、容易に、図示しないリード端子と第1のパッド33とをボンディングでき、外部電源電圧 V_{cc} を降圧せずに、第1のパッド33および入力保護回路37を介して、内部回路1に供給できる。外部電源電圧 V_{cc} を降圧して内部電圧を発生するときには、図示しないリード端子と第2のパッド31とをボンディングして、第2のパッド31に外部電源電圧 V_{cc} を供給する。

【0197】

このように、第1のパッド31および第2のパッド33を利用することにより、同じチップで、外部電源電圧 V_{cc} を降圧して内部電圧を発生する場合と、外部電源電圧 V_{cc} を内部電圧として直接、内部回路1に供給する場合とを、容易に、切換えることができる。入力保護回路37は、第1のパッド33にサージ(予定していない大きな電圧)がかかったときに、SRAMの内部の回路、特に、メモリ回路(メモリセル)としての内部回路1などが破壊されるのを防止している。

【0198】

第2のパッド31の近傍に降圧回路35が配置されている。すなわち、第2のパッド31と降圧回路35とを接続する配線が短い。このため、近接する配線の電圧の変動などを原因として、第2のパッド31と降圧回路35との間の配線にノイズが発生しにくい。すなわち、第2のパッド31の近傍に降圧回路35を配置することにより、降圧回路35へのノイズの影響を低減できる。

【0199】

図13は、図12のSRAMの一部を詳細に示した回路図である。なお、図12と同様の部分については、同一の参照符号を付し、その説明は適宜省略する。

【0200】

図13を参照して、SRAMの一部は、第1のパッド33、第2のパッド31、降圧回路35、入力保護回路37および内部電源配線39を含む。降圧回路35は、抵抗 R_1 、 R_2 、 R_3 、PMOSトランジスタ QP_1 、 QP_2 およびNMOSトランジスタ QN を含む。降圧回路35は、図9の降圧回路2において、容量 C_1 、 C_2 を省いたものである。したがって、降圧回路35の動作は、図9の降圧回路2の基本的な動作と同様である。なお、降圧回路35としては、実施の形態1~6のSRAMで用いた降圧回路2を用いることもできる。

【0201】

図14は、図12および図13の入力保護回路37の詳細を示す回路図である。なお、図12および図13と同様の部分については同一の参照符号を付し、その説明を適宜省略する。

【0202】

図14を参照して、入力保護回路は、抵抗素子44、45、PMOSトランジスタ41お

10

20

30

40

50

よびNMOSトランジスタ43を含む。抵抗素子44は、ノードN3（内部電源配線39）とノードN4との間に接続される。抵抗素子45は、ノードN4と第1のパッド33との間に接続される。PMOSトランジスタ41は、外部電源電圧Vccを有するノードとノードN4との間に接続される。PMOSトランジスタ41のゲートは、外部電源電圧Vccを有するノードに接続される。NMOSトランジスタ43は、接地電圧を有するノードとノードN4との間に接続される。NMOSトランジスタ43のゲートは接地電圧を有するノードに接続される。

【0203】

外部電源電圧Vccを有するノードと接続される、PMOSトランジスタ41の一方電極はダイオードのカソードとして作用する。ノードN4と接続される、PMOSトランジスタ41の他方電極はダイオードのアノードとして作用する。接地電圧を有するノードと接続される、NMOSトランジスタ43の一方電極は、アノードとして作用する。ノードN4と接続される、NMOSトランジスタ43の他方電極は、ダイオードのカソードとして作用する。

10

【0204】

以上のように、実施の形態7によるSRAMにおいては、降圧回路35に外部電源電圧Vccを供給するための第2のパッド31が降圧回路35の近傍に配置されており、第2のパッド31と降圧回路35とを接続する配線が短い。このため、近接する配線の電圧の変動などを原因として、第2のパッド31と降圧回路35とを結ぶ配線に発生するノイズを少なくすることができ、降圧回路35へのノイズの影響を低減できる。

20

【0205】

実施の形態7によるSRAMにおいては、第1のパッド33を設けている。このため、降圧回路35が発生する内部電圧をモニタすることができ、降圧回路35の動作を確認および評価することができる。また、第1のパッド33を第2のパッド31の近傍に設けている。このため、外部電源電圧Vccを供給するリード端子からのボンディングを第1のパッド33に対しても容易に行なうことができる。その結果、内部回路1に、外部電源電圧Vccを降圧した内部電圧を与える場合と、外部電源電圧Vccを入力保護回路37を介して直接与える場合とを容易に選択して、設定することができる。

【0206】

実施の形態7によるSRAMでは、内部電源配線39と第1のパッド33との間に入力保護回路37を設けている。このため、第1のパッド33に予定していない大きな電圧がかかったときでも、内部回路1が破壊されるのを防止することができる。

30

【0207】

（実施の形態8）

図15は、本発明の実施の形態8によるSRAMの一部のレイアウトを示す概略図である。なお、図1、図10、図11および図12と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0208】

図15を参照して、実施の形態8によるSRAMは、第1のパッド33、第2のパッド31、降圧回路2、入力保護回路37、内部回路1および内部電源配線39を含む。

40

【0209】

降圧回路2は、抵抗R1、R2、R3、R4、R5、PMOSトランジスタQP1、QP2、NMOSトランジスタQN、容量C1、C2および3つのヒューズFを含む。抵抗R1は、1つの抵抗素子Rからなる。抵抗R2は、4つの抵抗素子Rからなる。抵抗R4は、1つの抵抗素子Rからなる。抵抗R5は、2つの抵抗素子Rからなる。抵抗R3は、3つの抵抗素子Rからなる。

【0210】

抵抗R4を構成する抵抗素子Rは、ヒューズFにより短絡されている。抵抗R5を構成する2つの抵抗素子Rは、2つのヒューズFによって短絡されている。容量C1は、4つの容量素子Cからなる。容量C2は、1つの容量素子Cからなる。なお、抵抗R1～R5を

50

構成する抵抗素子Rは、すべて同じ種類（抵抗値および構成が実質同じ）である。容量C1、C2を構成する容量素子Cは、すべて同じ種類（容量値および構成が同じ）である。

【0211】

NMOSトランジスタQNは、ゲートGおよび電極E1、E2を含む。PMOSトランジスタQP1は、ゲートGおよび電極E5、E6を含む。PMOSトランジスタQP2は、ゲートGおよび電極E3、E4を含む。PMOSトランジスタQP1、QP2およびNMOSトランジスタQNは、コンタクトホール46を介して配線と接続される。NMOSトランジスタQNおよびPMOSトランジスタQP1、QP2において、チャンネル幅が大きくなるほど、電極と配線を接続するためのコンタクトホール46の数が多くなっている。なお、xを で囲んだ記号は、すべてコンタクトホール46を表わす。

10

【0212】

第2のパッド31から外部電源電圧Vccが供給される。GNDパッドから、接地電圧が供給される。内部回路1は、図1、図10、図11または図12の内部回路1に相当する。

【0213】

抵抗R1、抵抗R2、抵抗R3は、それぞれ、図1の抵抗R1、抵抗R2および抵抗R3に相当する。抵抗R1～R3を構成する抵抗素子Rは、図1の抵抗R1～R3を構成する抵抗素子Rに相当する。PMOSトランジスタQP1、PMOSトランジスタQP2およびNMOSトランジスタQNは、それぞれ、図1のPMOSトランジスタQP1、PMOSトランジスタQP2およびNMOSトランジスタQNに相当する。ノードN1、N2、N3は、それぞれ、図1のノードN1、N2、N3に相当する。

20

【0214】

このように、実施の形態8によるSRAMの降圧回路2は、図1に示した実施の形態1による降圧回路2を含んでいる。このため、実施の形態8によるSRAMは、実施の形態1によるSRAMと同様の効果を奏する。

【0215】

抵抗R1、抵抗R2および抵抗R3は、それぞれ、図10の抵抗R1、抵抗R2および抵抗R3に相当する。容量C1および容量C2は、それぞれ、図10の容量C1、および容量C2に相当する。容量C1および容量Cを構成する容量素子Cは、図10の容量C1および容量C2を構成する容量素子Cに相当する。PMOSトランジスタQP1、PMOSトランジスタQP2およびNMOSトランジスタQNは、それぞれ、図10のPMOSトランジスタQP1、PMOSトランジスタQP2およびNMOSトランジスタQNに相当する。ノードN1、N2、N3は、それぞれ、図10のノードN1、N2、N3に相当する。

30

【0216】

このように、実施の形態8によるSRAMの降圧回路2は、図10に示した実施の形態5によるSRAMの降圧回路2を含んでいる。このため、実施の形態8によるSRAMは、実施の形態5によるSRAMと同様の効果を奏する。

【0217】

抵抗R1、R2、R3、R4およびR5は、それぞれ、図11の抵抗R1、R2、R3、R4およびR5に相当する。3つのヒューズFは、図11の3つのヒューズFに相当する。抵抗R1～R5を構成する抵抗素子Rは、図11の抵抗R1～R5を構成する抵抗素子Rに相当する。PMOSトランジスタQP1、PMOSトランジスタQP2およびNMOSトランジスタQNは、それぞれ、図11のPMOSトランジスタQP1、PMOSトランジスタQP2およびNMOSトランジスタQNに相当する。ノードN1、N2、N3は、それぞれ、図10のノードN1、N2、N3に相当する。

40

【0218】

このように実施の形態8によるSRAMの降圧回路2は、図11に示した実施の形態6によるSRAMの降圧回路2を含んでいる。このため、実施の形態8によるSRAMは、実施の形態6によるSRAMと同様の効果を奏する。

50

【0219】

第1のパッド33、第2のパッド31、内部電源配線39および入力保護回路37は、それぞれ、図12の第1のパッド33、第2のパッド31、内部電源配線39および入力保護回路37に相当する。降圧回路2は、図12の降圧回路35に相当する。

【0220】

このように、実施の形態8によるSRAMは、図12に示した実施の形態7によるSRAMを含む。このため、実施の形態8によるSRAMは、実施の形態7によるSRAMと同様の効果を奏する。

【0221】

また、抵抗R1～R5を構成する抵抗素子Rとして、図7または図8に示したTFTを用いることができる。この場合には、実施の形態8によるSRAMは、実施の形態2または実施の形態3によるSRAMと同様の効果を奏する。

10

【0222】

以上のように、実施の形態8によるSRAMは、実施の形態1、実施の形態5、実施の形態6および実施の形態7を含んでいるため、その動作および効果は、実施の形態1、実施の形態5、実施の形態6、および実施の形態7によるSRAMと同様である。ここで、実施の形態8によるSRAMの概略を説明する。

【0223】

抵抗R1の抵抗値R1の、抵抗R2の抵抗値R2に対する比（以下、「R1R2抵抗比」という）は、 $R1 : R2 = 1 : 4$ である。容量C1の容量値Cの、容量C2の容量値C2に対する比（以下、「C1C2容量比」という）は、 $C1 : C2 = 4 : 1$ である。外部電源電圧Vccを有するノードとノードN1との間の抵抗値の、ノードN1と接地電圧を有するノードとの間の抵抗値に対する比（以下、「抵抗分割比」という）を調整できるように、抵抗R1に予備の抵抗R4を、抵抗R2に予備の抵抗R5を接続している。また、抵抗R4を構成する1つの抵抗素子Rおよび抵抗R5を構成する2つの抵抗素子Rは、それぞれヒューズFにより短絡されている。このため、ウェハプロセス完了後に、切換点を測定し、切換点が設計通りの切換点（所望の切換点）と異なっている場合には、ヒューズFを切断して、抵抗分割比を調整することにより、切換点を設計通りの切換点に設定することができる。

20

【0224】

実施の形態8によるSRAMは、低消費電力型のSRAMであるため、読み書き動作などの通常動作時は、5Vの外部電源電圧Vccを与える。また、データホールド時には、2～3Vの外部電源電圧Vccを与える。したがって外部電源電圧Vccが5Vの状態、通常動作を行なうSRAMでは、切換点を3Vと5Vとの間に設定する必要がある。そこで、PMOSトランジスタQP1のしきい値電圧Vtpが約0.8Vなので、R1R2抵抗比を、 $R1 : R2 = 1 : 4$ にすることで、切換点を約4Vとしている。なお、3つのヒューズFは切断されていないため、抵抗分割比は、R1R2抵抗比と等しくなる。

30

【0225】

外部電源電圧Vccが5Vの通常動作においては、PMOSトランジスタQP2がオフしているため、NMOSトランジスタQNが、5Vの外部電源電圧Vccを降圧して内部電圧を発生する。すなわち、外部電源電圧Vccが5Vのときの通常動作時には、NMOSトランジスタQNには、大きな電流が流れることになる。一方、外部電源電圧Vccが2～3Vのデータホールド時には、PMOSトランジスタQP2がオンしているため、主に、PMOSトランジスタQP2により、3Vの外部電源電圧Vccが内部電圧として内部回路1に供給されることになる。すなわち、SRAMのデータホールド時には、PMOSトランジスタQP2に小さな電流しか流れないことになる。したがって、PMOSトランジスタQP2には、小さな電流しか流さなくてよいため、PMOSトランジスタQP2のサイズは、NMOSトランジスタQNのサイズに比べて小さくすることができる。その結果、SRAMのレイアウト面積を小さくすることができる。

40

【0226】

50

以上のように、実施の形態 8 による S R A M は、実施の形態 1 ~ 7 による S R A M の特徴をすべて含んでいる。すなわち、実施の形態 8 による S R A M は、実施の形態 1 ~ 7 による S R A M を組合せたものである。このため、実施の形態 8 による S R A M は、少なくとも、実施の形態 1 ~ 7 による S R A M を組合せた効果と同様の効果を奏する。

【 0 2 2 7 】

実施の形態 8 による S R A M においては、外部電源電圧が小さいデータホールド時のみ、P M O S トランジスタ Q P 2 をオンさせ、内部電圧を発生する。このため、P M O S トランジスタ Q P 2 のサイズは、外部電源電圧 V_{cc} が 5 V のときに内部電圧を発生する N M O S トランジスタ Q N のサイズよりも小さくすることができ、これにより、S R A M のレイアウト面積を小さくできる。

10

【 0 2 2 8 】

(実施の形態 9)

実施の形態 1 ~ 8 による S R A M は、その降圧回路に特徴がある。元々、降圧回路は、メモリ回路などの内部回路を構成するトランジスタの信頼性を確保するために、内部回路に加える電圧を下げるためのものである。このため、接地 (G N D) 電圧を昇圧することでも、同様に、内部回路を構成するトランジスタの信頼性を確保することも可能である。このような観点から、実施の形態 9 による S R A M は、その昇圧回路に特徴を有する。

【 0 2 2 9 】

図 1 6 は、本発明の実施の形態 9 による S R A M の一部の詳細を示す回路図である。

【 0 2 3 0 】

図 1 6 を参照して、実施の形態 9 による S R A M の一部は、内部電圧発生回路としての昇圧回路 4 8 および内部回路 1 を含む。昇圧回路 4 8 は、抵抗 R_1 , R_2 , R_3 、N M O S トランジスタ Q N 1 , Q N 2 および P M O S トランジスタ Q P を含む。

20

【 0 2 3 1 】

抵抗 R_1 および抵抗 R_2 は、外部電源電圧 V_{cc} を有するノードと、外部接地 (G N D) 電圧を有するノードとの間に直列に接続される。N M O S トランジスタ Q N 1 および抵抗 R_3 は、外部電源電圧 V_{cc} を有するノードと外部接地電圧を有するノードとの間に直列に接続される。N M O S トランジスタ Q N 1 のゲートとノード N 1 が接続される。N M O S トランジスタ Q N 2 は、外部接地電圧を有するノードと、ノード N 3 との間に接続される。N M O S トランジスタ Q N 2 のゲートはノード N 2 に接続される。P M O S トランジスタ Q P は、外部接地電圧を有するノードとノード N 3 との間に接続される。P M O S トランジスタ Q P のゲートは、外部接地電圧を有するノードに接続される。ノード N 3 は、内部回路 1 に接続される。

30

【 0 2 3 2 】

内部回路 1 は、たとえば、情報を記憶するためのメモリセルを複数有するメモリ回路などである。

【 0 2 3 3 】

まず、昇圧回路 4 8 の基本的な動作について説明する。外部電源電圧 V_{cc} が、所定の電圧よりも低電圧、たとえば 3 V のときには、抵抗 R_1 の、抵抗 R_2 に対する比 ($R_1 : R_2$) によって決まるノード N 1 の電圧により N M O S トランジスタ Q N 1 がオフする。このため、抵抗 R_3 によってノード N 2 の電圧は、外部電源電圧 V_{cc} 付近まで上昇する。そして、N M O S トランジスタ Q N 2 がオンする。これにより、N M O S トランジスタ Q N 2 を介して、0 V の外部接地電圧がノード N 3 に供給されることになる。すなわち、内部回路 1 は、主に、N M O S トランジスタ Q N 2 を介して、0 V の外部接地電圧を内部接地電圧として受けることになる。

40

【 0 2 3 4 】

一方、外部電源電圧 V_{cc} が所定の電圧よりも高電圧、たとえば 5 V になったときは、ノード N 1 の電圧によって N M O S トランジスタ Q N 1 がオンする。このため、ノード N 2 の電圧が下がって、N M O S トランジスタ Q N 2 がオフする。これにより、内部接地電圧は、P M O S トランジスタ Q P 1 のみにより内部回路 1 に供給されることになる。すなわ

50

ち、0 Vの外部接地電圧をPMOSトランジスタQPのしきい値電圧 V_{tp} 分昇圧した電圧が、内部接地電圧として、内部回路1に供給されることになる。

【0235】

ここで、NMOSトランジスタQN2がオフ(NMOSトランジスタQN1がオン)になる条件としての所定の電圧(以下、「切換点」という)の大きさは主に抵抗R1の、抵抗R2に対する比(以下、「R1R2抵抗比」という)によって決定される。すなわち、NMOSトランジスタQN2により、直接、外部接地電圧を内部回路1に供給する場合と、PMOSトランジスタQPにより、外部接地電圧をPMOSトランジスタQPのしきい値電圧 V_{tp} 分昇圧した電圧を内部回路1に供給する場合とを、切換えるための条件としての所定電圧(切換点)の大きさは、主に、抵抗R1の抵抗R2に対する比(R1R2抵抗比)で決定する。

10

【0236】

図17は、図16の昇圧回路48の動作を説明するための図である。

図17を参照して、横軸は外部電源電圧 V_{cc} を示し、縦軸は、ノードN3の電圧(以下、「内部接地電圧 V_{intg} 」という)を示す。外部電源電圧 V_{cc} が切換点(所定電圧)Sより小さいときは、NMOSトランジスタQN2がオンしており、主にNMOSトランジスタQN2により内部接地電圧 V_{intg} が内部回路1に供給される。外部電源電圧 V_{cc} が切換点(所定電圧)Sより大きいときは、NMOSトランジスタQN2がオフし、PMOSトランジスタQPにより内部接地電圧 V_{intg} が内部回路1に供給される。なお、破線は、内部電圧 V_{int} を示し、外部電源電圧 V_{cc} に応じて上昇している。この内部電圧 V_{int} とは、内部回路1に供給される、内部接地電圧 V_{intg} より高い電圧である。

20

【0237】

このように、昇圧回路48は、外部電源電圧 V_{cc} が切換点Sより小さいときは、NMOSトランジスタQN2を介して、外部接地電圧を直接、内部接地電圧 V_{intg} として内部回路1に供給する。外部電源電圧 V_{cc} が切換点Sより大きいときはPMOSトランジスタQPにより外部接地電圧を昇圧した内部接地電圧 V_{intg} を内部回路1に供給する。

【0238】

以上のように、実施の形態9によるSRAMの昇圧回路では、外部電源電圧 V_{cc} が切換点Sより大きくなると、内部接地電圧 V_{intg} を、外部接地電圧を昇圧して発生する。このため、内部回路1には、外部電源電圧 V_{cc} の大きさに応じた内部電圧 V_{int} が供給されていても、実際に内部回路1に印加されている電圧は、内部電圧 V_{int} より小さくなっている。すなわち、切換点Sより外部電源電圧 V_{cc} が大きくなったときには、内部回路1には、内部電圧 V_{int} から、0 Vでない内部接地電圧 V_{intg} を差し引いた電圧が内部回路1に加えられる。

30

【0239】

その結果、実施の形態9によるSRAMにおいては、外部電源電圧 V_{cc} が大きくなった場合でも、内部回路1に含まれるトランジスタには大きな電圧が加えられるのを防止でき、内部回路1に含まれるトランジスタの信頼性を向上させることができる。

40

【0240】

(実施の形態10)

本発明の実施の形態10によるSRAMの内部電圧発生回路としての昇圧回路が、図16に示した昇圧回路48と異なるのは次の点である。図16の昇圧回路48の抵抗R1, R2, R3は、各々1個の抵抗素子から構成されるのに対し、本発明の実施の形態10によるSRAMの昇圧回路の各抵抗は実質同一の抵抗値および構成を有する1個または複数の抵抗素子により構成される点で異なっている。

【0241】

図18は、本発明の実施の形態10によるSRAMの一部を詳細に示す回路図である。なお、図16と同様の部分については、同一の参照符号を付してその説明を適宜省略する。

50

【 0 2 4 2 】

図 1 8 を参照して、実施の形態 1 0 による S R A M の一部は、内部電圧発生回路としての昇圧回路 4 8 および内部回路 1 を含む。昇圧回路 4 8 は、抵抗 R 1 , R 2 , R 3、N M O S トランジスタ Q N 1 , Q N 2 および P M O S トランジスタ Q P を含む。抵抗 R 1 は、m 個の抵抗素子 R を含む。抵抗 R 2 は n 個の抵抗素子 R を含む。抵抗 R 3 は k 個の抵抗素子 R を含む。

【 0 2 4 3 】

抵抗 R 1 および抵抗 R 2 は、外部電源電圧 V_{cc} を有するノードと、外部接地電圧を有するノードとの間に直列に接続される。m 個の抵抗素子 R は、外部接地電圧を有するノードと、ノード N 1 との間に直列に接続される。n 個の抵抗素子 R は、外部電源電圧 V_{cc} を有するノードと、ノード N 1 との間に直列に接続される。

10

【 0 2 4 4 】

N M O S トランジスタ Q N 1 および抵抗 R 3 は、外部電源電圧 V_{cc} を有するノードと外部接地電圧を有するノードとの間に直列に接続される。N M O S トランジスタ Q N 1 のゲートとノード N 1 が接続される。k 個の抵抗素子 R は、ノード N 2 と外部電源電圧 V_{cc} を有するノードとの間に直列に接続される。

【 0 2 4 5 】

N M O S トランジスタ Q N 2 は、外部接地電圧を有するノードと、ノード N 3 との間に接続される。N M O S トランジスタ Q N 2 のゲートは、ノード N 2 に接続される。P M O S トランジスタ Q P は、外部接地電圧を有するノードとノード N 3 との間に接続される。P M O S トランジスタ Q P のゲートは、外部接地電圧を有するノードに接続される。ノード N 3 は、内部回路 1 に接続される。

20

【 0 2 4 6 】

内部回路 1 は、たとえば、情報を記憶するためのメモリセルを複数有するメモリ回路などである。また、抵抗 R 1 を構成する m 個の抵抗素子 R の抵抗値、抵抗 R 2 を構成する n 個の抵抗素子 R の抵抗値および抵抗 R 3 を構成する k 個の抵抗素子 R の抵抗値は、すべて実質的に同一である。また、すべての抵抗素子 R の構成も実質的に同一である。

【 0 2 4 7 】

なお、図 1 8 の昇圧回路 4 8 と図 1 6 の昇圧回路 4 8 とが異なるのは、図 1 8 の昇圧回路 4 8 の抵抗 R 1 ~ R 3 が、1 個のまたは複数個の抵抗素子 R からなっているのに対し、図 1 6 の昇圧回路 4 8 の抵抗 R 1 ~ R 3 が、各々 1 個の抵抗素子からなっている点である。すなわち、図 1 8 の昇圧回路 4 8 と図 1 6 の昇圧回路 4 8 とが異なるのは、抵抗 R 1 ~ R 3 の構成のみである。このため、図 1 8 の昇圧回路 4 8 の基本的な動作は、図 1 6 の昇圧回路 4 8 の基本的な動作と同様である。

30

【 0 2 4 8 】

本発明の実施の形態 1 0 による S R A M の昇圧回路 4 8 の特徴を説明する。実施の形態 1 0 による昇圧回路 4 8 の特徴は、上述したように、1 種類（実質同一の抵抗値および実質同一の構成）の抵抗素子 R だけを用いており、3 つの抵抗 R 1 , R 2 , R 3 は抵抗素子 R を 1 個または複数個並べることによって構成している。抵抗 R 1 の抵抗値を R 1、抵抗 R 2 の抵抗値を R 2、抵抗 R 3 の抵抗値を R 3 および抵抗素子 R の抵抗値を R とする。図 1 8 においては、 $R 1 = m \times R$ 、 $R 2 = n \times R$ 、 $R 3 = k \times R$ としている。m, n, k の各々は、抵抗 R 1 , R 2 , R 3 の各々に含まれる抵抗素子 R の数であり、自然数である。

40

【 0 2 4 9 】

このように、1 種類の抵抗素子 R を 1 個または複数個並べることにより抵抗 R 1 ~ R 3 を構成しているため、C A D 上でのレイアウトが非常に容易になる。さらに、C A D 上で、設計の変更などによるレイアウトの修正も簡単になる。

【 0 2 5 0 】

また、抵抗 R 1 ~ R 3 を作成するプロセスにおいて、プロセスパラメータの変動にも強くなる。つまり、抵抗素子 R 1 ~ R 3 を作成するプロセスにおいて、たとえば、マスクずれなどによって、抵抗素子 R の抵抗値が変動した場合（抵抗素子 R の抵抗値が設計上の抵抗

50

値と異なった場合)でも、すべての抵抗素子Rの抵抗値が同じ割合で変動する。たとえば、すべての抵抗素子Rの抵抗値Rが、すべて抵抗値R₁になる。このため、昇圧回路48において、最も重要な切換点を決定するための、抵抗R₁の抵抗値R₁の、抵抗R₂の抵抗値R₂に対する比(R₁:R₂)は、次式に示すように、抵抗素子Rの抵抗値Rが抵抗値R₁に変動した場合でも、一定となる。

【0251】

R₁:R₂

=m×R₁:n×R₂

=m:n ... [4]

また、NMOSTランジスタQN1のしきい値電圧V_{tn}は、一般的に、0.8V付近であることが多い。このため、R₁:R₂=m:n=1:2~1:5に設定することによって、外部電源電圧V_{cc}が5Vのときには、NMOSTランジスタQN2がオフになり、PMOSTランジスタQPにより、内部接地電圧V_{intg}を発生し、内部回路1に供給することができる。そして、R₁:R₂=m:n=1:2~1:5に設定することによって、外部電源電圧V_{cc}が3Vのときには、NMOSTランジスタNP2がオンになり、0Vの外部接地電圧を内部接地電圧V_{intg}として、直接内部回路1に供給することができる。

10

【0252】

すなわち、書込/読出などのSRAMの通常動作時には、0Vの外部接地電圧を昇圧した内部接地電圧V_{intg}が内部回路1に供給される。SRAMがデータを保持するときには、0Vの外部接地電圧を直接、内部接地電圧V_{intg}として内部回路1に供給できる。

20

【0253】

また、1種類(実質同一の抵抗値および実質同一の構成)の抵抗素子Rを1個または複数並べて、抵抗R₁~R₃を形成するため、抵抗R₁の抵抗値R₁の、抵抗R₂の抵抗値R₂に対する比(R₁:R₂)の設定を、正確かつ容易に行なうことができる。この理由は、実施の形態1において、図3~5を用いて説明したのと同様である。ここで、図18の抵抗素子Rとしては、図3に示したポリシリコン高抵抗を用いることができる。また、図18の昇圧回路48の抵抗R₁またはR₂の抵抗値の調整方法は、図5で説明した図1の降圧回路2の抵抗R₁またはR₂の抵抗値の調整方法と同様である。

30

【0254】

以上のように、実施の形態10によるSRAMの昇圧回路では、1種類(抵抗値および構成が実質同じ)の抵抗素子Rを並べて、抵抗R₁~R₃を構成している。

【0255】

このため、抵抗R₁~R₃を作成するプロセスにおいて、プロセスパラメータが変動した場合でも、昇圧回路48において最も重要な要素であるR₁R₂抵抗比(R₁:R₂)を一定に保つことができる。すなわち、切換点を決定する抵抗R₁,R₂の抵抗値が、プロセスパラメータの変動により、設計上の抵抗値と、ずれた場合でも、切換点の変動を防止できる。

【0256】

また、1種類(抵抗値および構成が実質同じ)の抵抗素子Rのみを使うことで、CAD上のレイアウトが非常に容易になり、設計の変更などによるレイアウトの修正も簡単になる。

40

【0257】

また、R₁R₂抵抗比(R₁:R₂)を、1:2~1:5に設定することによって、低消費電力型SRAMの使用条件(データを保持するときには、0Vの外部接地電圧を昇圧せず、内部回路1としてのメモリ回路に0Vの電圧を与えること、および通常の動作時には、0Vの外部接地電圧を昇圧した電圧を内部回路1に与えること)に適合させることができる。

【0258】

50

また、抵抗素子Rとして、図3のポリシリコン高抵抗を用いた場合、ポリシリコン（抵抗部）7aだけでなく、コンタクトホール5やポリシリコン（配線部）7bを含んだものを一体として抵抗素子Rとして考えている。そして、その抵抗素子Rを1つまたは複数並べることによって抵抗R1～R3を構成している。すなわち、ポリシリコン（抵抗部）7aの抵抗値だけでなくコンタクトホール5やポリシリコン（配線部）7bの抵抗値を考慮した、1種類（抵抗値および構成が実質同じ）の抵抗素子Rを1つまたは複数並べることにより抵抗R1～R3の抵抗値を調整している。このため、昇圧回路48において最も重要な要素であるR1R2抵抗比（R1：R2）の設定を、正確かつ容易に行なうことができる。

【0259】

また、抵抗R1～R3を高抵抗にすることにより、SRAM全体の低消費電力化を図ることができる。

【0260】

（実施の形態11）

図16の昇圧回路48の抵抗R1～R3として、ポリシリコン高抵抗を用いた場合には、実施の形態2の冒頭で説明したような問題を生じる。実施の形態11によるSRAMの昇圧回路は、この問題を解決するためになされたものである。

【0261】

実施の形態11によるSRAMの昇圧回路は、図18の昇圧回路48の抵抗R1～R3を構成する1個または複数の抵抗素子Rとして、1個または複数のTFTを用いたものである。すなわち、抵抗素子Rとしては、ポリシリコン高抵抗は用いていない。

【0262】

図19は、本発明の実施の形態11によるSRAMの一部を詳細に示す回路図である。なお、図18と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。

【0263】

抵抗R1，R2，R3は、1つまたは複数の1種類（抵抗値および構成が実質同じ）のTFTにより構成される。すなわち、図18において抵抗素子Rとして、TFTを用いたものである。なお、図19の昇圧回路48の基本的な動作は、図18の昇圧回路48の基本的な動作と同様である。

【0264】

図19の昇圧回路48の抵抗R1～R3を構成するTFTは、図7に示すTFTと同様である。

【0265】

以上のように、実施の形態11によるSRAMの昇圧回路48では、1種類（抵抗値および構成が実質同じ）のTFTを1つまたは複数用いることにより、抵抗R1～R3を構成している。すなわち、実施の形態11によるSRAMの昇圧回路は、実施の形態10によるSRAMの昇圧回路（図18）の抵抗素子RとしてTFTを用いたものである。このため、実施の形態11によるSRAMは、実施の形態10によるSRAMと同様の効果を奏する。

【0266】

また、実施の形態11によるSRAMの昇圧回路では、抵抗R1～R3を構成する抵抗素子として図7に示したTFTを用いており、この抵抗素子としてのTFTは、コンタクトホール5，21，23、ポリシリコン11，9，13、メタル配線3およびゲート絶縁膜17を一体のものと考え、TFTの抵抗値としては、ポリシリコン9の抵抗値のみならず、コンタクトホール5，21，23およびポリシリコン11，13の抵抗値も含んでいる。すなわち、コンタクトホール5，21，23およびポリシリコン11，13などの抵抗値を考慮した、1種類（抵抗値および構成が実質同じ）のTFTを1つまたは複数並べることによって、抵抗R1～R3を構成している。このため、実施の形態11によるSRAMの昇圧回路では、R1R2抵抗比（R1：R2）を所望の比に、正確かつ容易に設定することができる。

10

20

30

40

50

【 0 2 6 7 】

また、実施の形態 1 1 による S R A M では、R 1 R 2 抵抗比を、1 : 2 ~ 1 : 5 に設定することによって、実施の形態 1 0 による S R A M と同様の効果を奏する。

【 0 2 6 8 】

また、実施の形態 1 1 による S R A M の昇圧回路 4 8 の抵抗 R 1 ~ R 3 として、メモリセルの負荷素子として用いる T F T を用いている。このため、実施の形態 1 1 による S R A M においては、抵抗 R 1 ~ R 3 を作成する工程を特別に設ける必要はなく、S R A M の製造プロセスの工程数の増大を抑えることができるため、コストの高騰を防止できる。

【 0 2 6 9 】

また、図 1 9 の T F T として、実施の形態 3 による S R A M の降圧回路で用いた図 8 の T F T を用いることができる。この場合には、実施の形態 1 1 による S R A M は、実施の形態 3 による S R A M と同様の効果を奏する。 10

【 0 2 7 0 】

(実施の形態 1 2)

本発明の実施の形態 1 2 による S R A M の昇圧回路は、図 1 6 に示した昇圧回路 4 8 において、外部電源電圧 V c c を有するノードとノード N 1 との間および外部接地電圧を有するノードとノード N 1 との間に容量を設けたものである。

【 0 2 7 1 】

図 2 0 は、本発明の実施の形態 1 2 による S R A M の一部の詳細を示す回路図である。なお、図 1 6 と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。 20

【 0 2 7 2 】

図 2 0 を参照して、実施の形態 1 2 による S R A M の一部は、昇圧回路 4 8 および内部回路 1 を含む。昇圧回路 4 8 は、抵抗 R 1 , R 2 , R 3 、容量 C 1 , C 2 、N M O S トランジスタ Q N 1 , Q N 2 および P M O S トランジスタ Q P を含む。

【 0 2 7 3 】

抵抗 R 1 および抵抗 R 2 は、外部電源電圧 V c c を有するノードと外部接地電圧を有するノードとの間に直列に接続される。容量 C 1 は、外部接地電圧を有するノードとノード N 1 との間に接続される。容量 C 2 は、ノード N 1 と外部電源電圧 V c c との間に接続される。N M O S トランジスタ Q N 1 および抵抗 R 3 は、外部電源電圧 V c c を有するノードと外部接地電圧を有するノードとの間に直列に接続される。N M O S トランジスタ Q N 1 のゲートは、ノード N 1 に接続される。 30

【 0 2 7 4 】

N M O S トランジスタ Q N 2 は、外部接地電圧を有するノードとノード N 3 との間に接続される。N M O S トランジスタ Q N 2 のゲートは、ノード N 2 に接続される。P M O S トランジスタ Q P は、外部接地電圧を有するノードとノード N 3 との間に接続される。P M O S トランジスタ Q P のゲートは、外部接地電圧を有するノードに接続される。ノード N 3 は、内部回路 1 に接続される。

【 0 2 7 5 】

外部電源電圧 V c c が印加されている状態では、ノード N 1 の電圧は、抵抗 R 1 および抵抗 R 2 によって、次式に示すような電圧になるように設計されている。 40

【 0 2 7 6 】

【数 3】

$$\frac{R 1}{R 2 + R 1} V c c \quad \dots [5]$$

【 0 2 7 7 】

ここで、抵抗 R 1 の抵抗値を R 1 とし、抵抗 R 2 の抵抗値を R 2 としている。ノード N 1 50

の電圧が式 [5] になるように設計されているのは、図 1 6 に示した昇圧回路 4 8 においても同様である。しかし、図 1 6 の昇圧回路 4 8 は、以下のような問題がある。図 1 6 において、電源投入時のノード N 1 の電圧の動きを考えてみる。たとえば、外部電源電圧 V_{cc} が 0 V から 5 V まで急速に昇圧された場合、ノード N 1 の電圧は、外部電源電圧 V_{cc} が 5 V に達する時間にかなり遅れて所望の電圧 ($R_1 / (R_2 + R_1)) V_{cc}$ になる。

【 0 2 7 8 】

これは、チップ全体の消費電流低減のために、抵抗 R_1 および抵抗 R_2 の抵抗値を上げれば上げるほど顕著になる。外部電源電圧 V_{cc} が、所定の電圧になっているにもかかわらず、ノード N 1 の電圧が、意図しない電圧になり、NMOS トランジスタ Q_{N1} のオン/オフが、意図したように制御できない。このため、予定している電圧が、内部回路 1 に印加されないことになってしまう。

10

【 0 2 7 9 】

そこで、実施の形態 1 2 による SRAM に用いる昇圧回路 4 8 では、ノード N 1 に、容量 C_1 および容量 C_2 を接続している。そして、さらに、 $R_1 : R_2 = C_2 : C_1$ とする。ここで、容量 C_1 の容量値を C_1 とし、容量 C_2 の容量値を C_2 としている。つまり、次式のような関係を成立させている。

【 0 2 8 0 】

【 数 4 】

$$\frac{R_1}{R_2 + R_1} V_{cc} = \frac{C_2}{C_2 + C_1} V_{cc} \quad \dots [6]$$

20

【 0 2 8 1 】

このようにすることで、外部電源電圧 V_{cc} が急速に上昇した場合でも、容量分割により、ノード N 1 の電圧は、外部電源電圧 V_{cc} の急速な上昇に遅れることなく、式 [5] に示した設計通りの電圧になる。その結果、電源投入時などにおいても、昇圧回路 4 8 を意図したように動作させることができ、内部回路 1 に、意図した電圧を供給することができる。

30

【 0 2 8 2 】

また、図 2 0 の昇圧回路 4 8 の基本的な動作は、図 1 6 の昇圧回路 4 8 の基本的な動作と同様である。

【 0 2 8 3 】

以上のように、実施の形態 1 2 による SRAM の昇圧回路 4 8 は、容量 C_1 および容量 C_2 を、図 1 6 に示した昇圧回路 4 8 にさらに加えたものである。このため、消費電流を減らすために、抵抗 R_1 および抵抗 R_2 の抵抗値を大きくした場合においても、昇圧回路 4 8 の外部電源電圧 V_{cc} に対する反応速度を速くすることができ、昇圧回路 4 8 を意図したとおりに動作させることができる。すなわち、外部電源電圧 V_{cc} が急速に上昇または下降した場合でも、容量分割により、ノード N 1 の電圧を、外部電源電圧 V_{cc} の急速な上昇または下降に遅れることなく、設計通りの電圧にすることができる。その結果、低消費電力化を実現しつつ、電源投入時においても、昇圧回路 4 8 を意図したとおりに動作させることができ、内部回路 1 に、意図した内部接地電圧を供給することができる。

40

【 0 2 8 4 】

なお、抵抗 $R_1 \sim R_3$ として、図 1 8 に示すように、1 個または複数の 1 種類 (抵抗値および構成が実質同じ) の抵抗素子 R を用いることもできる。この場合には、実施の形態 1 2 による SRAM は、実施の形態 1 0 による SRAM と同様の効果を奏する。

【 0 2 8 5 】

また、抵抗 $R_1 \sim R_3$ として、図 1 9 に示したように、1 つまたは複数の 1 種類 (抵抗値および構成が実質同じ) の T F T を用いることもできる。このときは、図 7 または図 8 に

50

示したTFTを用いることができる。このような場合には、実施の形態12によるSRAMは、実施の形態11によるSRAMと同様の効果を奏する。

【0286】

また、実施の形態12によるSRAMと実施の形態9によるSRAMとが異なるのは、実施の形態12によるSRAMの昇圧回路が容量C1, C2を設けているのに対し、実施の形態9によるSRAMの昇圧回路が容量を設けていない点である。このため、実施の形態12によるSRAMの昇圧回路の基本的な動作は、実施の形態9によるSRAMの昇圧回路の基本的な動作と同様である。したがって、実施の形態12によるSRAMは、実施の形態9によるSRAMと同様の効果を奏する。

【0287】

また、図20の容量C1, C2としては、実施の形態5で説明した図10の容量C1, C2を用いることもできる。この場合には、実施の形態12によるSRAMは、実施の形態5によるSRAMと同様の効果を奏する。

【0288】

(実施の形態13)

実施の形態10によるSRAMの昇圧回路48において、切換点(外部接地電圧を昇圧して内部接地電圧を発生し始める所定の電圧)は、抵抗R1の抵抗値R1の、抵抗R2の抵抗値R2に対する比(R1/R2抵抗比)、すなわち、R1:R2で決定している。ただし、SRAMの製造プロセスにおける種々のばらつきを原因として、R1/R2抵抗比が設計値と同じでも、切換点が所望の値からずれる可能性がある。

【0289】

SRAMの製造プロセスにおける種々のばらつきとは、たとえば、NMOSトランジスタQN1, QN2のしきい値電圧V_{tn}や抵抗R3の抵抗値R3の変動などである。実施の形態13によるSRAMの昇圧回路はこのような問題を解決するためになされたものである。

【0290】

図21は、本発明の実施の形態13によるSRAMの一部の詳細を示す回路図である。なお、図18と同様の部分については、同一の参照符号を付し、その説明を適宜省略する。

【0291】

図21を参照して、実施の形態13によるSRAMの一部は、昇圧回路48および内部回路1を含む。昇圧回路48は、抵抗R1, R2, R3, R4, R5、3つのヒューズF、NMOSトランジスタQN1, QN2およびPMOSトランジスタQPを含む。抵抗R4は、2つの抵抗素子Rを含む。抵抗R5は、抵抗素子Rを含む。抵抗R1~R3は、1つまたは複数の抵抗素子Rを含む。

【0292】

抵抗R1~R5は、外部電源電圧V_{cc}を有するノードと外部接地電圧を有するノードとの間に直列に接続される。抵抗R4は、外部接地電圧を有するノードと、抵抗R1との間に接続される。抵抗R5は、外部電源電圧V_{cc}を有するノードと抵抗R2との間に接続される。抵抗R4を構成する2つの抵抗素子Rは、直列に接続されている。抵抗R5としての抵抗素子Rは、ヒューズFによって短絡されている。抵抗R4を構成する各抵抗素子Rは、ヒューズFによって短絡されている。

【0293】

ここで、抵抗R1を構成する抵抗素子R、抵抗R2を構成する抵抗素子R、抵抗R3を構成する抵抗素子R、抵抗R4を構成する抵抗素子Rおよび抵抗R5を構成する抵抗素子Rは、同じ種類の抵抗素子、すなわち、抵抗値および構成が実質同じ抵抗素子である。抵抗R4, R5を構成する抵抗素子Rは、ヒューズFによって短絡されているときには、抵抗としての機能を有さない。ヒューズFが切断されて、初めて、抵抗としての機能を有することになる。ウェハプロセス完了時に切換点を測定する。そして、測定した切換点が、設計上の切換点と異なっている場合には、ヒューズFのいずれかまたは全部を切断して、切換点の大きさを調整する。

10

20

30

40

50

【0294】

すなわち、切換点は、外部接地電圧を有するノードとノードN1との間の抵抗値の、ノードN1と外部電源電圧Vccを有するノードとの間の抵抗値に対する比（以下、「抵抗分割比」という）によって決定されるため、ヒューズFにより、外部接地電圧を有するノードとノードN1との間の抵抗値またはノードN1と外部電源電圧Vccを有するノードとの間の抵抗値を調整することによって、切換点の大きさを調整する。このようにすることで、SRAMの製造プロセスにおける種々のばらつき（SRAMの製造プロセスの変動）にかかわらず、常に、切換点を、設計通りの（最適な）切換点に設定することができる。なお、ヒューズFを切断して、切換点を調整する具体的な方法については、実施の形態6で説明したのと同様である。

10

【0295】

また、ヒューズFで短絡された抵抗素子Rからなる抵抗R4は、ノードN1と抵抗R1との間に設けることもできる。また、ヒューズFで短絡された抵抗素子Rからなる抵抗R5は、ノードN1と抵抗R2との間に設けることもできる。

【0296】

なお、抵抗R5は、1つの抵抗素子Rを設けているが、抵抗素子Rは何個であっても構わず、その場合には、各抵抗素子Rは、対応するヒューズFによって短絡する。また、抵抗R4は、2つの抵抗素子Rを設けているが、これも何個であっても構わず、その場合に、各抵抗素子Rは、各抵抗素子Rに対応したヒューズFによって短絡されることになる。

【0297】

また、抵抗R1が複数の抵抗素子Rからなる場合、そのうちの少なくとも1つをヒューズFによって短絡することができる。このときは、ヒューズFの切断によって、抵抗R1の抵抗値を調節することになる。また、抵抗R2が複数の抵抗素子Rからなる場合、そのうちの少なくとも1つをヒューズFによって短絡することができる。このときは、ヒューズFの切断において、抵抗R2の抵抗値を調節することになる。

20

【0298】

図21の昇圧回路48が、図18の昇圧回路48と異なるのは、図21の昇圧回路48が、ヒューズFによって短絡された抵抗素子Rを含み、ウェハプロセス完了時に、切換点をヒューズFの切断により調整できるようにしているのに対し、図18の昇圧回路48は、ヒューズFによって短絡された抵抗素子Rを含んでいない点である。このため、図21の昇圧回路48の基本的な動作は、図18の昇圧回路48の基本的な動作と同様である。

30

【0299】

以上のように、実施の形態13によるSRAMの昇圧回路48において、抵抗R1と外部接地電圧を有するノードとの間に、2つのヒューズFによって短絡された2つの抵抗素子Rを設け、抵抗R2と外部電源電圧Vccを有するノードとの間に、ヒューズFによって短絡された抵抗素子Rを設けている。このため、ウェハプロセスにおいて、切換点の変動した場合でも、製造プロセス完了時に、ヒューズFを切断する数を調整することによって、抵抗分割比を変化させ、切換点を設計通りに設定することができる。

【0300】

また、抵抗R4を、抵抗R1とノードN1との間に設けることもできる。抵抗R5を、ノードN1と抵抗R2との間に設けることもできる。抵抗R1が複数の抵抗素子Rからなる場合、そのうちの少なくとも1つをヒューズFによって短絡することができる。抵抗R2が複数の抵抗素子Rからなる場合、そのうちの少なくとも1つをヒューズFによって短絡することができる。これらの場合にも、ウェハプロセスにおいて、切換点の変動した場合でも、製造プロセス完了時に、ヒューズFを切断する数を調節することによって、抵抗分割比を変化させ、切換点を設計通りに設定することができる。

40

【0301】

実施の形態13によるSRAMの昇圧回路48においては、ヒューズFで、直接、抵抗素子Rを短絡している。このため、ヒューズを切断して間接的に抵抗値を調節する場合に比し、昇圧回路を単純化できるとともに、レイアウト面積を節約することができる。

50

【0302】

実施の形態13によるSRAMの昇圧回路48と実施の形態10によるSRAMの昇圧回路48とが異なるのは、実施の形態13によるSRAMの昇圧回路48が、ヒューズFによって短絡された抵抗素子Rを設けているのに対し、実施の形態10によるSRAMの昇圧回路48はこれらを設けていない点である。このため、実施の形態13によるSRAMの昇圧回路48は、実施の形態10によるSRAMの昇圧回路48の機能を失っていない。したがって、実施の形態13によるSRAMは、実施の形態10によるSRAMと同様の効果を奏する。

【0303】

また、図20と同様に、外部電源電圧 V_{cc} を有するノードとノードN1との間に容量C2および外部接地電圧を有するノードとノードN1との間に容量C1を設けることもできる。この場合には、実施の形態13によるSRAMは、実施の形態12によるSRAMと同様の効果を奏する。

10

【0304】

また、実施の形態13によるSRAMの昇圧回路48の抵抗素子Rとして、図19に示したTFTを用いることができる。この場合には、実施の形態13によるSRAMは実施の形態11によるSRAMと同様の効果を奏する。

【0305】

(実施の形態14)

図22は、本発明の実施の形態14によるSRAMの一部を示す概略図である。

20

【0306】

図22を参照して、実施の形態14によるSRAMの一部は、第1のパッド53、第2のパッド51、昇圧回路49、入力保護回路47、内部回路1および内部GND配線55を含む。

【0307】

昇圧回路49は、第2のパッド51の近傍に配置される。第1のパッド53は、第2のパッド51の近傍に配置する。第1のパッド53は、入力保護回路47を介して内部GND配線55に接続される。

【0308】

昇圧回路49は、第2のパッド51を介して外部接地電圧を受ける。昇圧回路49は、外部接地電圧を昇圧して内部接地電圧を発生する。昇圧回路49によって発生した内部接地電圧は、内部GND配線55を介して内部回路1に供給される。なお、内部回路1は、メモリ回路(メモリセル)などである。

30

【0309】

第1のパッド53は、ウェハテスト時に、内部GND配線55の電位(内部接地電圧)をモニタすることによって、昇圧回路49の動作を確認および評価するためのものである。すなわち、第1のパッド53は、入力保護回路47を介して内部GND配線55に接続されているため、第1のパッド53の電位をモニタすることによって、昇圧回路49の動作を確認または評価することができる。

【0310】

第1のパッド53の他の使い方を説明する。第2のパッド51は、その近くに配置された図示しないリード端子から外部接地電圧を供給されている。このため、第1のパッド53を、第2のパッド51の近傍に配置することにより、第2のパッド51に外部接地電圧を供給しているリード端子と、第1のパッド53とを容易にボンディングすることができる。したがって、外部接地電圧を直接、内部接地電圧として内部回路1に供給するときには、容易に、図示しないリード端子と第1のパッド53とをボンディングでき、外部接地電圧を昇圧せずに、第1のパッド53および入力保護回路47を介して、内部回路1に供給できる。外部接地電圧を昇圧して内部接地電圧を発生するときには、図示しないリード端子と第2のパッド51とをボンディングして、第2のパッド51に外部接地電圧を供給する。

40

50

【0311】

このように、第1のパッド51および第2のパッド53を利用することにより、同じチップで、外部接地電圧を昇圧して内部接地電圧を発生する場合と、外部接地電圧を内部接地電圧として直接、内部回路1に供給する場合とを、容易に、切換えることができる。入力保護回路47は、第1のパッド53にサージ(予定していない大きな電圧)がかかったときに、SRAMの内部の回路、特に、メモリ回路(メモリセル)としての内部回路1などが破壊されるのを防止している。

【0312】

第2のパッド51の近傍に昇圧回路49が配置されている。すなわち、第2のパッド51と昇圧回路49とを接続する配線が短い。このため、近接する配線の電圧の変動などを原因として、第2のパッド51と昇圧回路49との間の配線にノイズが発生しにくい。すなわち、第2のパッド51の近傍に昇圧回路49を配置することにより、昇圧回路49へのノイズの影響を低減できる。

10

【0313】

以上のように、実施の形態14によるSRAMにおいては、昇圧回路49に外部接地電圧を供給するための第2のパッド51が昇圧回路49の近傍に配置されており、第2のパッド51と昇圧回路49とを接続する配線が短い。このため、近接する配線の電圧の変動などを原因として、第2のパッド51と昇圧回路49とを結ぶ配線に発生するノイズを少なくすることができ、昇圧回路49へのノイズの影響を低減できる。

【0314】

実施の形態14によるSRAMにおいては、第1のパッド53を設けている。このため、昇圧回路49が発生する内部接地電圧をモニタすることができ、昇圧回路49の動作を確認および評価することができる。また、第1のパッド53を第2のパッド51の近傍に設けている。このため、外部接地電圧を供給するリード端子からのボンディングを第1のパッド53に対しても容易に行なうことができる。その結果、内部回路1に、外部接地電圧を昇圧した内部接地電圧を与える場合と、外部接地電圧を入力保護回路47を介して直接与える場合とを容易に選択して、設定することができる。

20

【0315】

実施の形態14によるSRAMでは、内部GND配線55と第1のパッド53との間に入力保護回路47を設けている。このため、第1のパッド53に予定していない大きな電圧がかかったときでも、内部回路1が破壊されるのを防止することができる。

30

【0316】

なお、昇圧回路49としては、実施の形態9~13のSRAMで用いた昇圧回路48を用いることもできる。この場合には、実施の形態9~13のSRAMのいずれかと同様の効果を奏する。

【0317】

(実施の形態15)

本発明の実施の形態15によるSRAMは、実施の形態1~8における降圧回路または、実施の形態9~14における昇圧回路の抵抗R1および抵抗R2に関し、改良を加えたものである。したがって、実施の形態15によるSRAMの降圧回路または昇圧回路は、実施の形態1~14におけるSRAMの降圧回路または昇圧回路のうちのいずれかと構成を同じにする。

40

【0318】

まず、一般的な抵抗素子について説明する。一般に、高抵抗などとして使われる抵抗素子は、ポリシリコンで形成される。ポリシリコンの抵抗値は、ポリシリコンの長さLに比例し、幅Wに反比例する。このため、ポリシリコンの抵抗値は、長さLの、幅Wに対する比(L:W)の値L/Wで決定される。

【0319】

今後、実用化される0.4 μ mクラスのウェハプロセスでは、設計した寸法に対して、実際のウェハ上のポリシリコンについて、約0.15 μ mのずれが生じる。これは、ウェハ

50

プロセス中の露光、エッチングなどで生ずるさまざまなばらつきやずれに起因するものである。この、ばらつきやずれは、たとえば、マスクずれなどである。このような、ウェハ上のポリシリコンについての $0.15\ \mu\text{m}$ のずれを、制御および解消することは非常に困難である。

【0320】

具体例を図3を用いて説明する。抵抗素子Rを、長さ $L = 1\ \mu\text{m}$ 、幅 $W = 0.5\ \mu\text{m}$ として設計したとする。すなわち、抵抗素子Rを、 $L/W = 2$ で設計したとする。この場合に、実際のウェハ上のポリシリコン（抵抗部）7aについて、幅Wが、 $0.15\ \mu\text{m}$ ずれて、 $0.65\ \mu\text{m}$ になったとする。このとき、ポリシリコン（抵抗部）7aの抵抗値を決定する L/W は、 1.54 となり、設計時に想定した抵抗値の77%の抵抗値になってしまう。

10

【0321】

このようなポリシリコン（抵抗部）7aの抵抗値の変動は、消費電流の値に大きな影響を与える。そして、さらに、図1の降圧回路2のように、 R_1/R_2 抵抗比により切替点を決定するような場合には、この切替点の大きさも設計値から大きくずれることになる。実施の形態15によるSRAMは、このような問題を解決するためになされたものである。

【0322】

以上のような弊害を防止するために、たとえば、図3の抵抗素子Rについて、 L/W の値をそのまま保ちながら、長さLと幅Wの値を大きくする。たとえば、幅 $L = 10\ \mu\text{m}$ 、幅 $W = 5\ \mu\text{m}$ とする。なお、上述した例では、長さ $L = 1\ \mu\text{m}$ 、幅 $W = 0.5\ \mu\text{m}$ としている。ここで、上述したと同様の原因により、幅Wに $0.15\ \mu\text{m}$ のずれが起こったとする。しかし、このような場合にでも、長さLおよび幅Wを大きくしているため、 $L/W = 1.94$ となり、設計値（ $L/W = 2$ ）に対して97%の抵抗値になる。

20

【0323】

設計値に対して3%の変動であれば、十分許容範囲ないである。実際上の L/W と、設計上の L/W との差が、設計上の L/W の20%以内であれば、消費電流の値に与える影響は小さく、切替点も設計値から大きくずれることはない。このため、実際上の L/W と設計上の L/W との差が、設計上の L/W の20%以内になるように、ポリシリコン（抵抗部）7aの長さLおよび幅Wを設定する。

【0324】

なお、ここまでの説明では、図3の抵抗素子Rとしてのポリシリコン高抵抗について説明したが、上述したことは、図7および図8のTFTにも適用できる。すなわち、図7および図8を参照して、チャンネル長Lおよびチャンネル幅Wを大きくして、実際上の、チャンネル長Lの、チャンネル幅Wに対する比（ $L:W$ ）の値 L/W と、設計上の L/W との差が、設計上の L/W の20%以内になるようにする。このようにすることで、抵抗値の変動を原因として、消費電流の値に与える影響を少なくでき、切替点が設計値から大きくずれることを防止できる。

30

【0325】

以上のことをまとめると、実施の形態1, 6, 7, 8, 10, 13, 14における抵抗 R_1 , R_2 としての抵抗素子R、実施の形態2, 3における抵抗 R_1 , R_2 としてのTFTまたは実施の形態4, 5, 7における抵抗 R_1 , R_2 において、L（ポリシリコン（抵抗部）の長さまたはチャンネル長）およびW（ポリシリコン（抵抗部）の幅またはチャンネル幅）を大きくすることによって、 L/W の値をそのまま保ちながら、実際上の L/W と設計上の L/W との差が設計上の L/W の20%以内になるようにする。たとえば、SRAMのメモセルに負荷素子として用いられる抵抗素子のサイズよりも、抵抗素子R、TFTまたは抵抗 R_1 , R_2 のサイズを大きくする。

40

【0326】

以上のように、実施の形態15によるSRAMにおいては、実際上の L/W と設計上の L/W との差が設計上の L/W の20%以内になるように、LおよびWの値を大きくしている。このため、マスクずれなどのウェハプロセスにおけるばらつきを原因として、L（ポ

50

リシリコン（抵抗部）の長さまたはチャネル長）やW（ポリシリコン（抵抗部）の幅またはチャネル幅）が変動し、設計値と異なることになっても、抵抗値を決定するL/Wの値、すなわち、抵抗値の変動を防止できる。その結果、ウェハプロセスにおけるばらつきにより、LまたはWが変動しても、抵抗値の変動は少なく、SRAMの消費電流の値に与える影響を少なくでき、SRAMの降圧回路または昇圧回路の切換点が設計値から大きくずれることを防止できる。

【0327】

なお、実施の形態1～14の抵抗R3についても、上記したと同様にLおよびWを設定できる。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるSRAMの一部の詳細を示す回路図である。

【図2】図1の降圧回路の動作を説明するための図である。

【図3】図1の抵抗素子Rとしてのポリシリコン高抵抗の構造を示す図である。

【図4】一般的な抵抗の抵抗値を調整する方法を説明するための図である。

【図5】図1の降圧回路の抵抗R1またはR2の抵抗値の調整方法を説明するための図である。

【図6】本発明の実施の形態2によるSRAMの一部の詳細を示す回路図である。

【図7】図6のTFTの構造を詳細に示す図である。

【図8】本発明の実施の形態3によるSRAMの降圧回路の抵抗として用いるTFTの構造を詳細に示す図である。

【図9】本発明の実施の形態4によるSRAMの一部の詳細を示す回路図である。

【図10】本発明の実施の形態5によるSRAMの一部を詳細に示す回路図である。

【図11】本発明の実施の形態6によるSRAMの一部を詳細に示す回路図である。

【図12】本発明の実施の形態7によるSRAMの一部を示す概略図である。

【図13】図12のSRAMの一部を詳細に示した回路図である。

【図14】図12および図13の入力保護回路の詳細を示す回路図である。

【図15】本発明の実施の形態8によるSRAMの一部のレイアウトを示す概略図である。

【図16】本発明の実施の形態9によるSRAMの一部を詳細に示す回路図である。

【図17】図16の昇圧回路の動作を説明するための図である。

【図18】本発明の実施の形態10によるSRAMの一部の詳細を示す回路図である。

【図19】本発明の実施の形態11によるSRAMの一部の詳細を示す回路図である。

【図20】本発明の実施の形態12によるSRAMの一部の詳細を示す回路図である。

【図21】本発明の実施の形態13によるSRAMの一部の詳細を示す回路図である。

【図22】本発明の実施の形態14によるSRAMの一部を示す概略図である。

【図23】従来内部電圧発生回路としての降圧回路を有するSRAMの一部を詳細に示す回路図である。

【符号の説明】

1 内部回路、2, 35, 57 降圧回路、3, 29 メタル配線、5, 21, 23, 46
 6 コンタクトホール、7a ポリシリコン（抵抗部）、7b ポリシリコン（配線部）
 、9～13 ポリシリコン、17, 27 ゲート絶縁膜、19 絶縁膜、31, 51 第
 2のパッド、33, 53 第1のパッド、39 内部電源配線、41 PMOSTランジ
 スタ、43 NMOSTランジスタ、44, 45 抵抗素子、48, 49 昇圧回路、5
 5 内部GND配線、R 抵抗素子、R1～R5 抵抗、TFT 薄膜トランジスタ、F
 ヒューズ、QP1, QP2, QP PMOSTランジスタ、QN1, QN2, QN NM
 OSTランジスタ、C 容量素子、C1, C2 容量。

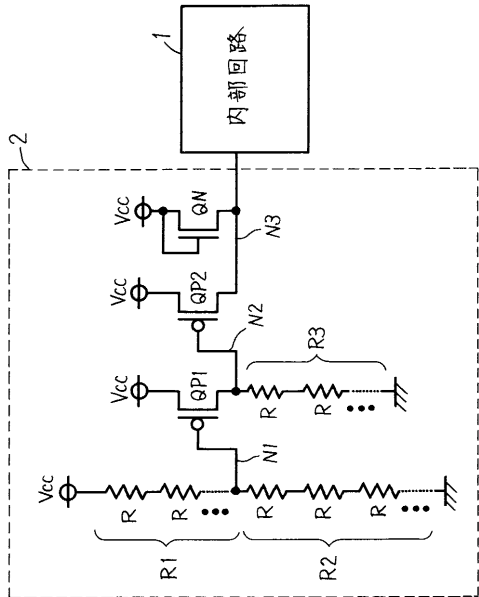
10

20

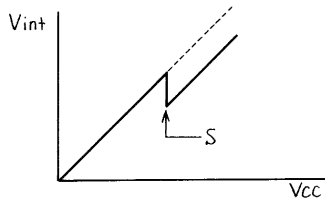
30

40

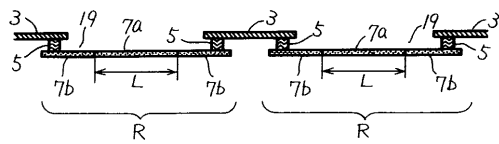
【 図 1 】



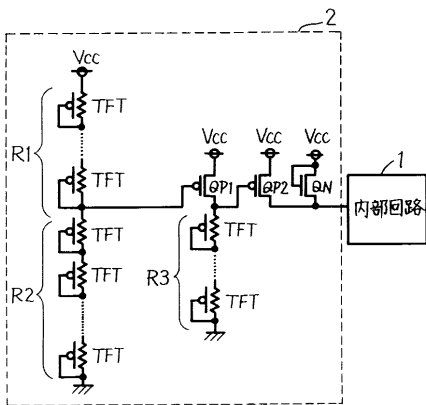
【 図 2 】



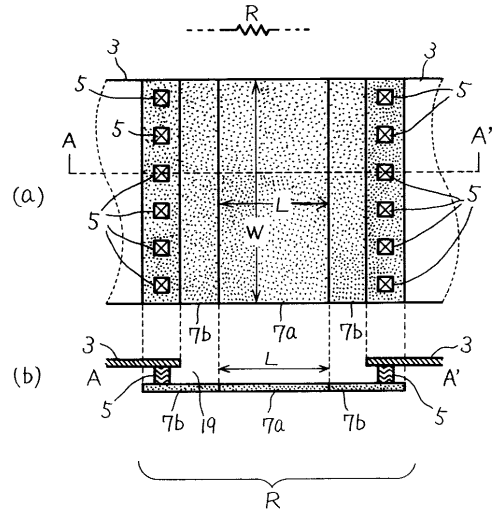
【 図 5 】



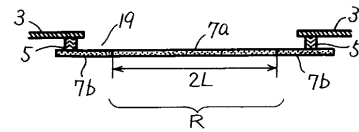
【 図 6 】



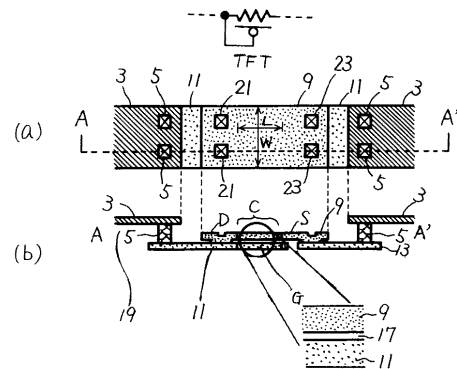
【 図 3 】



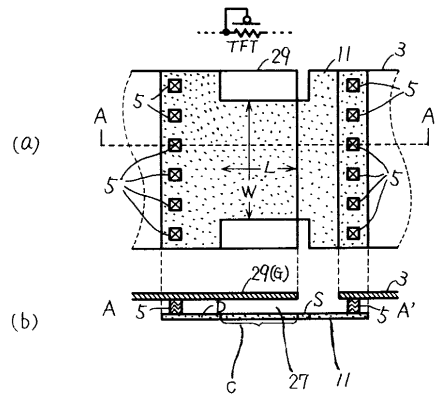
【 図 4 】



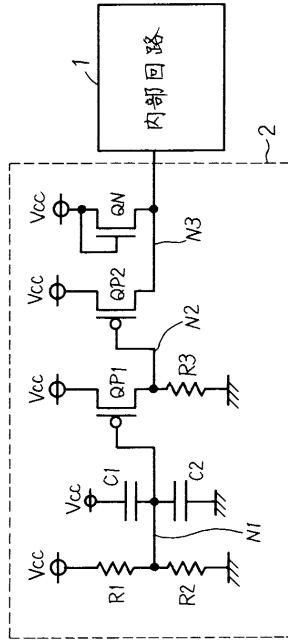
【 図 7 】



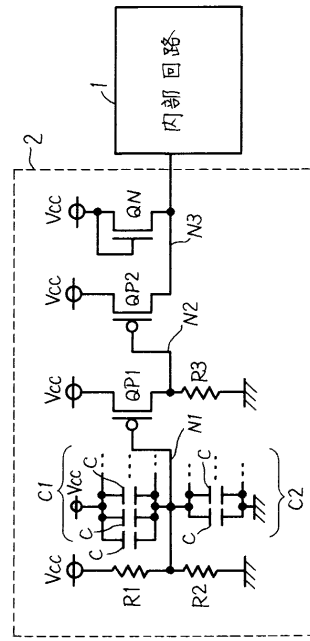
【 図 8 】



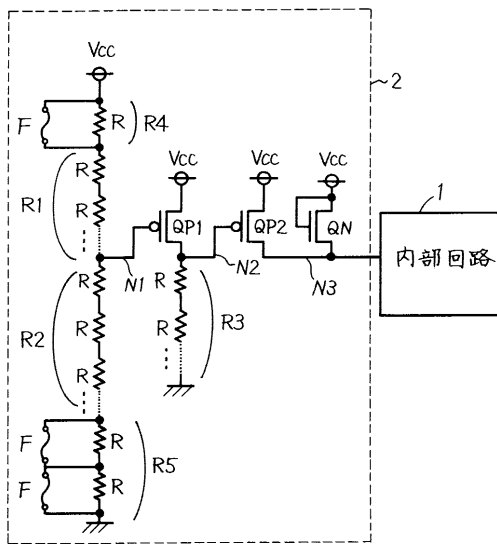
【 図 9 】



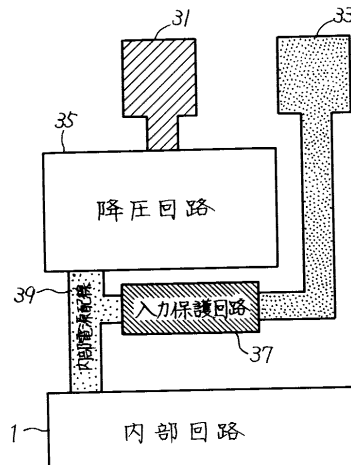
【 図 10 】



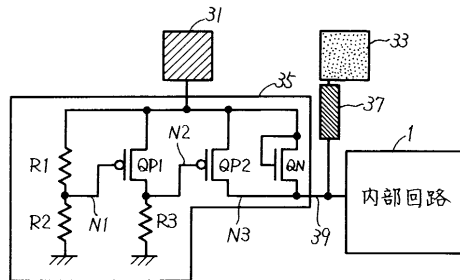
【 図 11 】



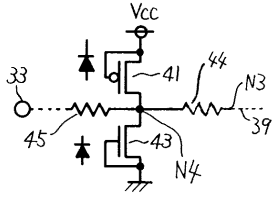
【 図 12 】



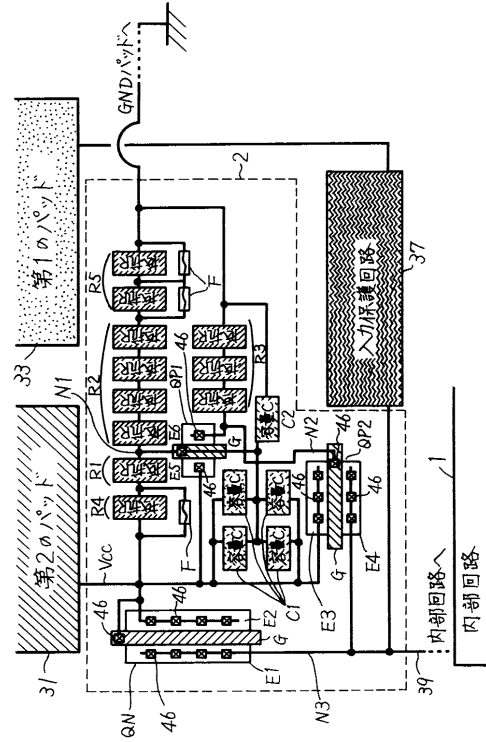
【 図 13 】



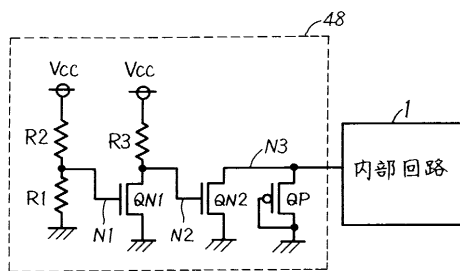
【図14】



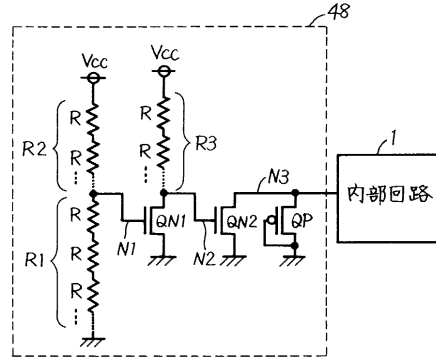
【図15】



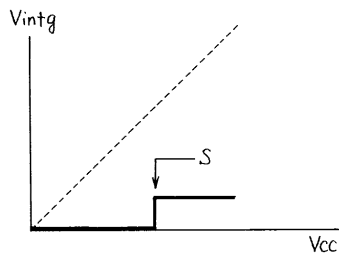
【図16】



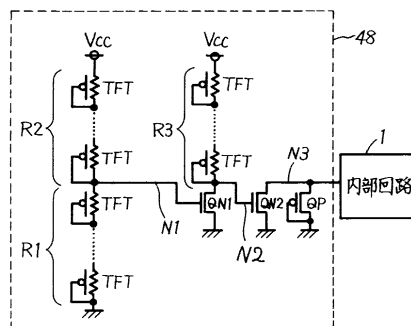
【図18】



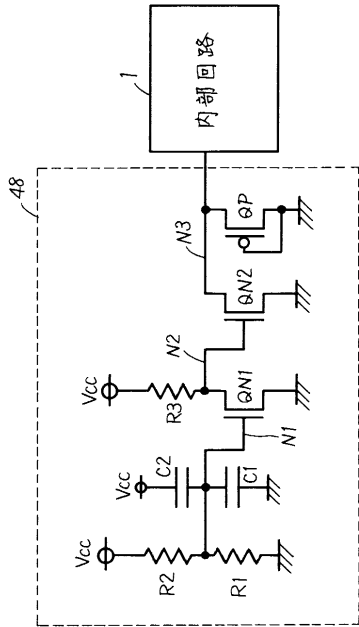
【図17】



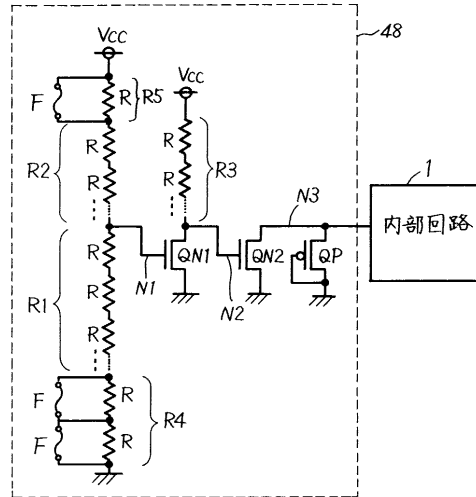
【図19】



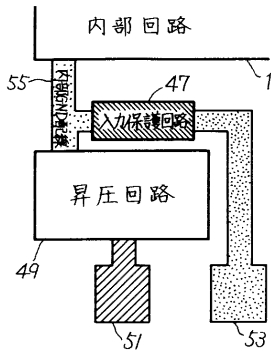
【 図 2 0 】



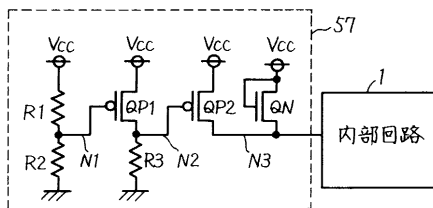
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】



フロントページの続き

- (72)発明者 浮田 求
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 広瀬 愛彦
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 前川 繁登
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 正山 旭

- (56)参考文献 特開平03-207091(JP,A)
特開平06-069427(JP,A)
特開昭60-040598(JP,A)
特開昭62-098815(JP,A)
特開昭60-043854(JP,A)
特開昭63-310160(JP,A)
特開昭50-055281(JP,A)
特開平05-210986(JP,A)
特開平07-007138(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/10 371

H01L 21/822

H01L 27/04