

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】特開 2000-216347 (P2000-216347A)
 【公開日】平成 12 年 8 月 4 日 (2000.8.4)
 【出願番号】特願 平 11-11988
 【国際特許分類第 7 版】

H 0 1 L 27/08

H 0 1 L 21/762

【F I】

H 0 1 L 27/08 3 3 1 A

H 0 1 L 21/76 D

【手続補正書】

【提出日】平成 16 年 10 月 20 日 (2004.10.20)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基板と、

前記半導体基板の表層部に選択的に形成された第 2 導電型のウエル領域と、

前記ウエル領域の表層部に一部が重なるように選択的に形成された第 2 導電型の第 1 のシャロウウエル領域と、

前記第 1 のシャロウウエル領域の表層部に選択的に形成された第 1 導電型の拡散領域からなる第 1 の MOS トランジスタのソース領域およびドレイン領域と、

前記第 1 の MOS トランジスタのソース領域・ドレイン領域間のチャネル領域上にゲート絶縁膜を介して形成された第 1 のゲート電極と、

前記ウエル領域の表層部に形成された第 2 導電型の拡散領域からなる第 1 のシャロウウエル引き出し領域と、

前記ウエル領域の表層部で前記第 1 の MOS トランジスタのドレイン領域と第 1 のシャロウウエル引き出し領域との相互間に前記第 1 のシャロウウエル領域より深く形成された第 1 のシャロウトレンチ分離領域と、

前記半導体基板の表層部に選択的に形成された第 2 導電型の拡散領域からなる第 2 の MOS トランジスタのソース領域およびドレイン領域と、

前記第 2 の MOS トランジスタのソース領域・ドレイン領域間のチャネル領域上にゲート絶縁膜を介して形成された第 2 のゲート電極と、

前記半導体基板の表層部で前記第 1 のシャロウウエル領域と第 2 の MOS トランジスタのドレイン領域との相互間に前記第 1 のシャロウウエル領域より深く形成された CMOS トランジスタ分離用の第 2 のシャロウトレンチ分離領域

とを具備することを特徴とする CMOS 半導体装置。

【請求項 2】

前記ウエル領域の表層部に選択的に形成された第 2 導電型の第 2 のシャロウウエル領域をさらに具備することを特徴とする請求項 1 記載の CMOS 半導体装置。

【請求項 3】

第 1 導電型の半導体基板と、

前記半導体基板の表層部に選択的に形成された第 2 導電型のウエル領域と、

前記ウエル領域の表層部に一部が重なるように選択的に形成された第2導電型の第1のシャロウウエル領域と、

前記第1のシャロウウエル領域の表層部に選択的に形成された第1導電型の拡散領域からなる第1のMOSトランジスタのソース領域およびドレイン領域と、

前記第1のMOSトランジスタのソース領域・ドレイン領域間のチャンネル領域上にゲート絶縁膜を介して形成された第1のゲート電極と、

前記ウエル領域の表層部に選択的に形成された第2導電型の第2のシャロウウエル領域と、

前記第2のシャロウウエル領域の表層部に形成された第2導電型の拡散領域からなる第1のシャロウウエル引き出し領域と、

前記ウエル領域の表層部で前記第1のMOSトランジスタのドレイン領域と第1のシャロウウエル引き出し領域との相互間および前記第1のシャロウウエル領域と第2のシャロウウエル領域との相互間に前記第1のシャロウウエル領域および第2のシャロウウエル領域より深く形成された第1のシャロウトレンチ分離領域と、

前記半導体基板の表層部に選択的に形成された第1導電型の第3のシャロウウエル領域と、

前記半導体基板の表層部に選択的に形成された第1導電型の第4のシャロウウエル領域と、

前記第3のシャロウウエル領域の表層部に選択的に形成された第2導電型の拡散領域からなる第2のMOSトランジスタのソース領域およびドレイン領域と、

前記第2のMOSトランジスタのソース領域・ドレイン領域間のチャンネル領域上にゲート絶縁膜を介して形成された第2のゲート電極と、

前記第4のシャロウウエル領域の表層部に形成された第1導電型の拡散領域からなる第2のシャロウウエル引き出し領域と、

前記半導体基板の表層部で前記第2のMOSトランジスタのドレイン領域と第2のシャロウウエル引き出し領域との相互間および前記第3のシャロウウエル領域と第4のシャロウウエル領域との相互間に前記第3のシャロウウエル領域および第4のシャロウウエル領域より深く形成された第2のシャロウトレンチ分離領域と、

前記半導体基板の表層部で前記第1のMOSトランジスタのドレイン領域と第2のMOSトランジスタのドレイン領域との相互間および前記第1のシャロウウエル領域および第3のシャロウウエル領域の相互間に前記第1のシャロウウエル領域および第3のシャロウウエル領域より深く形成されたCMOSトランジスタ分離用の第3のシャロウトレンチ分離領域と、

前記半導体基板の表層部で前記第1のシャロウウエル引き出し領域および前記第2のシャロウウエル引き出し領域から他の素子領域を分離するように形成されたCMOS領域分離用の第4のシャロウトレンチ分離領域

とを具備することを特徴とするCMOS半導体装置。

【請求項4】

前記半導体基板の表層部で前記第3のシャロウウエル領域の底面部および第4のシャロウウエル領域の底面部を接続する位置に形成された第1導電型のウエル領域をさらに具備することを特徴とする請求項3記載のCMOS半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

【課題を解決するための手段】

第1の発明のCMOS半導体装置は、第1導電型の半導体基板と、前記半導体基板の表層部に選択的に形成された第2導電型のウエル領域と、前記ウエル領域の表層部に一部が

重なるように選択的に形成された第2導電型の第1のシャロウウエル領域と、前記第1のシャロウウエル領域の表層部に選択的に形成された第1導電型の拡散領域からなる第1のMOSトランジスタのソース領域およびドレイン領域と、前記第1のMOSトランジスタのソース領域・ドレイン領域間のチャンネル領域上にゲート絶縁膜を介して形成された第1のゲート電極と、前記ウエル領域の表層部に形成された第2導電型の拡散領域からなる第1のシャロウウエル引き出し領域と、前記ウエル領域の表層部で前記第1のMOSトランジスタのドレイン領域と第1のシャロウウエル引き出し領域との相互間に前記第1のシャロウウエル領域より深く形成された第1のシャロウトレンチ分離領域と、前記半導体基板の表層部に選択的に形成された第2導電型の拡散領域からなる第2のMOSトランジスタのソース領域およびドレイン領域と、前記第2のMOSトランジスタのソース領域・ドレイン領域間のチャンネル領域上にゲート絶縁膜を介して形成された第2のゲート電極と、前記半導体基板の表層部で前記第1のシャロウウエル領域と第2のMOSトランジスタのドレイン領域との相互間に前記第1のシャロウウエル領域より深く形成されたCMOSトランジスタ分離用の第2のシャロウトレンチ分離領域とを具備することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

第2の発明のCMOS半導体装置は、第1導電型の半導体基板と、前記半導体基板の表層部に選択的に形成された第2導電型のウエル領域と、前記ウエル領域の表層部に一部が重なるように選択的に形成された第2導電型の第1のシャロウウエル領域と、前記第1のシャロウウエル領域の表層部に選択的に形成された第1導電型の拡散領域からなる第1のMOSトランジスタのソース領域およびドレイン領域と、前記第1のMOSトランジスタのソース領域・ドレイン領域間のチャンネル領域上にゲート絶縁膜を介して形成された第1のゲート電極と、前記ウエル領域の表層部に選択的に形成された第2導電型の第2のシャロウウエル領域と、前記第2のシャロウウエル領域の表層部に形成された第2導電型の拡散領域からなる第1のシャロウウエル引き出し領域と、前記ウエル領域の表層部で前記第1のMOSトランジスタのドレイン領域と第1のシャロウウエル引き出し領域との相互間および前記第1のシャロウウエル領域と第2のシャロウウエル領域との相互間に前記第1のシャロウウエル領域および第2のシャロウウエル領域より深く形成された第1のシャロウトレンチ分離領域と、前記半導体基板の表層部に選択的に形成された第1導電型の第3のシャロウウエル領域と、前記半導体基板の表層部に選択的に形成された第1導電型の第4のシャロウウエル領域と、前記第3のシャロウウエル領域の表層部に選択的に形成された第2導電型の拡散領域からなる第2のMOSトランジスタのソース領域およびドレイン領域と、前記第2のMOSトランジスタのソース領域・ドレイン領域間のチャンネル領域上にゲート絶縁膜を介して形成された第2のゲート電極と、前記第4のシャロウウエル領域の表層部に形成された第1導電型の拡散領域からなる第2のシャロウウエル引き出し領域と、前記半導体基板の表層部で前記第2のMOSトランジスタのドレイン領域と第2のシャロウウエル引き出し領域との相互間および前記第3のシャロウウエル領域と第4のシャロウウエル領域との相互間に前記第3のシャロウウエル領域および第4のシャロウウエル領域より深く形成された第2のシャロウトレンチ分離領域と、前記半導体基板の表層部で前記第1のMOSトランジスタのドレイン領域と第2のMOSトランジスタのドレイン領域との相互間および前記第1のシャロウウエル領域および第3のシャロウウエル領域の相互間に前記第1のシャロウウエル領域および第3のシャロウウエル領域より深く形成されたCMOSトランジスタ分離用の第3のシャロウトレンチ分離領域と、前記半導体基板の表層部で前記第1のシャロウウエル引き出し領域および前記第2のシャロウウエル引き出し領域から他の素子領域を分離するように形成されたCMOS領域分離用の第4のシャロウトレンチ分離領域とを具備することを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【補正の内容】