



등록특허 10-2449552



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월04일
(11) 등록번호 10-2449552
(24) 등록일자 2022년09월27일

- (51) 국제특허분류(Int. Cl.)
H03K 19/195 (2006.01) *G06N 10/00* (2022.01)
- (52) CPC특허분류
H03K 19/1952 (2013.01)
G06N 10/00 (2022.01)
- (21) 출원번호 10-2022-7004695(분할)
- (22) 출원일자(국제) 2019년01월23일
심사청구일자 2022년02월14일
- (85) 번역문제출일자 2022년02월11일
- (65) 공개번호 10-2022-0025225
- (43) 공개일자 2022년03월03일
- (62) 원출원 특허 10-2020-7022285
원출원일자(국제) 2019년01월23일
심사청구일자 2020년07월31일
- (86) 국제출원번호 PCT/US2019/014803
- (87) 국제공개번호 WO 2019/152243
국제공개일자 2019년08월08일
- (30) 우선권주장
15/887,524 2018년02월02일 미국(US)
- (56) 선행기술조사문헌
US20090237106 A1*
JP2005252400 A
JP2005274485 A
JP2017529642 A

*는 심사관에 의하여 인용된 문헌

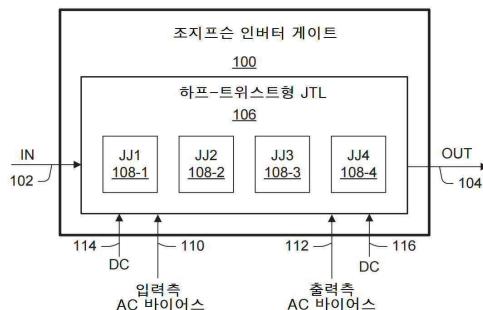
전체 청구항 수 : 총 20 항

심사관 : 최규돈

(54) 발명의 명칭 조지프슨 극성 및 논리 인버터 게이트들

(57) 요 약

조지프슨 인버터 게이트 회로는 신호 경로에서 물리적으로 큰 고효율 자기 변압기들에 대한 필요성을 없애면서 극성 또는 논리 반전의 효율적인 구현을 제공한다. 이 회로는 단일 자속 양자(SFQ) 입력 신호에 의해 트리거될 때 2개의 SFQ 펠스들을 생성하여 반전된 극성의 출력 SFQ 신호를 생성하는 분로되지 않은 부동 조지프슨 접합을 갖는 조지프슨 송신 라인(JTL) 또는 하프-트위스트형 JTL로 구성될 수 있다. 논리 인버터로서 구현되면, 자속 바이어싱을 통해 신호 반전 스테이지 내에서 회로의 적절한 초기화가 이루어진다.

대 표 도 - 도1a

(52) CPC특허분류
H03K 19/1954 (2013.01)

명세서

청구범위

청구항 1

상호 양자 논리(RQL) 인버터 게이트 회로로서,

적어도 하나의 단일 자속 양자(SFQ) 펄스를 포함하는 입력 신호를 제공하기 위한 입력;

상기 입력 신호를 출력에 전파하도록 배열된 적어도 4개의 조지프슨 접합들을 포함하는 조지프슨 송신 라인(JTL), 또한, 추가적으로, 상기 조지프슨 송신 라인의 중앙 부분에, 상기 조지프슨 송신 라인이 상기 입력 신호를 출력 신호로 반전시키도록 배열되는, 부동(floating) 조지프슨 접합을 포함하는,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 2

제 1 항에 있어서,

상기 부동 조지프슨 접합에 초기화 전류를 제공하도록 구성된 DC 입력을 더 포함하는,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 3

제 2 항에 있어서,

상기 초기화 전류는 $\Phi_0/2$ 의 전류인,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 4

제 1 항에 있어서,

AC 성분을 갖는 바이어스 신호를 각각 제공하는 적어도 2개의 바이어스 입력들을 더 포함하는,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 5

제 4 항에 있어서,

상기 적어도 2개의 바이어스 입력들 중 제1 바이어스 입력의 상기 AC 성분은 상기 적어도 2개의 바이어스 입력들 중 제2 바이어스 입력의 상기 AC 성분과 위상이 180° 상이한,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 6

제 4 항에 있어서,

상기 적어도 2개의 바이어스 입력들 중 제1 바이어스 입력은 상기 게이트 회로의 상기 출력 보다 상기 입력에 가까우며, 상기 적어도 2개의 바이어스 입력들 중 제2 바이어스 입력은 상기 게이트 회로의 상기 입력 보다 상기 출력에 더 가까우며, 또한

상기 게이트 회로가 극성 인버터이도록, 상기 제2 바이어스 입력의 상기 바이어스 신호의 DC 오프셋은 $-\Phi_0/2$ 인,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 7

제 4 항에 있어서,

상기 적어도 2개의 바이어스 입력들 중 제1 바이어스 입력은 상기 게이트 회로의 상기 출력 보다 상기 입력에 가까우며, 상기 적어도 2개의 바이어스 입력들 중 제2 바이어스 입력은 상기 게이트 회로의 상기 입력 보다 상기 출력에 더 가까우며, 또한

상기 게이트 회로가 논리적 인버터이도록, 상기 제2 바이어스 입력의 상기 바이어스 신호의 DC 오프셋은 $+\Phi_0/2$ 인,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 8

제 1 항에 있어서,

상기 JTL은:

입력 노드;

상기 입력 노드와 제1 노드 사이에 접속된 제1 인덕터;

상기 제1 노드 및 회로 접지 사이에 접속된 상기 적어도 4개의 조지프슨 접합들의 제1 조지프슨 접합;

상기 제1 노드 및 제2 노드 사이에 접속된 제2 인덕터;

상기 제2 노드 및 제3 노드 사이에 접속된 제3 인덕터; 그리고

상기 제3 노드 및 상기 회로 접지 사이에 접속된 상기 적어도 4개의 조지프슨 접합들의 제2 조지프슨 접합과 연결된,

상기 입력을 포함하는 입력단을 포함하고, 또한

출력 노드;

제5 노드 및 상기 회로 접지 사이에 접속된 상기 적어도 4개의 조지프슨 접합들의 제3 조지프슨 접합;

상기 제5 노드 및 제6 노드 사이에 접속된 제4 인덕터;

상기 제6 노드 및 제7 노드 사이에 접속된 제5 인덕터;

상기 제7 노드 및 상기 회로 접지 사이에 접속된 상기 적어도 4개의 조지프슨 접합들의 제4 조지프슨 접합; 그리고

상기 제7 노드 및 상기 출력 노드 사이에 접속된 제6 인덕터와 연결된,

상기 출력을 포함하는 출력단을 포함하며,

상기 중앙 부분은 상기 입력단 및 상기 출력단을 연결하며, 상기 중앙 부분은 상기 중앙 부분 내에 $\Phi_0/2$ 의 전류를 주입하도록 구성된 변압기 결합 DC 자속 바이어스 주입 소스를 더 포함하는,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 9

제 8 항에 있어서,

제1 AC 성분을 가지는 제1 바이어스 신호를 상기 제2 노드에 접속된 제7 인덕터를 통해 상기 JTL의 상기 입력단에 제공하도록 배열된 제 1 바이어스 입력; 및

제2 AC 성분을 가지는 제2 바이어스 신호를 상기 제6 노드에 접속된 제8 인덕터를 통해 상기 JTL의 상기 출력단에 제공하도록 배열된 제 2 바이어스 입력을 더 포함하는,

상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 10

제 9 항에 있어서,
상기 제1 AC 성분은 상기 제2 AC 성분과 위상이 180° 상이한,
상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 11

제 9 항에 있어서,
상기 게이트 회로가 극성 인버터이도록, 상기 제2 바이어스 신호의 DC 오프셋은 $-\Phi_0/2$ 인,
상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 12

제 9 항에 있어서,
상기 게이트 회로가 논리적 인버터이도록, 상기 제2 바이어스 신호의 DC 오프셋은 $+\Phi_0/2$ 인,
상호 양자 논리(RQL) 인버터 게이트 회로.

청구항 13

단일 자속 양자(SFQ) 펄스 입력에 기초하여 신호 값을 논리적으로 반전시키는 방법에 있어서, JTL의 출력단 보다 상기 JTL의 입력단에서 더 가까운 상기 JTL 내의 입력측 조지프슨 접합의 초전도상을 2π 로 설정하기 위하여 제1 양의 SFQ 펄스를 조지프슨 송신 라인(JTL: Josephson transmission line)의 상기 입력단에 제공하는 단계 – 상기 JTL은 상기 JTL의 상기 입력단 및 상기 출력단 사이의 상기 JTL의 중앙 부분에 부동(floating) 조지프슨 접합을 가짐 –;

상기 제1 양의 SFQ 펄스를 제공하기 전 또는 이후에, 그러나 상기 제1 양의 SFQ 펄스가 상기 JTL의 상기 중앙 부분을 통해 상기 JTL의 상기 출력단으로 전파될 수 있기 전에, 상기 제1 양의 SFQ 펄스가 초기화 전류에 의해서 소멸되게하고 또한 상기 JTL의 상기 출력단으로 전파되지 않도록, 상기 입력측 조지프슨 접합의 상기 초전도상에 영향을 주지 않으면서, $\Phi_0/2$ 의 전류를 상기 초기화 전류로서 부동 조지프슨 접합 내에 주입하는 단계; 및

상기 JTL의 상기 입력단 보다 상기 JTL의 상기 출력단에 더 가까운 상기 JTL 내의 출력측 조지프슨 접합의 상기 초전도상을 2π 로 설정하기 위하여 음의 SFQ 펄스가 상기 JTL의 상기 출력단으로 전파 하도록 상기 입력측 조지프슨 접합을 0 초전도상으로 재설정하기 위하여 상기 JTL의 상기 입력단에 상기 음의 SFQ 펄스를 제공하는 단계를 포함하는,

방법.

청구항 14

제 13 항에 있어서,
상기 출력측 조지프슨 접합의 상기 초전도상을 0으로 재설정하기 위하여 제2 양의 SFQ 펄스가 상기 JTL의 상기 출력단으로 전파하도록, 상기 입력측 조지프슨 접합의 상기 초전도상을 2π 로 설정하기 위하여 상기 JTL의 상기 입력단에 상기 제2 양의 SFQ 펄스를 제공하는 단계를 더 포함하는,

방법.

청구항 15

제 13 항에 있어서,
상기 JTL의 상기 입력단에 제1 AC 성분을 가지는 제1 바이어스 신호를
제공하는 단계 및 상기 JTL의 상기 출력단에 제2 AC 성분을 가지는 제2 바이어스 신호를 제공하는 단계를 더 포함하고,

상기 제2 바이어스 신호의 DC 오프셋은 $+\Phi_0/2$ 인,

방법.

청구항 16

단일 자속 양자(SFQ) 펄스 입력에 기초하여 신호 값을 논리적으로 반전시키는 방법에 있어서,

조지프슨 송신 라인(JTL: Josephson transmission line)의 입력단 보다 상기 JTL의 출력단에서 더 가까운 상기 JTL 내의 출력측 조지프슨 접합의 초전도상을 2π 로 설정하기 위하여 제1 음의 SFQ 펄스를 상기 JTL의 상기 출력단에 제공하는 단계—상기 JTL은 상기 JTL의 상기 입력단 및 상기 출력단 사이에 중심 부분을 가짐—;

상기 제1 음의 SFQ 펄스를 제공하기 전 또는 이후에, 그러나 상기 제1 음의 SFQ 펄스가 상기 JTL의 중앙 부분을 통해 상기 JTL의 상기 입력단으로 전파되기 전에,

상기 출력측 조지프슨 접합의 상기 초전도상에 영향을 주지 않으면서, 상기 제1 음의 SFQ 펄스가 초기화 전류에 의해서 소멸되도록 그리고 상기 JTL의 상기 입력단으로 통해 전파되지 않도록, 상기 JTL의 상기 중앙 부분 내의 중앙 루프에 초기화 전류로서 Φ_0 전류, 또는

상기 출력측 조지프슨 접합의 상기 초전도상에 영향을 주지 않으면서, 상기 제1 음의 SFQ 펄스가 상기 초기화 전류에 의해서 소멸되고 상기 JTL의 상기 입력단으로 전파하지 않도록, 상기 JTL의 상기 중앙 부분 내의 부동 조지프슨 접합 내에 초기화 전류로서 $\Phi_0/2$ 전류,

중 하나를 주입하는 단계; 및

양의 SFQ 펄스가 상기 출력측 조지프슨 접합의 초전도상을 0으로 재설정하기 위하여 상기 JTL의 상기 출력단으로 전파하도록, 상기 JTL의 상기 출력단 보다 상기 JTL의 상기 입력단에 더 가까운 상기 JTL 내의 출력측 조지프슨 접합의 상기 초전도상을 2π 로 설정하기 위하여 상기 JTL의 상기 입력단에 상기 양의 SFQ 펄스를 제공하는 단계를 포함하는,

방법.

청구항 17

제 16 항에 있어서,

상기 출력측 조지프슨 접합의 상기 초전도상을 2π 로 설정하기 위해 제2 음의 SFQ 펄스가 상기 JTL의 상기 출력단으로 전파하도록, 상기 입력측 조지프슨 접합의 초전도상을 0으로 재설정하기 위하여 상기 제2 음의 SFQ 펄스를 상기 JTL의 상기 입력단에 제공하는 단계를 더 포함하는,

방법.

청구항 18

제 16 항에 있어서,

$\Phi_0/2$ 의 전류가 상기 JTL의 상기 중앙 부분 내의 상기 부동 조지프슨 접합 내로 주입되고,

상기 방법은 상기 JTL의 상기 입력단에 제1 AC 성분을 가지는 제1 바이어스 신호를 제공하는 단계 및 상기 JTL의 상기 출력단에 제2 AC 성분을 가지는 제2 바이어스 신호를 제공하는 단계를 더 포함하고,

상기 제2 바이어스 신호의 DC 오프셋은 $+\Phi_0/2$ 인,

방법.

청구항 19

제 16 항에 있어서,

Φ_0 의 전류가 상기 중앙 루프 내로 주입되고, 상기 JTL은 하프-트위스트형 JTL이며,

상기 하프-트위스트형 JTL의 각각의 단부는 신호 전파 측 및 접지 측을 가지며, 상기 입력단의 상기 신호 전파

측은 상기 출력단의 상기 접지 측이며 상기 입력단의 상기 접지측은 상기 출력단의 상기 신호 전파 측인, 방법.

청구항 20

제 19 항에 있어서,

상기 중앙 루프 내로 Φ_0 의 전류를 주입시키는 것은 $\Phi_0/2$ 자속 바이어스를 상기 중앙 루프 내의 인터터들과 병렬로 각각 배열된 2 개의 조지프슨 접합 각각을 통해 상기 중앙 루프에 제공하는 단계를 포함하는, 방법.

발명의 설명

기술 분야

- [0001] [0001] 본 출원은 2018년 2월 2일자로 출원된 미국 특허출원 일련번호 제15/887524호로부터의 우선권을 주장하며, 이 출원은 그 전체가 본 명세서에 포함된다.
- [0002] [0002] 본 발명은 일반적으로 양자 및 고전 디지털 초전도 회로들에 관한 것으로, 특히 조지프슨 극성 및 논리 인버터 게이트들에 관한 것이다.

배경 기술

- [0003] [0003] 디지털 논리 분야에서는, 잘 알려져 있고 고도로 개발된 상보형 금속 산화물 반도체(CMOS: complimentary metal-oxide semiconductor) 기술이 광범위하게 사용된다. CMOS가 기술로서 완성에 가까워지기 시작함에 따라, 속도, 전력 소산 계산 밀도, 상호 접속 대역폭 등의 측면에서 더 높은 성능으로 이어질 수 있는 대안들에 대한 관심이 있다. CMOS 기술에 대한 대안은 초당 20 기가비트(Gb/s) 이상의 통상적인 데이터 레이트로 약 4 나노와트(nW)의 통상적인 신호 전력 및 약 4 켐빈의 작동 온도에서 초전도 조지프슨 접합(JJ: Josephson junction)들을 이용하는 초전도체 기반 단일 자속 양자 회로를 포함한다.
- [0004] [0004] 인버터는 입력 신호를 출력으로 반전시킬 수 있는 전기 회로 디바이스이다. 극성 인버터는 어떤 크기를 갖는 양의(positive) 입력 값이 반전되어 입력 값과 크기는 같지만 부호 또는 극성이 반대인 음의(negative) 입력 값을 갖는 출력 신호를 생성하거나 그러한 출력 상태가 되도록 입력 신호의 극성을 반전시킨다. 단지 2개의 논리적 의미들만을 갖는 디지털 논리 콘택스트들에서, 논리 인버터는 논리 입력을 논리 입력의 반대인 논리적 의미를 갖는 논리 출력으로 반전시킬 수 있는 게이트이다. 따라서 반전된 "로우" 또는 "0" 논리 입력은 "하이" 또는 "1" 논리 출력을 그리고 그 반대를 제공한다. 극성 인버터는 다수가 논리 반전과 연관된 이진 상태들 보다 더 많은 상태들, 예컨대 3개 이상의 상태들을 수반하는 방식으로 입력 신호의 극성을 반전시킬 수 있다.

발명의 내용

- [0005] [0005] 일례는 조지프슨 인버터 게이트 회로를 제공한다. 이 회로는 적어도 하나의 단일 자속 양자(SFQ: single flux quantum) 펄스로 구성된 입력 신호를 제공하기 위한 입력, 및 입력 신호를 출력으로 전파하도록 그리고 입력 신호를 출력 신호로 반전시키도록 배열된 적어도 4개의 조지프슨 접합들을 포함하는 하프-트위스트형(half-twisted) 조지프슨 송신 라인(JTL: Josephson transmission line)을 포함한다. 하프-트위스트형 JTL은 중앙 루프를 가질 수 있다. 인버터 게이트 회로는, 입력단 조지프슨 접합을 2π 초전도상(superconducting phase)으로 설정하는 입력 신호의 출력으로의 전파시 하프-트위스트형 JTL의 출력단 조지프슨 접합이 -2π 초전도상을 나타내고, 입력단 조지프슨 접합을 0 초전도상으로 재설정하는 입력 신호의 출력으로의 전파시 출력단 조지프슨 접합이 0 초전도상을 나타내게 하는 극성 인버터일 수 있다. 대안으로, 인버터 게이트 회로는, 과도(transient) 시동 기간 후, 입력단 조지프슨 접합을 2π 초전도상으로 설정하는 입력 신호의 출력으로의 전파시 출력단 조지프슨 접합이 0 초전도상을 나타내고, 입력단 조지프슨 접합을 0 초전도상으로 재설정하는 입력 신호의 출력으로의 전파시 출력단 조지프슨 접합이 2π 초전도상을 나타내게 하는 논리 인버터일 수 있다.
- [0006] [0006] 다른 예는 SFQ 펄스 입력들에 기초하여 신호 값을 논리적으로 반전시키는 방법을 제공한다. 하프-트위스트형 JTL의 입력측 조지프슨 접합(즉, 하프-트위스트형 JTL의 출력단보다 하프-트위스트형 JTL의 입력단에 더

가까운 조지프슨 접합)을 2π 초전도상으로 설정하도록 하프-트위스트형 JTL의 입력단에 제1 양의 SFQ 펄스가 제공된다. 제1 양의 SFQ 펄스를 제공하기 전 또는 후, 그러나 제1 양의 SFQ 펄스가 하프-트위스트형 JTL의 중앙 루프를 통해 출력 쪽으로 전파될 수 있기 전에, $1\Phi_0$ 의 전류가 초기화 전류로서 중앙 루프에 주입되어, 제1 양의 SFQ 펄스가 초기화 전류에 의해 소멸되고 중앙 루프를 통해 하프-트위스트형 JTL의 출력단 쪽으로 전파되지 않는다. 이는 입력측 조지프슨 접합의 초전도상에는 영향을 주지 않는다. 그 다음, 입력측 조지프슨 접합을 0 초전도상으로 재설정하도록 하프-트위스트형 JTL의 입력단에 음의 SFQ 펄스가 제공되어, 하프-트위스트형 JTL의 출력측 조지프슨 접합(즉, 하프-트위스트형 JTL의 입력단보다 하프-트위스트형 JTL의 출력단에 더 가까운 조지프슨 접합)의 초전도상을 2π 로 설정하도록 하프-트위스트형 JTL의 출력단에 음의 SFQ 펄스가 전파된다. 이 방법은 입력측 조지프슨 접합을 2π 초전도상으로 설정하도록 하프-트위스트형 JTL의 입력단에 제2 양의 SFQ 펄스를 제공함으로써, 출력측 조지프슨 접합의 초전도상을 0으로 재설정하도록 하프-트위스트형 JTL의 출력단으로 제2 양의 SFQ 펄스가 전파되는 것으로 계속될 수 있다.

[0007] 다른 예는 SFQ 펄스 입력들에 기초하여 신호 값을 논리적으로 반전시키는 다른 방법을 제공한다. JTL의 출력측 조지프슨 접합을 2π 초전도상으로 설정하도록 JTL의 중앙 부분에 부동 조지프슨 접합을 갖는 JTL의 입력단에 제1 양의 SFQ 펄스가 제공된다. 제1 양의 SFQ 펄스를 제공하기 전 또는 후, 그러나 제1 양의 SFQ 펄스가 JTL의 중앙 부분을 통해 출력 쪽으로 전파되기 전에, $\Phi_0/2$ 의 전류가 초기화 전류로서 부동 조지프슨 접합에 주입되어, 제1 양의 SFQ 펄스가 초기화 전류에 의해 소멸되고 중앙 부분을 통해 JTL의 출력단 쪽으로 전파되지 않는다. 이는 입력측 조지프슨 접합의 초전도상에는 영향을 주지 않는다. 그 다음, 입력측 조지프슨 접합을 0 초전도상으로 재설정하도록 JTL의 입력단에 음의 SFQ 펄스가 제공되어, JTL의 출력측 조지프슨 접합의 초전도상을 2π 로 설정하도록 JTL의 출력단에 음의 SFQ 펄스가 전파된다. 이 방법은 입력측 조지프슨 접합을 2π 초전도상으로 설정하도록 JTL의 입력단에 제2 양의 SFQ 펄스를 제공함으로써, 출력측 조지프슨 접합의 초전도상을 0으로 재설정하도록 JTL의 출력단으로 제2 양의 SFQ 펄스가 전파되는 것으로 계속될 수 있다.

[0008] 다른 예는 SFQ 펄스 입력들에 기초하여 신호 값을 논리적으로 반전시키는 또 다른 방법을 제공한다. 하프-트위스트형 JTL의 출력측 조지프슨 접합을 2π 초전도상으로 설정하도록 하프-트위스트형 JTL의 출력단에 제1 음의 SFQ 펄스가 제공된다. 제1 음의 SFQ 펄스를 제공하기 전 또는 후, 그러나 제1 음의 SFQ 펄스가 하프-트위스트형 JTL의 중앙 루프를 통해 입력 쪽으로 전파되기 전에, $1\Phi_0$ 의 전류가 초기화 전류로서 중앙 루프에 주입되어, 제1 음의 SFQ 펄스가 초기화 전류에 의해 소멸되고 중앙 루프를 통해 하프-트위스트형 JTL의 입력단 쪽으로 전파되지 않는다. 이는 출력측 조지프슨 접합의 초전도상에는 영향을 주지 않는다. 그 다음, 입력측 조지프슨 접합을 2π 초전도상으로 설정하도록 하프-트위스트형 JTL의 입력단에 양의 SFQ 펄스가 제공되어, 하프-트위스트형 JTL의 출력측 조지프슨 접합의 초전도상을 0으로 설정하도록 하프-트위스트형 JTL의 출력단에 양의 SFQ 펄스가 전파된다. 이 방법은 입력측 조지프슨 접합을 0 초전도상으로 재설정하도록 하프-트위스트형 JTL의 입력단에 제2 음의 SFQ 펄스를 제공함으로써, 출력측 조지프슨 접합의 초전도상을 2π 로 설정하도록 하프-트위스트형 JTL의 출력단으로 제2 음의 SFQ 펄스가 전파되는 것으로 계속될 수 있다.

[0009] 다른 예는 SFQ 펄스 입력들에 기초하여 신호 값을 논리적으로 반전시키는 또 다른 방법을 제공한다. JTL의 출력측 조지프슨 접합을 2π 초전도상으로 설정하도록 JTL의 중앙 부분에 부동 조지프슨 접합을 갖는 JTL의 출력단에 제1 음의 SFQ 펄스가 제공된다. 제1 음의 SFQ 펄스를 제공하기 전 또는 후, 그러나 제1 음의 SFQ 펄스가 JTL의 중앙 부분을 통해 입력 쪽으로 전파되기 전에, $\Phi_0/2$ 의 전류가 초기화 전류로서 부동 조지프슨 접합에 주입되어, 제1 음의 SFQ 펄스가 초기화 전류에 의해 소멸되고 중앙 부분을 통해 JTL의 입력단 쪽으로 전파되지 않는다. 이는 출력측 조지프슨 접합의 초전도상에는 영향을 주지 않는다. 그 다음, 입력측 조지프슨 접합을 2π 초전도상으로 설정하도록 JTL의 입력단에 양의 SFQ 펄스가 제공되어, JTL의 출력측 조지프슨 접합의 초전도상을 0으로 재설정하도록 JTL의 출력단에 양의 SFQ 펄스가 전파된다. 이 방법은 입력측 조지프슨 접합을 0 초전도상으로 재설정하도록 JTL의 입력단에 제2 음의 SFQ 펄스를 제공함으로써, 출력측 조지프슨 접합의 초전도상을 2π 로 설정하도록 JTL의 출력단으로 제2 음의 SFQ 펄스가 전파되는 것으로 계속될 수 있다.

[0010] 또 다른 예는 입력단, 출력단, 입력단과 출력단을 접속하는 중앙 부분으로 구성된 초전도 상호 양자 논리(RQL: reciprocal quantum logic) 인버터 회로를 제공한다. 중앙 부분은 적어도 2개의 JJ들을 포함하는 중앙 루프, 및/또는 $1\Phi_0$ 의 전류를 주입하도록 구성된 변압기 결합 DC 자속 바이어스 주입 소스와 직렬인 부동 조지프슨 접합 중 적어도 하나를 포함한다. 입력단은 입력 노드와 제1 노드 사이에 접속된 제1 인덕터, 제1 노드와 회로 접지 사이에 접속된 제1 조지프슨 접합, 제1 노드와 제2 노드 사이에 접속된 제2 인덕터, 제2 노드와 제3 노드 사이에 접속된 제2 조지프슨 접합, 및 제3 노드와 회로 접지 사이에 접속된 제3 인덕터를 포함한다.

출력단은 제4 노드와 회로 접지 사이에 접속된 제4 인덕터, 제4 노드와 제5 노드 사이에 접속된 제3 조지프슨 접합, 제5 노드와 제6 노드 사이에 접속된 제5 인덕터, 제6 노드와 회로 접지 사이에 접속된 제4 조지프슨 접합, 및 제6 노드와 출력 노드 사이에 접속된 제6 인덕터를 포함한다.

[0011] 또 다른 예는 조지프슨 인버터 게이트 회로를 제공한다. 이 회로는 적어도 하나의 단일 자속 양자(SFQ) 필스로 구성된 입력 신호를 제공하기 위한 입력, 및 입력 신호를 출력으로 전파하도록 그리고 입력 신호를 출력 신호로 반전시키도록 배열된 적어도 5개의 조지프슨 접합들을 포함하는 JTL을 포함하며, 이러한 조지프슨 접합들 중 하나는 JTL에서 중앙에 위치된 부동 조지프슨 접합이다. 인버터 게이트 회로는 부동 조지프슨 접합에 초기화 전류를 제공하기 위한 단일 DC 자속 바이어스 입력을 가질 수 있다. 인버터 게이트 회로는 제1 예와 관련하여 정의된 바와 같이, 극성 인버터 또는 논리 인버터일 수 있다.

[0012] 아직 또 다른 예는 입력단, 출력단, 입력단과 출력단을 접속하는 중앙 부분으로 구성된 초전도 상호 양자 논리(RQL) 인버터 회로를 제공하며, 중앙 부분은 부동 조지프슨 접합, 및 1 Φ_0 의 전류를 주입하도록 구성된 변압기 결합 DC 자속 바이어스 주입 소스를 포함한다. 입력단은 입력 노드와 제1 노드 사이에 접속된 제1 인덕터, 제1 노드와 회로 접지 사이에 접속된 제1 조지프슨 접합, 제1 노드와 제2 노드 사이에 접속된 제2 인덕터, 제2 노드와 제3 노드 사이에 접속된 제3 인덕터, 및 제3 노드와 회로 접지 사이에 접속된 제2 조지프슨 접합을 포함한다. 출력단은 제5 노드와 회로 접지 사이에 접속된 제3 조지프슨 접합, 제5 노드와 제6 노드 사이에 접속된 제7 인덕터, 제6 노드와 제7 노드 사이에 접속된 제8 인덕터, 제7 노드와 회로 접지 사이에 접속된 제4 조지프슨 접합, 및 제7 노드와 출력 노드 사이에 접속된 제10 인덕터를 포함한다. 이 회로는 AC 성분을 갖는 바이어스 신호를 각각 제공하는 2개의 바이어스 입력들을 더 포함할 수 있으며, 제1 바이어스 입력은 제2 노드에서 회로에 접속된 제4 인덕터를 통해 접속되고, 제2 바이어스 입력은 제6 노드에서 회로에 접속된 제9 인덕터를 통해 접속된다.

도면의 간단한 설명

[0013] 도 1a는 하프-트위스트형 조지프슨 송신 라인(JTL)을 갖는 예시적인 조지프슨 인버터 게이트의 블록도이다.

[0014] 도 1b는 부동 조지프슨 접합을 포함하는 JTL을 갖는 다른 예시적인 조지프슨 인버터 게이트의 블록도이다.

[0015] 도 2는 예시적인 하프-트위스트형 JTL의 개략도이다.

도 3a는 하프-트위스트형 JTL을 사용하는 예시적인 조지프슨 극성 인버터 게이트의 개략도이다.

[0016] 도 3b는 도 3a의 예시적인 게이트의 시뮬레이션 결과들의 그래프이다.

[0017] 도 3c - 도 3g는 도 3a의 예시적인 조지프슨 극성 인버터 게이트의 주석이 달린 개략도로, 회로의 예시적인 기능을 도시한다.

[0018] 도 4a는 하프-트위스트형 JTL을 사용하는 예시적인 조지프슨 논리 인버터 게이트의 개략도이다.

[0019] 도 4b는 도 4a의 예시적인 게이트의 시뮬레이션 결과들의 그래프이다.

[0020] 도 4c - 도 4j는 도 4a의 예시적인 조지프슨 논리 인버터 게이트의 주석이 달린 개략도로, 회로의 제1 예시적인 기능을 도시한다.

[0021] 도 4k - 도 4r은 도 4a의 예시적인 조지프슨 논리 인버터 게이트의 주석이 달린 개략도로, 회로의 제2 예시적인 기능을 도시한다.

[0022] 도 5는 하프-트위스트형 JTL 및 직접 결합을 사용하는 예시적인 조지프슨 논리 인버터 게이트의 개략도이다.

[0023] 도 6은 하프-트위스트형 JTL을 사용하는 다른 예시적인 조지프슨 논리 인버터 게이트의 개략도이다.

[0024] 도 7은 부동 조지프슨 접합을 포함하는 JTL을 사용하는 조지프슨 극성 인버터 게이트의 개략도이다.

[0025] 도 8은 부동 조지프슨 접합을 포함하는 JTL을 사용하는 조지프슨 논리 인버터 게이트의 개략도이다.

[0026] 도 9는 양의 중앙 DC 자속 바이어스의 도 8의 예시적인 논리 인버터 게이트의 시뮬레이션 결과들의 그

래프이다.

[0027] 도 10은 음의 중앙 DC 자속 바이어스의 도 8의 예시적인 논리 인버터 게이트의 시뮬레이션 결과들의 그 래프이다.

[0028] 도 11a 및 도 11b는 단일 자속 양자(SFQ) 펠스 입력들에 기초하여 신호 값을 논리적으로 반전시키는 방법들을 예시하는 흐름도들이다.

발명을 실시하기 위한 구체적인 내용

[0014]

[0029] CMOS 기술에서의 반전은 일반적으로 저전압에서 고전압으로의 또는 그 반대로의 변환을 수반한다. 위상 모드 논리(PML: phase mode logic)를 사용하는 회로들에서 신호들의 반전은 더 어려운 문제를 제기하는데, PML 회로들에서 논리 상태들이 예를 들어, 조지프슨 접합들의 초전도상들로서 인코딩되기 때문이며, 이러한 위상들은 회로들을 통해 전파하는 양 또는 음의 펠스들, 예컨대 단일 자속 양자(SFQ) 펠스들로 설정 또는 재설정된다. 인코딩 패러다임의 차이는 CMOS 반전 방법들의 기술들 및 구조들이 PML 반전을 달성하는 데 도움이 되지 않으며, 간단하고 효과적인 PML 인버터를 구현하기 위해 새로운 기술들 및 구조들이 고안해야 한다는 것을 의미한다. 상호 양자 논리(RQL) 초전도 논리 회로군으로부터의 회로들과 같은 위상 모드 회로들에서 신호 반전을 달성하기 위한 기존 기술들은 극성 반전 변환기의 사용, 그리고 이어서 논리적 "하이"로 초기화되는 JTL의 사용에 의존한다. 그러나 변압기는 물리적으로 크고 효율이 높을 것이 요구된다.

[0015]

[0030] 따라서 본 개시내용은 일반적으로 초전도 시스템들에서 사용하기 위한 논리 게이트 회로들에 관한 것이다. 일부 예들에서, 1 입력, 1 출력 초전도 인버터 게이트가 위상 모드 논리 입력들의 극성 반전을 제공할 수 있다. 다른 예들에서, 1 입력, 1 출력 초전도 인버터 게이트가 위상 모드 논리 입력들의 논리 반전을 제공할 수 있다. 따라서 예를 들어, "로우" 및 "하이" 논리 상태들이 각각 조지프슨 접합들의 0 및 2π 초전도상들로서 인코딩될 때, RQL 초전도 회로에서와 같은 초전도 회로의 게이트는 게이트 입력 상의 양의 SFQ 펠스에 대한 응답으로 게이트 출력 상에서 음의 SFQ 펠스를 전달하도록, 그리고 게이트 입력 상의 음의 SFQ 펠스에 대한 응답으로 게이트 출력 상에서 양의 SFQ 펠스를 전달하도록 구성될 수 있다. 이러한 펠스들은 대응하는 논리 "로우" 또는 "하이" 상태들을 인코딩하는 조지프슨 접합들의 위상들을 설정 또는 재설정할 수 있다. 본 명세서에서 설명되는 인버터들은 신호 경로 상에서 물리적으로 큰 고효율 변압기들에 대한 필요성을 없앤다.

[0016]

[0031] 도 1a는 입력 IN(102) 및 입력 IN(102)의 반전에 대응하는 출력 OUT(104)을 갖는 예시적인 조지프슨 인버터 게이트(100)의 블록도이다. 조지프슨 인버터 게이트(100)의 구성에 따라, 출력 OUT(104)은 입력 IN(102)의 극성 반전 또는 논리 반전을 제공할 수 있다. 인버터 게이트(100)는 하프-트위스트형 조지프슨 송신 라인(JTL)(106)을 포함하며, 이는 적어도 4개의 조지프슨 접합(JJ)들(108-1, 108-2, 108-3, 108-4)을 포함하고, 서로 위상이 반대인 2개의 AC 바이어스 라인들(110, 112)로부터 입력들을 수신한다. "하프-트위스트형 JTL"에 의해, 종래의 JTL의 구조는 그에 하프-트위스트가 적용되게 하여, 출력에서의 접지 기준이 입력에 대해 JTL의 반대쪽에 있고, 하프-트위스트형 JTL이 인가된 SFQ 전압 펠스의 극성을 반전시킨다고 여겨진다. 인버터 게이트(100)는 4개보다 많은 조지프슨 접합들을 포함할 수 있다. 인버터 게이트(100)는 또한 하나 이상의 DC 입력들(114, 116)을 포함할 수 있는데, 이러한 입력들은 시스템 시동시 하프-트위스트형 JTL(106) 상에 초기화 조건들을 설정하도록 제공될 수 있다. 예를 들어, DC 입력들(114, 116)은 각각 $\Phi_0/2$ 가치의 전류를 하프-트위스트형 JTL(106)의 중앙 루프에 주입할 수 있다. 일부 예들에서, 두 $\Phi_0/2$ 전류들이 제공되어 서로 상쇄될 수 있다. 다른 예들에서는, 두 $\Phi_0/2$ 전류들이 제공되어 전체 Φ_0 으로 합산되고 이에 따라 하나의 전체 Φ_0 가치의 전류를 중앙 루프에 놓을 수 있다. 입력 IN(102) 및 출력 OUT(104)에 그리고 이들에 의해 제공되는 신호들은 각각, 어서트된 또는 디어서트된 논리 상태들에 각각 대응하는 양의 또는 음의 단일 자속 양자(SFQ) 펠스들로 구성될 수 있다. 대응하는 입력 및 출력 논리 상태들은 JTL 조지프슨 접합들(108-1 내지 108-4)의 초전도상들에 저장될 수 있는데, 즉 이러한 초전도상들로 인코딩될 수 있다.

[0017]

[0032] 도 1b는 입력 IN(152) 및 입력 IN(152)의 반전에 대응하는 출력 OUT(154)을 갖는 다른 예시적인 조지프슨 인버터 게이트(150)의 블록도이다. 게이트(100)에서와 같이, 조지프슨 인버터 게이트(150)의 구성에 따라, 출력 OUT(154)은 입력 IN(152)의 극성 반전 또는 논리 반전을 제공할 수 있다. 인버터 게이트(150)는 JTL(156)을 포함하며, 이는 적어도 4개의 조지프슨 접합(JJ)들(108-1, 108-2, 108-3, 108-4) 그리고 추가로, 저감쇠(underdamped) 부동 조지프슨 접합(158-5)을 포함한다. 이와 관련하여 "부동"은 조지프슨 접합 단자들 중 어느 것도 접지되지 않음을 의미한다. JTL(156)은 2개의 AC 바이어스 라인들(160, 162)로부터 입력들을 수신하는데, 이러한 입력들은 반드시 정확하게는 아니지만, 기능상 서로 위상이 반대이다. 인버터 게이트(150)는 4개보다

많은 조지프슨 접합들을 포함할 수 있다. 인버터 게이트(150)는 또한 DC 입력(164)을 포함할 수 있는데, 이러한 입력들은 시스템 시동시 JTL(156) 상에 초기화 조건들을 설정하도록 제공될 수 있다. 예를 들어, DC 입력(164)은 $\Phi_0/2$ 의 전류를 부동 JJ(158-5)에 주입할 수 있다. 입력 IN(152) 및 출력 OUT(154)에 그리고 이들에 의해 제공되는 신호들은 각각 어서트된 또는 디어서트된 논리 상태들에 각각 대응하는 양의 또는 음의 단일 자속 양자(SFQ) 펄스들로 구성될 수 있다. 대응하는 입력 및 출력 논리 상태들은 JTL 조지프슨 접합들(158-1 내지 158-4)의 초전도상들에 저장될 수 있는데, 즉 이러한 초전도상들로 인코딩될 수 있다.

[0018] [0033] 도 2는 앞서 논의한 바와 같이, "하프-트위스트"를 갖는 JTL의 토플러지(200)를 예시하는데, 이는 트위스트 지점(202)에 전기적으로 접속하지 않고 트위스트 지점(202)에서 교차하는 위와 아래 굽은 라인들로서 도시된 유도 상호 접속부를 갖는 AC 바이어스 조지프슨 접합들로 구성된다. 토플러지(200)는 RQL 데이터 인코딩을 수용할 수 있는데, 여기서 모든 각각의 양의 SFQ 펄스에는 음의 1이 뒤따른다.

[0019] [0034] JTL(200)의 각각의 단부는 상부 신호 전파 측 및 하부 접지 측을 갖는데, 이들은 전압 노드들이 아니라, 그보다 유도 상호 접속부들이어서 입력과 출력 사이의 적절한 격리 및 이득이 존재한다. JTL(200)의 하프-트위스트(202)는 JTL(200)이 입력에서 출력으로 진행함에 따라 신호 전파 측이 접지 측이 되는 것을 의미한다. 입력 RQL In과 출력 RQL Out 사이의 접속은 유도성이므로, 입력에서의 신호 전파 측은 토플러지(200)를 단락시키지 않고 출력에서 접지될 수 있다. 각각의 조지프슨 접합은 AC 바이어스들(204, 206, 208, 210)에 의해 제공된 바이어싱에 의해 부분적으로 지시되는 시간들에 로컬로 트리거되고, 신호가 출력으로 전파되는 시간에 전압 극성이 반전되었다. 하프-트위스트(202)로 인해, AC 바이어스들(208, 210)은 AC 바이어스들(204, 206)과 방향이 반대이다(즉, AC 위상으로 반전된다). (도 2에 도시되지 않은) 자속 바이어싱에 따라 신호 반전 스테이지 내에서 논리적 하이로의 출력의 초기화가 달성될 수 있다.

[0020] [0035] RQL 논리 회로들은 논리 변화들을 SFQ 펄스들 또는 이러한 펄스들의 트레인들로서 전파시킨다. 따라서 신호들의 반전은 신호 트레인을 반전시키기 위해 SFQ 펄스들의 생성 또는 소멸을 수반하도록 개념화될 수도 있지만, 이러한 기능의 구현은 물리적으로 어렵다고 판명된다. 그러므로 논리 신호들을 SFQ 펄스들에 관해 개념화하는 것이 아니라, 논리 상태들이 논리 엘리먼트들로 사용되는 조지프슨 접합들로 초전도상들로 개념화될 수 있으며, 여기서 위상은 모든 각각의 노드에서 전압의 시간 적분으로서 정의된다. 하프-트위스트형 JTL 토플러지(200)는 하이 위상을 로우 위상으로 그리고 그 반대로 변환할 수 있으며, 이로써 RQL In 단자에서 제공되는 착신 SFQ 전압 펄스의 극성을 반전시킬 수 있는데, 이는 토플러지(200)가 펄스들을 생성 또는 소멸시키려고 시도하는 대신, 조지프슨 접합 위상 극성들을 입력과 출력 간에 거꾸로 플립하기 때문이다. 도 2는 8개의 조지프슨 접합들을 갖는 것으로서 하프-트위스트형 JTL(200)을 도시하지만, 본 개시내용에 따른 인버터는 더 적은 조지프슨 접합들로 이루어질 수 있다.

[0021] [0036] 도 3a는 도 2의 하프-트위스트 토플러지 모델에 뒤따르는, 직접 결합에 의한 RQL 신호 극성 인버터(300)의 개략도를, 도 3b에 도시된 시뮬레이션 결과 플롯들을 동반하여 도시한다. 조지프슨 접합들(J_1, J_2, J_3, J_4) 근처에 배치된 점들을 참조하면, 회로(300)는 양의 입력 펄스가 출력으로 전파된 이후의 최종 상태로 예시된다. 모든 조지프슨 접합들(J_1, J_2, J_3, J_4)이 0 초전도상에 있는 (도 3b의 0 피코초 마크에서의) 초기 상태에서부터, 입력 라인에서 양의 SFQ 펄스로서 제공된 입력 신호는 제1 조지프슨 접합(J_1)이 트리거되게 하고(이를 2π 초전도상에 놓음), 이는 차례로 제2 조지프슨 접합(J_2)을 트리거하고, 이는 차례로 제3 조지프슨 접합(J_3)을 트리거하며, 이는 차례로 제4 조지프슨 접합(J_4)을 트리거한다(이를 -2π 초전도상에 놓음). 도 3a에서 각각의 조지프슨 접합 근처의 조지프슨 접합 초전도상 점들의 상대적인 배치로 나타낸 바와 같이, 제4 조지프슨 접합(J_4)은 제1 조지프슨 접합(J_1)의 트리거와 비교하여 "반대" 극성으로 트리거된다. 따라서 출력 라인은 입력에서의 양의 SFQ 펄스에 대한 응답으로 음의 SFQ 펄스를 송신하고, 그 반대도 마찬가지이다.

[0022] [0037] (예컨대, 제1 조지프슨 접합(J_1)에서 측정된) 입력에서의 초전도상 및 (예컨대, 제4 조지프슨 접합(J_4)에서 측정된) 출력에서의 초전도상이 도 3b의 그래프에 플로팅된다. 입력 초전도상은 파선으로 플로팅되고, 출력 초전도상은 실선으로 플로팅된다. 그래프에서 볼 수 있듯이, 입력 초전도상이 (약 200 피코초 마크에서) 0에서 2π 로 전이한 후 약간 짧은 지연 시간 이후에, 출력 초전도상이 0에서 -2π 로 전이한다. 그 후, 입력에 음의 펄스가 도달하여 입력 초전도상을 (약 350 피코초 마크에서) 0으로 복구하면, 출력 초전도상도 또한 0으로 돌아간다. 그런 다음, 다른 양의 펄스가 입력에 도달하여 입력 초전도상을 다시 (약 400 피코초 마크에서) 2π 로 상승시키면, 출력 초전도상은 짧은 전파 시간 후에 다시 -2π 위상의 극성 반전을 나타낸다. 그 후, 다른

음의 펄스가 입력에 도달하여 입력 초전도상을 다시 (약 450 피코초 마크에서) 0이 되게 하면, 출력 초전도상도 또한 0으로 돌아간다. 따라서 도 3b의 그래프는 도 3a의 극성 인버터(300)의 동작을 정확하게 특성화한다.

[0023] 계속 도 3a와 관련하여, 제2 접합(J_2) 및 제3 접합(J_3)은 회로(300)의 중심에 있는 초전도 루프의 일부이다. AC 바이어스 신호들(AC_{IN} , AC_{OUT})은 can be, 예를 들어, 크기가 같고, 심벌들에서 화살표들의 상대적 포인팅으로 나타낸 것과 같이, 기능상, 반드시 정확한 것은 아니지만, AC 상의 반대 방향인 AC 사인파 신호들일 수 있다. 다른 상대적 AC 상 할당들은 또한 동작 회로(300)를 야기할 수 있다. 적절한 바이어싱을 제공하기 위해, DC 오프셋 소스들(DC_{IN} , DC_{OUT})은 각각 $\Phi_0/2$ 의 전류를 변압기 결합들(L_9/L_{10} , L_{11}/L_{12})을 통해 조지프슨 접합들(J_2 , J_3)에 의해 공유되는 중앙 루프에 흐르게 할 수 있으며, Φ_0 은 대략 2.07 밀리암페어-피코헨리(milliamps-picohenries)와 같다. 이러한 $\Phi_0/2$ 자속 바이어스들은 접지에 대한 인덕터들(L_3 , L_4)을 고려하여 이중 웰(double-well) 전위의 대칭을 유지하는 것을 도우며; 회로는 인덕터들(L_3 , L_4)을 통해 접지로 직접 신호를 전송하는 것을 보상하도록 DC 자속 바이어스들 없이 하드 로드될 것이다. 그러나 회로(300)에서, 중앙 루프에 제공되는 임의의 초기화 전류와 관련하여, 2개의 DC 소스들(DC_{IN} , DC_{OUT})에 의해 제공되는 기능적으로 동일하며 상반하는 전류들이 서로 상쇄된다. 제1 접합(J_1)은 회로(300)의 하단에서 접지까지의 인덕터(L_3)를 통해서가 아니라 회로(300)의 상단에서 접지까지의 인덕터(L_4)를 통해 접지에 로드된다. 도 3a의 극성 인버터에서는, 신호 경로에 고효율 변압기가 없다는 점이 추가로 주목되어야 한다. (여기에서 사용되는 바와 같이, "고효율" 변압기는 0.5보다 더 큰 결합 계수(k)를 갖는, 즉 $k = L_m/\sqrt{L_p L_s} > 0.5$ 인 변압기이며, 여기서 L_m 은 상호 인덕턴스이고, L_p 및 L_s 는 1차 인덕터 및 2차 인덕터의 개개의 자체 인덕턴스들이다. 회로(300)에서, L_9/L_{10} 및 L_{11}/L_{12} 변압기들은, 1차 인덕터들(L_{10} , L_{12})이 신호 진폭에 관계없이 임의의 진폭을 가질 수 있는 DC 바이어스들을 송신한다는 점에서 신호 경로에 있지 않다.) 따라서 DC 바이어스 전류의 비례 스케일링으로 결합이 임의로 작을 수 있다.

[0024] 도 3c 내지 도 3g는 도 3a의 극성 인버터 회로(300)의 예시적인 기능을 예시한다. 도 3c는 양의 입력 펄스가 극성 인버터(300)의 입력에 도입되어 전류(302)를 발생시키는 것을 도시한다. 이는 제1 조지프슨 접합(J_1)을 트리거하여, 도 3d에서 제1 조지프슨 접합(J_1) 위에 배치된 점으로 표시된 바와 같이, 초전도상을 0에서 2π 로 상승시킨다. 제1 조지프슨 접합(J_1)의 트리거는 기능적으로 동일하며 상반하는 전류(304)가 초기 입력 펄스(302)를 소멸하게 하고, 또한 전류(306)를 통해 회로(300)를 거쳐 초기 펄스를 순방향으로 전파시키며, 이는 결국 제2 조지프슨 접합(J_2)을 트리거시킨다. 도 3e에 도시된 바와 같이, 제2 조지프슨 접합(J_2)의 트리거는 다른 소멸 전류(308) 및 전파 전류(310)를 야기하며, 이는 제3 조지프슨 접합(J_3)을 트리거한다. 도 3f는 세 번째 트리거가 기능적으로 동일하며 상반하는 전류(312)로 전류(310)를 소멸시키고, 또한 전류(314)의 전파를 일으키는 것을 보여준다. 마지막으로, 동일한 방식으로, 도 3g에서 제4 조지프슨 접합(J_4)이 전류(314)의 소멸(316) 및 출력으로부터 음의 펄스(318)의 전파를 트리거한다.

[0025] 따라서 양의 입력 펄스(302)가 음의 출력 펄스(318)를 야기하는 것이다. 도 3g에서 신호 전파 라인의 반대쪽에 제4 조지프슨 접합(J_4) 상의 점으로 나타낸 바와 같이, 제4 조지프슨 접합(J_4)은 마지막에, 도 3b에 예시된 극성 인버터 기능과 일치하는 -2π 초전도상에 있다. 즉, 입력이 2π 일 때 출력은 -2π 이다. 유사한 방식으로, 회로(300)의 입력에 도입된 후속 음의 펄스는 회로(300)의 출력으로부터 양의 펄스가 발생하게 할 것이며, 모든 조지프슨 접합들(J_1-J_4)을 0 초전도상으로 되돌릴 것이다.

[0026] 도 4a는 직접 결합에 의한 RQL 논리 인버터의 개략도를, 도 4b에 도시된 시뮬레이션 결과 플롯들을 동반하여 도시한다. 도 4a의 논리 인버터는 입력 및 출력이 반대 논리 상태들로 초기화될 수 있다는, 예컨대 입력이 하이로 초기화될 수 있다는 점을 제외하고는 도 3a의 극성 인버터(300)와 유사하다. 이러한 초기화는 부분적으로는, 도 3a의 회로(300)와 비교할 때, 2개의 DC 자속 바이어스들 중 하나, 예시된 경우에는 DC_{OUT} 의 극성을 반전시킴으로써 달성될 수 있다.

[0027] 예로서, 시스템 시동 시, 예비적인(introductory) 양의 입력 SFQ 펄스가 입력 라인에 도입될 수 있고, 그 직후에, 입력 신호가 회로(400)를 통해 출력 라인에 전파될 수 있기 전에, DC_{IN} 및 DC_{OUT} 바이어스들이 인가되어, 조지프슨 접합들(J_2 , J_3)을 포함하는 중앙 루프에 하나의 전체 Φ_0 의 전류를 함께 주입한다. 제1 양의 입력

펄스의 더 이른 도입이 없으면, 주입된 중앙 루프 전류가 불안정한 상태를 만들 수 있는데, 이는 임의의 JTL에서와 같이, Φ_0 의 전류의 수신 시 조지프슨 접합이 이를 전달하길 원하지만, 그 전류가 입력으로 다시(즉, 제2 조지프슨 접합(J_2)에서 다시 제1 조지프슨 접합(J_1)으로) 전달될지 또는 출력으로(즉, 제3 조지프슨 접합(J_3)에서 제4 조지프슨 접합(J_4)으로) 전달될지가 불확실할 것이기 때문이다. 전체 Φ_0 의 전류를 중앙 루프에 주입하기 직전에 제1 양의 입력 SFQ 펄스를 제공함으로써, 양의 입력 펄스가 기능적으로 동일하며 상반하는 중앙 루프 전류에 의해 "먹혀"(소멸되어), 출력측 조지프슨 접합들(J_3, J_4)의 초전도상에 대해 이들의 초기 0 초전도상(예컨대, 논리적 "로우" 상태)으로부터 어떠한 변경도 없이 입력측 조지프슨 접합들(J_1, J_2)을 2π 초전도상(예컨대, 논리적 "하이" 상태)으로 유지한다. 따라서 회로(400)에 제1 입력 펄스를 공급한 후 적시에 DC_{IN} 및 DC_{OUT} 초기화 전류들을 턴 온함으로써 초기화 DC 주입 펄스가 출력으로 전파될 가능성을 피할 수 있다.

[0028]

[0043] 도 4c - 도 4j에 더 완전하게 예시되는 앞서 설명한 초기화 예는 도 4b의 플롯들에서, 동일한 시간 동안 출력에 대한 어떠한 변경도 없이 DC 자속 바이어스 턴 온과 함께 초기 입력 신호(즉, 양의 SFQ 펄스)의 제공에 의해 트리거되는 입력 조지프슨 접합 위상에서 과도기(440)로서 나타난다. 이후에, 후속하는 음의 SFQ 펄스가 (약 50 피코초 마크에서) 입력에 제공될 때, 출력은 처음으로 논리적 "하이"로 간다. 초기화 동안 입력측 조지프슨 접합들(J_1, J_2)의 과도 2π 초전도상들은 도 4a에서 조지프슨 접합들(J_1, J_2)에 점묘로 채워진 초전도상 점들로부터 조지프슨 접합의 반대편에 배치되어 있지만, 이들은 조지프슨 접합들이 -2π 초전도상으로 전이된 것이 아니라 0 초전도상으로의 복귀를 나타내는 것으로만 여겨진다.

[0029]

[0044] (약 200 피코초 마크에서) 입력에 양의 펄스를 도입하여, 입력 조지프슨 접합 초전도상을 0에서 2π 로 올리면, 출력 조지프슨 접합 초전도상은 약간 짧은 전파 시간 이후 2π 에서 0으로 떨어진다. (약 350 피코초 마크에서) 입력에서의 음의 펄스는 입력 조지프슨 접합 초전도상을 2π 에서 0으로 떨어지게 하고, 반대로 출력 조지프슨 접합 초전도상을 0에서 2π 로 상승하게 한다. (약 400 피코초 마크에서) 입력에 도입된 제2 양의 펄스는 입력 조지프슨 접합 초전도상을 다시 0으로 2π 로 상승시키고, 반대로 출력 조지프슨 접합 초전도상을 다시 2π 에서 0으로 하강시킨다. (약 450 피코초 마크에서) 입력에 도달하는 제2 음의 펄스는 입력 조지프슨 접합 초전도상을 다시 2π 에서 0으로 하강시키고, 반대로 출력 조지프슨 접합 초전도상을 다시 0에서 2π 로 상승시킨다. 따라서 도 4b의 플롯들은 도 4a의 논리 인버터(400)의 거동을 정확하게 특성화한다.

[0030]

[0045] 도 4b에 예시되지 않은 도 4a의 회로에 대한 다른 초기화 예로서, 시스템 시동 시 출력 라인을 통해 예비적인 음의 SFQ 펄스가 도입될 수 있고, 그 직후에, 신호가 회로(400)를 통해 입력 라인에 전파될 수 있기 전에, DC_{IN} 및 DC_{OUT} 바이어스들이 인가되어, 조지프슨 접합들(J_2, J_3)을 포함하는 중앙 루프에 하나의 전체 Φ_0 의 전류를 함께 주입한다. 음의 펄스는 기능적으로 동일하며 상반하는 중앙 루프 전류에 의해 "먹혀"(소멸되어), 입력측 조지프슨 접합들(J_1, J_2)의 초전도상에 대해 이들의 초기 0 초전도상(예컨대, 논리적 "로우" 상태)으로부터 어떠한 변경도 없이 출력측 조지프슨 접합들(J_3, J_4)을 2π 초전도상(예컨대, 논리적 "하이" 상태)으로 유지한다. 이 초기화 예는 도 4k - 도 4r에서 보다 상세히 예시된다. 어느 한 초기화 예에서, DC 바이어스들은 초기화 펄스들이 인가되기 전 또는 후에 인가될 수 있다.

[0031]

[0046] 도 4c 내지 도 4j는 도 4a의 논리 인버터 회로(400)의 처음 설명한 예시적인 기능을 예시하는데, 여기서 초기화 펄스는 입력을 통해 제공되고 중앙 루프에서 "먹힌다". 도 4c는 양의 입력 펄스가 논리 인버터(400)의 입력에 도입되어 전류(402)를 발생시키는 것을 도시한다. 이는 제1 조지프슨 접합(J_1)을 트리거하여, 도 4d에서 제1 조지프슨 접합(J_1) 위에 배치된 점으로 표시된 바와 같이, 초전도상을 0에서 2π 로 상승시킨다. 제1 조지프슨 접합(J_1)의 트리거는 기능적으로 동일하며 상반하는 전류(404)가 초기 전류(402)를 소멸하게 하고, 또한 전류(406)를 통해 회로(400)를 거쳐 초기 펄스를 순방향으로 전파시키며, 이는 결국 제2 조지프슨 접합(J_2)을 트리거시킨다. 도 4e에 도시된 바와 같이, 제2 조지프슨 접합(J_2)의 트리거는 다른 소멸 전류(408) 및 전파 전류(412)를 야기한다.

[0032]

[0047] 그러나 도 3a의 극성 인버터(300)의 기능과는 달리, 전파 전류(412)가 회로를 통해 전파될 수 있기 전에, 기능적으로 동일하며 상반하는 전류(410)가 DC 전류 소스들(DC_{IN}, DC_{OUT})에 의해 회로(400)의 중앙 루프에 유

도되어, 전류(412)가 제3 조지프슨 접합(J_3)이 트리거되게 할 수 있기 전에 전류(412)를 소멸시킨다. 따라서 제1 조지프슨 접합(J_1)의 초전도상이 2π 가 되더라도, 제4 조지프슨 접합(J_4)의 초전도상은 0으로 유지된다. 앞서 언급한 바와 같이, 대안으로서, DC 소스 유도 중앙 루프 전류(410)는 초기화 전류(402)의 입력 전에 도입될 수 있다.

[0033] [0048] 도 4e에서부터 이어져, 도 4f는 전류(414)를 유도하기 위해 회로(400)의 입력에 인가되는 음의 펄스의 후속 도입을 도시한다. 따라서 도 4g에서, 제1 조지프슨 접합(J_1)이 언트리거되어, 전류(414)를 기능적으로 동일하며 상반하는 전류(416)로 소멸시킨다. 음의 전류(418)를 통해 음의 입력 펄스가 전파되며, 이는 도 4h에 도시된 바와 같이, 제2 조지프슨 접합(J_2)이 언트리거되게 한다. 부수적으로, 제2 조지프슨 접합(J_2)의 언트리거에 의해 전류(420)의 소멸 및 전류(422)의 전파가 발생되고, 이 시점에서 제1 조지프슨 접합(J_1)과 제2 조지프슨 접합(J_2) 모두가 다시 0의 초기 초전도상을 나타낸다.

[0034] [0049] 그 다음, 회로(400)의 중앙 루프 통한 제2 조지프슨 접합(J_2)의 언트리거 및 음의 펄스(422)의 전파가 도 4i에 도시된 바와 같이, 제3 조지프슨 접합(J_3)을 트리거하여, 전류(422)를 기능적으로 동일하며 상반하는 전류(424)로 소멸시키고, 또한 전류(426)의 전파를 야기한다. 도 4i를 도 3f와 비교하면, 제3 조지프슨 접합(J_3)이 극성 인버터 구성(300)과 비교할 때 논리 인버터 구성(400)에서는 반대 방향으로 트리거되었고, 이에 따라 개개의 도면들에서 제3 조지프슨 접합(J_3) 주위의 점들의 상대적 배치로 도시된 바와 같이, 제3 조지프슨 접합(J_3)은 도 3f에서 얻어진 -2π 초전도상과 비교하여 도 4i에서는 2π 초전도상을 획득했다. 마지막으로, 동일한 방식으로, 도 4j에서 제4 조지프슨 접합(J_4)이 그 자신의 2π 초전도상을 얻도록 트리거하여, 전류(426)를 소멸시키고(428) 전류(430)를 통해 출력으로부터 양의 펄스를 전파시킨다.

[0035] [0050] 따라서 음의 입력 펄스(414)가 양의 출력 펄스(430)를 야기하는 것이다. 게다가, 도 4j에서 신호 전파라인의 가까운 쪽에 제4 조지프슨 접합(J_4) 상의 점으로 나타낸 바와 같이, 제4 조지프슨 접합(J_4)은 이 시퀀스의 마지막에, 도 4b에 예시된 과도기(440)의 끝에 대응하는 2π 초전도상에 있다. 앞서 설명한 기능은 도 4b에 예시된 극성 인버터 기능과 일치한다. 즉, 입력이 0일 때 출력은 2π 이다. 유사한 방식으로, 회로(400)의 입력에 도입된 후속 양의 펄스는 회로(400)의 출력으로부터 음의 펄스가 발생하게 할 것이며, 조지프슨 접합들(J_1, J_2)을 2π 초전도상이 되게 할 것이고, 조지프슨 접합들(J_3, J_4)을 0 초전도상으로 되돌릴 것이며, 이는 또한 도 4b 및 원하는 극성 인버터 기능과 일치한다.

[0036] [0051] 도 4k 내지 도 4r은 도 4a의 논리 인버터 회로(400)의 두 번째로 설명한 예시적인 기능을 예시하는데, 여기서 초기화 펄스는 출력을 통해 제공되고 중앙 루프에서 "먹힌다". 초기 상태로부터, 도 4k는 음의 펄스가 논리 인버터(400)의 출력에 도입되어 전류(450)를 유도하는 것을 도시한다. 이는 제4 조지프슨 접합(J_4)을 트리거하여, 도 4l에서 제4 조지프슨 접합(J_4) 아래에 배치된 점으로 표시된 바와 같이, 초전도상을 0에서 2π 로 상승시킨다. 제4 조지프슨 접합(J_4)의 트리거는 기능적으로 동일하며 상반하는 전류(452)가 초기 입력 전류(450)를 소멸하게 하고, 또한 전류(454)를 통해 회로(400)를 거쳐 초기 펄스를 역방향으로 전파시키며, 이는 결국 제3 조지프슨 접합(J_3)을 트리거시킨다. 도 4m에 도시된 바와 같이, 제3 조지프슨 접합(J_3)의 트리거는 다른 소멸 전류(456) 및 전파 전류(460)를 야기한다.

[0037] [0052] 앞서 설명한 기능과 유사하게, 그리고 앞서 도 4e에서 도시한 바와 같이, 전류(460)는 더 이상 전파되는 것이 허용되는 것이 아니라, DC 전류 소스들(DC_{IN}, DC_{OUT})에 의해 회로(400)의 중앙 루프에 유도된 기능적으로 동일하며 상반하는 전류(458)에 의해 회로(400)의 중앙 루프에서 "먹힌다". 따라서 제4 조지프슨 접합(J_4)의 초전도상이 2π 가 되더라도, 제2 조지프슨 접합(J_2)의 초전도상은 0으로 유지된다.

[0038] [0053] 도 4m에서부터 이어져, 도 4n은 전류(462)를 유도하기 위해 회로(400)의 입력에 인가되는 양의 입력 펄스의 후속 도입을 도시한다. 따라서 도 4o에서, 제1 조지프슨 접합(J_1)이 트리거되어, 전류(462)를 기능적으로 동일하며 상반하는 전류(464)로 소멸시킨다. 양의 전류(466)를 통해 양의 입력 펄스가 전파되며, 이는 도 4p에 도시된 바와 같이, 제2 조지프슨 접합(J_2)이 트리거되게 한다. 부수적으로, 제2 조지프슨 접합(J_2)의 트리거에 의해 전류(468)의 소멸 및 전류(470)의 전파가 발생되고, 이 시점에서 4개의 모든 조지프슨 접합들(J_1-J_4)이 2π

초전도상을 나타낸다.

[0039] [0054] 그 다음, 회로(400)의 중앙 루프 통한 제2 조지프슨 접합(J_2)의 트리거 및 양의 펠스(470)의 전파가 도 4q에 도시된 바와 같이, 제3 조지프슨 접합(J_3)을 언트리거하여, 전류(470)를 기능적으로 동일하며 상반하는 전류(472)로 소멸시키고, 또한 전류(474)의 전파를 야기한다. 도 4i를 도 4q와 비교하면, 제3 조지프슨 접합(J_3)은 (도 4c - 도 4j에 예시된) 앞서 설명한 동작 시퀀스와 비교할 때 (도 4k - 도 4r에 예시된) 이 동작 시퀀스에 의해 반대 방향으로 트리거되었고, 이에 따라 개개의 도면들에서 제3 조지프슨 접합(J_3) 주위의 점들의 상대적 배치로 도시된 바와 같이, 조지프슨 접합(J_3)은 도 4i에 나타낸 2π 초전도상과 비교하여 도 4q에서는 0 초전도상을 나타낸다. 마지막으로, 동일한 방식으로, 도 4r에서 제4 조지프슨 접합(J_4)이 그 자신의 0 초전도상을 나타내도록 언트리거하여, 전류(474)를 소멸시키고(476) 논리 인버터 회로(400)의 출력으로부터 음의 펠스(478)를 전파시킨다.

[0040] [0055] 따라서 양의 입력 펠스(462)가 음의 출력 펠스(478)를 야기하는 것이다. 더욱이, 도 4r에서 제4 조지프슨 접합(J_4) 근처에 어떠한 점도 없는 것으로 나타낸 바와 같이, 제4 조지프슨 접합(J_4)은 이 시퀀스의 마지막에 0 초전도상에 있다. 앞서 설명한 기능은 원하는 극성 인버터 기능과 일치한다. 즉, 입력이 2π 일 때 출력은 0이다. 유사한 방식으로, 회로(400)의 입력에 도입된 후속 음의 펠스는 회로(400)의 출력으로부터 양의 펠스가 발생하게 할 것이며, 조지프슨 접합들(J_1, J_2)을 0 초전도상으로 되돌릴 것이고, 조지프슨 접합들(J_3, J_4)을 2π 초전도상이 되게 하며, 이는 또한 원하는 극성 인버터 기능과 일치한다.

[0041] [0056] 도 5는 각각의 측에 여분의 접합, 즉 조지프슨 접합들(J_5, J_6)을 사용하여 자속 바이어스 주입을 하는 직접 결합을 갖는 RQL 논리 인버터(500)의 예시적인 개략도를 도시한다. 이 구현은 또한 "디지털 자속 바이어스" 구현으로 지칭될 수 있다. 이 구성(500)에서, DC 바이어스들(DC_{IN}, DC_{OUT})은 조지프슨 접합들(J_5, J_6)에서 개개의 2π 위상 전진들을 트리거한다. 회로(500)의 중앙 루프의 좌측에서, L_9 브랜치 및 J_5/L_{10} 브랜치의 인덕턴스들이 유사하면, DC_{IN} 의 값에 대한 감소된 감도로 원하는 $\Phi_0/2$ 자속 바이어스가 얻어진다. 유사하게, 회로(500)의 중앙 루프의 우측에서, L_{12} 브랜치 및 J_6/L_{13} 브랜치의 인덕턴스들이 유사하면, DC_{OUT} 의 값에 대한 감소된 감도로 원하는 $\Phi_0/2$ 자속 바이어스가 얻어진다. 회로(500)는 다르게는, 도 4a의 앞서 설명한 논리 인버터(400)와 유사하게 동작하며, 원하는 논리 반전 기능을 달성하기 위해 회로(400)에 대해 이미 설명한 바와 같이 회로(500)에서 입력 조지프슨 접합들(J_1, J_2) 대비 출력 조지프슨 접합들(J_3, J_4)의 반대 초전도상들이 달성될 수 있다.

[0042] [0057] 도 6은 앞서 설명한 예들에 비해 보다 높은 출력 드라이브를 생성하는 RQL 논리 인버터(600)의 예시적인 개략도를 도시한다. 입력 및 출력은 이전 예들과 비교하여 접지에 대해 더 많이 격리되지만, 인버터(600)는 이전 예들과 비교하여 더 많은 컴포넌트 수를 갖는다는 절충이 있다. 회로(600)는 다르게는, 도 4a의 앞서 설명한 논리 인버터(400)와 유사하게 동작하며, 원하는 논리 반전 기능을 달성하기 위해 회로(400)에 대해 이미 설명한 바와 같이 회로(600)에서 입력 조지프슨 접합들(J_1, J_2) 대비 출력 조지프슨 접합들(J_3, J_4)의 반대 초전도상들이 달성될 수 있다.

[0043] [0058] 도 7은 트리거되면 2개의 SFQ 펠스들을 발생시킨 다음, 음의 극성을 갖는, 즉 양의 입력 신호가 입력 조지프슨 접합(J_1)을 2π 초전도상이 되게 한 후 출력 조지프슨 접합(J_4)이 -2π 초전도상을 나타내도록 출력을 트리거하는 단일 부동 접합(J_F)을 사용하는 예시적인 RQL 극성 인버터 회로(700)의 개략도이다. 유사하게, 도 8은 음의 입력 신호가 입력 조지프슨 접합(J_1)을 0 초전도상이 되게 한 후 출력 조지프슨 접합(J_4)이 2π 초전도상을 나타낸다는 점을 제외하면, 유사한 방식으로 동작하는 예시적인 RQL 논리 인버터 회로(800)의 개략도이다. 따라서 회로들(700, 800)은 도 2에 개념적으로 예시된 하프-트위스트형 JTL 구조에 의존하지 않는다. 도 8의 논리 인버터는 변압기 결합(L_{10}/L_9)을 통해 제공되는 회로의 중간에서 DC 전류 소스의 방향에 관계없이 기능할 수 있으므로, 이는 실제로 논리 인버터(800)를 극성 인버터(700)와 구별하는 AC_{OUT} 과 연관된 DC 오프셋의 극성이 다. 극성 인버터(700)에서, 상기 DC 오프셋은 $-\Phi_0/2$ 인 반면, 논리 인버터(800)에서, 상기 DC 오프셋은 $+\Phi_0/2$ 이다. 극성 인버터(700)에서 AC_{OUT} 의 이러한 음의 DC 오프셋은 회로(700)의 출력에 대한 제1 전이가 (0에서 -2

π 로) 음이 되게 한다. 어느 한 회로(700 또는 800)에서, AC_{IN} 은 $+\Phi_0/2$ 의 DC 오프셋을 갖는다.

- [0044] [0059] 회로들(700, 800)의 부동 조지프슨 접합(J_F)의 동작은 조지프슨 접합 디바이스에 대한 진자의 기계적 비유를 참조하여 설명될 수 있다. 조지프슨 접합의 운동 방정식들은 중앙 스윙 지점에 매달린 물리적 진자의 그것과 동형이며, 진자가 이 중앙 스윙 지점 주위에서 한 번 또는 심지어 여러 번 내내 스윙하는 것을 막는 것은 없다. 비유하면, 조지프슨 접합의 초전도상은 진자의 기계적인 상에 비유될 수 있고; 조지프슨 접합의 전류는 진자의 토크와 같고; 조지프슨 접합의 전압은 진자의 각속도와 유사하며; 회로에서 조지프슨 접합과 연관된 인덕터들은 비유 시 토션 스프링들이 될 것이다.
- [0045] [0060] 진자와 같은 조지프슨 접합은 발진기로서 기능할 수 있다. 많은 회로 구현들에서, 조지프슨 접합이 임계 감쇠에 가깝도록 조지프슨 접합에 감쇠 저항이 제공된다. 그런 다음, 조지프슨 접합은 할아버지 시계의 진자처럼 앞뒤로 흔들리는 것이 아니라, 대신 트리거하게 될 때 "완전히 맨 위까지" 가서, 2π 초전도상 회전을 수행한 다음, 정착한다. 예를 들어, 감쇠 저항의 값을 증가시키거나 상기 저항을 완전히 제거함으로써(즉, 개방 회로를 생성하도록) 저감쇠된다면, 트리거 시에 저감쇠 조지프슨 접합은 "맨 위까지" 롤링되어 할아버지 시계와 같이 발진하기 시작할 수 있으며, 심지어 두 번, 즉 4π 초전도상으로 롤오버될 수 있다.
- [0046] [0061] 도 7을 참조하면, 입력 라인 상의 양의 SFQ 펄스의 도입은 제1 조지프슨 접합(J_1)을 트리거하고, 후속하여 제2 조지프슨 접합(J_2)을 트리거하며, 결국 부동 조지프슨 접합(J_F)을 트리거한다. 부동 조지프슨 접합(J_F)은 한 번 롤오버한 다음에 다시 한 번 롤오버하는 진자와 같이, 예컨대, 조지프슨 접합을 분로 저항 없이 구성함으로써, 그리고 DC 전류 소스에 의해 회로(700) 중간에 제공된 자속 바이어스를 부동 조지프슨 접합(J_F)에, 즉 제2 조지프슨 접합(J_2), 부동 조지프슨 접합(J_F), 인덕터(L_5) 및 제3 조지프슨 접합(J_3)에 의해 형성된 중앙 루프에 $+\Phi_0/2$ 의 전류를 주입하도록 구성함으로써 저감쇠되도록 배열된다. 부동 조지프슨 접합(J_F)이 처음 트리거될 때, 중앙 루프의 전류는 $-\Phi_0/2$ 가 되어, 부동 조지프슨 접합(J_F)을 "로딩"하지 않고 이를 다른 전위 웨에 놓는다—부동 조지프슨 접합(J_F)은 이것이 시작된 곳과 동일한 에너지 레벨을 유지한다.
- [0047] [0062] 따라서 부동 조지프슨 접합(J_F)의 "모멘텀(momentum)"은 도 7에서 부동 조지프슨 접합(J_F)에 가까운 이 중 점들로 표시된 것과 같이, 이를 다시 한 번 "맨 위까지", 즉 4π 초전도상으로 가져갈 수 있다. 결과적인 상태는 안정적이지 않고, 부동 조지프슨 접합(J_F)은 음으로 트리거된다. 결과적인 음의 펄스는 회로(700)를 통해 전파하여, 입력측 조지프슨 접합들(J_1, J_2)에서의 양의 입력 펄스와 2π 초전도상은 출력측 조지프슨 접합들(J_3, J_4)이 -2π 초전도상에 있게 하고, 음의 펄스가 출력 라인으로부터 전파하게 한다. 도 7에 예시된 바와 같이, 출력 AC 바이어스 신호(AC_{OUT})는 입력 AC 바이어스 신호(AC_{IN})와 극성이 정확히는 아니어도 기능상 반대(예컨대, AC 위상이 180° 상이)가 되도록 구성된다.
- [0048] [0063] 도 8의 논리 인버터(800)는 도 3a의 극성 인버터 회로(300)와 비교되는 도 4a의 논리 인버터 회로(400)와 마찬가지로, 도 8의 논리 인버터 회로(800)가 극성 반전보다는 논리 반전을 수행한다는 점을 제외하면, 부동 조지프슨 접합(J_F)을 활용하여 반전을 제공하는 도 7의 극성 인버터(700)와 유사하게 작동한다. 회로(800)는 구조적으로 그리고 기능적으로 모두 회로(700)와 상이하다. 구조적으로, AC_{OUT} 은 극성 인버터(700)에서의 $-\Phi_0/2$ 와는 달리, $+\Phi_0/2$ 의 DC 오프셋을 갖도록 구성된다. 기능적으로, 회로(800)는 도 4a의 회로(400)의 기능에 관련하여 설명된 것들과 유사한 초기화 프로세스에 의해 작동한다.
- [0049] [0064] 일례로, 양의 SFQ 펄스가 회로(800)의 입력에 도입된 직후, 그러나 이 펄스가 부동 조지프슨 접합(J_F)을 통해 전파될 수 있기 전에, $\Phi_0/2$ 가치의 초기화 전류가 소스 DC 및 변압기 결합(L_{10}/L_9)을 통해 부동 조지프슨 접합(J_F)에 도입되며, 이 초기화 전류는 들어오는 양의 입력 SFQ 펄스가 입력에서 출력으로 전파될 때 이러한 펄스를 소멸시키지만, 도 8의 조지프슨 접합들(J_1, J_2)에 점묘로 채워진 초전도상 점들로 나타낸 바와 같이, 입력측 조지프슨 접합들(J_1, J_2)은 2π 초전도상으로 유지한다. 입력에 도입된 후속 음의 입력 SFQ 펄스는 입력측 조지프슨 접합들(J_1, J_2)을 0 초전도상으로 재설정하고, 출력으로 전파되면 출력측 조지프슨 접합들(J_3, J_4)을 2π 초전도상으로 설정한다. 전파 지연을 받으면, 후속하여 교번하는 양 및 음의 입력 SFQ 펄스들이 각각 회로가 논리 반전을 나타내게 하는데, 즉 입력 접합들이 2π 초전도상을 나타낼 때 회로가 출력 접합들에서 0

초전도상을 나타내게 할 것이며 그 반대도 마찬가지이다. 입력에서 하이에서 로우로의 그리고 출력에서 로우에서 하이로의 (약 50 피코초 마크에서의) 전이는 도 4a에서 조지프슨 접합들(J_1, J_2) 근처에 짙은 점들로 표시된다. 점묘로 채워진 초전도상 점들로부터 조지프슨 접합들(J_1, J_2)의 반대편에 배치된 짙은 점들은, 조지프슨 접합들이 -2π 초전도상으로 전이된 것이 아니라 0 초전도상으로의 복귀를 나타내는 것으로만 여겨진다.

[0050] 다른 초기화 예로서, 음의 SFQ 펄스가 회로(800)의 출력에 도입된 직후, 그러나 이 펄스가 부동 조지프슨 접합(J_F)을 통해 전파될 수 있기 전에, $\Phi_0/2$ 가치의 초기화 전류가 소스 DC 및 변압기 결합(L_{10}/L_9)을 통해 부동 조지프슨 접합(J_F)에 도입되며, 이 초기화 전류는 들어오는 음의 SFQ 펄스가 출력에서 입력으로 전파될 때 이러한 펄스를 소멸시키지만, 출력측 조지프슨 접합들(J_3, J_4)은 2π 초전도상으로 유지한다. 입력에 도입된 후 속 양의 SFQ 펄스는 입력측 조지프슨 접합들(J_1, J_2)을 2π 초전도상으로 설정하고, 출력으로 전파되면 출력측 조지프슨 접합들(J_3, J_4)을 0 초전도상으로 재설정한다. 전파 지연을 받으면, 후속하여 교번하는 음 및 양의 입력 SFQ 펄스들이 각각 회로가 논리 반전을 나타내게 하는데, 즉 입력 접합들이 0 초전도상을 나타낼 때 회로가 출력 접합들에서 2π 초전도상을 나타내게 할 것이며 그 반대도 마찬가지이다.

[0051] 도 9는 양의 중앙 DC 자속 바이어스의 도 8의 예시적인 논리 인버터 게이트의 시뮬레이션 결과들의 그래프인 한편, 도 10은 음의 중앙 DC 자속 바이어스의 도 8의 예시적인 논리 인버터 게이트의 시뮬레이션 결과들의 그래프이다. 논리 인버터(800)는 중앙 DC 자속 바이어스가 양의 $\Phi_0/2$ 를 도입하든 아니면 음의 $\Phi_0/2$ 를 도입하든 작동한다. 유일한 차이점은 텐 온 과도기(1000)이다.

[0052] 도 11a 및 도 11b의 흐름도들은 단일 자속 양자(SFQ) 펄스 입력들에 기초하여 신호 값을 논리적으로 반전시키는 방법들(1100, 1150)을 예시한다. 이 방법들(1100, 1150)은 예를 들어, 각각 도 4a 또는 도 8의 회로들(400 또는 800) 중 하나에 사용될 수 있다. 도 11a의 방법(1100)에서, JTL의 입력측 조지프슨 접합(JJ)(즉, JTL의 출력단보다 JTL의 입력단에 더 가까운 조지프슨 접합)을 2π 초전도상으로 설정하도록 JTL의 입력단에 제1 양의 SFQ 펄스가 제공된다(1102). JTL은 도 4a의 회로(400)에 도시된 바와 같이 하프-트위스트형 JTL 이거나 도 8의 회로(800)에서와 같이, 중간에 부동 조지프슨 접합을 갖는 JTL일 수 있다. 입력 SFQ 펄스가 하프-트위스트형 JTL의 중앙 루프를 통해 출력으로 전파될 수 있기 전에, 또는 입력 SFQ 펄스가, 적용 가능한 경우, JTL의 중앙 부동 조지프슨 접합을 통해 전파될 수 있기 전에, 초기화 전류로서, 예컨대 하나 이상의 DC 바이어스 전류들을 텐 온함으로써 1 Φ_0 의 전류가 중앙 루프에 주입(1104)되거나 $\Phi_0/2$ 의 전류가 부동 조지프슨 접합에 주입(1106)된다. 이것은 초기화 전류에 의해 제1 양의 SFQ 펄스가 소멸되게 하고, 따라서 제1 양의 SFQ 펄스는 JTL의 출력단으로 전파되지 않는다. 그러나 입력측 조지프슨 접합의 초전도상은 영향을 받지 않으며 2π 로 유지된다. 대안으로, DC 바이어스 전류를 텐 온하여 인가할 수 있는 양의 전류를 주입하는 것(1104, 1106)은 제1 SFQ 펄스를 제공(1102)하기 전에 수행될 수 있어, 동작들(1102 및 1104/1106)을 재정렬할 수 있다.

[0053] 후속적으로, 입력측 조지프슨 접합을 0 초전도상으로 재설정하도록 (하프-트위스트형 또는 적용 가능한 경우, 중앙 부동 조지프슨 접합을 갖는) JTL의 입력단에 음의 SFQ 펄스가 제공되어(1108), 출력측 조지프슨 접합(즉, JTL의 입력단보다 JTL의 출력단에 더 가까운, JTL의 조지프슨 접합)의 초전도상을 2π 로 설정하도록 JTL의 출력단에 음의 입력 SFQ 펄스가 전파된다(1110). 따라서 논리 반전이 제공된다.

[0054] 도 11a의 방법(1100)은 입력측 조지프슨 접합을 2π 초전도상으로 설정하도록 (하프-트위스트형 또는 다른 형태의) JTL의 입력단에 제2 양의 SFQ 펄스를 제공(1112)하여, 출력측 조지프슨 접합의 초전도상을 0으로 재설정하도록 JTL의 출력단으로 제2 양의 SFQ 펄스가 전파(1114)되는 단계를 더 포함할 수 있다. 이것은 다시 논리 반전 기능이 올바르게 구현됨을 입증한다.

[0055] 도 11b의 방법(1150)에서, JTL의 출력측 조지프슨 접합을 2π 초전도상으로 설정하도록 JTL의 출력단에 제1 음의 SFQ 펄스가 제공된다(1152). JTL은 도 4a의 회로(400)에 도시된 바와 같이 하프-트위스트형 JTL 이거나 도 8의 회로(800)에서와 같이, 중간에 부동 조지프슨 접합을 갖는 JTL일 수 있다. 출력 SFQ 펄스가 하프-트위스트형 JTL의 중앙 루프를 통해 입력으로 전파될 수 있기 전에, 또는 출력 SFQ 펄스가, 적용 가능한 경우, JTL의 중앙 부동 조지프슨 접합을 통해 전파될 수 있기 전에, 초기화 전류로서, 예컨대 하나 이상의 DC 바이어스 전류들을 텐 온함으로써 1 Φ_0 의 전류가 중앙 루프에 주입(1154)되거나 $\Phi_0/2$ 의 전류가 부동 조지프슨 접합에 주입(1156)된다. 이것은 초기화 전류에 의해 제1 음의 SFQ 펄스가 소멸되게 하고, 따라서 제1 음의 SFQ 펄스는 JTL의 입력단으로 전파되지 않는다. 그러나 출력측 조지프슨 접합의 초전도상은 영향을 받지 않으며 2π 로 유지된다. 대안으로, DC 바이어스 전류를 텐 온하여 인가할 수 있는 양의 전류를 주입하는 것(1154, 1156)은 제1

SFQ 펄스를 제공(1152)하기 전에 수행될 수 있어, 동작들(1152 및 1154/1156)을 재정렬할 수 있다.

[0056] [0071] 후속적으로, 입력측 조지프슨 접합을 2π 초전도상으로 설정하도록 (하프-트위스트형 또는 적용 가능한 경우, 중앙 부동 조지프슨 접합을 갖는) JTL의 입력단에 양의 SFQ 펄스가 제공되어(1158), 출력측 조지프슨 접합의 초전도상을 0으로 재설정하도록 JTL의 출력단에 양의 입력 SFQ 펄스가 전파된다(1160). 따라서 논리 반전이 제공된다. 대안으로, JTL의 입력단에 제1 양의 펄스를 제공(1152)하기보다는, 인가된 제1 펄스(1102)는 입력에 대한 제1 양의 펄스의 출력에 인가된 음의 펄스일 수 있다—입력 및 출력이 서로 반대로 초기화되면 어느 것이든 좋다.

[0057] [0072] 도 11b의 방법(1150)은 입력측 조지프슨 접합을 0 초전도상으로 재설정하도록 (하프-트위스트형 또는 다른 형태의) JTL의 입력단에 제2 음의 SFQ 펄스를 제공(1162)하여, 출력측 조지프슨 접합의 초전도상을 2π 로 설정하도록 JTL의 출력단으로 제2 음의 SFQ 펄스가 전파(1164)되는 단계를 더 포함할 수 있다. 이것은 다시 논리 반전 기능이 올바르게 구현됨을 입증한다. 어느 방법(1100 또는 1150)이든 다양한 방식들로 수정될 수 있다고 인식될 것이다. 여전히 입력 조지프슨 접합과 출력 조지프슨 접합이 서로 반대(즉, 하나가 2π 일 때 다른 하나는 0, 또는 그 반대)인 초전도상들을 갖도록 초기화되게 하는 동작들의 임의의 재정렬 또는 동작들의 수정이 이후 원하는 논리 반전을 야기할 것이다.

[0058] [0073] 앞서 설명한 방법들(1100, 1150)은 본 개시내용에서 앞서 논의한 바와 같이 적절한 AC 바이어싱을 제공하여 JTL에서 조지프슨 접합들의 적시 트리거를 유도하고 이에 따라 입력에서 출력으로의 신호 전파를 야기하는 동작들을 또한 포함할 수 있다.

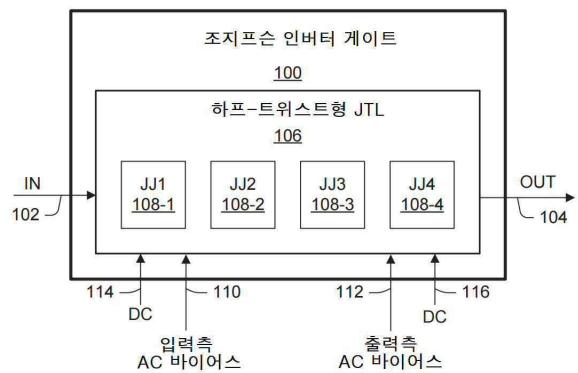
[0059] [0074] 본 명세서에서 게이트 개략도들 및 첨부 설명으로 설명된 예시적인 인버터 게이트들은 RQL 데이터 인코딩을 사용하는 조지프슨 회로들에 대한 논리 반전을 수행할 수 있다. 이들은 신호 경로에서 자기 변압기들에 대한 필요성을 없애면서 논리 반전의 효율적인 구현을 달성한다.

[0060] [0075] 본 명세서에서 설명한 조지프슨 인버터 게이트들은 매우 우수한 파라메트릭 동작 마진들, 적은 컴포넌트 수를 가지며, 다른 인버터 구현들에 비해 효율 및 비용 이점들을 제공한다. 본 명세서에서 설명한 조지프슨 인버터 게이트들은 이들의 설계들에서 고효율 변압기들을 제거함으로써, 제작 프로세스에서 프로세스 단계들의 수 및 수율을 설정하여 이로써 비용을 결정하는 다수의 금속 층들, 예컨대 2개의 금속 층들을 절약할 수 있다. 본 명세서에 설명된 조지프슨 인버터 게이트들은 신호 반전을 발생시키도록 출력에서 신호 및 접지의 위치를 전환하는 것을 수반하는 하프-트위스트 JTL 신호 경로 접근 방식, 또는 SFQ 입력 신호에 의해 트리거될 때 2개의 SFQ 펄스들을 생성하여 반전된 극성의 출력 SFQ 신호를 생성하도록 신호 라인에서 분로되지 않은 부동 조지프슨 접합을 수반하는 접근 방식에 따라 제작될 수 있다. 도 7 및 도 8에 도시된 바와 같이, 이러한 후자의 구현이 개략적으로 더 간단하지만, 도 3a 및 도 4a에 도시된 하프-트위스트형 JTL 구현보다 더 좁은 파라메트릭 동작 마진들을 갖는다.

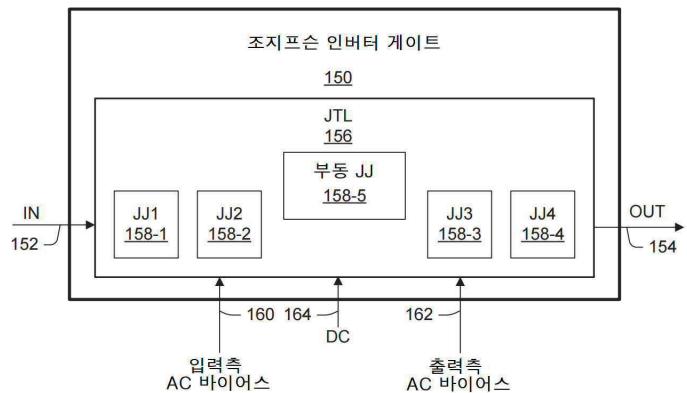
[0061] [0076] 위에서 설명한 것은 본 발명의 예들이다. 물론, 본 발명을 설명하기 위해 컴포넌트들 또는 방법들의 모든 생각할 수 있는 조합을 설명할 수 있는 것이 아니라, 당해 기술분야에서 통상의 지식을 가진 자는 본 발명의 많은 추가 조합들 및 치환이 가능하다고 인식할 것이다. 이에 따라, 본 발명은 첨부된 청구항들을 포함하여 본 출원의 범위 내에 있는 그러한 모든 변경들, 수정들 및 변형들을 포함하는 것으로 의도된다. 추가로, 본 개시내용 또는 청구항들이 단수 표현들, "제1" 또는 "다른" 엘리먼트 또는 그 등가물을 언급하는 경우, 2개 이상의 그러한 엘리먼트들을 필요로 하든 배제하든, 하나 또는 그보다 많은 그러한 엘리먼트를 포함하는 것으로 해석되어야 한다. 본 명세서에 사용된 바와 같이, "포함하다"라는 용어는 포함하지만 그에 제한되지는 않는 것을 의미하고, "포함하는"이라는 용어는 포함하지만 그에 제한되지 않는 것을 의미한다. "~에 기초하여"라는 용어는 ~에 적어도 부분적으로 기초하는 것을 의미한다. 본 명세서에서 사용되는 "기능적으로 동일한"이라는 용어는 설명된 인버터 기능이 달성되기에 충분히 동일하며, 반드시 정확하게 동일한 것은 아님을 의미한다.

도면

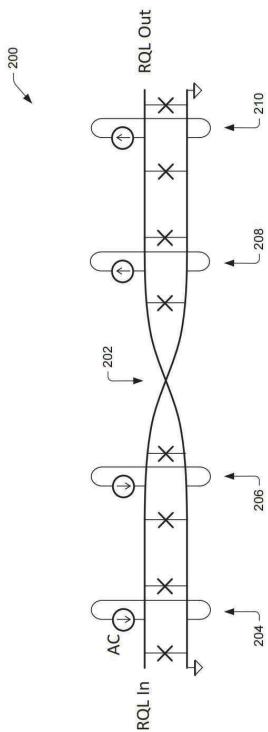
도면 1a



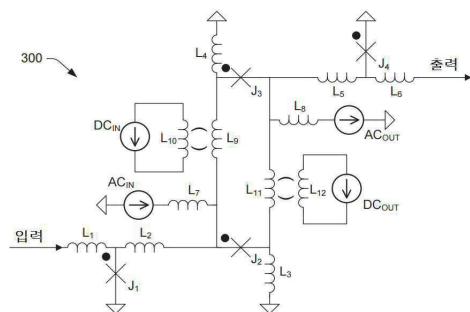
도면 1b



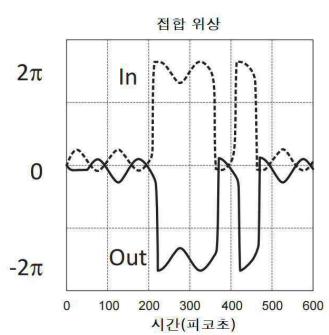
도면2



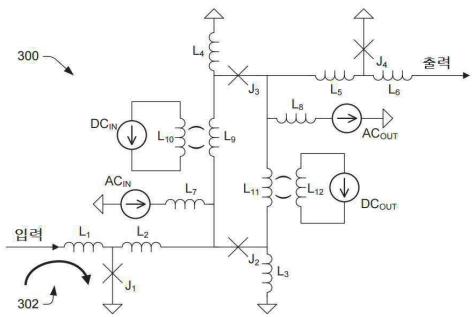
도면3a



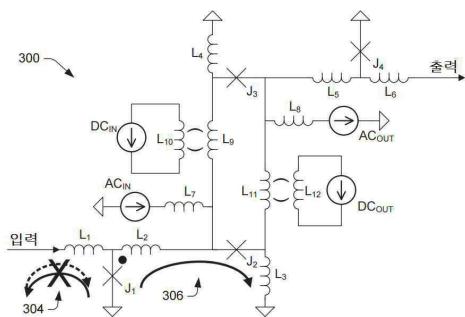
도면3b



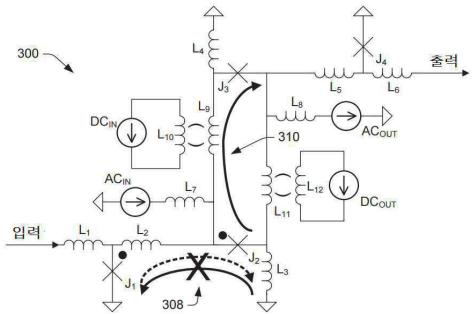
도면3c



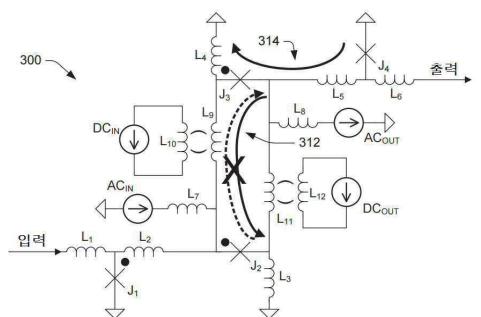
도면3d



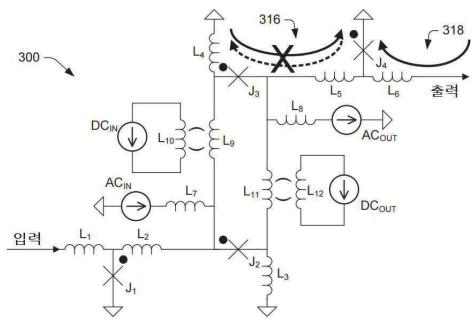
도면3e



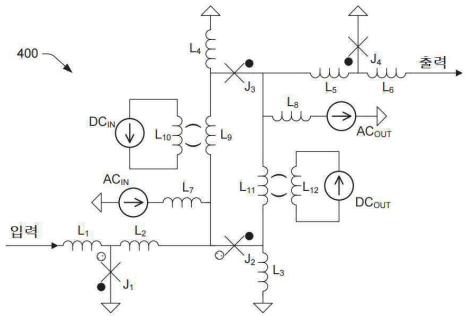
도면3f



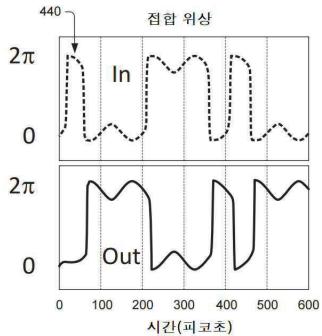
도면3g



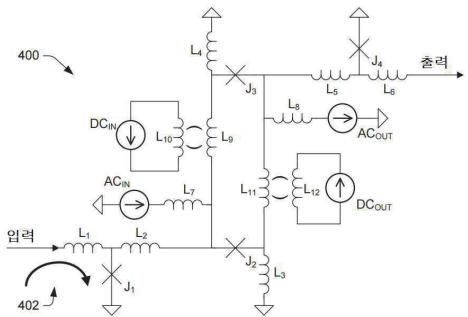
도면4a



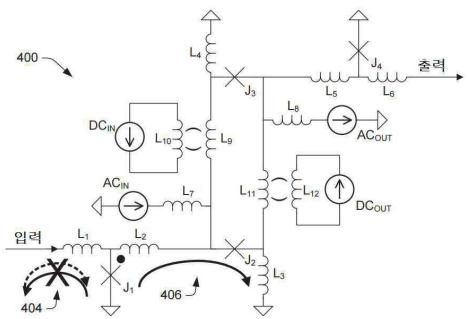
도면4b



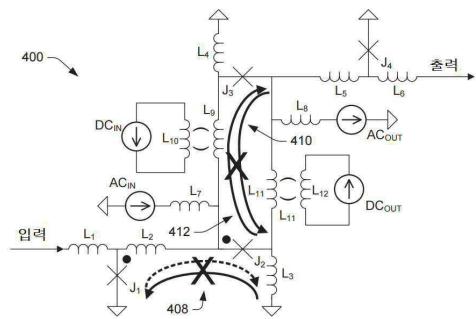
도면4c



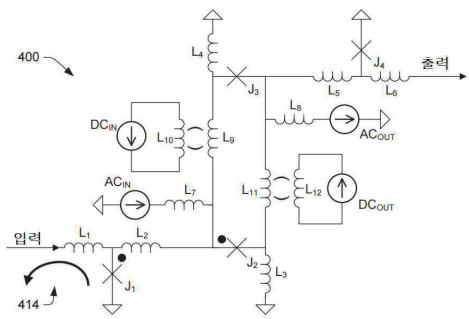
도면4d



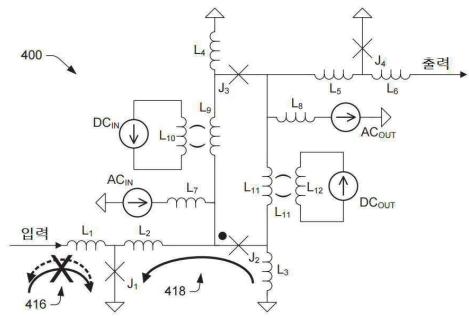
도면4e



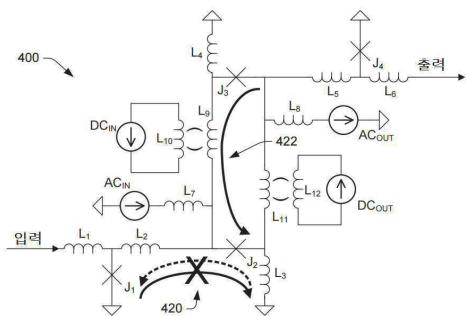
도면4f



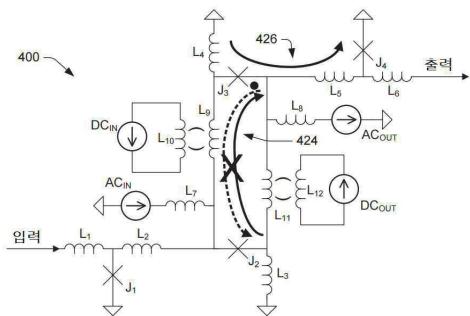
도면4g



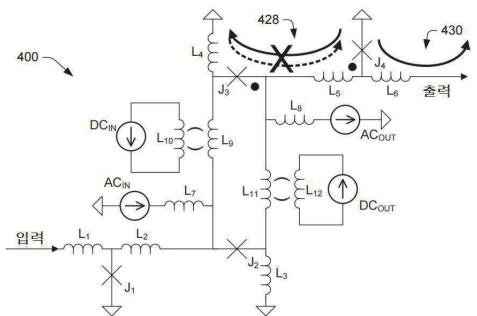
도면4h



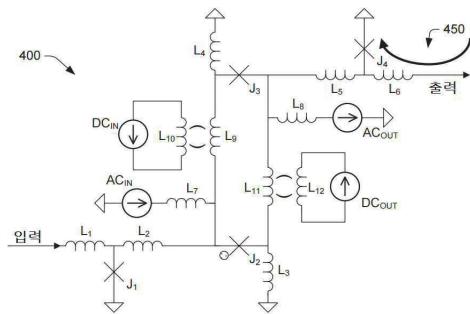
도면4i



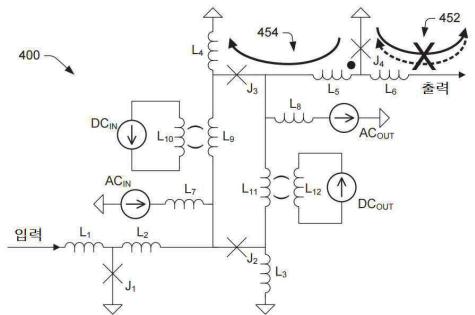
도면4j



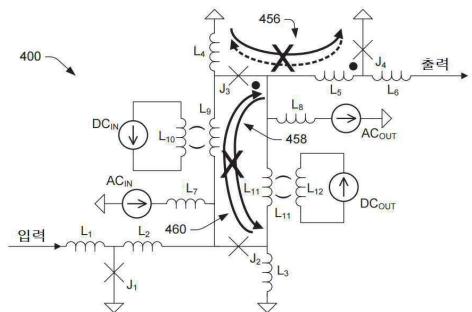
도면4k



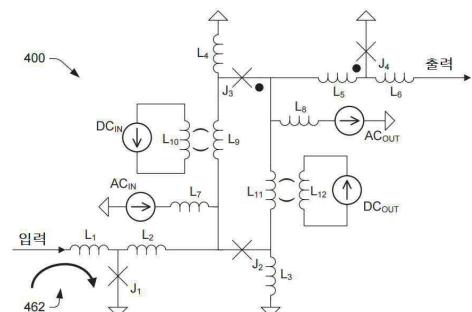
도면4l



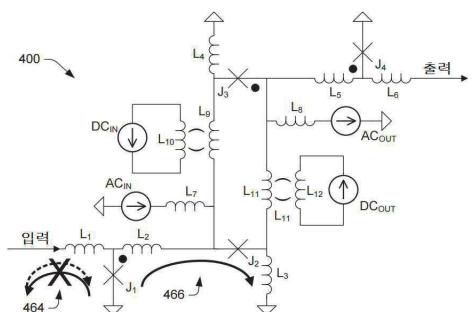
도면4m



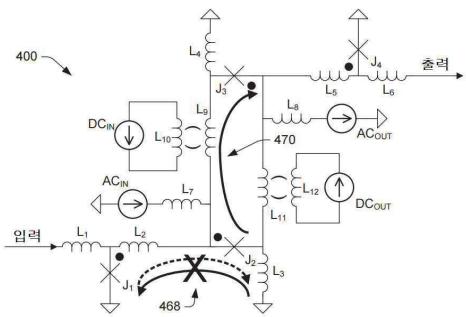
도면4n



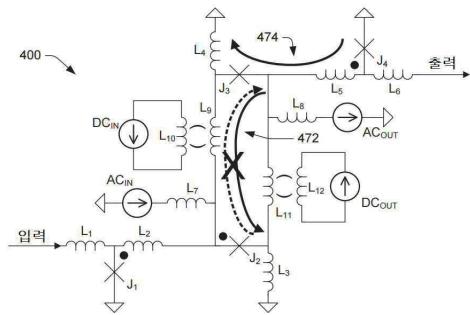
도면4o



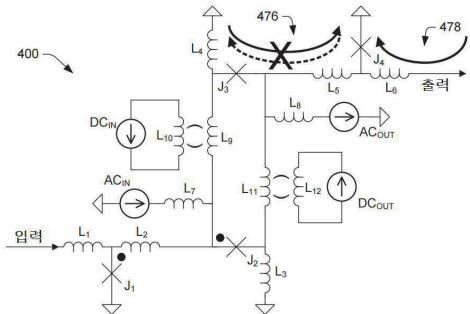
도면4p



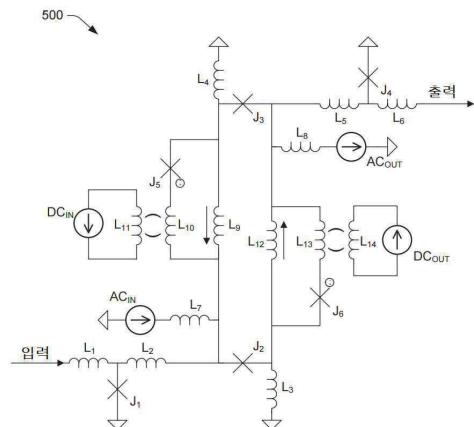
도면4q



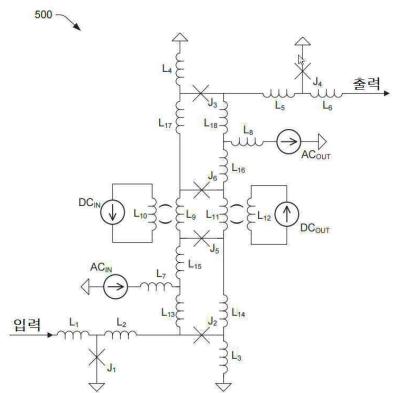
도면4r



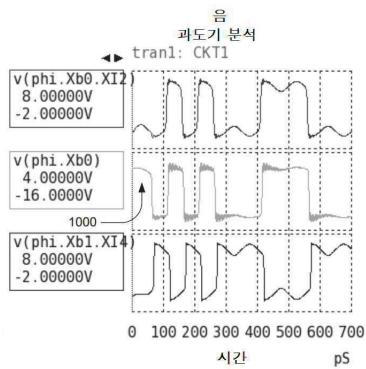
도면5



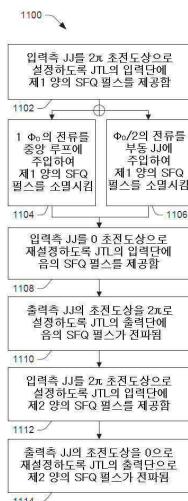
도면6



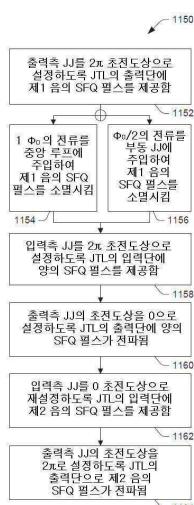
도면10



도면11a



도면11b



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 13

【변경전】

단일 자속 양자(SFQ) 펄스 입력에 기초하여 신호 값을 논리적으로 반전시키는 방법에 있어서,

상기 JTL의 출력단 보다 상기 JTL의 입력단에서 더 가까운 상기 JTL 내의 입력측 조지프슨 접합의 초전도상을 2π 로 설정하기 위하여 제1 양의 SFQ 펄스를 조지프슨 송신 라인(JTL: Josephson transmission line)의 상기 입력단에 제공하는 단계 – 상기 JTL은 상기 JTL의 상기 입력단 및 상기 출력단 사이의 상기 JTL의 중앙 부분에 부동(floating) 조지프슨 접합을 가짐 –;

상기 제1 양의 SFQ 펄스를 제공하기 전 또는 이후에, 그러나 상기 제1 양의 SFQ 펄스가 상기 JTL의 상기 중앙 부분을 통해 상기 JTL의 상기 출력단으로 전파될 수 있기 전에, 상기 제1 양의 SFQ 펄스가 초기화 전류에 의해서 소멸되게하고 또한 상기 JTL의 상기 출력단으로 전파되지 않도록, 상기 입력측 조지프슨 접합의 상기 초전도상에 영향을 주지 않으면서, $\Phi_0/2$ 의 전류를 상기 초기화 전류로서 부동 조지프슨 접합 내에 주입하는 단계; 및

상기 JTL의 상기 입력단 보다 상기 JTL의 상기 출력단에 더 가까운 상기 JTL 내의 출력측 조지프슨 접합의 상기 초전도상을 2π 로 설정하기 위하여 음의 SFQ 펄스가 상기 JTL의 상기 출력단으로 전파 하도록 상기 입력측 조지프슨 접합을 0 초전도상으로 재설정하기 위하여 상기 JTL의 상기 입력단에 상기 음의 SFQ 펄스를 제공하는 단계를 포함하는,

방법.

【변경후】

단일 자속 양자(SFQ) 펄스 입력에 기초하여 신호 값을 논리적으로 반전시키는 방법에 있어서, JTL의 출력단 보다 상기 JTL의 입력단에서 더 가까운 상기 JTL 내의 입력측 조지프슨 접합의 초전도상을 2π 로 설정하기 위하여 제1 양의 SFQ 펄스를 조지프슨 송신 라인(JTL: Josephson transmission line)의 상기 입력단에 제공하는 단계 – 상기 JTL은 상기 JTL의 상기 입력단 및 상기 출력단 사이의 상기 JTL의 중앙 부분에 부동(floating) 조지프슨 접합을 가짐 –;

상기 제1 양의 SFQ 펄스를 제공하기 전 또는 이후에, 그러나 상기 제1 양의 SFQ 펄스가 상기 JTL의 상기 중앙 부분을 통해 상기 JTL의 상기 출력단으로 전파될 수 있기 전에, 상기 제1 양의 SFQ 펄스가 초기화 전류에 의해서 소멸되게하고 또한 상기 JTL의 상기 출력단으로 전파되지 않도록, 상기 입력측 조지프슨 접합의 상기 초전도상에 영향을 주지 않으면서, $\Phi_0/2$ 의 전류를 상기 초기화 전류로서 부동 조지프슨 접합 내에 주입하는 단계; 및

상기 JTL의 상기 입력단 보다 상기 JTL의 상기 출력단에 더 가까운 상기 JTL 내의 출력측 조지프슨 접합의 상기 초전도상을 2π 로 설정하기 위하여 음의 SFQ 펄스가 상기 JTL의 상기 출력단으로 전파 하도록 상기 입력측 조지프슨 접합을 0 초전도상으로 재설정하기 위하여 상기 JTL의 상기 입력단에 상기 음의 SFQ 펄스를 제공하는 단계를 포함하는,

방법.