

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年6月27日(27.06.2024)



(10) 国際公開番号

WO 2024/134444 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H10K 39/32 (2023.01)
G09F 9/30 (2006.01) H10K 39/34 (2023.01)
H01L 21/336 (2006.01) H10K 50/10 (2023.01)
H01L 21/8234 (2006.01) H10K 59/12 (2023.01)
H01L 27/06 (2006.01) H10K 59/123 (2023.01)
H01L 27/088 (2006.01) H10K 59/124 (2023.01)
H01L 27/146 (2006.01) H10K 71/00 (2023.01)
H05B 33/14 (2006.01) H10K 71/60 (2023.01)

特願 2022-206945 2022年12月23日(23.12.2022) JP
特願 2023-031234 2023年3月1日(01.03.2023) JP
特願 2023-076169 2023年5月2日(02.05.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 黒崎大輔(KUROSAKI, Daisuke). 田邊
美和(TANABE, Miwa). 保本清治(YASUMOTO,
Seiji); 〒2430036 神奈川県厚木市長谷398株
会社半導体エネルギー研究所内 Kanagawa (JP).
肥塚純一(KOEZUKA, Junichi); 〒2430036 神
奈川県厚木市長谷398株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(21) 国際出願番号: PCT/IB2023/062853

(22) 国際出願日: 2023年12月18日(18.12.2023)

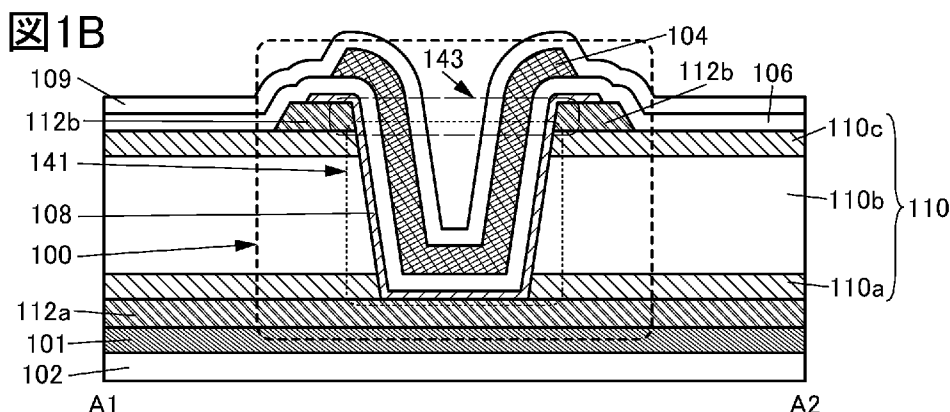
(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び、半導体装置の作製方法



(57) Abstract: Provided is a semiconductor device comprising a transistor having high on-state current. A semiconductor device provided with a transistor on a foundation insulating layer containing hydrogen. On the foundation insulating layer, a first conductive layer, a spacer and a second conductive layer are provided in this order. To the spacer and the second conductive layer, an opening reaching the first conductive layer is provided and a metal oxide layer is provided so that the metal oxide layer has a region located inside the opening. The metal oxide layer has a region in contact with the first conductive layer and a region in contact with the second conductive layer. The first conductive layer and the second conductive layer serve as one or the other of source and drain electrodes of the transistor. On the metal oxide layer, a gate insulating layer is provided so that the gate insulating layer has a region located inside the opening. In the opening,

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

a gate electrode is provided so that the gate electrode has a region opposite to the metal oxide layer with respect to the gate insulating layer.

(57) 要約: オン電流が大きいトランジスタを有する半導体装置を提供する。水素を含む下地絶縁層上にトランジスタが設けられる半導体装置。下地絶縁層上には第1の導電層、スペーサ、及び第2の導電層がこの順で設けられる。スペーサ、及び第2の導電層には、第1の導電層に達する開口が設けられ、当該開口の内部に位置する領域を有するように金属酸化物層が設けられる。金属酸化物層は、第1の導電層と接する領域、及び第2の導電層と接する領域を有する。第1の導電層、及び第2の導電層は、それぞれトランジスタのソース電極又はドレイン電極の一方及び他方として機能する。金属酸化物層上には、開口の内部に位置する領域を有するように、ゲート絶縁層が設けられる。また、開口の内部において、ゲート絶縁層を金属酸化物層との間に挟んで対向する領域を有するように、ゲート電極が設けられる。

明細書

発明の名称

半導体装置、及び、半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、及びその作製方法に関する。本発明の一態様は、トランジスタ、及びその作製方法に関する。本発明の一態様は、半導体装置を有する表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、又はそれらの作製方法を一例として挙げることができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

トランジスタを有する半導体装置は、電子機器に広く適用されている。例えば、表示装置において、トランジスタの占有面積を小さくすることで、画素サイズを縮小でき、高精細化を図ることができる。そのため、トランジスタの微細化が求められている。

[0005]

高精細な表示装置が要求される機器として、例えば、仮想現実（VR: Virtual Reality）、拡張現実（AR: Augmented Reality）、代替現実（SR: Substitutional Reality）、及び、複合現実（MR: Mixed Reality）向けの機器が、盛んに開発されている。

[0006]

表示装置としては、例えば、有機EL（Electro Luminescence）素子、又は発光ダイオード（LED: Light Emitting Diode）を有する発光装置が開発されている。

[0007]

特許文献1には、有機EL素子を用いた、高精細な表示装置が開示されている。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 国際公開第2016/038508号

発明の概要

発明が解決しようとする課題

[0009]

チャネル形成領域を有する半導体層と、ソース電極又はドレイン電極と、の接触抵抗が大きいと、トランジスタのオン電流が小さくなる場合がある。これにより、トランジスタを有する半導体装置の動作速度が遅くなる場合がある。例えば、表示装置が有する半導体装置の動作速度が遅くなると、フレーム周波数が低下する場合がある。

[0010]

本発明の一態様は、オン電流が大きいトランジスタを提供することを課題の一とする。又は、電気特性が良好なトランジスタを提供することを課題の一とする。又は、微細なサイズのトランジスタを提供することを課題の一とする。又は、チャネル長が小さいトランジスタを提供することを課題の一とする。又は、これらのトランジスタを有する半導体装置を提供することを課題の一とする。

[0011]

又は、高速に動作する半導体装置を提供することを課題の一とする。又は、占有面積の小さい半導体装置を提供することを課題の一とする。又は、配線抵抗の小さい半導体装置を提供することを課題の一とする。又は、消費電力の少ない半導体装置又は表示装置を提供することを課題の一とする。又は、信頼性の高いトランジスタ、半導体装置、又は表示装置を提供することを課題の一とする。又は、フレーム周波数が高い表示装置を提供することを課題の一とする。又は、高精細化が容易な表示装置を提供することを課題の一とする。又は、生産性の高い半導体装置又は表示装置の作製方法を提供することを課題の一とする。又は、新規なトランジスタ、半導体装置、表示装置、及びこれらの作製方法を提供することを課題の一とする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、第1の絶縁層と、第2の絶縁層と、第1の導電層と、金属酸化物層と、を有し、第1の導電層は、第1の絶縁層上に設けられ、第2の絶縁層は、第1の導電層上に設けられ、第2の絶縁層には、第1の導電層に達する第1の開口が設けられ、金属酸化物層は、第1の開口の内部に位置し、且つ第1の導電層と接する領域を有し、第1の絶縁層は、水素を含む半導体装置である。

[0014]

又は、上記態様において、第2の絶縁層は、第1の層と、第1の層上の第2の層と、を有し、第1の層は、第1の絶縁層と接する領域を有し、第1の絶縁層は、水素の含有量が第1の層の水素の含有量以上である領域を有してもよい。

[0015]

又は、上記態様において、第1の層の水素の拡散係数は、第1の導電層の水素の拡散係数より小さくてもよい。

[0016]

又は、上記態様において、第2の層は、酸素を含んでもよい。

[0017]

又は、上記態様において、半導体装置は、第2の導電層を有し、第2の導電層は、第2の絶縁層上に設けられ、第2の導電層に、第1の開口と重なる領域を有する第2の開口が設けられ、第2の導電層は、金属酸化物層と接する領域を有してもよい。

[0018]

又は、上記態様において、半導体装置は、第2の導電層を有し、第2の導電層は、第2の絶縁層上に設けられ、第2の導電層には、第1の開口と重なる領域を有する第2の開口が設けられ、第2の導電層は、金属酸化物層と接する領域を有し、第2の絶縁層は、第2の層上の第3の層と、第3の層上の第4の層と、を有し、第4の層は、第2の導電層と接する領域を有し、第4の層は、水素の含有量が第3の層の水素の含有量以上である領域を有してもよい。

[0019]

又は、上記態様において、半導体装置は、第3の絶縁層と、第3の導電層と、を有し、第3の絶縁層は、第1の開口の内部に位置する領域を有するように、金属酸化物層上に設けられ、第3の導電層は、第1の開口の内部において、第3の絶縁層を金属酸化物層との間に挟んで対向する領域を有するように設けられてもよい。

[0020]

又は、上記態様において、第1の絶縁層、第1の層、第3の層、及び第4の層の水素の含有量は、SIMSを用いて測定されてもよい。

[0021]

又は、上記態様において、第3の層の水素の拡散係数は、第2の導電層の水素の拡散係数より小さくてもよい。

[0022]

又は、上記態様において、第1の導電層、第2の導電層、第1の層、及び第2の層の水素の拡散係数は、TDS、又はSIMSを用いて測定されてもよい。

[0023]

又は、上記態様において、第3の層は、第1の層に含まれる材料と同一の材料を含み、第4の層は、第1の絶縁層に含まれる材料と同一の材料を含んでもよい。

[0024]

又は、本発明の一態様は、水素を含む第1の絶縁層を形成し、第1の絶縁層上に、第1の導電層を形成し、第1の導電層上に、第2の絶縁層を形成し、第2の絶縁層上に、第2の導電層を形成し、第2の導電層を加工することで、第1の導電層と重なる領域を有する第1の開口を形成し、第2の絶縁層を加工することで、第1の開口と重なる領域を有するように、第1の導電層に達する第2の開口を形成し、第2の開口の内部に位置する領域を有し、且つ第1の導電層と接する領域、及び第2の導電層と接する領域を有するように、金属酸化物層を形成し、第2の開口の内部に位置する領域を有するように、金属酸化物層上に第3の絶縁層を形成し、第2の開口の内部において、第3の絶縁層を金属酸化物層との間に挟んで対向する領域を有するように、第3の導電層を形成する半導体装置の作製方法である。

[0025]

又は、上記態様において、第2の絶縁層として、第1の絶縁層と接する領域を有する第1の層と、第1の層上の第2の層と、を形成し、第1の層の成膜ガスにおける、水素を含む分子の割合は、第1の絶縁層の成膜ガスにおける、水素を含む分子の割合以下であってもよい。

[0026]

又は、上記態様において、第1の層の水素の拡散係数が、第1の導電層の水素の拡散係数より小さくなるように、第1の層を形成してもよい。

[0027]

又は、上記態様において、第2の層の形成後、且つ第2の導電層の形成前に、第2の層に酸素を供給してもよい。

[0028]

又は、上記態様において、第2の絶縁層として、第2の層上の第3の層と、第3の層上の第4の層と、を形成し、第4の層の成膜ガスにおける、水素を含む分子の割合は、第3の層の成膜ガスにおける、水素を含む分子の割合以上であり、第4の層と接する領域を有するように、第2の導電層を形成してもよい。

[0029]

又は、上記態様において、第3の層の水素の拡散係数が、第2の導電層の水素の拡散係数より小さくなるように、第3の層を形成してもよい。

[0030]

又は、上記態様において、第1の層に含まれる材料と同一の材料を含むように第3の層を形成し、第1の絶縁層に含まれる材料と同一の材料を含むように第4の層を形成してもよい。

発明の効果

[0031]

本発明の一態様により、オン電流が大きいトランジスタを提供できる。又は、電気特性が良好なトランジスタを提供できる。又は、微細なサイズのトランジスタを提供できる。又は、チャンネル長が小さいトランジスタを提供できる。又は、これらのトランジスタを有する半導体装置を提供できる。

[0032]

又は、高速に動作する半導体装置を提供できる。又は、占有面積の小さい半導体装置を提供できる。又は、配線抵抗の小さい半導体装置を提供できる。又は、消費電力の少ない半導体装置又は表示装置を提供できる。又は、信頼性の高いトランジスタ、半導体装置、又は表示装置を提供できる。又は、フレーム周波数が高い表示装置を提供できる。又は、高精細化が容易な表示装置を提供できる。又は、生産性の高い半導体装置又は表示装置の作製方法を提供できる。又は、新規なトランジスタ、半導体装置、表示装置、及びこれらの作製方法を提供できる。

[0033]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0034]

図1Aは、半導体装置の構成例を示す平面図である。図1B、及び図1Cは、半導体装置の構成例を示す断面図である。

図2A乃至図2Dは、半導体装置の構成例を示す斜視図である。

図3Aは、半導体装置の構成例を示す平面図である。図3Bは、半導体装置の構成例を示す断面図である。

図 4 A、及び図 4 Bは、半導体装置の構成例を示す断面図である。

図 5 A、及び図 5 Bは、半導体装置の構成例を示す断面図である。

図 6 Aは、半導体装置の構成例を示す平面図である。図 6 B、及び図 6 Cは、半導体装置の構成例を示す断面図である。

図 7 Aは、半導体装置の構成例を示す平面図である。図 7 Bは、半導体装置の構成例を示す断面図である。

図 8 A、及び図 8 Bは、半導体装置の構成例を示す断面図である。

図 9 A乃至図 9 Cは、半導体装置の構成例を示す断面図である。

図 10 A乃至図 10 Cは、半導体装置の構成例を示す断面図である。

図 11 Aは、半導体装置の構成例を示す平面図である。図 11 B、及び図 11 Cは、半導体装置の構成例を示す断面図である。

図 12 Aは、半導体装置の構成例を示す平面図である。図 12 B、及び図 12 Cは、半導体装置の構成例を示す断面図である。

図 13 Aは、半導体装置の構成例を示す平面図である。図 13 B、及び図 13 Cは、半導体装置の構成例を示す断面図である。

図 14 Aは、半導体装置の構成例を示す平面図である。図 14 Bは、半導体装置の構成例を示す断面図である。

図 15 A、及び図 15 Bは、半導体装置の構成例を示す断面図である。

図 16 Aは、半導体装置の構成例を示す平面図である。図 16 B、及び図 16 Cは、半導体装置の構成例を示す断面図である。

図 17 A、及び図 17 Bは、半導体装置の構成例を示す断面図である。

図 18 A乃至図 18 Cは、開口形状の一例を示す平面図である。

図 19 A乃至図 19 Dは、半導体装置の構成例を示す回路図である。

図 20 A、及び図 20 Bは、半導体装置の構成例を示す断面図である。

図 21 Aは、半導体装置の構成例を示す平面図である。図 21 Bは、半導体装置の構成例を示す断面図である。

図 22 A、及び図 22 Bは、半導体装置の構成例を示す断面図である。

図 23 Aは、半導体装置の構成例を示す平面図である。図 23 Bは、半導体装置の構成例を示す断面図である。

図 24 A乃至図 24 Dは、半導体装置の作製方法例を示す断面図である。

図 25 A乃至図 25 Cは、半導体装置の作製方法例を示す断面図である。

図 26 A、及び図 26 Bは、半導体装置の作製方法例を示す断面図である。

図 27 A、及び図 27 Bは、半導体装置の作製方法例を示す断面図である。

図 28は、表示装置の構成例を示す斜視図である。

図 29 A、及び図 29 Bは、表示装置の構成例を示す断面図である。

図 30は、表示装置の構成例を示す断面図である。

図 31 A乃至図 31 Cは、表示装置の構成例を示す断面図である。

図 32 A、及び図 32 Bは、表示装置の構成例を示す断面図である。

図 33は、表示装置の構成例を示す断面図である。

図 34は、表示装置の構成例を示す断面図である。

図 3 5 は、表示装置の構成例を示す断面図である。

図 3 6 A、及び図 3 6 B は、表示装置の構成例を示す断面図である。

図 3 7 A 乃至図 3 7 D は、電子機器の一例を示す図である。

図 3 8 A 乃至図 3 8 F は、電子機器の一例を示す図である。

図 3 9 A 乃至図 3 9 G は、電子機器の一例を示す図である。

図 4 0 は、実施例の試料の構成を示す断面図である。

図 4 1 A、及び図 4 1 B は、実施例の試料のキャリア濃度と接触抵抗を示すグラフである。

図 4 2 A、及び図 4 2 B は、実施例の試料のキャリア濃度と接触抵抗を示すグラフである。

図 4 3 は、実施例の試料のキャリア濃度と接触抵抗を示すグラフである。

図 4 4 は、実施例のトランジスタの $I_d - V_g$ 特性及び電界効果移動度を示すグラフである。

図 4 5 は、実施例のトランジスタの $I_d - V_g$ 特性及び電界効果移動度を示すグラフである。

図 4 6 A は、実施例のトランジスタのしきい値電圧の確率分布を示すグラフである。図 4 6 B は、実施例のトランジスタの電界効果移動度の確率分布を示すグラフである。

図 4 7 A は、実施例のトランジスタのチャネル長を示すグラフである。図 4 7 B は、実施例のトランジスタのしきい値電圧の変動量を示すグラフである。

図 4 8 は、実施例のトランジスタの $I_d - V_g$ 特性及び電界効果移動度を示すグラフである。

図 4 9 A は、実施例のトランジスタのしきい値電圧の確率分布を示すグラフである。図 4 9 B は、実施例のトランジスタのドレイン電流の確率分布を示すグラフである。

図 5 0 A は、実施例のトランジスタのチャネル長を示すグラフである。図 5 0 B は、実施例のトランジスタのしきい値電圧の変動量を示すグラフである。

図 5 1 A は、実施例のトランジスタの $I_d - V_g$ 特性を示すグラフである。図 5 1 B は、実施例のトランジスタのしきい値電圧の経時変化を示すグラフである。

発明を実施するための形態

[0035]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0036]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0037]

また、図面において示す各構成の、位置、大きさ、及び、範囲等は、理解の簡単のため、実際の位置、大きさ、及び、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲等に限定されない。

[0038]

なお、本明細書等において、「第 1」、「第 2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲

において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0039]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である場合がある。また、例えば、「絶縁層」という用語を、「絶縁膜」という用語に変更することが可能である場合がある。さらに、例えば、「半導体層」という用語を、「半導体膜」という用語に変更することが可能である場合がある。

[0040]

また、トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び、導通又は非導通を制御するスイッチング動作等を実現できる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0041]

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0042]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極又は配線をはじめ、トランジスタ等のスイッチング素子、抵抗素子、コイル、容量素子、その他の各種機能を有する素子等が含まれる。

[0043]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（pチャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0044]

本明細書等において、ノーマリーオン特性とは、ゲートに電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れてしまう状態のことをいう。また、ノーマリーオフ特性とは、ゲートに電位を印加しない、又はゲートに接地電位を与えたときに、トランジスタに電流が流れない状態のことをいう。

[0045]

本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、又は上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という場合がある。また、上面形状が一致又は概略一致している場合、端部が揃っている、又は概略揃っているということもできる。

[0046]

なお、本明細書等において、ある構成要素の上面形状とは、その平面視における当該構成要素の輪郭形状のことをいう。また平面視とは、当該構成要素の被形成面、又は当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

[0047]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられる形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（テーパ角ともいう）が0度より大きく90度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0048]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。ここで、酸化膜には酸化窒化物を有する膜を含め、窒化膜には窒化酸化物を有する膜を含めるものとする。

[0049]

本明細書等において、AはBと接する、と記載されている場合、Aの少なくとも一部がBと接する。そのため、例えば、AはBと接する領域を有する、と言い換えることができる。

[0050]

本明細書等において、AはB上に設けられる、と記載されている場合、Aの少なくとも一部がB上に設けられる。そのため、例えば、AはB上に設けられる領域を有する、と言い換えることができる。

[0051]

本明細書等において、AはBと重なる、と記載されている場合、Aの少なくとも一部がBと重なる。そのため、例えば、AはBと重なる領域を有する、と言い換えることができる。

[0052]

本明細書等において、メタルマスク、又はFMM（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスという場合がある。また、本明細書等において、メタルマスク、又はFMMを用いずに作製されるデバイスをMML（メタルマスクレス）構造のデバイスという場合がある。

[0053]

本明細書等では、発光波長が異なる発光素子（発光デバイスともいう）で発光層を作り分ける構造をSBS（Side By Side）構造という場合がある。SBS構造は、発光素子ごとに材料及び構成を最適化できるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0054]

本明細書等において、正孔又は電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層又は電子注入層を「キャリア注入層」といい、正孔輸送層又は電子輸送層を「キャリア輸送層」といい、正孔ブロック層又は電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、それぞれ、断面形状、又は特性等によって明確に区別できない場合がある。また、1つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち2つ又は3つの機能を兼ねる場合がある。

[0055]

本明細書等において、発光素子は、一対の電極間にE L層を有する。E L層は、少なくとも発光層を有する。ここで、E L層が有する層（機能層ともいう）としては、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及び、キャリアブロック層（正孔ブロック層及び電子ブロック層）等が挙げられる。本明細書等において、受光素子（受光デバイスともいう）は、一対の電極間に少なくとも光電変換層として機能する活性層を有する。本明細書等では、一対の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

[0056]

本明細書等において、犠牲層（マスク層といってもよい）とは、少なくとも発光層（より具体的には、E L層を構成する層のうち、島状に加工される層）の上方に位置し、作製工程中において、当該発光層を保護する機能を有する。

[0057]

本明細書等において、島状とは、同一工程で形成された同一材料を用いた2以上の層が物理的に分離されている状態であることを示す。例えば、島状の発光層とは、当該発光層と、隣接する発光層とが、物理的に分離されている状態であることを示す。

[0058]

本明細書等において、段切れとは、層、膜、又は電極が、被形成面の形状（例えば段差等）に起因して分断されてしまう現象を示す。

[0059]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の構成例、及び作製方法例について説明する。

[0060]

本発明の一態様の半導体装置が有するトランジスタ（本発明の一態様のトランジスタともいう）は、ソース電極とドレイン電極とが異なる高さに位置し、半導体層を流れる電流は高さ方向に流れる。すなわち、チャンネル長方向が高さ方向（縦方向）の成分を有するといえることができるため、本発明の一態様のトランジスタは、縦型トランジスタ、又は縦型チャンネルトランジスタ等ともいうことができる。

[0061]

より具体的には、トランジスタのソース電極及びドレイン電極の一方である下部電極と、他方である上部電極との間にスペーサとして機能する絶縁層が設けられる。なお、以下の説明においては、スペーサとして機能する絶縁層を、単にスペーサとする場合があるが、スペーサを絶縁層と読み替えてもよい。

[0062]

スペーサには、下部電極に達する第1の開口が設けられ、上部電極には、第1の開口と重なる領域を有する第2の開口が設けられる。そして、チャンネルが形成される半導体層が、下部電極と接する領域、及び上部電極と接する領域を有し、且つ第1の開口の内部に位置する領域、及び第2の開口の内部に位置する領域を有するように設けられる。第1の開口の内部、及び第2の開口の内部には、半導体層と重ねてゲート絶縁層と、ゲート電極とが設けられる。ソース電極、半導体層、及びドレイン電極を重ねて設けることができるため、半導体層を平面上に配置した、いわゆるプレーナ型のトランジスタと比較して、大幅に占有面積を縮小できる。

[0063]

本発明の一態様のトランジスタが有する半導体層として、半導体特性を示す金属酸化物（酸化物半導体ともいう）を含む層を用いることができる。ここで、本明細書等において、半導体特性を示す金属酸化物を含む層を、金属酸化物層、又は酸化物半導体層という。半導体層に用いることができる金属酸化物として、例えば、インジウムを含む酸化物、ガリウムを含む酸化物、及び亜鉛を含む酸化物が挙げられる。半導体層に用いることができる金属酸化物として、例えば、インジウム酸化物、インジウム亜鉛酸化物、及びインジウムガリウム亜鉛酸化物が挙げられる。

[0064]

ここで、ソース電極と半導体層との接触抵抗、又はドレイン電極と半導体層との接触抵抗が大きいと、トランジスタのオン電流が小さくなる場合がある。

[0065]

そこで、本発明の一態様のトランジスタでは、水素を含む下地絶縁層上にトランジスタを設ける。具体的には、基板上に水素を含む下地絶縁層を設け、下地絶縁層上にトランジスタの下部電極を設け、下部電極上に金属酸化物層を設ける。より具体的には、水素を含む下地絶縁層の上面と接する領域を有するようにトランジスタの下部電極を設け、下部電極の上面と接する領域を有するように金属酸化物層を設ける。これにより、下地絶縁層に含まれる水素が下部電極を透過し、金属酸化物層の、下部電極と接する領域、及びその近傍の領域に供給される。ここで、下地絶縁層は、単位体積当たりの水素の含有量がスペーサの単位体積当たりの水素の含有量以上である領域を少なくとも有する。

[0066]

本明細書等において、単に「含有量」という場合であっても、単位体積、又は単位面積当たりの含有量を示す場合がある。

[0067]

金属酸化物層に含まれる金属原子と結合する酸素と、水素と、が反応すると水となり、金属酸化物中に酸素欠損（ V_O ）が形成される。酸素欠損に水素が入った欠陥（以下、 V_OH と記す）はドナーとして機能し、キャリアである電子が生成される。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。金属酸化物層にキャリアである電子が生成されることにより、金属酸化物層が低抵抗化される。以上により、金属酸化物層の、下部電極と接する領域に水素を供給することで、金属酸化物層と、下部電極と、の接触抵抗を小さくできる。これにより、トランジスタのオン電流を大きくし、電気特性を良好とすることができる。よって、高速に動作する半導体装置を実現できる。

[0068]

スペーサは、単層構造としてもよいし、複数の層の積層構造としてもよい。例えば、スペーサは、第1の絶縁層と、第1の絶縁層上の第2の絶縁層と、第2の絶縁層上の第3の絶縁層との3層積層構造とすることができる。また、スペーサは、第3の絶縁層上に第4の絶縁層が設けられる、4層積層構成とすることができる。

[0069]

第1の絶縁層には、水素が拡散しにくい材料を用いることができる。第1の絶縁層には、例えば第1の導電層より水素が拡散しにくい材料を用いることができ、また第2の絶縁層より水素が拡散しにくい材料を用いることができる。第1の絶縁層には、例えば第1の導電層より水素の拡散係数が

小さい材料を用いることができ、また第2の絶縁層より水素の拡散係数が小さい材料を用いることができる。これにより、下地絶縁層に含まれる水素が、例えば金属酸化物層の領域のうち、下部電極と金属酸化物層が接する領域から離れた領域に供給されることを抑制できる。例えば、下地絶縁層に含まれる水素が、金属酸化物層の領域のうち、第2の絶縁層と接する領域に供給されることを抑制できる。以上により、トランジスタのチャネル長が小さくなり、トランジスタのしきい値電圧が小さくなる、すなわちしきい値電圧がマイナスシフトすることを抑制できる。これにより、カットオフ電流を小さくでき、ノーマリーオフ特性（すなわち、しきい値電圧がプラスの値）のトランジスタを実現できる。よって、本発明の一態様のトランジスタの信頼性を高めることができ、本発明の一態様の半導体装置の信頼性を高めることができる。

[0070]

第2の絶縁層には、酸素を含む層を用いることができる。例えば、第2の絶縁層は、第1の絶縁層、第3の絶縁層、及び第4の絶縁層の少なくとも一つと比べて、酸素の含有量が多い領域を有することができる。これにより、金属酸化物層の、下部電極及び上部電極のいずれとも接しない領域に酸素を供給できる。よって、金属酸化物層のチャネル形成領域に酸素を供給できる。これにより、金属酸化物層中の酸素欠損を低減し、i型のチャネル形成領域を形成することが容易となる。以上により、本発明の一態様のトランジスタの電気特性を良好とし、また信頼性を高めることができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

[0071]

第3の絶縁層には、水素が拡散しにくい材料を用いることができる。第3の絶縁層には、例えば第1の絶縁層に用いることができる材料を適用できる。

[0072]

ここで、第1の絶縁層、及び第3の絶縁層には、水素だけでなく、酸素が拡散しにくい材料を用いることができる。第1の絶縁層、及び第3の絶縁層には、例えば第2の絶縁層より酸素が拡散しにくい材料を用いることができる。第1の絶縁層、及び第3の絶縁層には、例えば第2の絶縁層より酸素の拡散係数が小さい材料を用いることができる。例えば、第1の絶縁層、及び第3の絶縁層には窒化絶縁膜を用い、第2の絶縁層には酸化絶縁膜を用いることができる。具体的には、例えば第1の絶縁層、及び第3の絶縁層には窒化シリコン膜、又は窒化酸化シリコン膜を用い、第2の絶縁層には酸化シリコン膜、又は酸化窒化シリコン膜を用いることができる。

[0073]

以上により、第2の絶縁層に含まれる酸素が、例えば加熱によりスペーサの外部に拡散することを抑制できる。言い換えると、酸素が拡散しにくい第1の絶縁層及び第3の絶縁層で第2の絶縁層の上下を挟むことで、第2の絶縁層に含まれる酸素を閉じ込めることができる。これにより、金属酸化物層のチャネル形成領域に、酸素を好適に供給できる。

[0074]

第4の絶縁層は、上部電極の下面と接する領域を有するように設けることができ、水素を含むことができる。これにより、第4の絶縁層に含まれる水素が上部電極を透過し、金属酸化物層の、上部電極と接する領域、及びその近傍の領域に供給される。以上により、金属酸化物層と、上部電極との接触抵抗を小さくできる。これにより、トランジスタのオン電流を大きくし、電気特性を良好とすることができる。よって、高速に動作する半導体装置を実現できる。ここで、第4の絶縁層の下に設けられる第3の絶縁層に水素が拡散しにくい材料を用いることにより、第4の絶縁層に含まれ

る水素が、例えば金属酸化物層の領域のうち、上部電極、及び第４の絶縁層から離れた領域に供給されることを抑制できる。例えば、第４の絶縁層に含まれる水素が、金属酸化物層の領域のうち、第４の絶縁層と接する領域に供給されることを抑制できる。以上により、トランジスタのチャンネル長が小さくなり、トランジスタのしきい値電圧がマイナスシフトすることを抑制できる。これにより、カットオフ電流を小さくでき、ノーマリーオフ特性のトランジスタを実現できる。よって、本発明の一態様のトランジスタの信頼性を高めることができ、本発明の一態様の半導体装置の信頼性を高めることができる。

[００７５]

下地絶縁層、及び第４の絶縁層は、水素の含有量が例えば第１の絶縁層の水素の含有量以上、及び第３の絶縁層の水素の含有量以上である領域を有する。言い換えると、第１の絶縁層、及び第３の絶縁層は、水素の含有量が例えば下地絶縁層の水素の含有量以下、及び第４の絶縁層の水素の含有量以下である領域を有する。以上により、金属酸化物層と、下部電極及び上部電極と、の接触抵抗を小さくしつつ、水素が例えば第２の絶縁層と接する領域に供給されてトランジスタのチャンネル長が小さくなることを抑制できる。よって、本発明の一態様のトランジスタを、オン電流が大きく、且つ信頼性が高いトランジスタとすることができる。また、本発明の一態様の半導体装置を、高速に動作し、且つ信頼性が高い半導体装置とすることができる。

[００７６]

例えば、下地絶縁層と第４の絶縁層は、単位体積当たりの水素含有量を同程度とすることができる。第４の絶縁層は、下地絶縁層に用いることができる材料を適用できる。下地絶縁層、及び第４の絶縁層として、例えば窒化絶縁膜を用いることができる。当該窒化絶縁膜として、例えば窒化シリコン、及び窒化酸化シリコンが挙げられる。窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、成膜条件（例えば、成膜ガス又は成膜時の電力）を変えることで、水素の放出が多い膜とすることができるため、下地絶縁層、及び第４の絶縁層として好適に用いることができる。ここで、下地絶縁層と第４の絶縁層を、同一の材料を含み、且つ単位体積当たりの水素含有量を同程度とする場合、同一の条件で下地絶縁層と第４の絶縁層を成膜できる。

[００７７]

本明細書等において「同程度」という場合、プラスマイナス４０％の誤差を含むものとする。

[００７８]

<半導体装置の構成例１>

図１Ａは、本発明の一態様の半導体装置の構成例を示す平面図であり、トランジスタ１００の構成例を示している。図１Ａでは、絶縁層等の一部の構成要素の図示を省略している。以降に示す平面図においても、一部の構成要素の図示を省略する。

[００７９]

図１Ｂは、図１Ａに示す一点鎖線Ａ１－Ａ２間の断面図であり、図１Ｃは、図１Ａに示す一点鎖線Ｂ１－Ｂ２間の断面図である。図２Ａは、図１Ａ乃至図１Ｃの構成例に対応する斜視図である。図２Ａに示す例では、一部の絶縁層等、図１Ａ乃至図１Ｃに示す要素の一部を省略している。

[００８０]

本発明の一態様の半導体装置は、基板１０２と、基板１０２上の下地絶縁層として機能する絶縁層１０１と、絶縁層１０１上の絶縁層１１０、及びトランジスタ１００と、を有する。トランジスタ１００は、導電層１１２ａと、半導体層１０８と、導電層１１２ｂと、絶縁層１０６と、導電層１

04と、を有する。トランジスタ100を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0081]

導電層112aは、絶縁層101の上面と接する領域を有するように、絶縁層101上に設けられる。導電層112aは、トランジスタ100のソース電極又はドレイン電極の一方として機能する。

[0082]

絶縁層110は、絶縁層101上、及び導電層112a上に設けられる。絶縁層110は、絶縁層101の上面と接する領域、導電層112aの上面と接する領域、及び導電層112aの側面と接する領域を有することができる。絶縁層110には、導電層112aに達する開口141が設けられる。

[0083]

導電層112bは、絶縁層110上に設けられる。導電層112bは、絶縁層110の上面と接する領域を有することができる。導電層112bには、開口141と重なる領域を有する開口143が設けられる。導電層112bは、トランジスタ100のソース電極又はドレイン電極の他方として機能する。

[0084]

以上のように、導電層112aは、絶縁層110下に設けられ、導電層112bは、絶縁層110上に設けられる。よって、導電層112aはトランジスタ100の下部電極といい、導電層112bはトランジスタ100の上部電極といえることができる。前述のように、導電層112aはトランジスタ100のソース電極又はドレイン電極の一方として機能し、導電層112bはトランジスタ100のソース電極又はドレイン電極の他方として機能する。以上より、トランジスタ100は、ソース電極又はドレイン電極の一方が下部電極であり、ソース電極又はドレイン電極の他方が上部電極であるトランジスタである。また、絶縁層110は、トランジスタ100の下部電極と上部電極の間の距離を制御する、スペーサとしての機能を有する。

[0085]

絶縁層110は、絶縁層101上、及び導電層112a上の絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、の積層構造を有する。つまり、図1B、及び図1Cでは、絶縁層110が3層積層構造である例を示している。

[0086]

絶縁層110aは、絶縁層101の上面と接する領域、導電層112aの上面と接する領域、及び導電層112aの側面と接する領域を有することができる。絶縁層110cは、導電層112bの下面と接する領域を有することができる。言い換えると、導電層112bは、絶縁層110cの上面と接する領域を有することができる。

[0087]

図2Bは、図2Aに示す斜視図から、絶縁層101、導電層112a、導電層112b、開口141、及び開口143を抜粋して示す図である。なお、絶縁層110に設けられる開口141は破線で示している。図2Bに示すように、導電層112bには、導電層112aと重なる領域に開口143が設けられる。また、導電層112bは、開口141の内部に設けないことが好ましい。つまり、導電層112bは、絶縁層110の開口141側の側面と接する領域を有さないことが好ましい。

[0088]

半導体層108は、開口141の内部に位置する領域、及び開口143の内部に位置する領域を有する。半導体層108は、導電層112aの上面と接する領域、絶縁層110の側面と接する領域、導電層112bの上面と接する領域、及び導電層112bの側面と接する領域を有する。半導体層108は、絶縁層110における開口141側の端部（開口141の側壁ともいえる）及び導電層112bにおける開口143側の端部（開口143の側壁ともいえる）と接する領域を有する。半導体層108は、開口141の内部において導電層112aの上面と接する領域を有する。

[0089]

以上より、半導体層108は、導電層112a上、及び導電層112b上に設けられる。また、前述のように、導電層112aは、絶縁層101上に設けられる。よって、導電層112aは、絶縁層101と、半導体層108と、の間に設けられる。ここで、本発明の一態様の半導体装置では、絶縁層101を、水素を含む絶縁層とする。具体的には、絶縁層101を、単位体積当たりの水素の含有量が絶縁層110の単位体積当たりの水素の含有量以上である領域を有する絶縁層とする。また、半導体層108を、水素が供給されることにより低抵抗化する材料を含む層とする。例えば、半導体層108を、半導体特性を示す金属酸化物である酸化物半導体を含む層とする。この場合、半導体層108は、金属酸化物層、又は酸化物半導体層ともいう。

[0090]

半導体層108に用いることができる金属酸化物として、例えば、インジウムを含む酸化物、ガリウムを含む酸化物、及び亜鉛を含む酸化物が挙げられる。半導体層108に用いることができる金属酸化物として、例えば、インジウム酸化物、インジウム亜鉛酸化物、及びインジウムガリウム亜鉛酸化物が挙げられる。なお、絶縁層101は、半導体層108に供給することにより半導体層108が低抵抗化する材料を含んでいれば、水素を含んでいなくてもよい。

[0091]

絶縁層101が水素を含むことにより、絶縁層101に含まれる水素が導電層112aを透過し、半導体層108の、導電層112aと接する領域、及びその近傍の領域に供給される。前述のように、半導体層108は、水素が供給されることにより低抵抗化する材料を含む。よって、半導体層108の導電層112aと接する領域に水素を供給することで、半導体層108と、導電層112aと、の接触抵抗を小さくできる。これにより、トランジスタ100のオン電流を大きくし、電気特性を良好とすることができる。よって、高速に動作する半導体装置を実現できる。

[0092]

水素、酸素、及び窒素等の元素の含有量の測定には、例えば、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）、又はX線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いることができる。目的の元素の含有率が高い（例えば、0.5 atomic %以上、又は1 atomic %以上）場合は、XPSが適している。一方、目的の元素の含有率が低い（例えば0.5 atomic %以下、又は1 atomic %以下）場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ましい。なお、水素の含有量は、SIMSを用いて測定すると高い感度で測定でき好ましい。また、昇温脱離ガス分析法（TDS：Thermal Desorption Spectroscopy）を用いて上記元素の脱離量を測定することにより、例えば2つの層における上記元素の含有量を比較

できる。

[0093]

図2Cは、図2Aに示す斜視図から、絶縁層101、導電層112a、半導体層108、開口141、及び開口143を抜粋して示す図である。図2Cに示すように、半導体層108は、開口141及び開口143を覆うように設けられる。

[0094]

図1B、及び図1Cでは、半導体層108の端部が、導電層112bの上面に設けられる例を示すが、例えば半導体層108が導電層112bの端部を覆い、絶縁層110上に半導体層108の端部が設けられてもよい。

[0095]

絶縁層106は、絶縁層110上、半導体層108上、及び導電層112b上に設けられる。絶縁層106は、開口141の内部に位置する領域、及び開口143の内部に位置する領域を有するように、半導体層108上に設けられる。絶縁層106は、半導体層108を介して、開口141の側壁及び開口143の側壁に沿って設けられる。絶縁層106は、トランジスタのゲート絶縁層として機能する。

[0096]

導電層104は、絶縁層106上に設けられる。導電層104は、開口141の内部に位置する領域、及び開口143の内部において、絶縁層106を半導体層108との間に挟んで対向する領域を有するように設けられる。言い換えると、導電層104は、開口141及び開口143の内部で、絶縁層106を介して半導体層108と重なる領域を有するように設けられる。導電層104は、トランジスタ100のゲート電極として機能する。

[0097]

図2Dは、図2Aに示す斜視図から、絶縁層101、導電層112a、導電層104、開口141、及び開口143を抜粋して示す図である。図2Dに示すように、導電層104は、開口141及び開口143を覆うように設けられる。

[0098]

導電層112a、導電層112b、及び導電層104は、それぞれ、配線として機能でき、トランジスタ100はこれらの配線が重なる領域に設けることができる。つまり、トランジスタ100及び配線を有する回路において、トランジスタ100及び配線の占有面積を縮小できる。したがって、回路の占有面積を縮小でき、小型の半導体装置とすることができる。

[0099]

導電層104上、及び絶縁層106上には、絶縁層109が設けられる。絶縁層109は、導電層104を覆うように設けられる。

[0100]

絶縁層109は、保護層として機能する。絶縁層109には、不純物が拡散しにくい材料を用いることが好ましい。絶縁層109を設けることにより、トランジスタ100に外部から不純物が拡散することを好適に抑制でき、半導体装置の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。例えば、絶縁層109は、無機絶縁膜及び有機絶縁膜の一方又は双方を有する。絶縁層109は、無機絶縁膜と、有機絶縁膜との積層構造としてもよい。

[0101]

絶縁層 109 に無機絶縁膜を用いる場合、絶縁層 109 には、絶縁層 110 に用いることができる材料を適用できる。絶縁層 109 に用いることができる無機絶縁膜としては、例えば、酸化絶縁膜、及び窒化絶縁膜が挙げられる。具体的には、絶縁層 109 には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一又は複数を用いることができる。絶縁層 109 に有機絶縁膜を用いる場合、例えば、アクリル樹脂、及びポリイミド樹脂の一方又は双方を用いることができる。

[0102]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小でき、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方）に適用する場合、駆動回路の占有面積を縮小でき、狭額縁の表示装置とすることができる。

[0103]

図 3A は、本発明の一態様の半導体装置の構成例を示す平面図であり、トランジスタ 100 の構成例を示している。図 3A では、図 1A に示す平面図に、直径 D143、及びチャネル幅 W100 を示している。図 3B は、図 1B に示す構成を含む拡大図であり、トランジスタ 100 の構成例を示している。図 3B では、直径 D143、チャネル幅 W100、チャネル長 L100、厚さ T110、及び角度 $\theta 110$ を示している。図 4A は、図 3B に示す半導体層 108、及びその近傍の領域の拡大図である。

[0104]

半導体層 108 において、導電層 112a と接する領域はソース領域又はドレイン領域の一方として機能し、導電層 112b と接する領域はソース領域又はドレイン領域の他方として機能する。また、半導体層 108 は、ソース領域とドレイン領域の間にチャネル形成領域を有する。

[0105]

ここで、導電層 112a と半導体層 108 との接触抵抗が大きいと、半導体層 108 のソース領域又はドレイン領域の一方の電気抵抗が大きくなり、トランジスタのオン電流が小さくなる場合がある。そこで、本発明の一態様の半導体装置では、前述のように、絶縁層 101 を、水素を含む絶縁層とし、半導体層 108 を、水素が供給されることにより低抵抗化する材料を含む層とする。例えば、半導体層 108 を金属酸化物層とする場合、半導体層 108 に含まれる金属原子と結合する酸素と、水素と、が反応すると水となり、金属酸化物中に酸素欠損 (V_o) が形成される。酸素欠損に水素が入った欠陥 (V_oH) はドナーとして機能し、キャリアである電子が生成される。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。半導体層 108 にキャリアである電子が生成されることにより、半導体層 108 が低抵抗化される。なお、前述のように絶縁層 101 は、半導体層 108 に供給することにより半導体層 108 が低抵抗化する材料を含んでいれば、水素を含んでいなくてもよい。

[0106]

図 3B、及び図 4A では、絶縁層 101 に含まれる水素が半導体層 108 に供給される様子の一例を、破線の片矢印で示している。図 3B、及び図 4A に示すように、絶縁層 101 に含まれる水素は、導電層 112a を透過し、半導体層 108 の、導電層 112a と接する領域、及びその近傍の領域に供給される。これにより、半導体層 108 の、導電層 112a と接する領域、及びその近傍の領域は、低抵抗領域となる。当該低抵抗領域を、領域 108n とする。領域 108n は、トラン

ジスタ１００のソース領域、又はドレイン領域として機能する。

〔０１０７〕

半導体層１０８の導電層１１２aと接する領域に、低抵抗領域である領域１０８nが形成されることで、半導体層１０８と、導電層１１２aと、の接触抵抗を小さくできる。これにより、トランジスタ１００のオン電流を大きくし、電気特性を良好とすることができる。よって、高速に動作する半導体装置を実現できる。

〔０１０８〕

絶縁層１０１には、絶縁層１１０に用いることができる材料を適用できる。絶縁層１０１には、例えば窒化絶縁膜、及び酸化絶縁膜の一方又は双方を用いることができる。当該窒化絶縁膜として、例えば窒化シリコン膜、窒化酸化シリコン膜、及び窒化アルミニウム膜が挙げられる。また、当該酸化絶縁膜として、酸化窒化シリコン膜、酸化シリコン膜、酸化窒化アルミニウム膜、酸化アルミニウム膜、酸化ハフニウム膜、及びハフニウムアルミネート膜が挙げられる。特に、窒化シリコン膜及び窒化酸化シリコン膜の一方又は双方を絶縁層１０１に用いると、絶縁層１０１を、成膜条件（例えば、成膜ガス又は成膜時の電力）を変えることで水素の放出が多い膜とすることができるため好ましい。

〔０１０９〕

また、絶縁層１０１は、加熱により水素を放出する層であることが好ましい。トランジスタ１００の作製工程中にかかる熱により、絶縁層１０１が水素を放出することで、半導体層１０８に水素を好適に供給できる。

〔０１１０〕

絶縁層１０１の膜厚は、１nm以上５００nm以下が好ましく、５nm以上５００nm以下がより好ましく、５nm以上２００nm以下がより好ましく、１０nm以上２００nm以下がより好ましく、３０nm以上２００nm以下がより好ましく、５０nm以上２００nm以下がさらに好ましい。絶縁層１０１の膜厚を厚くすると、絶縁層１０１の水素含有量を多くできるため、半導体層１０８に好適に水素を供給できる。一方、絶縁層１０１の膜厚を厚くしすぎると本発明の一態様の半導体装置の生産性が低下するため、生産性を考慮した膜厚とすることが好ましい。

〔０１１１〕

絶縁層１１０には、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、及び窒化絶縁膜が挙げられる。酸化絶縁膜としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化マグネシウム膜、酸化ガリウム膜、酸化窒化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化窒化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、酸化窒化ハフニウム膜、酸化タンタル膜、酸化セリウム膜、ガリウム亜鉛酸化物膜、及びハフニウムアルミネート膜が挙げられる。窒化絶縁膜としては、例えば、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、及び窒化酸化アルミニウム膜が挙げられる。

〔０１１２〕

絶縁層１１０は、半導体層１０８と接する領域を有する。半導体層１０８を金属酸化物層とする場合、半導体層１０８と絶縁層１１０との界面特性を向上させるため、絶縁層１１０の半導体層１０８と接する部分の少なくとも一部に酸化物を用いることが好ましい。具体的には、絶縁層１１０における半導体層１０８のチャネル形成領域と接する部分に酸化物を用いることが好ましい。チャネ

ル形成領域は、キャリア濃度が低い高抵抗領域である。チャネル形成領域は、i 型（真性）又は実質的に i 型であるといえることができる。

[0113]

半導体層 108 のチャネル形成領域と接する領域を有する絶縁層 110 b には、酸素を含む層を用いることが好ましい。絶縁層 110 b は、絶縁層 110 a 及び絶縁層 110 c の一方又は双方と比べて、酸素の含有量が多い領域を有することが好ましい。これにより、半導体層 108 の、導電層 112 a 及び導電層 112 b のいずれとも接しない領域に酸素を供給できる。例えば、半導体層 108 の絶縁層 110 b と接する領域、及びその近傍の領域に酸素を供給できる。よって、半導体層 108 のチャネル形成領域に酸素を供給できる。これにより、半導体層 108 中の酸素欠損を低減し、i 型のチャネル形成領域を形成することが容易となる。以上により、トランジスタ 100 の電気特性を良好とし、また信頼性を高めることができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。なお、酸素の含有量は、水素の含有量の測定方法と同様の方法で測定できる。

[0114]

絶縁層 110 b には、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ 100 の作製工程中にかかる熱により、絶縁層 110 b が酸素を放出することで、半導体層 108 に酸素を供給できる。絶縁層 110 b から半導体層 108、特に半導体層 108 のチャネル形成領域に酸素を供給することで、半導体層 108 中の酸素欠損の低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0115]

例えば、酸素を含む雰囲気下における加熱処理、又は酸素を含む雰囲気下におけるプラズマ処理を行うことで、絶縁層 110 b に酸素を供給できる。また、絶縁層 110 b の上面に、スパッタリング法により、酸素雰囲気下で酸化物膜を成膜することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。

[0116]

絶縁層 110 b は、スパッタリング法、又はプラズマ化学気相堆積（PECVD: Plasma Enhanced Chemical Vapor Deposition）法等の成膜方法で形成することが好ましい。特に、スパッタリング法を用い、成膜ガスに水素ガスを用いない成膜方法で成膜することで、水素の含有量の極めて少ない膜とすることができる。そのため、半導体層 108 のチャネル形成領域に水素が供給されることを抑制し、トランジスタ 100 の電気特性の安定化を図ることができる。

[0117]

絶縁層 110 b には、前述の酸化絶縁膜のいずれか一つ又は複数を用いることが好ましい。具体的には、絶縁層 110 b には、酸化シリコン膜及び酸化窒化シリコン膜の一方又は双方を用いることが好ましい。

[0118]

絶縁層 110 a 及び絶縁層 110 c には、それぞれ、水素が拡散しにくい材料を用いることができる。これにより、トランジスタの外から絶縁層 110 a 又は絶縁層 110 c を介して、半導体層 108 に水素が拡散することを抑制できる。特に、絶縁層 110 a に水素が拡散しにくい材料を用いると、絶縁層 101 に含まれる水素が、例えば半導体層 108 の領域のうち、導電層 112 a と半

導体層 108 が接する領域から離れた領域に供給されることを抑制できる。例えば、絶縁層 101 に含まれる水素が、半導体層 108 の領域のうち、絶縁層 110a と接する領域に供給されることを抑制できる。以上により、トランジスタ 100 のチャネル長が小さくなり、トランジスタ 100 のしきい値電圧が小さくなる、すなわちしきい値電圧がマイナスシフトすることを抑制できる。これにより、カットオフ電流を小さくでき、ノーマリーオフ特性のトランジスタを実現できる。よって、トランジスタ 100 の信頼性を高めることができ、本発明の一態様の半導体装置の信頼性を高めることができる。

[0119]

絶縁層 110a には、例えば導電層 112a より水素が拡散しにくい材料を用いることができ、また絶縁層 110b より水素が拡散しにくい材料を用いることができる。絶縁層 110a には、例えば導電層 112a より水素の拡散係数が小さい材料を用いることができ、また絶縁層 110b より水素の拡散係数が小さい材料を用いることができる。また、絶縁層 110c には、例えば導電層 112b より水素が拡散しにくい材料を用いることができ、また絶縁層 110b より水素が拡散しにくい材料を用いることができる。絶縁層 110c には、例えば導電層 112b より水素の拡散係数が小さい材料を用いることができ、また絶縁層 110b より水素の拡散係数が小さい材料を用いることができる。絶縁層 110c における水素の拡散係数は、絶縁層 110a における水素の拡散係数と同程度とすることができる。

[0120]

絶縁層 110c は、絶縁層 110a に含まれる材料と同一の材料を含むことができる。例えば、絶縁層 110c には、絶縁層 110a と同一の材料を用いることができる。この場合、同一の条件で、絶縁層 110a と絶縁層 110c を成膜できる。なお、例えば絶縁層 110a の成膜時間と絶縁層 110c の成膜時間を異ならせることにより、絶縁層 110a の膜厚と絶縁層 110c の膜厚を異ならせることができる。

[0121]

また、絶縁層 110a 及び絶縁層 110c には、水素だけでなく、酸素が拡散しにくい材料を用いることができる。絶縁層 110a、及び絶縁層 110c には、例えば絶縁層 110b より酸素が拡散しにくい材料を用いることができる。絶縁層 110a、及び絶縁層 110c には、例えば絶縁層 110b より酸素の拡散係数が小さい材料を用いることができる。これにより、絶縁層 110b に含まれる酸素が、加熱により絶縁層 110a を介して基板 102 側に透過すること、及び、絶縁層 110c を介して導電層 112b 及び絶縁層 106 側に透過することを防ぐことができる。言い換えると、酸素が拡散しにくい絶縁層 110a 及び絶縁層 110c で絶縁層 110b の上下を挟むことで、絶縁層 110b に含まれる酸素を閉じ込めることができる。これにより、半導体層 108 に好適に酸素を供給できる。

[0122]

水素、及び酸素等の拡散係数の算出には、例えば、TDSを用いることができる。又は、SIMSを用いてもよい。

[0123]

絶縁層 110a 及び絶縁層 110c には、それぞれ前述の、酸化絶縁膜、及び窒化絶縁膜のいずれか一つ又は複数をを用いることが好ましく、窒化シリコン膜、窒化酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化アルミニウム膜、酸化ハフニウム膜、

及びハフニウムアルミネート膜のいずれか一つ又は複数を用いることが好ましい。

[0124]

絶縁層110a及び絶縁層110cには、それぞれ、前述の窒化絶縁膜のいずれか一つ又は複数を用いることが好ましい。具体的には、絶縁層110a及び絶縁層110cには、それぞれ、窒化シリコン膜及び窒化酸化シリコン膜の一方又は双方を用いることが好ましい。

[0125]

窒化シリコン膜、及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい膜を実現できるため、絶縁層110a及び絶縁層110cとして好適に用いることができる。

[0126]

また、絶縁層110a及び絶縁層110cには、例えば、前述のアルミニウムを含む膜を用いてもよい。例えば、絶縁層110a及び絶縁層110cには、それぞれ、酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、窒化シリコン膜に比べて水素の含有量をより少なくできるため、好適である。

[0127]

絶縁層110bに含まれる酸素によって、導電層112a及び導電層112bが酸化され、電気抵抗が高くなってしまう場合がある。絶縁層110bと導電層112aとの間に絶縁層110aを設けることにより、導電層112aが酸化され、抵抗が高くなることを抑制できる。同様に、絶縁層110bと導電層112bとの間に絶縁層110cを設けることにより、導電層112bが酸化され、抵抗が高くなることを抑制できる。それとともに、絶縁層110bから半導体層108へ供給される酸素の量が増え、半導体層108中の酸素欠損を低減できる。

[0128]

絶縁層110a及び絶縁層110cの膜厚は、それぞれ、5nm以上150nm以下が好ましく、5nm以上100nm以下がより好ましく、5nm以上70nm以下がより好ましく、さらには10nm以上70nm以下が好ましく、さらには10nm以上50nm以下が好ましく、さらには20nm以上50nm以下が好ましい。絶縁層110a及び絶縁層110cの膜厚を前述の範囲とすることで、半導体層108中、特にチャネル形成領域の酸素欠損を低減できる。なお、絶縁層110aと絶縁層110cの膜厚は、等しくてもよく、互いに異なってもよい。

[0129]

例えば、絶縁層110a及び絶縁層110cに窒化シリコン膜又は窒化酸化シリコン膜を用い、絶縁層110bに酸化シリコン膜又は酸化窒化シリコン膜を用いることが好ましい。

[0130]

ここで、絶縁層110aには、成膜条件により、水素が含まれる場合がある。例えば、絶縁層110aとしてCVD法を用いて窒化絶縁膜を成膜し、窒素源としてアンモニア（ NH_3 ）を用いる場合、絶縁層110aに水素が含まれる場合がある。この場合、半導体層108の絶縁層110aと接する領域、及びその近傍の領域に水素が供給され、これらの領域が低抵抗化する場合がある。図4Aでは、このような低抵抗領域を領域108na⁻としている。同様に、絶縁層110cには、成膜条件により、水素が含まれる場合があり、半導体層108の絶縁層110cと接する領域、及びその近傍の領域に水素が供給され、これらの領域が低抵抗化する場合がある。図4Aでは、このような低抵抗領域を領域108nb⁻としている。領域108na⁻は、トランジスタ100のソー

ス領域又はドレイン領域の一方として機能し、領域108nb⁻は、トランジスタ100のソース領域又はドレイン領域の他方として機能する。ここで、図4Aでは、トランジスタ100のチャネル形成領域として機能する、半導体層108の領域を、領域108iとする。領域108iは、i型化された領域とすることができる。

[0131]

なお、例えば絶縁層110bに含まれる酸素が、半導体層108の絶縁層110aと接する領域、及びその近傍の領域まで拡散する場合は、半導体層108の絶縁層110aと接する領域、及びその近傍の領域のうち、絶縁層110bに近い一部の領域が低抵抗化せず、領域108iとなる場合がある。同様に、例えば絶縁層110bに含まれる酸素が、半導体層108の絶縁層110cと接する領域、及びその近傍の領域まで拡散する場合は、半導体層108の絶縁層110cと接する領域、及びその近傍の領域のうち、絶縁層110bに近い一部の領域が低抵抗化せず、領域108iとなる場合がある。また、絶縁層110a、及び絶縁層110cに例えば水素が含まれない場合は、図4Bに示すように半導体層108に領域108na⁻、及び領域108nb⁻が形成されない場合がある。

[0132]

絶縁層101は、水素の含有量が例えば絶縁層110aの水素の含有量以上である領域を有する。言い換えると、絶縁層110aは、水素の含有量が例えば絶縁層101の水素の含有量以下である領域を有する。この場合、図4Aに示す領域108na⁻、及び領域108nb⁻は、領域108iより電気抵抗が低く、且つ領域108nより電気抵抗が高い領域とすることができる。

[0133]

以上により、半導体層108と、導電層112aと、の接触抵抗を小さくしつつ、水素が半導体層108の例えば絶縁層110bと接する領域に供給されてトランジスタ100のチャネル長が小さくなることを抑制できる。よって、トランジスタ100を、オン電流が大きく、且つ信頼性が高いトランジスタとすることができる。また、本発明の一態様の半導体装置を、高速に動作し、且つ信頼性が高い半導体装置とすることができる。

[0134]

以下では、トランジスタ100のチャネル長、及びチャネル幅等について説明する。

[0135]

図3Bでは、トランジスタ100のチャネル長L100を破線の両矢印で示している。図3Bに示す例では、半導体層108の、絶縁層110bと接する領域、及びその近傍の領域がi型化され、チャネル形成領域として機能するものとする。また、半導体層108の、絶縁層110aと接する領域及びその近傍の領域、並びに絶縁層110cと接する領域及びその近傍の領域は、図4Aに示すように低抵抗領域であるとする。この場合、チャネル長L100は、断面視において、半導体層108における絶縁層110aと接する部分と、絶縁層110cと接する部分と、の最短距離とすることができる。

[0136]

トランジスタ100のチャネル長L100は、断面視における絶縁層110bの開口141側の側面の長さに対応する。つまり、チャネル長L100は、絶縁層110bの厚さT110、及び絶縁層110bの開口141側の側面と絶縁層110bの被形成面（ここでは、絶縁層110aの上面）とのなす角の角度 θ 110で決まる。したがって、例えば、チャネル長L100を露光装置の限界

解像度よりも小さな値とすることができ、微細なサイズのトランジスタを実現できる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば最小線幅 $2\ \mu\text{m}$ 又は $1.5\ \mu\text{m}$ 程度）では実現できなかった、極めて小さいチャネル長のトランジスタを実現できる。また、最先端の L S I 技術で用いられる極めて高額な露光装置を用いることなく、チャネル長が $10\ \text{nm}$ 未満のトランジスタを実現することもできる。

[0137]

チャネル長 L_{100} は、例えば、 $5\ \text{nm}$ 以上、 $7\ \text{nm}$ 以上、又は $10\ \text{nm}$ 以上であって、 $3\ \mu\text{m}$ 未満、 $2.5\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以下、 $1.2\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以下、 $500\ \text{nm}$ 以下、 $300\ \text{nm}$ 以下、 $200\ \text{nm}$ 以下、 $100\ \text{nm}$ 以下、 $50\ \text{nm}$ 以下、 $30\ \text{nm}$ 以下、又は $20\ \text{nm}$ 以下とすることができる。例えば、チャネル長 L_{100} を、 $100\ \text{nm}$ 以上 $1\ \mu\text{m}$ 以下とすることもできる。

[0138]

チャネル長 L_{100} を小さくすることにより、トランジスタ 100 のオン電流を高くできる。トランジスタ 100 を用いることにより、高速動作が可能な回路を作製できる。よって、本発明の一態様の半導体装置を表示装置に適用することにより、表示装置のフレーム周波数を高めることができる。

[0139]

また、トランジスタ 100 を用いることにより、回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置とすることができる。例えば、本発明の一態様の半導体装置を大型の表示装置、又は高解像度な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減でき、表示ムラを抑制できる。また、回路の占有面積を縮小できるため、表示装置の額縁を狭くできる。

[0140]

絶縁層 $110b$ の厚さ T_{110} 及び角度 θ_{110} を調整することにより、チャネル長 L_{100} を制御できる。なお、図 3 B では、絶縁層 $110b$ の厚さ T_{110} を一点鎖線の両矢印で示している。

[0141]

絶縁層 $110b$ の厚さ T_{110} は、例えば、 $10\ \text{nm}$ 以上、 $50\ \text{nm}$ 以上、 $100\ \text{nm}$ 以上、 $150\ \text{nm}$ 以上、 $200\ \text{nm}$ 以上、 $300\ \text{nm}$ 以上、 $400\ \text{nm}$ 以上、又は $500\ \text{nm}$ 以上であって、 $3.0\ \mu\text{m}$ 未満、 $2.5\ \mu\text{m}$ 以下、 $2.0\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以下、 $1.2\ \mu\text{m}$ 以下、又は $1.0\ \mu\text{m}$ 以下とすることができる。

[0142]

半導体層 108 の、絶縁層 $110a$ と接する領域及びその近傍の領域、並びに絶縁層 $110c$ と接する領域及びその近傍の領域は、チャネル形成領域に含めてもよい。例えば、図 4 B に示すように、これらの領域が i 型化されている場合は、これらの領域をチャネル形成領域に含めることができる。この場合、チャネル長 L_{100} は、断面視において、半導体層 108 における導電層 $112a$ と接する部分と、導電層 $112b$ と接する部分と、の最短距離とすることができる。また、チャネル長 L_{100} は、断面視における絶縁層 $110a$ 、絶縁層 $110b$ 、及び絶縁層 $110c$ の開口 141 側の側面の長さの和に相当する。

[0143]

図 3 A 及び図 3 B では、開口 143 の直径 D_{143} を二点鎖線の両矢印で示している。図 3 A では、

開口 1 4 1 及び開口 1 4 3 の上面形状が直径 D 1 4 3 の円形である例を示す。このとき、トランジスタ 1 0 0 のチャネル幅 W 1 0 0 は、当該円の円周の長さとも一致する。すなわち、チャネル幅 W 1 0 0 は、 $\pi \times D 1 4 3$ となる。このように、開口 1 4 1 及び開口 1 4 3 の上面形状が円形であると、他の形状に比べて、チャネル幅の小さいトランジスタを実現できる。

[0 1 4 4]

なお、開口 1 4 1 の径と開口 1 4 3 の径は互いに異なる場合がある。また、開口 1 4 1 の径及び開口 1 4 3 の径は、それぞれ、深さ方向で変化する場合がある。開口の径としては、例えば、断面視における絶縁層 1 1 0（又は絶縁層 1 1 0 b）の最も高い位置の径、最も低い位置の径、及びこれらの中間点の位置の径の 3 つの平均値を用いることができる。又は、開口の径として、例えば、断面視における絶縁層 1 1 0（又は絶縁層 1 1 0 b）の最も高い位置の径、最も低い位置の径、又はこれらの中間点の位置の径の、いずれかの径を用いてもよい。

[0 1 4 5]

フォトリソグラフィ法、及びエッチング法を用いて開口 1 4 3 を形成する場合、開口 1 4 3 の直径 D 1 4 3 は露光装置の限界解像度以上となる。直径 D 1 4 3 は、例えば、2 0 nm 以上、5 0 nm 以上、1 0 0 nm 以上、2 0 0 nm 以上、3 0 0 nm 以上、4 0 0 nm 以上、又は 5 0 0 nm 以上であって、5. 0 μ m 未満、4. 5 μ m 以下、4. 0 μ m 以下、3. 5 μ m 以下、3. 0 μ m 以下、2. 5 μ m 以下、2. 0 μ m 以下、1. 5 μ m 以下、又は 1. 0 μ m 以下とすることができる。

[0 1 4 6]

開口 1 4 1 及び開口 1 4 3 の上面形状に限定はなく、それぞれ、例えば、円形、楕円形、三角形、四角形（長方形、菱形、及び正方形を含む）、五角形、星形多角形等の多角形、又はこれら多角形の角が丸い形状とすることができる。なお、多角形としては、凹多角形（少なくとも一つの内角が 1 8 0 度を超える多角形）及び凸多角形（全ての内角が 1 8 0 度以下である多角形）のどちらであってもよい。例えば図 3 A に示すように、開口 1 4 1 及び開口 1 4 3 の上面形状は、それぞれ、円形であることが好ましい。開口の上面形状を円形とすることにより、開口を形成する際の加工精度を高めることができ、微細なサイズの開口を形成できる。なお、本明細書等において、円形とは真円に限定されない。

[0 1 4 7]

本明細書等において、開口 1 4 1 の上面形状とは、絶縁層 1 1 0 の開口 1 4 1 側の上面端部の形状を指す。また、開口 1 4 3 の上面形状とは、導電層 1 1 2 b の開口 1 4 3 側の下面端部の形状を指す。

[0 1 4 8]

例えば図 3 A に示すように、開口 1 4 1 の上面形状と開口 1 4 3 の上面形状とは互いに一致、又は概略一致させることができる。このとき、例えば図 3 B に示すように、導電層 1 1 2 b の開口 1 4 3 側の下面端部は、絶縁層 1 1 0 の開口 1 4 1 側の上面端部と一致、又は概略一致することが好ましい。導電層 1 1 2 b の下面とは、絶縁層 1 1 0 側の面を指す。絶縁層 1 1 0 の上面とは、導電層 1 1 2 b 側の面を指す。

[0 1 4 9]

なお、開口 1 4 1 の上面形状と開口 1 4 3 の上面形状とは互いに一致しなくてもよい。また、開口 1 4 1 と開口 1 4 3 の上面形状が円形であるとき、開口 1 4 1 と開口 1 4 3 は同心円状であってもよく、同心円状でなくてもよい。

[0150]

絶縁層110bの開口141側の側面は、テーパ形状、又は垂直形状であることが好ましい。絶縁層110bの開口141側の側面と絶縁層110bの被形成面（ここでは、絶縁層110aの上面）とのなす角度 θ_{110} は、90度以下であることが好ましい。角度 θ_{110} を小さくすることにより、絶縁層110b上に設けられる層（例えば、半導体層108）の被覆性を高めることができる。また、角度 θ_{110} が小さいほど、チャネル長L100を大きくでき、角度 θ_{110} が大きいほど、チャネル長L100を小さくできる。図1B、図1C、及び図3Bでは、絶縁層110bの開口141側の側面がテーパ形状である例を示す（角度 θ_{110} が90度未満）。

[0151]

図5A、及び図5Bでは、それぞれ図1B、及び図1Cに示す絶縁層110bの開口141側の側面が垂直形状である例を示す（角度 θ_{110} が90度）。

[0152]

角度 θ_{110} は、例えば、30度以上、35度以上、40度以上、45度以上、50度以上、55度以上、60度以上、65度以上、又は70度以上であって、90度以下、85度以下、又は80度以下とすることができる。また、角度 θ_{110} は、75度以下、70度以下、65度以下、又は60度以下としてもよい。

[0153]

角度 θ_{110} が80度以上90度以下の場合、被覆性の高い成膜法を用いて、絶縁層110を被覆する膜を形成することが好ましい。例えば、導電層104をCVD法により、絶縁層106及び半導体層108をALD法により、それぞれ形成することが好ましい。また、例えば、導電層104、絶縁層106、及び半導体層108をALD法により形成することが好ましい。また、上記角度 θ_{110} が60度以上85度以下の場合、より生産性の高い成膜方法を用いて、絶縁層110を被覆する膜を形成してもよい。例えば、半導体層108をスパッタリング法により形成することが好ましい。

[0154]

なお、ここでは、角度 θ_{110} を、絶縁層110bを基準に設定したが、絶縁層110全体を基準に設定してもよい。つまり、角度 θ_{110} は、絶縁層110の開口141側の側面と絶縁層110の被形成面（ここでは、導電層112aの上面）とのなす角度としてもよい。

[0155]

<半導体装置の構成例2>

図6A、図6B、図6C、図7A、図7B、図8A、及び図8Bは、それぞれ図1A、図1B、図1C、図3A、図3B、図4A、及び図4Bに示す構成の変形例であり、絶縁層110が、絶縁層110a、絶縁層110a上の絶縁層110b、及び絶縁層110b上の絶縁層110cの他、絶縁層110c上の絶縁層110dを有する。つまり、絶縁層110が4層積層構造である例を示している。

[0156]

絶縁層110dは、導電層112bの下面と接する領域を有することができる。言い換えると、導電層112bは、絶縁層110dの上面と接する領域を有することができる。

[0157]

導電層112bと半導体層108との接触抵抗が大きいと、半導体層108のソース領域又はドレ

イン領域の他方の電気抵抗が大きくなり、トランジスタのオン電流が小さくなる場合がある。そこで、絶縁層 110d を、水素を含む絶縁層とし、半導体層 108 を金属酸化物層等の、水素が供給されることにより低抵抗化する材料を含む層とする。なお、絶縁層 110d は、半導体層 108 に供給することにより半導体層 108 が低抵抗化する材料を含んでいれば、水素を含んでいなくてもよい。

[0158]

図 7B、図 8A、及び図 8B では、絶縁層 101 に含まれる水素が半導体層 108 に供給される様子の一例の他、絶縁層 110d に含まれる水素が半導体層 108 に供給される様子の一例を、破線の片矢印で示している。図 7B、図 8A、及び図 8B に示すように、絶縁層 110d に含まれる水素は、導電層 112b を透過し、半導体層 108 の、導電層 112b と接する領域、及びその近傍の領域に供給される。これにより、半導体層 108 の、導電層 112b と接する領域、及びその近傍の領域は、低抵抗領域である領域 108nb となる。なお、領域 108nb は、半導体層 108 の、絶縁層 110d と接する領域、及びその近傍の領域にも形成される。

[0159]

図 7B、図 8A、及び図 8B では、半導体層 108 の、導電層 112a と接する領域、及びその近傍の領域に形成される低抵抗領域を領域 108na とする。領域 108na は、トランジスタ 100 のソース領域又はドレイン領域の一方として機能する。領域 108nb は、トランジスタ 100 のソース領域又はドレイン領域の他方として機能する。

[0160]

半導体層 108 の導電層 112b と接する領域に、低抵抗領域である領域 108nb が形成されることで、半導体層 108 と、導電層 112b と、の接触抵抗を小さくできる。これにより、トランジスタ 100 のオン電流を大きくし、電気特性を良好とすることができる。よって、高速に動作する半導体装置を実現できる。

[0161]

例えば、絶縁層 110d の単位体積当たりの水素含有量は、絶縁層 101 の単位体積当たりの水素含有量と同程度とすることができる。また、絶縁層 110d には、絶縁層 101 に用いることができる材料を適用できる。絶縁層 110d には、例えば窒化絶縁膜、及び酸化絶縁膜の一方又は双方を用いることができ、窒化シリコン膜及び窒化酸化シリコン膜の一方又は双方を用いることが好ましい。

[0162]

絶縁層 110d は、絶縁層 101 に含まれる材料と同一の材料を含むことができる。例えば、絶縁層 110d には、絶縁層 101 と同一の材料を用いることができる。絶縁層 101 と同一の材料を絶縁層 110d に用い、且つ絶縁層 101 の単位体積当たりの水素含有量と絶縁層 110d の単位体積当たりの水素含有量を同程度とする場合、同一の条件で絶縁層 101 と絶縁層 110d を成膜できる。また、絶縁層 110d は、絶縁層 101 と同様に、加熱により水素を放出する層であることが好ましい。なお、例えば絶縁層 101 の成膜時間と絶縁層 110d の成膜時間を異ならせることにより、絶縁層 101 の膜厚と絶縁層 110d の膜厚を異ならせることができる。

[0163]

絶縁層 110d の膜厚は、5nm 以上 200nm 以下が好ましく、5nm 以上 150nm 以下がより好ましく、10nm 以上 150nm 以下がより好ましく、20nm 以上 150nm 以下がより好

ましく、30 nm以上150 nm以下がより好ましく、30 nm以上120 nm以下がさらに好ましい。絶縁層110dの膜厚を厚くすると、絶縁層110dの水素含有量を多くできるため、半導体層108に好適に水素を供給できる。一方、絶縁層110dの膜厚を厚くしすぎると本発明の一態様の半導体装置の生産性が低下するため、生産性を考慮した膜厚とすることが好ましい。

[0164]

絶縁層110が絶縁層110dを有する場合、絶縁層110bは、絶縁層110a、絶縁層110c、及び絶縁層110dの少なくとも一つと比べて、酸素の含有量が多い領域を有することが好ましい。これにより、半導体層108のチャネル形成領域に酸素を供給し、当該チャネル形成領域をi型化することが容易となる。以上により、トランジスタ100の電気特性を良好とし、また信頼性を高めることができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

[0165]

前述のように、絶縁層110cには、水素が拡散しにくい材料を用いることができる。これにより、絶縁層110dに含まれる水素が、例えば半導体層108の領域のうち、絶縁層110dと半導体層108が接する領域から離れた領域に供給されることを抑制できる。例えば、絶縁層110dに含まれる水素が、半導体層108の領域のうち、絶縁層110cと接する領域に供給されることを抑制できる。以上により、トランジスタ100のチャネル長が小さくなり、トランジスタ100のしきい値電圧が小さくなる、すなわちしきい値電圧がマイナスシフトすることを抑制できる。これにより、カットオフ電流を小さくでき、ノーマリーオフ特性のトランジスタを実現できる。よって、トランジスタ100の信頼性を高めることができ、本発明の一態様の半導体装置の信頼性を高めることができる。

[0166]

前述のように、絶縁層110cには、例えば導電層112bより水素が拡散しにくい材料を用いることができ、また絶縁層110bより水素が拡散しにくい材料を用いることができる。絶縁層110cには、例えば導電層112bより水素の拡散係数が小さい材料を用いることができ、また絶縁層110bより水素の拡散係数が小さい材料を用いることができる。絶縁層110cにおける水素の拡散係数は、絶縁層110aにおける水素の拡散係数と同程度とすることができる。

[0167]

絶縁層110dは、水素の含有量が例えば絶縁層110cの水素の含有量以上である領域を有する。言い換えると、絶縁層110cは、水素の含有量が例えば絶縁層110dの水素の含有量以下である領域を有する。この場合、図8Aに示す領域108nb⁻は、領域108iより電気抵抗が低く、且つ領域108nbより電気抵抗が高い領域とすることができる。

[0168]

以上により、半導体層108と、導電層112bと、の接触抵抗を小さくしつつ、水素が例えば絶縁層110bと接する領域に供給されてトランジスタ100のチャネル長が小さくなることが抑制できる。よって、トランジスタ100を、オン電流が大きく、且つ信頼性が高いトランジスタとすることができる。また、本発明の一態様の半導体装置を、高速に動作し、且つ信頼性が高い半導体装置とすることができる。

[0169]

以下では、下地絶縁層として機能する絶縁層101、及びスペーサとして機能する絶縁層110以外の、本発明の一態様の半導体装置の構成要素について説明する。例えば、当該構成要素に適用で

きる材料について説明する。

[0170]

[導電層112a、導電層112b、及び導電層104]

導電層112a、導電層112b、及び導電層104としては、例えばアルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、及びランタン等から選ばれた金属元素、並びに当該金属元素を成分とする合金を用いることが好ましい。また、上記金属又は合金の窒化物、若しくは上記金属又は合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物等を用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気抵抗率が低い半導体、又はニッケルシリサイド等のシリサイドを用いてもよい。

[0171]

また、導電層112a、導電層112b、及び導電層104としては、例えば窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物等を用いることが好ましい。これらは、酸化されにくい導電性材料、又は、酸化しても導電性を維持する導電性材料であるため、好ましい。

[0172]

また、導電層112a、導電層112b、及び導電層104としては、酸化インジウム、酸化亜鉛、In-Sn酸化物、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、In-Sn酸化物、In-Sn-Si酸化物、又はGa-Zn酸化物等の導電性酸化物を用いることができる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0173]

導電層112a、及び導電層112bは、半導体層108と接する領域を有する。半導体層108を金属酸化物層とする場合、導電層112a又は導電層112bに酸化しやすい金属を用いると、導電層112a又は導電層112bと、半導体層108と、の間に絶縁性の酸化物が形成され、これらの導通を妨げる恐れがある。そのため、導電層112a、及び導電層112bには、酸化されにくい導電材料、酸化しても導電性を維持する導電材料、又は酸化物導電性材料を用いることが好ましい。

[0174]

導電層112a、導電層112b、及び導電層104としては、上記導電性材料が含まれる層を複数積層して用いてもよい。ここで、半導体層108を金属酸化物層とする場合、半導体層108と接する領域を有する導電層112a、導電層112bに、半導体層108から酸素が供給される場合がある。よって、半導体層108と接する領域を有する層、例えば半導体層108との接触面積が最も大きな層には、酸化されにくい導電材料、酸化しても導電性を維持する導電材料、又は酸化物導電性材料を用いることが好ましい。

[0175]

なお、導電層 112a、導電層 112b、及び導電層 104の全てに同じ材料を用いてもよく、少なくとも一つに異なる材料を用いてもよい。

[0176]

[半導体層 108]

半導体層 108は、半導体特性を示す金属酸化物（酸化物半導体ともいう）を有する。

[0177]

半導体層 108に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶性半導体、又は単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体又は結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0178]

半導体層 108に用いる金属酸化物のバンドギャップは、2.0 eV以上が好ましく、2.5 eV以上がより好ましい。

[0179]

半導体層 108に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム又は亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモン等が挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウムがさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」ということがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0180]

半導体層 108は、例えば、インジウム亜鉛酸化物（In-Zn酸化物、IZO（登録商標）とも記す）、インジウムスズ酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物、ITZO（登録商標）とも記す）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO、IGZAO、又はIAGZOとも記す）等を用いることができる。又は、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ga-Sn

酸化物)、アルミニウムスズ酸化物 ($Al-Sn$ 酸化物) 等を用いることができる。

[0181]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウム原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流の大きいトランジスタを実現できる。

[0182]

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素等が挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウム等が挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0183]

また、金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、又は、バンドギャップの縮小等が生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素等が挙げられる。

[0184]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0185]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されることを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0186]

半導体層108に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0187]

金属酸化物が $In-M-Zn$ 酸化物の場合、当該 $In-M-Zn$ 酸化物における In の原子数比は M の原子数比以上であることが好ましい。このような $In-M-Zn$ 酸化物の金属元素の原子数比として、例えば、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=2:1:3$ 、 $In:M:Zn=3:1:1$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:3$ 、 $In:M:Zn=4:2:4$ 、 $In:M:Zn=5:1:3$ 、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=5:1:7$ 、 $In:M:Zn=5:1:8$ 、 $In:M:Zn=6:$

1 : 6、 $\text{In} : \text{M} : \text{Zn} = 5 : 2 : 5$ 、及び、これらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、又は電界効果移動度等を高めることができる。

[0188]

また、 $\text{In}-\text{M}-\text{Zn}$ 酸化物における In の原子数比は M の原子数比未満であってもよい。このような $\text{In}-\text{M}-\text{Zn}$ 酸化物の金属元素の原子数比として、例えば、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中の M の原子数の割合を大きくすることで、酸素欠損の生成を抑制できる。

[0189]

なお、元素 M として複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素 M の原子数の割合とすることができる。

[0190]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0191]

金属酸化物の形成には、スパッタリング法、又は原子層堆積 ($\text{ALD} : \text{Atomic Layer Deposition}$) 法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、成膜後の金属酸化物の組成はターゲットの組成と異なる場合がある。特に亜鉛は、成膜後の金属酸化物における含有率が、ターゲットと比較して 50% 程度にまで減少する場合がある。

[0192]

半導体層108は、2以上の金属酸化物層を有する積層構造としてもよい。半導体層108が有する2以上の金属酸化物層は、組成が互いに同じ、又は概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、作製コストを削減できる。

[0193]

半導体層108が有する2以上の金属酸化物層は、組成が互いに異なってもよい。例えば、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。また、元素 M として、ガリウム、アルミニウム、又はスズを用いることが特に好ましい。例えば、インジウム酸化物、インジウムガリウム酸化物、及び IGZO の中から選ばれるいずれかと、 IAZO 、 IAGZO 、及び ITZO (登録商標) の中から選ばれるいずれかと、の積層構造を用いてもよい。

[0194]

半導体層108は、結晶性を有する金属酸化物層を有することが好ましい。結晶性を有する金属酸化物の構造としては、例えば、 CAAC ($c\text{-axis aligned crystal}$) 構造、多結晶構造、及び、微結晶 (nc : nano-crystal) 構造が挙げられる。結晶性を有する金属酸化物層を半導体層108に用いることにより、半導体層108中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

[0195]

半導体層 108 に用いる金属酸化物層の結晶性が高いほど、半導体層 108 中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現できる。

[0196]

金属酸化物層をスパッタリング法により形成する場合、形成時の基板温度（ステージ温度）が高いほど、結晶性の高い金属酸化物層を形成できる。また、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）が高いほど、結晶性の高い金属酸化物層を形成できる。

[0197]

半導体層 108 は、結晶性が異なる 2 以上の金属酸化物層の積層構造としてもよい。例えば、第 1 の金属酸化物層と、当該第 1 の金属酸化物層上に設けられる第 2 の金属酸化物層と、の積層構造とし、第 2 の金属酸化物層は、第 1 の金属酸化物層より結晶性が高い領域を有する構成とすることができる。又は、第 2 の金属酸化物層は、第 1 の金属酸化物層より結晶性が低い領域を有する構成とすることができる。このとき、第 1 の金属酸化物層と第 2 の金属酸化物層は、互いに異なる組成であつてもよく、同じ又は概略同じ組成であつてもよい。

[0198]

半導体層 108 の厚さは、3 nm 以上 200 nm 以下が好ましく、3 nm 以上 100 nm 以下が好ましく、さらには 5 nm 以上 100 nm 以下が好ましく、さらには 10 nm 以上 100 nm 以下が好ましく、さらには 10 nm 以上 70 nm 以下が好ましく、さらには 15 nm 以上 70 nm 以下が好ましく、さらには 15 nm 以上 50 nm 以下が好ましく、さらには 20 nm 以上 50 nm 以下が好ましい。

[0199]

半導体層 108 に酸化物半導体を用いる場合、酸化物半導体に含まれる水素が金属原子と結合する酸素と反応して水になり、酸化物半導体中に酸素欠損 (V_O) が形成される場合がある。さらに、酸素欠損に水素が入った欠陥 (V_OH) はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性（つまり、しきい値電圧がマイナスの値）となりやすい。また、酸化物半導体中の水素は、熱、及び電界等のストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0200]

半導体層 108 に酸化物半導体を用いる場合、半導体層 108 中の V_OH をできる限り低減し、高純度真性又は実質的に高純度真性にすることが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水、及び水素等の不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、酸化物半導体に酸素を供給して酸素欠損を修復することが重要である。 V_OH 等の不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与できる。なお、酸化物半導体に酸素を供給して酸素欠損を修復することを、加酸素化処理と記す場合がある。

[0201]

半導体層 108 に酸化物半導体を用いる場合、チャネル形成領域の酸化物半導体のキャリア濃度は、

$1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0202]

酸化物半導体を用いたトランジスタ（以下、OSトランジスタと記す）は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、OSトランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間に亘って保持することが可能である。また、OSトランジスタを適用することで、半導体装置の消費電力を低減できる。

[0203]

OSトランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射しうる環境においても好適に用いることができる。OSトランジスタは、放射線に対する信頼性が高いともいえる。例えば、X線のフラットパネルディテクタの画素回路に、OSトランジスタを好適に用いることができる。また、OSトランジスタは、宇宙空間で使用する半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、X線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

[0204]

半導体層108に用いることができる他の半導体材料としては、例えば、単体元素よりなる半導体、又は化合物半導体が挙げられる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、及び、窒化物半導体が挙げられる。なお、前述の酸化物半導体も、化合物半導体の一種である。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0205]

半導体層108に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙げられる。

[0206]

半導体層108に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成でき、低コストで作製できる。半導体層108に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、半導体層108に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0207]

半導体層108は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いるこ

とで、オン電流の大きいトランジスタを実現できる。

[0208]

上記層状物質として、例えば、グラフェン、シリセン、及びカルコゲン化物等が挙げられる。カルコゲン化物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、及び13族カルコゲナイド等が挙げられる。トランジスタの半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、及びセレン化ジルコニウム（代表的には ZrSe_2 ）等が挙げられる。

[0209]

[絶縁層106]

絶縁層106は、単層構造でもよく、2層以上の積層構造であってもよい。絶縁層106は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、及び窒化絶縁膜が挙げられる。これらの無機絶縁膜の具体例は、前述の通りである。

[0210]

絶縁層106は、半導体層108と接する部分を有する。半導体層108に酸化物半導体を用いる場合、絶縁層106を構成する膜のうち、少なくとも半導体層108と接する膜には、前述の酸化絶縁膜のいずれかを用いることが好ましい。また、絶縁層106には、加熱により酸素を放出する膜を用いるとより好ましい。

[0211]

具体的には、絶縁層106が単層構造の場合、絶縁層106には、酸化シリコン膜又は酸化窒化シリコン膜を用いることが好ましい。

[0212]

また、絶縁層106は、半導体層108と接する側の酸化絶縁膜と、導電層104と接する側の窒化絶縁膜と、の積層構造とすることができる。当該酸化絶縁膜として、例えば、酸化シリコン膜又は酸化窒化シリコン膜を用いることが好ましい。当該窒化絶縁膜として、窒化シリコン膜又は窒化酸化シリコン膜を用いることが好ましい。

[0213]

窒化シリコン膜、及び、窒化酸化シリコン膜は自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層106として好適に用いることができる。不純物が絶縁層106から半導体層108に拡散することが抑制されることで、トランジスタの電気特性を良好とし、かつ信頼性を高めることができる。

[0214]

なお、微細なトランジスタにおいて、ゲート絶縁層の膜厚が薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料（high-k材料ともいう）を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層106に用いることができるhigh-k材料として、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化

窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

[0215]

[基板102]

基板102の材質に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、石英基板、サファイア基板、セラミック基板、有機樹脂基板、シリコン若しくは炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、又はSOI (Silicon On Insulator) 基板を、基板102として用いることができる。また、基板102には、半導体素子が設けられてもよい。さらに、基板102として、偏光板を用いてもよい。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0216]

基板102として、可撓性基板を用い、可撓性基板上に直接、例えばトランジスタ100を形成してもよい。又は、基板102とトランジスタ100等の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、例えばトランジスタ100を耐熱性の劣る基板、又は可撓性基板にも転載できる。

[0217]

基板102として、例えば、ポリエチレンテレフタレート (PET) 若しくはポリエチレンナフタレート (PEN) 等のポリエステル樹脂、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート (PC) 樹脂、ポリエーテルスルホン (PES) 樹脂、ポリアミド樹脂 (ナイロン、又はアラミド等)、ポリシロキサン樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリウレタン樹脂、ポリ塩化ビニル樹脂、ポリ塩化ビニリデン樹脂、ポリプロピレン樹脂、ポリテトラフルオロエチレン (PTFE) 樹脂、ABS樹脂、又はセルロースナノファイバー等を用いることができる。また、基板102として、可撓性を有する程度の厚さのガラスを用いてもよい。

[0218]

<半導体装置の構成例3>

図9A乃至図10Cは、図6Cに示す半導体装置の変形例を示す断面図である。図9Aでは、絶縁層101が、絶縁層101aと、絶縁層101a上の絶縁層101bと、を有する例を示している。つまり、図9Aでは、絶縁層101が2層積層構造である例を示している。

[0219]

絶縁層101bは、例えば図6Cに示す絶縁層101に相当し、水素を含む絶縁層とすることができる。絶縁層101aは、絶縁層101bより水素の含有量が少ない領域を有する絶縁層とすることができる。絶縁層101aは、例えば、水素を含まない絶縁層とすることができる。

[0220]

絶縁層101aには、絶縁層110に用いることができる材料を用いることができる。絶縁層101aには、無機絶縁膜を用いることができ例えば酸化絶縁膜、又は窒化絶縁膜を用いることができる。絶縁層101aとして、例えば酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化

酸化アルミニウム膜を用いることができる。なお、絶縁層 101a を 2 層以上の積層構造としてもよく、絶縁層 101b を 2 層以上の積層構造としてもよい。

[0221]

図 9B は、絶縁層 101 に対してパターンニングを行う例を示している。例えば、基板 102 上に絶縁層 101 を成膜し、絶縁層 101 上に導電層 112a となる導電膜を成膜した後、フォトリソグラフィ工程によりレジストマスクを形成し、当該導電膜、及び絶縁層 101 を加工することにより、図 9B に示す導電層 112a、及び絶縁層 101 を形成できる。

[0222]

本発明の一態様の半導体装置を図 9B に示す構成とすることにより、水素を含む絶縁層 101 の平面視における面積、具体的には水素の含有量が絶縁層 110a の水素の含有量以上である領域を有する絶縁層 101 の平面視における面積を、図 9A に示す半導体装置より小さくできる。これにより、絶縁層 101 に含まれる水素に起因して、本発明の一態様の半導体装置の信頼性が低下することを抑制できる。例えば、トランジスタ 100 のチャネル形成領域に、絶縁層 101 に含まれる水素が供給されることを抑制できるため、トランジスタ 100 の電気特性を安定化させることができる。一方、図 9A に示す半導体装置は、図 9B に示す半導体装置より、絶縁層 110 に生じる段差を小さくし、また半導体装置の作製工程を簡略化できる。

[0223]

図 9C は、絶縁層 101 が、絶縁層 101a と、絶縁層 101a 上の絶縁層 101b と、を有し、且つ絶縁層 101b に対してパターンニングを行う例を示している。図 9C に示す例では、絶縁層 101a とのエッチング選択比が高い材料を絶縁層 101b に用いると、絶縁層 101b の加工の際に絶縁層 101a の一部が加工され、絶縁層 101a の膜厚が薄くなることを抑制でき好ましい。

[0224]

図 10A は、導電層 112a と重ならない領域における絶縁層 101 の膜厚が、導電層 112a と重なる領域における絶縁層 101 の膜厚より薄い例を示している。絶縁層 101 と導電層 112a のエッチング選択比が低いと、導電層 112a となる導電膜を加工する際に絶縁層 101 の一部が加工され、図 10A に示すように絶縁層 101 の膜厚が薄くなる場合がある。

[0225]

図 10B は、絶縁層 101 が、絶縁層 101a と、絶縁層 101a 上の絶縁層 101b と、を有し、且つ導電層 112a と重ならない領域における絶縁層 101b の膜厚が、導電層 112a と重なる領域における絶縁層 101b の膜厚より薄い例を示している。絶縁層 101b と導電層 112a のエッチング選択比が低いと、導電層 112a となる導電膜を加工する際に絶縁層 101b の一部が加工され、図 10B に示すように絶縁層 101b の膜厚が薄くなる場合がある。

[0226]

図 10C は、図 9C に示す構成において、絶縁層 101b と重ならない領域における絶縁層 101a の膜厚が、絶縁層 101b と重なる領域における絶縁層 101a の膜厚より薄い例を示している。絶縁層 101a と絶縁層 101b のエッチング選択比が低いと、絶縁層 101b を加工する際に絶縁層 101a の一部が加工され、図 10C に示すように絶縁層 101a の膜厚が薄くなる場合がある。

[0227]

<半導体装置の構成例 4>

以下では、図 6 A、図 6 B、図 6 C、図 7 A、及び図 7 B に示す半導体装置が有するトランジスタ 100 の変形例について説明する。

[0228]

[トランジスタ 100 A]

図 11 A は、本発明の一態様の半導体装置の構成例を示す平面図であり、トランジスタ 100 A の構成例を示している。図 11 B は、図 11 A に示す一点鎖線 A1-A2 間の断面図であり、図 11 C は、図 11 A に示す一点鎖線 B1-B2 間の断面図である。

[0229]

トランジスタ 100 A は、平面視において、開口 143 の方が開口 141 よりも大きい点で、トランジスタ 100 と主に異なる。トランジスタ 100 A において、導電層 112 b の開口 143 側の端部は、絶縁層 110 の開口 141 側の端部よりも外側に位置する。また、半導体層 108 は、開口 143 の内部において、絶縁層 110 の上面と接する領域を有することができる。

[0230]

[トランジスタ 100 B]

図 12 A は、本発明の一態様の半導体装置の構成例を示す平面図であり、トランジスタ 100 B の構成例を示している。図 12 B は、図 12 A に示す一点鎖線 A1-A2 間の断面図であり、図 12 C は、図 12 A に示す一点鎖線 B1-B2 間の断面図である。

[0231]

トランジスタ 100 B は、半導体層 108 が、導電層 112 b の開口 143 に面しない側（開口 143 とは反対側）の側面と接する領域を有する点が、トランジスタ 100 と主に異なる。図 12 C に示すように、トランジスタ 100 B の半導体層 108 は、導電層 112 b の開口 143 に面しない側の側面を覆う構成とすることができる。半導体層 108 の端部は、導電層 112 b の端部よりも外側に位置し、絶縁層 110 の上面と接している。また、半導体層 108 の、図 12 C における左側の端部は、導電層 112 b の端部を覆っており、絶縁層 110 の上面と接している。また、半導体層 108 の、図 12 C における右側の端部は、導電層 112 b の上面と接している。

[0232]

[トランジスタ 100 C]

図 13 A は、本発明の一態様の半導体装置の構成例を示す平面図であり、トランジスタ 100 C の構成例を示している。図 13 B は、図 13 A に示す一点鎖線 A1-A2 間の断面図であり、図 13 C は、図 13 A に示す一点鎖線 B1-B2 間の断面図である。

[0233]

トランジスタ 100 C は、トランジスタ 100 A の変形例であり、半導体層 108 上に導電層 112 b が設けられる点で、トランジスタ 100 A と主に異なる。トランジスタ 100 C は、導電層 112 b が半導体層 108 の上面及び側面の少なくとも一部を覆う構成とすることができる。

[0234]

[トランジスタ 100 D]

図 14 A は、本発明の一態様の半導体装置の構成例を示す平面図であり、トランジスタ 100 D の構成例を示している。図 14 B は、図 14 A に示す一点鎖線 A1-A2 間の断面図である。

[0235]

トランジスタ 100 D は、導電層 112 a 上に導電層 103 を有する点が、トランジスタ 100 と

主に異なる。導電層 103 は、導電層 112 a の上面と接する領域を有するように設けられる。導電層 103 は、導電層 112 a の補助配線として機能できる。導電層 103 には、導電層 112 a に達する開口 148 が設けられる。導電層 103 は、絶縁層 110、半導体層 108、及び絶縁層 106 を挟んで導電層 104 と対向する領域を有するように設けられる。これにより、導電層 103 は、トランジスタ 100D のバックゲート電極（第 2 のゲート電極ともいう）として機能できる。このとき、絶縁層 110 は、トランジスタ 100D のバックゲート絶縁層（第 2 のゲート絶縁層ともいう）として機能する。なお、トランジスタ 100D では、導電層 104 をフロントゲート電極、第 1 のゲート電極、又は単にゲート電極といい、絶縁層 106 をフロントゲート絶縁層、第 1 のゲート絶縁層、又は単にゲート絶縁層という。

[0236]

トランジスタ 100D はバックゲート電極を有するため、半導体層 108 のバックゲート側（バックチャネルともいう）の電位を固定できる。したがって、トランジスタ 100D の $I_d - V_d$ 特性における飽和性を高めることができる。

[0237]

なお、本明細書等において、トランジスタの $I_d - V_d$ 特性における、飽和領域の電流の変化が小さい（傾きが小さい）ことを、「飽和性が高い」という場合がある。

[0238]

また、トランジスタ 100D はバックゲート電極を有するため、半導体層のバックチャネルの電位を固定でき、しきい値電圧がマイナスシフトすることを抑制できる。これにより、カットオフ電流を小さくでき、ノーマリーオフ特性のトランジスタを実現できる。

[0239]

互いに接する導電層 103 及び導電層 112 a には同電位が供給される。バックゲート電極として機能する導電層 103 には、ソース電位及びドレイン電位のうち、低電位側の電位が供給されることが好ましい。したがって、トランジスタ 100D が n チャネル型のトランジスタである場合、導電層 112 a がソース電極として機能し、導電層 112 b がドレイン電極として機能することが好ましい。また、トランジスタ 100D が p チャネル型のトランジスタである場合、導電層 112 a がドレイン電極として機能し、導電層 112 b がソース電極として機能することが好ましい。

[0240]

開口 148 の上面形状に限定はない。なお、開口 148 の上面形状とは、導電層 103 の開口 148 側の上面端部の形状又は下面端部の形状を示す。

[0241]

トランジスタ 100D は、導電層 103、絶縁層 110、半導体層 108、絶縁層 106、及び導電層 104 が、間に他の層を含まず、一方向にこの順で重なっている領域を有することができる。当該一方向としては、チャネル長 L_{100} に垂直な方向が挙げられる。当該領域を広くすることで、半導体層 108 のバックチャネルの電界をより確実に制御できる。

[0242]

導電層 103 は、単層構造でもよく、2 層以上の積層構造であってもよい。導電層 103 には、導電層 112 a、導電層 112 b、又は導電層 104 に用いることができる材料を適用できる。

[0243]

導電層 103 には、導電層 112 a より導電率の高い材料を用いることが好ましい。これにより、

導電層 103 を、導電層 112a の補助配線として好適に機能させることができる。導電層 103 として、例えば、銅、アルミニウム、チタン、タングステン、及びモリブデンの一もしくは複数、又は前述した金属の一もしくは複数を成分とする合金を好適に用いることができる。

[0244]

[トランジスタ 100E]

図 15A は、トランジスタ 100E の構成例を示す断面図である。ここで、トランジスタ 100E の平面図は、図 14A を参照できる。

[0245]

トランジスタ 100E は、導電層 103 が導電層 112a と電氣的に絶縁されている点、及び、絶縁層 110 が 5 層構造である点で、トランジスタ 100D と主に異なる。

[0246]

導電層 103 は、絶縁層 110a 上に設けられる。導電層 112a と導電層 103 は、絶縁層 110a によって電氣的に絶縁されている。導電層 103 には導電層 112a と重なる位置に開口 148 が設けられる。

[0247]

トランジスタ 100E を有する半導体装置において、絶縁層 110 は、導電層 112a 上の絶縁層 110a と、絶縁層 110a 上、及び導電層 103 上の絶縁層 110e と、絶縁層 110e 上の絶縁層 110b と、絶縁層 110b 上の絶縁層 110c と、絶縁層 110c 上の絶縁層 110d と、を有する。絶縁層 110e は、導電層 103 の上面及び側面を覆う。絶縁層 110e は、開口 148 の一部を覆うように設けられる。絶縁層 110e は、開口 148 の内部で、絶縁層 110a の上面と接する領域を有する。

[0248]

絶縁層 110e は、絶縁層 110a に含まれる材料と同一の材料を含むことができ、また絶縁層 110c に含まれる材料と同一の材料を含むことができる。例えば、絶縁層 110e には、酸素が拡散しにくい材料を用いることが好ましい。また、絶縁層 110e には、水素が拡散しにくい材料を用いることが好ましい。

[0249]

図 15A では、絶縁層 110a の厚さが場所によらず均一である例を示す。なお、絶縁層 110a は、導電層 103 と重なる領域と、重ならない領域とで、厚さが異なる場合がある。例えば、導電層 103 となる膜の加工時に、絶縁層 110a の導電層 103 と重ならない領域は、一部が除去され、厚さが薄くなることもある。

[0250]

[トランジスタ 100F]

図 15B は、トランジスタ 100E の構成例を示す断面図である。ここで、トランジスタ 100F の平面図は、図 14A を参照できる。

[0251]

トランジスタ 100F は、絶縁層 110 が 7 層構造である点で、トランジスタ 100E と主に異なる。

[0252]

トランジスタ 100F を有する半導体装置において、絶縁層 110 は、導電層 112a 上の絶縁層

110aと、絶縁層110a上の絶縁層110b1と、絶縁層110b1上の絶縁層110e1と、絶縁層110e1及び導電層103上の絶縁層110e2と、絶縁層110e2上の絶縁層110b2と、絶縁層110b2上の絶縁層110cと、絶縁層110c上の絶縁層110dと、を有する。

[0253]

絶縁層110b1及び絶縁層110b2には、それぞれ、絶縁層110bに適用可能な構成と同様の構成を適用できる。具体的には、絶縁層110b1及び絶縁層110b2には、それぞれ、酸素を含む絶縁層を用いることが好ましく、絶縁層110a、絶縁層110c、絶縁層110d、絶縁層110e1、及び絶縁層110e2の少なくとも一つと比べて酸素の含有量が多い領域を有することが好ましい。

[0254]

絶縁層110e1及び絶縁層110e2には、絶縁層110eに適用可能な構成と同様の構成を適用できる。具体的には、絶縁層110e1及び絶縁層110e2には、それぞれ、酸素が拡散しにくい材料を用いることが好ましい。また、絶縁層110e1及び絶縁層110e2には、それぞれ、水素が拡散しにくい材料を用いることが好ましい。

[0255]

絶縁層110a、絶縁層110c、及び絶縁層110dには、それぞれ、前述の構成を適用できる。

[0256]

トランジスタ100Fにおいて、チャンネル長L100は、半導体層108における絶縁層110aと接する部分と、絶縁層110cと接する部分と、の最短距離とすることができる。

[0257]

トランジスタ100Fを有する半導体装置では、絶縁層110の構成を、導電層103の上下で対称、又は概略対称にすることができる。また、半導体層108に対して、絶縁層110b1、及び絶縁層110b2の2つから酸素を供給できるため、トランジスタの特性向上を図ることができる。

[0258]

[トランジスタ100G]

図16Aは、本発明の一態様の半導体装置の構成例を示す平面図であり、トランジスタ100Gの構成例を示している。図16Bは、図16Aに示す一点鎖線A1-A2間の断面図であり、図16Cは、図16Aに示す一点鎖線B1-B2間の断面図である。

[0259]

トランジスタ100Gは、絶縁層110dと導電層112bの間に導電層105を有する点で、トランジスタ100と主に異なる。

[0260]

導電層105は、絶縁層110上に設けられ、導電層105上に導電層112bが設けられる。導電層112bは、導電層105の上面と接する領域を有する。導電層105は、導電層112bの補助配線として機能できる。導電層105には、開口143が設けられている。

[0261]

半導体層108は、導電層105の側面と接する領域を有することが好ましい。半導体層108は、導電層105における開口143側の端部に接して設けられることが好ましい。

[0262]

トランジスタ１００Ｇでは、導電層１０５及び導電層１１２ｂが、トランジスタ１００Ｇの上部電極として機能する。ここで、半導体層１０８は、導電層１１２ｂの上面とは接する領域を有し、導電層１０５の上面とは接する領域を有さない構成とすることができる。よって、半導体層１０８の、導電層１１２ｂとの接触面積は、導電層１０５との接触面積より大きくすることができる。よって、導電層１１２ｂには、酸化されにくい導電材料、酸化しても導電性を維持する導電材料、又は酸化物導電性材料を用いることが好ましい。一方、導電層１０５には、導電層１１２ｂより電気抵抗率が低い材料を用いることが好ましい。導電層１０５には、例えば金属又は合金を用いることが好ましい。導電層１０５には、導電層１０３に用いることができる材料を適用できる。

[０２６３]

以上により、トランジスタ１００Ｇの上部電極は、酸化による半導体層１０８との導通不良を抑制しつつ、電気抵抗率が低い電極とすることができる。

[０２６４]

[トランジスタ１００Ｈ]

図１７Ａ、及び図１７Ｂは、トランジスタ１００Ｈの構成例を示す断面図である。ここで、トランジスタ１００Ｈの平面図は、図６Ａを参照できる。図１７Ａは、図６Ａに示す一点鎖線Ａ１－Ａ２間の断面図であり、図１７Ｂは、図６Ａに示す一点鎖線Ｂ１－Ｂ２間の断面図である。

[０２６５]

トランジスタ１００Ｈは、絶縁層１０６が例えば島状に加工されている点で、トランジスタ１００と主に異なる。図１７Ａ、及び図１７Ｂでは、絶縁層１０６の上面端部が、導電層１０４の下面端部と一致、又は概略一致する例を示している。例えば、絶縁層１０６を導電層１０４と同一のパターンで加工することにより、絶縁層１０６の上面端部を、導電層１０４の下面端部と一致、又は概略一致させることができる。なお、絶縁層１０６の上面端部は、導電層１０４の下面端部と一致、又は概略一致していなくてもよい。例えば、絶縁層１０６の上面端部が、導電層１０４の下面端部より外側に位置してもよい。

[０２６６]

本実施の形態では、開口１４１及び開口１４３の平面形状を円形としているが、開口１４１及び開口１４３の平面形状は円形に限定されない。図１８Ａ、図１８Ｂ、及び図１８Ｃは、開口１４１及び開口１４３の形状の一例を示す平面図である。開口１４１及び開口１４３の平面形状は、図１８Ａに示すように楕円形でもよいし、図１８Ｂに示すように矩形でもよい。なお、図１８Ｂでは、角部が湾曲した矩形を示している。また、開口１４１及び開口１４３の平面形状は、図１８Ｃに示すように、直線部と曲線部の一方又は双方を含む形状であってもよい。

[０２６７]

<半導体装置の構成例５>

図１９Ａ乃至図１９Ｄは、本発明の一態様の半導体装置の構成例を示す回路図である。図１９Ａ、及び図１９Ｂに示す半導体装置は、トランジスタ１００と、トランジスタ２００と、を有する。図１９Ｃに示す半導体装置は、トランジスタ１００と、容量１９０と、を有する。図１９Ｄに示す半導体装置は、トランジスタ１００と、トランジスタ２００と、容量１９０と、を有する。ここで、図１９Ａ乃至図１９Ｄに示すトランジスタ１００には、前述のトランジスタ１００Ａ乃至トランジスタ１００Ｈのいずれかを適用してもよい。

[０２６８]

図１９Ａに示す半導体装置では、トランジスタ１００のソース又はドレインの一方は、トランジスタ２００のソース又はドレインの一方と電氣的に接続される。図１９Ｂに示す半導体装置では、トランジスタ２００のソース又はドレインの一方は、トランジスタ１００のゲートと電氣的に接続される。図１９Ｃに示す半導体装置では、トランジスタ１００のソース又はドレインの一方は、容量１９０の一方の電極と電氣的に接続される。図１９Ｄに示す半導体装置では、トランジスタ１００のゲートは、トランジスタ２００のソース又はドレインの一方、及び容量１９０の一方の電極と電氣的に接続される。

[０２６９]

なお、図１９Ａ乃至図１９Ｄでは、各トランジスタをｎチャネル型で示しているが、本発明の一態様はこれに限られない。トランジスタ１００及びトランジスタ２００の一方又は双方は、ｐチャネル型としてもよい。

[０２７０]

[半導体装置１０]

図２０Ａ、及び図２０Ｂは、本発明の一態様の半導体装置である半導体装置１０の構成例を示す断面図である。半導体装置１０は、トランジスタ１００及びトランジスタ１５０を有する。半導体装置１０において、トランジスタ１００のゲート電極、ソース電極、又はドレイン電極のいずれかを、トランジスタ１５０のゲート電極、ソース電極、又はドレイン電極のいずれかと電氣的に接続させることができる。

[０２７１]

基板１０２上に絶縁層１０１が設けられ、絶縁層１０１上にトランジスタ１００が設けられる。図２０Ａ、及び図２０Ｂでは、トランジスタ１００が図１Ｂ、及び図１Ｃに示す構成である例を示している。なお、半導体装置１０において、絶縁層１０１は、図９Ａ乃至図１０Ｃのいずれかに示す構成としてもよい。

[０２７２]

トランジスタ１５０は、導電層１２０、絶縁層１２１、半導体層１０８ａ、絶縁層１０６、導電層１０７ａ、導電層１０７ｂ、及び導電層１０４ａを有する。トランジスタ１５０を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[０２７３]

導電層１２０は、トランジスタ１５０のバックゲート電極として機能する。ここで、トランジスタ１５０のバックゲート電極は、導電層１１２ｂと同じ材料、及び同じ工程で形成できる。なお、トランジスタ１５０は、導電層１２０を有していなくてもよい。

[０２７４]

導電層１２０の上面及び側面を覆うように、絶縁層１２１が設けられる。絶縁層１２１は、トランジスタ１５０のバックゲート絶縁層として機能する。絶縁層１２１は、半導体層１０８ａのチャネル形成領域と接する領域を有する層のため、酸素を含む絶縁層であることが好ましい。絶縁層１２１は、例えば、絶縁層１１０ｂに用いることができる材料を適用できる。

[０２７５]

絶縁層１２１上に半導体層１０８ａが設けられる。半導体層１０８ａは、絶縁層１２１を介して、導電層１２０と重なる領域を有する。

[０２７６]

図20Aでは、絶縁層121の上面に、半導体層108aの端部が位置する例を示し、図20Bでは、絶縁層121の上面及び側面を半導体層108aが覆う例を示す。

[0277]

半導体層108aは、半導体層108と同じ材料、及び同じ工程で形成できる。

[0278]

ここで、半導体層108と半導体層108aには、同じ材料を用いてもよい。また、半導体層108と半導体層108aには、組成が互いに異なる材料を用いてもよい。例えば、半導体層108と半導体層108aの双方に、同じ組成の、In-Ga-Zn酸化物を用いてもよい。また、半導体層108と半導体層108aの双方に、In-Ga-Zn酸化物を用い、一方は、他方に比べて、金属酸化物中のInの原子数の割合が大きくてもよい。また、半導体層108と半導体層108aのうち、一方にIn-Ga-Zn酸化物を用い、他方にIn-Zn酸化物を用いてもよい。なお、半導体層108と半導体層108aに、異なる材料を用いてもよい。例えば、半導体層108と半導体層108aを異なる工程で形成することにより、半導体層108に含まれる材料と、半導体層108aに含まれる材料と、を異ならせることができる。

[0279]

絶縁層121及び半導体層108aを覆うように、絶縁層106が設けられる。絶縁層106は、トランジスタ150のゲート絶縁層として機能する。

[0280]

絶縁層106上に、導電層104aが設けられる。導電層104aは、絶縁層106を介して半導体層108aと重なる領域を有する。導電層104aは、トランジスタ150のゲート電極として機能する。導電層104aは、導電層104と同じ材料、及び同じ工程で形成できる。

[0281]

図20Aでは、導電層104aを覆うように、絶縁層109が設けられており、絶縁層109上に導電層107a及び導電層107bが設けられる。導電層107a及び導電層107bは、それぞれ、絶縁層106及び絶縁層109に設けられた開口の内部で、半導体層108aと接する領域を有する。

[0282]

図20Bでは、導電層107a及び導電層107bを、導電層104a及び導電層104と同じ材料、及び同じ工程で形成する例を示す。導電層107a及び導電層107bは、それぞれ、絶縁層106に設けられた開口の内部で、半導体層108aと接する領域を有する。

[0283]

導電層107a及び導電層107bは、一方がトランジスタ150のソース電極として機能し、他方がトランジスタ150のドレイン電極として機能する。

[0284]

トランジスタ150は、半導体層108aよりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。例えば、ゲート電極として機能する導電層104aをマスクに不純物元素を半導体層108aに添加することにより、自己整合的にソース領域及びドレイン領域を形成できる。トランジスタ150は、TGSA (Top Gate Self-Aligned) 型のトランジスタといえることができる。

[0285]

トランジスタ１５０は、チャネル長方向における導電層１０４ａの幅でチャネル長を制御できる。したがって、トランジスタ１５０のチャネル長は、トランジスタの作製に用いる露光装置の限界解像度以上の値となる。チャネル長を大きくすることにより、飽和特性の高いトランジスタとすることができる。

[０２８６]

半導体装置１０の作製において、チャネル長の小さいトランジスタ１００と、チャネル長の大きいトランジスタ１５０を、一部の工程を共通にして同じ基板上に形成できる。例えば、大きいオン電流が求められるトランジスタにトランジスタ１００を適用し、高い飽和特性を求められるトランジスタにトランジスタ１５０を適用することにより、高い性能の半導体装置とすることができる。

[０２８７]

[半導体装置１０Ａ]

図２１Ａは、本発明の一態様の半導体装置である半導体装置１０Ａの構成例を示す平面図である。図２１Ｂは、図２１Ａにおける一点鎖線Ａ１－Ａ２間の断面図であり、図２２Ａは、図２１Ａにおける一点鎖線Ｂ１－Ｂ２間の断面図であり、図２２Ｂは、図２１Ａにおける一点鎖線Ｂ３－Ｂ４間の断面図である。半導体装置１０Ａは、回路構成が図１９Ａに示す構成である半導体装置である。図２１Ａ、図２１Ｂ、及び図２２Ａでは、トランジスタ１００が図６Ａ乃至図６Ｃに示す構成である例を示している。なお、半導体装置１０Ａにおいて、絶縁層１０１は、図９Ａ乃至図１０Ｃのいずれかに示す構成としてもよい。また、絶縁層１１０は、図１Ａ乃至図１Ｃに示す構成としてもよい。

[０２８８]

半導体装置１０Ａが有するトランジスタ２００は、導電層１１２ｃ、半導体層１０８ａ、導電層１１２ｂ、絶縁層１０６、及び導電層１０４ａを有する。

[０２８９]

導電層１１２ｃは、トランジスタ２００のソース電極又はドレイン電極の一方として機能する。導電層１１２ｃは、導電層１１２ａと同一の材料、及び同一の工程で形成できる。

[０２９０]

半導体装置１０Ａにおいて、絶縁層１１０には導電層１１２ｃに達する開口１４１ａが設けられ、導電層１１２ｂには開口１４１ａと重なる領域を有する開口１４３ａが設けられる。半導体層１０８ａ、絶縁層１０６、及び導電層１０４ａは、開口１４１ａの内部に位置する領域、及び開口１４３ａの内部に位置する領域を有するように設けられる。

[０２９１]

半導体層１０８ａは、半導体層１０８と同一の材料、及び同一の工程で形成できる。又は、半導体層１０８と半導体層１０８ａとは互いに異なる材料、及び別々の工程で形成してもよい。半導体層１０８と半導体層１０８ａの構成については、半導体装置１０における半導体層の記載も参照できる。

[０２９２]

導電層１１２ｂは、トランジスタ１００のソース電極又はドレイン電極の他方として機能し、且つトランジスタ２００のソース電極又はドレイン電極の他方として機能する。トランジスタ１００とトランジスタ２００とで導電層１１２ｂを共有することで、半導体装置の占有面積を縮小できる。

[０２９３]

導電層 104a は、トランジスタ 200 のゲート電極として機能する。導電層 104a は、導電層 104 と同一の材料、及び同一の工程で形成できる。

[0294]

開口 141a は、開口 141 がとり得る形状と同様の形状とすることができる。開口 143a は、開口 143 がとり得る形状と同様の形状とすることができる。絶縁層 110 に設けられる開口 141 と開口 141a の形状及び大きさ（直径等）は、同一であってもよく、異なってもよい。同様に、導電層 112b に設けられる開口 143 と開口 143a の形状及び大きさ（直径等）は、同一であってもよく、互いに異なってもよい。

[0295]

[半導体装置 10B]

図 23A は、本発明の一態様の半導体装置である半導体装置 10B の構成例を示す平面図である。図 23B は、図 23A における一点鎖線 A1-A2 間の断面図である。半導体装置 10B は、回路構成が図 19A に示す構成である半導体装置である。図 23A、及び図 23B では、トランジスタ 100 が図 6A 乃至図 6C に示す構成である例を示している。なお、半導体装置 10B において、絶縁層 101 は、図 9A 乃至図 10C のいずれかに示す構成としてもよい。また、絶縁層 110 は、図 1A 乃至図 1C に示す構成としてもよい。

[0296]

半導体装置 10B が有するトランジスタ 200 は、導電層 112a、半導体層 108a、導電層 112d、絶縁層 106、及び導電層 104a を有する。

[0297]

導電層 112a は、トランジスタ 100 のソース電極又はドレイン電極の一方として機能し、且つトランジスタ 200 のソース電極又はドレイン電極の一方として機能する。トランジスタ 100 とトランジスタ 200 とで導電層 112a を共有することで、半導体装置の占有面積を縮小できる。

[0298]

導電層 112d は、トランジスタ 200 のソース電極又はドレイン電極の他方として機能する。導電層 112d は、導電層 112b と同一の材料、及び同一の工程で形成できる。

[0299]

導電層 104a は、トランジスタ 200 のゲート電極として機能する。導電層 104a は、導電層 104 と同一の材料、及び同一の工程で形成できる。

[0300]

図 21A、図 21B、図 22B、図 23A、及び図 23B は、トランジスタ 200 がトランジスタ 100 と同様の構成である例を示している。なお、トランジスタ 200 を、前述のトランジスタ 100A 乃至トランジスタ 100H と同様の構成としてもよい。また、上述のトランジスタ 200 の構成は、図 19B に示すトランジスタ 200 にも適用できる。

[0301]

<半導体装置の作製方法例>

以下では、図 6B、及び図 6C に示す半導体装置の作製方法例について、図 24A 乃至図 27B を用いて説明する。図 24A 乃至図 27B では、図 6A に示す一点鎖線 A1-A2 間の断面図と、一点鎖線 B1-B2 間の断面図と、を並べて示す。

[0302]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び導電膜等）は、スパッタリング法、CVD法、真空蒸着法、パルスレーザー堆積（PLD：Pulsed Laser Deposition）法、又はALD法等を用いて形成できる。CVD法としては、PECVD法、及び、熱CVD法等がある。また、熱CVD法のひとつに、有機金属化学気相堆積（MOCVD：Metal Organic CVD）法がある。

[0303]

また、半導体装置を構成する薄膜（絶縁膜、半導体膜、及び導電膜等）は、スピコート法、ディップコート法、スプレーコート法、インクジェット法、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、又はナイフコート等の湿式の成膜方法により形成できる。

[0304]

上記薄膜は、例えばフォトリソグラフィ法によりレジストマスクを形成した後、レジストマスクによるパターンに合わせて薄膜をエッチングすることにより加工できる。又は、ナノインプリント法、サンドブラスト法、又はリフトオフ法等により薄膜を加工してもよい。また、メタルマスク等の遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。また、感光性を有する薄膜は、露光及び現像を行うことにより加工できる。つまり、感光性を有する薄膜は、フォトリソグラフィ法により加工できる。

[0305]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、又はこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザー光、又はArFレーザー光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV：Extreme Ultraviolet）光、又はX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線、又は電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビーム等のビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0306]

薄膜のエッチングには、ドライエッチング法、又はウェットエッチング法等を用いることができる。

[0307]

まず、基板102上に、絶縁層101を形成する（図24A）。前述のように、絶縁層101は、水素を含む絶縁層とする。絶縁層101は、水素の含有量が例えば後の工程で形成する絶縁層110aの水素の含有量以上である領域を有するように形成する。絶縁層101、及び絶縁層110aの形成には、例えばCVD法を用いることができ、具体的にはPECVD法を用いることができる。なお、例えばスパッタリング法を用いて絶縁層101、及び絶縁層110aを形成することもできる。

[0308]

絶縁層101、及び絶縁層110aとして、前述のように例えば窒化絶縁膜を形成でき、具体的には窒化シリコン膜、又は窒化酸化シリコン膜を形成できる。絶縁層101、及び絶縁層110aとして窒化絶縁膜を用いることで、後の加熱処理等において、後の工程で形成する導電層112aの、絶縁層101と接する領域及びその近傍の領域、並びに絶縁層110aと接する領域及びその近傍

の領域が酸化され、抵抗が高くなることを抑制できる。

[0309]

絶縁層101の成膜ガスにおける、水素を含む分子の割合は、絶縁層110aの成膜ガスにおける、水素を含む分子の割合以上であることが好ましい。例えば、絶縁層101の成膜ガス、及び絶縁層110aの成膜ガスに含まれる窒素源として NH_3 ガスを用いる場合、絶縁層101の成膜ガスにおける NH_3 ガスの流量の割合が、絶縁層110aの成膜ガスにおける NH_3 ガスの流量の割合以上であることが好ましい。なお、絶縁層110aの成膜ガスには NH_3 ガスを含めなくてもよい。例えば、絶縁層110aとして酸化絶縁膜等、窒化絶縁膜以外の絶縁膜を形成する場合は、絶縁層110aの成膜ガスに NH_3 ガスを含めなくてもよい。

[0310]

絶縁層101を、成膜ガス全体に対する例えば NH_3 ガスの流量の割合が高い条件で成膜することで、絶縁層101中の水素の含有量を多くできる。これにより、絶縁層101における、加熱により放出する水素の量を増加させることができる。

[0311]

また、絶縁層101と絶縁層110aとで成膜条件を異ならせることにより、絶縁層101における、加熱により放出する水素の量を調整できる。具体的には、絶縁層101の成膜条件において、成膜電力（成膜電力密度）、成膜圧力、成膜ガス種、成膜ガス流量比、成膜温度、及び基板と電極との間の距離のいずれか一又は複数を、絶縁層110aの成膜条件と異ならせればよい。

[0312]

絶縁層101の形成時の基板温度、及び絶縁層110aの形成時の基板温度はそれぞれ、 150°C 以上 450°C 以下が好ましく、 200°C 以上 450°C 以下がより好ましく、 250°C 以上 450°C 以下がより好ましく、 300°C 以上 450°C 以下がより好ましく、 300°C 以上 400°C 以下がより好ましく、代表的には 350°C である。絶縁層101の形成時の基板温度、及び絶縁層110aの形成時の基板温度を前述の範囲とすることで、例えば絶縁層101から放出される水素の量、及び絶縁層110aから放出される水素の量を好適に制御できる。よって、絶縁層101から半導体層108に供給される水素の量、及び絶縁層110aから半導体層108に供給される水素の量が例えば多くなりすぎ、トランジスタ100のしきい値電圧が小さくなる、すなわちしきい値電圧がマイナスシフトすることを抑制できる。これにより、カットオフ電流を小さくでき、ノーマリーオフ特性のトランジスタを実現できる。よって、トランジスタ100の信頼性を高めることができ、本発明の一態様の半導体装置の信頼性を高めることができる。

[0313]

続いて、絶縁層101上に、導電層112aを形成する（図24B）。例えば、絶縁層101上に導電層112aとなる導電膜を形成し、当該導電膜を加工することにより、導電層112aを形成できる。導電層112aとなる導電膜は、例えばスパッタリング法を用いて形成できる。また、当該導電膜上にフォトリソグラフィ工程によりレジストマスクを形成した後、当該導電膜を例えばウェットエッチング法及びドライエッチング法的一方又は双方を用いて加工することにより、導電層112aを形成できる。導電層112aとして、例えば銅を含む層と、当該層上のシリコンを有するインジウムスズ酸化物を含む層と、の積層構造の導電層を形成できる。

[0314]

続いて、導電層112a上、及び絶縁層101上に、絶縁層110aを形成する。例えば、絶縁層

101の上面と接する領域、導電層112aの上面と接する領域、及び導電層112aの側面と接する領域を有するように、絶縁層110aを形成する。その後、絶縁層110a上に絶縁層110bを形成する（図24C）。

[0315]

例えば絶縁層110aの成膜条件は、前述の通りである。また、絶縁層110aは、水素の含有量が例えば絶縁層101の水素の含有量以下の領域を有するように形成する。例えば、絶縁層110aの成膜ガスにおける、水素を含む分子の割合は、絶縁層101の成膜ガスにおける、水素を含む分子の割合以下であることが好ましい。例えば、絶縁層101の成膜ガス、及び絶縁層110aの成膜ガスに含まれる窒素源としてNH₃ガスを用いる場合、絶縁層110aの成膜ガスにおけるNH₃ガスの流量の割合が、絶縁層101の成膜ガスにおけるNH₃ガスの流量の割合以下であることが好ましい。

[0316]

絶縁層110aは、導電層112aより水素が拡散しにくくなるような条件で形成でき、また絶縁層110bより水素が拡散しにくくなるような条件で形成できる。絶縁層110aは、例えば導電層112aより水素の拡散係数が小さくなるような条件で形成でき、また絶縁層110bより水素の拡散係数が小さくなるような条件で形成できる。

[0317]

絶縁層110bの形成には、例えばCVD法を用いることができ、具体的にはPECVD法を用いることができる。なお、例えばスパッタリング法を用いて絶縁層110bを形成することもできる。絶縁層110bとして、前述のように例えば酸化絶縁膜を形成でき、具体的には酸化シリコン膜、又は酸化窒化シリコン膜を形成できる。

[0318]

絶縁層110aを形成した後、絶縁層110aの表面を大気に曝すことなく、真空中で連続して絶縁層110bを形成することが好ましい。絶縁層110a及び絶縁層110bを連続して形成することで、絶縁層110aの表面に大気由来の不純物が付着することを抑制できる。当該不純物として、例えば、水、及び有機物が挙げられる。

[0319]

絶縁層110bの形成時の基板温度は、前述の絶縁層110aの形成時の基板温度の範囲とすることが好ましい。これにより、絶縁層110bからの不純物（例えば、水及び水素）の放出を少なくすることができ、不純物が半導体層108のチャネル形成領域に拡散することを抑制できる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタを作製できる。

[0320]

なお、絶縁層101、絶縁層110a、及び絶縁層110bは、半導体層108より先に形成されるため、絶縁層101、絶縁層110a、及び絶縁層110bの形成時に加わる熱によって半導体層108から酸素が脱離することを懸念する必要はない。

[0321]

絶縁層110bを形成した後、絶縁層110bに酸素を供給する処理を行うことが好ましい。これにより、後の加熱処理によって、半導体層108に多くの酸素を供給できる。その結果、半導体層108中の酸素欠損及びV_oHを低減でき、良好な電気特性を示し、かつ信頼性の高いトランジスタを作製できる。例えば、絶縁層110bの形成後に大気開放せずに（*in-situ*で）、酸素

を含む雰囲気下でプラズマ処理を行うことにより、絶縁層 110b へ酸素を供給できる。例えば、 N_2O プラズマ処理を行うことが好ましい。

[0322]

続いて、絶縁層 110b 上に、金属酸化物層 149 を形成することが好ましい（図 24D）。金属酸化物層 149 を形成することで、絶縁層 110b に酸素を供給できる。

[0323]

金属酸化物層 149 の導電性は問わない。金属酸化物層 149 としては、絶縁膜、半導体膜、及び、導電膜の少なくとも一種を用いることができる。金属酸化物層 149 として、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、インジウム酸化物、インジウムスズ酸化物、又はシリコンを含有したインジウムスズ酸化物を用いることができる。

[0324]

金属酸化物層 149 として、半導体層 108 と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、半導体層 108 に適用可能な金属酸化物材料を用いることが好ましい。

[0325]

金属酸化物層 149 の形成時に、成膜装置の処理室内に導入する成膜ガスの全流量に対する酸素流量の割合（酸素流量比）、又は処理室内の酸素分圧が高いほど、絶縁層 110b 中に供給される酸素の量を増やすことができる。酸素流量比又は酸素分圧は、例えば 50% 以上 100% 以下、好ましくは 65% 以上 100% 以下、より好ましくは 80% 以上 100% 以下、さらに好ましくは 90% 以上 100% 以下とする。特に、酸素流量比 100% とし、酸素分圧を 100% にできるだけ近づけることが好ましい。

[0326]

このように、酸素を含む雰囲気でスパッタリング法により金属酸化物層 149 を形成することにより、金属酸化物層 149 の形成時に、絶縁層 110b へ酸素を供給するとともに、絶縁層 110b から酸素が脱離することを防ぐことができる。その結果、絶縁層 110b に多くの酸素を閉じ込めることができる。そして、後の加熱処理によって、半導体層 108 に多くの酸素を供給できる。その結果、半導体層 108 中の酸素欠損及び V_O を低減でき、良好な電気特性を示し、かつ信頼性の高いトランジスタを作製できる。

[0327]

金属酸化物層 149 を形成した後、加熱処理を行うことが好ましい。金属酸化物層 149 を形成した後に加熱処理を行うことで、金属酸化物層 149 から絶縁層 110b に好適に酸素を供給できる。

[0328]

加熱処理の温度は、150℃以上基板の歪み点未満が好ましく、150℃以上 450℃以下がより好ましく、150℃以上 350℃以下がより好ましく、200℃以上 300℃以下がさらに好ましい。加熱処理は、貴ガス、窒素、又は酸素の一以上を含む雰囲気で行うことができる。窒素を含む雰囲気、又は酸素を含む雰囲気として、乾燥空気（CDA: Clean Dry Air）を用いてもよい。なお、当該雰囲気における水素、及び水等の含有量が極力少ないことが好ましい。当該雰囲気として、露点が -60℃以下、好ましくは -100℃以下の高純度ガスを用いることが好ましい。水素、及び水等の含有量が極力少ない雰囲気を用いることで、絶縁層 110b 等に水素、及び水等が取り込まれることを可能な限り防ぐことができる。加熱処理は、オーブン、又は急速加熱（RTA: Rapid Thermal Annealing）装置等を用いることができる。R

TA装置を用いることで、加熱処理時間を短縮できる。

[0329]

金属酸化物層149を形成した後、又は前述の加熱処理の後に、さらに、金属酸化物層149を介して絶縁層110bに酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、又はプラズマ処理を用いることができる。本発明の一態様の半導体装置の作製方法におけるプラズマ処理では、酸素ガスを高周波電力によってプラズマ化させる装置を好適に用いることができる。ガスを高周波電力によってプラズマ化させる装置として、例えば、プラズマエッチング装置及びプラズマアッシング装置が挙げられる。

[0330]

なお、絶縁層101、絶縁層110a、及び絶縁層110bを形成した後、金属酸化物層149を形成する前に、加熱処理を行ってもよい。当該加熱処理の温度は、150℃以上基板の歪み点未満が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには350℃以上450℃以下が好ましい。当該加熱処理を行うことで、絶縁層110bの表面及び膜中から水及び水素を脱離させることができる。これにより、良好な電気特性を示し、かつ信頼性の高いトランジスタを作製できる。

[0331]

続いて、金属酸化物層149を除去する。

[0332]

金属酸化物層149の除去方法に特に限定は無いが、ウェットエッチング法を好適に用いることができる。ウェットエッチング法を用いることで、金属酸化物層149の除去の際に、絶縁層110bがエッチングされることを抑制できる。これにより、絶縁層110bの膜厚が薄くなることを抑制でき、絶縁層110bの膜厚を均一にすることができる。

[0333]

なお、絶縁層110bに対して酸素を供給する処理は、前述の方法に限定されない。例えば、絶縁層110bに対して、イオンドーピング法、イオン注入法、又はプラズマ処理により、酸素ラジカル、酸素原子、酸素原子イオン、又は酸素分子イオン等を供給できる。また、絶縁層110b上に酸素の脱離を抑制する膜を形成した後、当該膜を介して絶縁層110bに酸素を供給してもよい。当該膜は、酸素を供給した後に除去することが好ましい。上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、錫、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、及びタングステンのうち、1以上を有する、導電膜又は半導体膜を用いることができる。

[0334]

金属酸化物層149の形成、及び除去は、必ずしも行わなくてもよい。例えば、上記方法により絶縁層110bに酸素を十分供給できる場合は、金属酸化物層149の形成、及び除去を行わなくてもよい。

[0335]

続いて、絶縁層110b上に、絶縁層110cを形成する。その後、絶縁層110c上に、絶縁層110dを形成する（図25A）。これにより、絶縁層110a、絶縁層110b、絶縁層110c、及び絶縁層110dを含む絶縁層110が形成される。絶縁層110c、及び絶縁層110d

の形成には、例えばCVD法を用いることができ、具体的にはPECVD法を用いることができる。なお、例えばスパッタリング法を用いて絶縁層110c、及び絶縁層110dを形成することもできる。

[0336]

絶縁層110cは、後の工程で形成する導電層112bより水素が拡散しにくくなるような条件で形成でき、また絶縁層110bより水素が拡散しにくくなるような条件で形成できる。絶縁層110cは、例えば導電層112bより水素の拡散係数が小さくなるような条件で形成でき、また絶縁層110bより水素の拡散係数が小さくなるような条件で形成できる。

[0337]

絶縁層110dは、前述のように水素を含む絶縁層とする。絶縁層110dは、水素の含有量が例えば絶縁層110cの水素の含有量以上である領域を有するように形成する。

[0338]

絶縁層110cは、絶縁層110aに含まれる材料と同一の材料を含むように形成できる。例えば、絶縁層110cには、絶縁層110aと同一の材料を用いることができる。この場合、絶縁層110cを、絶縁層110aと同一の条件で形成できる。なお、例えば絶縁層110cの成膜時間を絶縁層110aの成膜時間と異ならせることにより、絶縁層110cの膜厚を絶縁層110aの膜厚と異ならせることができる。

[0339]

絶縁層110dは、絶縁層101に含まれる材料と同一の材料を含むことができる。例えば、絶縁層110dには、絶縁層101と同一の材料を用いることができる。また、絶縁層101と同一の材料を絶縁層110dに用い、且つ絶縁層101の単位体積当たりの水素含有量と絶縁層110dの単位体積当たりの水素含有量を同程度とする場合、絶縁層110dは、絶縁層110cと同一の条件で形成できる。なお、例えば絶縁層110dの成膜時間を絶縁層101の成膜時間と異ならせることにより、絶縁層110dの膜厚を絶縁層101の膜厚と異ならせることができる。

[0340]

絶縁層110c、及び絶縁層110dとして、前述のように例えば窒化絶縁膜を形成でき、具体的には窒化シリコン膜、又は窒化酸化シリコン膜を形成できる。絶縁層110c、及び絶縁層110dとして窒化絶縁膜を用いることで、後の加熱処理等において、後の工程で形成する導電層112bの、絶縁層110cと接する領域及びその近傍の領域、並びに絶縁層110dと接する領域及びその近傍の領域が酸化され、抵抗が高くなることを抑制できる。

[0341]

絶縁層110dの成膜ガスにおける、水素を含む分子の割合は、絶縁層110cの成膜ガスにおける、水素を含む分子の割合以上であることが好ましい。例えば、絶縁層110cの成膜ガス、及び絶縁層110dの成膜ガスに含まれる窒素源としてNH₃ガスを用いる場合、絶縁層110dの成膜ガスにおけるNH₃ガスの流量の割合が、絶縁層110cの成膜ガスにおけるNH₃ガスの流量の割合以上であることが好ましい。なお、絶縁層110cの成膜ガスにはNH₃ガスを含めなくてもよい。例えば、絶縁層110cとして酸化絶縁膜等、窒化絶縁膜以外の絶縁膜を形成する場合は、絶縁層110cの成膜ガスにNH₃ガスを含めなくてもよい。

[0342]

絶縁層110dを、成膜ガス全体に対する例えばNH₃ガスの流量の割合が高い条件で成膜するこ

とで、絶縁層 110 d 中の水素の含有量を多くできる。これにより、絶縁層 110 d における、加熱により放出する水素の量を増加させることができる。

[0343]

また、絶縁層 110 c と絶縁層 110 d とで成膜条件を異ならせることにより、絶縁層 110 d における、加熱により放出する水素の量を調整できる。具体的には、絶縁層 110 d の成膜条件において、成膜電力（成膜電力密度）、成膜圧力、成膜ガス種、成膜ガス流量比、成膜温度、及び基板と電極との間の距離のいずれか一又は複数を、絶縁層 110 c の成膜条件と異ならせればよい。

[0344]

絶縁層 110 c の形成時の基板温度、及び絶縁層 110 d の形成時の基板温度はそれぞれ、前述の絶縁層 110 a の形成時の基板温度がとり得る範囲、及び絶縁層 101 の形成時の基板温度がとり得る範囲とすることができる。これにより、トランジスタ 100 の信頼性を高めることができ、本発明の一態様の半導体装置の信頼性を高めることができる。

[0345]

続いて、絶縁層 110 d 上に、導電層 112 b となる導電膜 112 f を形成する（図 25 B）。例えば、絶縁層 110 d の上面と接する領域を有するように、導電膜 112 f を形成する。導電膜 112 f の形成には、例えば、スパッタリング法が好適である。その後、導電膜 112 f を所望の形状に加工して、導電層 112 b を絶縁層 110 d 上に形成する（図 25 C）。例えば、絶縁層 110 d の上面と接する領域を有するように、導電層 112 b を形成する。

[0346]

続いて、導電層 112 b を加工することで、開口 143 を形成する（図 26 A）。開口 143 は、導電層 112 a と重なる領域を有するように形成する。なお、導電膜 112 f に開口 143 を形成した後に、導電膜 112 f を所望の形状に加工することで、開口 143 が設けられる導電層 112 b を形成してもよい。

[0347]

続いて、絶縁層 110 d、絶縁層 110 c、絶縁層 110 b、及び絶縁層 110 a を加工することで、開口 141 を形成する（図 26 A）。開口 141 は、開口 143 と重なる領域を有し、導電層 112 a に達するように形成される。開口 141 を形成することにより、導電層 112 a の、開口 141、及び開口 143 と重なる領域が露出する。

[0348]

導電膜 112 f の加工には、ウェットエッチング法及びドライエッチング法的一方又は双方を用いることができる。特に、開口 143 の形成には、ウェットエッチング法が好適である。

[0349]

開口 141 の形成には、ウェットエッチング法及びドライエッチング法的一方又は双方を用いることができ、例えば、ドライエッチング法が好適である。

[0350]

開口 141 は、例えば、開口 143 の形成に用いたレジストマスクを用いて形成できる。例えば、導電層 112 b を形成した後、導電層 112 b 上にレジストマスクを形成し、当該レジストマスクを用いて導電層 112 b の一部を除去して開口 143 を形成する。その後、当該レジストマスクを用いて絶縁層 110 d、絶縁層 110 c、絶縁層 110 b、及び絶縁層 110 a それぞれの一部を除去して開口 141 を形成できる。なお、開口 141 と開口 143 は、それぞれ異なるレジストマ

スクを用いて形成してもよい。

[0351]

続いて、開口141及び開口143を覆うように、半導体層108となる半導体膜108fを形成する(図26B)。半導体膜108fは、導電層112aの上面と接する領域、絶縁層110の側面と接する領域、導電層112bの側面と接する領域、導電層112bの上面と接する領域、及び絶縁層110の上面と接する領域を有するように形成される。

[0352]

半導体膜108fは、絶縁層110の開口141側の側面、及び導電層112bの開口143側の側面に、出来るだけ均一な厚さの膜として形成されることが好ましい。半導体膜108fは、例えば、スパッタリング法又はALD法を用いて成膜できる。

[0353]

半導体膜108fは、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。

[0354]

半導体膜108fは、可能な限り欠陥の少ない緻密な膜とすることが好ましい。また、半導体膜108fは、可能な限り水素元素を含む不純物が低減され、高純度な膜であることが好ましい。特に、半導体膜108fとして、結晶性を有する金属酸化物膜を用いることが好ましい。

[0355]

半導体膜108fを形成する際に、酸素ガスを用いることが好ましい。半導体膜108fの形成時に酸素ガスを用いることで、絶縁層110中に好適に酸素を供給できる。例えば、絶縁層110bに酸化物を用いる場合、絶縁層110b中に好適に酸素を供給できる。

[0356]

絶縁層110bに酸素を供給することにより、後の工程で半導体層108に酸素が供給され、半導体層108中の酸素欠損及び V_OH を低減できる。

[0357]

半導体膜108fを成膜する際に、酸素ガスと、不活性ガス(例えば、ヘリウムガス、アルゴンガス、又はキセノンガス等)と、を混合させてもよい。なお、半導体膜108fを成膜する際の成膜ガス全体に占める酸素ガスの割合(酸素流量比)が高いほど、半導体膜108fの結晶性を高めることができ、信頼性の高いトランジスタを実現できる。一方、酸素流量比が低いほど、半導体膜108fの結晶性が低くなり、オン電流の大きいトランジスタとすることができる。

[0358]

半導体膜108fを形成する際の基板温度が高いほど、結晶性が高く、緻密な金属酸化物膜とすることができる。一方、基板温度が低いほど、結晶性が低く、電気伝導性の高い半導体膜108fとすることができる。

[0359]

半導体膜108fの形成時の基板温度は、室温以上250℃以下が好ましく、室温以上200℃以下がより好ましく、室温以上140℃以下がさらに好ましい。例えば、基板温度を、室温以上140℃以下とすると、生産性が高くなり好ましい。また、基板温度を室温とする、又は基板を加熱しない状態で、半導体膜108fを成膜することにより、結晶性を低くできる。

[0360]

ALD法を用いる場合、熱ALD法、又はPEALD (Plasma Enhanced ALD) 等の成膜方法を用いることが好ましい。熱ALD法は、極めて高い段差被覆性を示すため好ましい。PEALD法は、高い段差被覆性を示すことに加え低温成膜が可能であるため好ましい。

[0361]

半導体膜108fは、例えば、構成する金属元素を含むプリカーサと、酸化剤と、を用いてALD法により成膜できる。

[0362]

インジウムを含むプリカーサとしては、例えば、トリメチルインジウム、トリエチルインジウム、トリス(2, 2, 6, 6-テトラメチルー3, 5-ヘプタンジオン酸)インジウム、シクロペンタジエニルインジウム、塩化インジウム(III)、及び、(3-(ジメチルアミノ)プロピル)ジメチルインジウムが挙げられる。

[0363]

ガリウムを含むプリカーサとしては、例えば、トリメチルガリウム、トリエチルガリウム、トリス(ジメチルアミド)ガリウム、ガリウム(III)アセチルアセトナート、トリス(2, 2, 6, 6-テトラメチルー3, 5-ヘプタンジオン酸)ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、及び、塩化ガリウム(III)が挙げられる。

[0364]

スズを有するプリカーサとしては、例えば、テトラメチルスズ、テトラエチルスズ、テトラエチルルスズ、テトラアリルスズ、トリブチルビニルスズ、アリルトリブチルスズ、トリブチルスタニルアセチレン、トリブチルフェニルスズ、クロロトリメチルスズ、クロロトリエチルスズ、及び、塩化スズ(IV)が挙げられる。

[0365]

亜鉛を含むプリカーサとしては、例えば、ジメチル亜鉛、ジエチル亜鉛、ビス(2, 2, 6, 6-テトラメチルー3, 5-ヘプタンジオン酸)亜鉛、及び、塩化亜鉛が挙げられる。

[0366]

例えば、In-Ga-Zn酸化物を成膜する場合には、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、及び亜鉛を含むプリカーサの、3つのプリカーサを用いることができる。又は、インジウムを含むプリカーサと、ガリウム及び亜鉛を含むプリカーサの2つのプリカーサを用いてもよい。

[0367]

酸化剤としては、例えば、オゾン、酸素、及び水が挙げられる。

[0368]

得られる膜の組成を制御する方法としては、原料ガスの流量比、原料ガスを流す時間、又は原料ガスを流す順番等を調整することが挙げられる。また、これらを調整することで、組成が連続して変化する膜を成膜することもできる。また、組成の異なる膜を連続して成膜することも可能となる。

[0369]

半導体膜108fを成膜する前に、絶縁層110の表面に吸着した水、水素、及び有機物等を脱離させるための処理、及び絶縁層110中に酸素を供給する処理のうち、少なくとも一方を行うことが好ましい。例えば、減圧雰囲気にて70℃以上200℃以下の温度で加熱処理を行うことができる。又は、酸素を含む雰囲気におけるプラズマ処理を行ってもよい。又は、一酸化二窒素(N₂O)

等の酸化性気体を含む雰囲気におけるプラズマ処理により、絶縁層 110 に酸素を供給してもよい。一酸化二窒素ガスを含むプラズマ処理を行うと、絶縁層 110 の表面の有機物を好適に除去しつつ、酸素を供給できる。このような処理の後、絶縁層 110 の表面を大気に暴露することなく、連続して半導体膜 108f を成膜することが好ましい。

[0370]

なお、半導体層 108 を積層構造とする場合には、先に形成する金属酸化物膜を成膜した後に、その表面を大気に曝すことなく連続して、次の金属酸化物膜を成膜することが好ましい。

[0371]

また、半導体層 108 を積層構造とする場合には、半導体層 108 を構成する全ての層を同じ成膜方法（例えば、スパッタリング法又は ALD 法）で形成してもよく、層によって異なる成膜方法を用いてもよい。例えば、第 1 の金属酸化物膜をスパッタリング法で成膜し、第 2 の金属酸化物膜を ALD 法で成膜してもよい。

[0372]

続いて、半導体膜 108f を島状に加工し、半導体層 108 を形成する（図 27A）。半導体層 108 は、開口 141 の内部に位置する領域、及び開口 143 の内部に位置する領域を有するように形成できる。半導体層 108 は、導電層 112a の上面と接する領域、絶縁層 110 の側面と接する領域、導電層 112b の上面と接する領域、及び導電層 112b の側面と接する領域を有するように形成できる。

[0373]

半導体層 108 の形成には、ウェットエッチング法及びドライエッチング法的一方又は双方を用いることができ、例えば、ウェットエッチング法が好適である。このとき、半導体層 108 と重ならない領域の導電層 112b の一部がエッチングされ、薄くなる場合がある。同様に、半導体層 108 及び導電層 112b の双方と重ならない領域の絶縁層 110 の一部がエッチングされ、膜厚が薄くなる場合がある。例えば、絶縁層 110 のうち、絶縁層 110d がエッチングにより消失し、絶縁層 110c の表面が露出する場合もある。なお、半導体膜 108f のエッチングにおいて、絶縁層 110d に半導体膜 108f とのエッチング選択比が高い材料を用いることで、絶縁層 110d の膜厚が薄くなることを抑制できる。

[0374]

半導体膜 108f の成膜後、又は半導体膜 108f を半導体層 108 に加工した後に、加熱処理を行うことが好ましい。加熱処理により、半導体膜 108f 又は半導体層 108 中に含まれる、又は表面に吸着した水素又は水を除去できる。また、加熱処理により、半導体膜 108f 又は半導体層 108 の膜質が向上する（例えば、欠陥が低減する、又は結晶性が向上する）場合がある。加熱処理は、半導体層 108 に加工する前に行うことがより好ましい。

[0375]

加熱処理により、絶縁層 110b から半導体膜 108f の少なくとも一部、又は半導体層 108 の少なくとも一部に酸素を供給することが好ましい。半導体層 108 における、絶縁層 110b と接する領域及びその近傍は、チャネル形成領域として機能する。当該領域に酸素を供給することで、チャネル形成領域の酸素欠損を少なくでき、キャリア濃度を低くできる。つまり、チャネル形成領域を、i 型（真性）又は実質的に i 型の領域とすることができる。これにより、トランジスタに安定した電気特性を付与できる。

$[0\ 3\ 7\ 6]$

加熱処理により、絶縁層１０１に含まれる水素が導電層１１２ａを透過し、半導体膜１０８ｆ又は半導体層１０８の、導電層１１２ａと接する領域、及びその近傍の領域に供給できる。これにより、半導体層１０８と、導電層１１２ａと、の接触抵抗を小さくできる。また、加熱処理により、絶縁層１１０ｄに含まれる水素が導電層１１２ｂを透過し、半導体膜１０８ｆ又は半導体層１０８の、導電層１１２ｂと接する領域、及びその近傍の領域に供給できる。これにより、半導体層１０８と、導電層１１２ｂと、の接触抵抗を小さくできる。以上により、オン電流が大きく、電気特性が良好なトランジスタを作製できる。よって、高速に動作する半導体装置を作製できる。

 $[0\ 3\ 7\ 7]$

加熱処理の温度は、150℃以上450℃以下が好ましく、200℃以上450℃以下がより好ましく、250℃以上450℃以下がより好ましく、300℃以上450℃以下がより好ましく、300℃以上400℃以下がより好ましく、代表的には350℃である。その他の加熱処理の条件については、金属酸化物層149形成後の加熱処理の記載を参照できる。

 $[0\ 3\ 7\ 8]$

なお、当該加熱処理は不要であれば行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程）が、当該加熱処理を兼ねられる場合もある。

 $[0\ 3\ 7\ 9]$

続いて、半導体層 108、導電層 112b、及び絶縁層 110を覆って、絶縁層 106を形成する(図 27B)。絶縁層 106は、開口 141の内部に位置する領域、及び開口 143の内部に位置する領域を有するように、半導体層 108上に形成できる。絶縁層 106は、半導体層 108を介して、開口 141の側壁及び開口 143の側壁に沿って形成できる。絶縁層 106の形成には、例えば、PECVD法又はALD法が好適である。

 $[0\ 3\ 8\ 0]$

半導体層 108 を金属酸化物層とする場合、絶縁層 106 は、酸素が拡散することを抑制するバリア膜として機能することが好ましい。絶縁層 106 が酸素の拡散を抑制する機能を有することにより、酸素が絶縁層 106 より上側から導電層 104 へ拡散することが抑制され、導電層 104 が酸化されることを抑制できる。その結果、良好な電気特性を示し、かつ信頼性の高いトランジスタを作製できる。

$$\begin{bmatrix} 0 & 3 & 8 & 1 \end{bmatrix}$$

なお、本明細書等において、バリア膜とは、バリア性を有する膜のことを示す。例えば、バリア性を有する絶縁層を、バリア絶縁層とすることができる。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）、及び対応する物質を、捕獲又は固着する（ゲッタリングともいう）機能の一方又は双方を指すものとする。

 $[0\ 3\ 8\ 2]$

ゲート絶縁層として機能する絶縁層１０６の形成時の温度を高くすることにより、欠陥の少ない絶縁層とすることができる。しかしながら、絶縁層１０６の形成時の温度が高いと半導体層１０８から酸素が脱離し、半導体層１０８中の酸素欠損及び V_O Hが増加してしまう場合がある。絶縁層１０６の形成時の基板温度は、１８０℃以上４５０℃以下が好ましく、さらには２００℃以上４５０℃以下が好ましく、さらには２５０℃以上４５０℃以下が好ましく、さらには３００℃以上４５

0℃以下が好ましく、さらには300℃以上400℃以下が好ましい。絶縁層106の形成時の基板温度を前述の範囲とすることで、絶縁層106の欠陥を少なくするとともに、半導体層108から酸素が脱離することを抑制できる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタを作製できる。

[0383]

絶縁層106を形成する前に、半導体層108の表面に対してプラズマ処理を行ってもよい。当該プラズマ処理により、半導体層108の表面に吸着する、水等の不純物を低減できる。そのため、半導体層108と絶縁層106との界面における不純物を低減でき、信頼性の高いトランジスタを実現できる。特に、半導体層108の形成から、絶縁層106の形成までの間に半導体層108の表面が大気に曝される場合に好適である。プラズマ処理は、例えば、酸素、オゾン、窒素、一酸化二窒素、又はアルゴン等の雰囲気で行うことができる。また、プラズマ処理と絶縁層106の成膜とは、大気に曝すことなく連続して行われることが好ましい。

[0384]

また、絶縁層106に酸素を多く含む膜を用いると、絶縁層106から半導体層108に酸素を供給でき好ましい。また、絶縁層106には、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタの作製工程中にかかる熱により、絶縁層106が酸素を放出することで、半導体層108に酸素を供給できる。絶縁層106から半導体層108、特に半導体層108のチャネル形成領域に酸素を供給することで、半導体層108中の酸素欠損の低減を図ることができ、良好な電気特性を示し、かつ信頼性の高いトランジスタを作製できる。

[0385]

続いて、絶縁層106上に、導電層104を形成する(図27B)。これにより、トランジスタ100が形成される。導電層104は、開口141の内部に位置する領域、及び開口143の内部において、絶縁層106を半導体層108との間に挟んで対向する領域を有するように形成できる。

[0386]

導電層104となる導電膜の形成には、例えば、スパッタリング法、熱CVD法(MOCVD法を含む)、又はALD法が好適である。当該導電膜上にフォトリソグラフィ工程によりレジストマスクを形成した後、当該導電膜を加工することにより、ゲート電極として機能する島状の導電層104を形成できる。

[0387]

続いて、導電層104、及び絶縁層106を覆って、絶縁層109を形成する(図6B、及び図6C)。絶縁層109の形成には、例えばCVD法を用いることができ、具体的にはPECVD法を用いることができる。なお、例えばスパッタリング法を用いて絶縁層109を形成することもできる。

[0388]

以上の工程により、本発明の一態様の半導体装置を作製できる。

[0389]

本実施の形態は、他の実施の形態、又は実施例と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0390]

(実施の形態 2)

本実施の形態では、本発明の一態様の表示装置について説明する。

[0391]

本実施の形態の表示装置は、解像度の高い表示装置又は大型の表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用等のモニタ、デジタルサイネージ、及び、パチンコ機等の大型ゲーム機等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び、音響再生装置の表示部に用いることができる。

[0392]

また、本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型、及び、ブレスレット型等の情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ（HMD）等のVR向け機器、及び、メガネ型のAR向け機器等の頭部に装着可能なウェアラブル機器の表示部に用いることができる。

[0393]

本発明の一態様の半導体装置は、表示装置、又は、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとしては、当該表示装置にフレキシブルプリント回路基板（Flexible printed circuit、以下、FPCと記す）もしくはTCP（Tape Carrier Package）等のコネクタが取り付けられたモジュール、COG（Chip On Glass）方式もしくはCOF（Chip On Film）方式等により集積回路（IC）が実装されたモジュール等が挙げられる。

[0394]

また、本実施の形態の表示装置はタッチパネルとしての機能を有してもよい。例えば、表示装置には、指等の被検知体の近接又は接触を検知できる様々な検知素子（センサ素子ともいえる）を適用できる。

[0395]

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び、感圧方式が挙げられる。

[0396]

静電容量方式としては、例えば、表面型静電容量方式、投影型静電容量方式がある。また、投影型静電容量方式としては、例えば、自己容量方式、相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

[0397]

タッチパネルとしては、例えば、アウトセル型、オンセル型、及び、インセル型が挙げられる。なお、インセル型のタッチパネルは、表示素子を支持する基板と対向基板のうち一方又は双方に、検知素子を構成する電極が設けられた構成をいう。

[0398]

[表示装置 50A]

図28に、表示装置50Aの斜視図を示す。

[0399]

表示装置 50A は、基板 152 と基板 102 とが貼り合わされた構成を有する。図 28 では、基板 152 を破線で示している。

[0400]

表示装置 50A は、表示部 162、接続部 140、回路部 164、及び導電層 165 等を有する。図 28 では表示装置 50A に IC 173 及び FPC 172 が実装されている例を示している。そのため、図 28 に示す構成は、表示装置 50A と、IC と、FPC と、を有する表示モジュールということもできる。

[0401]

接続部 140 は、表示部 162 の外側に設けられる。接続部 140 は、表示部 162 の一辺又は複数の辺に沿って設けることができる。接続部 140 は、単数であっても複数であってもよい。図 28 では、表示部の四辺を囲むように接続部 140 が設けられている例を示す。接続部 140 では、表示素子の共通電極と、導電層とが電氣的に接続されており、共通電極に電位を供給できる。

[0402]

回路部 164 は、例えば走査線駆動回路（ゲートドライバともいう）を有する。また、回路部 164 は、走査線駆動回路及び信号線駆動回路（ソースドライバともいう）の双方を有してもよい。

[0403]

導電層 165 は、表示部 162 及び回路部 164 に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC 172 を介して外部から導電層 165 に入力される、又は IC 173 から導電層 165 に入力される。

[0404]

図 28 では、COG 方式又は COF 方式等により、基板 102 に IC 173 が設けられている例を示す。IC 173 には、例えば、走査線駆動回路及び信号線駆動回路のうち一方又は双方を有する IC を適用できる。なお、表示装置 50A 及び表示モジュールは、IC を設けない構成としてもよい。また、IC を、例えば COF 方式により FPC に実装してもよい。

[0405]

本発明の一態様の半導体装置は、例えば、表示装置 50A の表示部 162 及び回路部 164 の一方又は双方に適用できる。

[0406]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小でき、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方）に適用する場合、駆動回路の占有面積を縮小でき、狭額縁の表示装置とすることができる。また、本発明の一態様の半導体装置は、電気特性が良好であるため、表示装置に用いることで表示装置の信頼性を高めることができる。

[0407]

表示部 162 は、表示装置 50A における画像を表示する領域であり、周期的に配列された複数の画素 201 を有する。図 28 には、1 つの画素 201 の拡大図を示している。

[0408]

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用できる。画素の配列としては、例えば、ストライプ配列、S ストライプ配列、マトリクス配列、デルタ配列、ベイ

ヤー配列、及びペンタイル配列が挙げられる。

[0409]

図28に示す画素201は、赤色の光を呈する副画素11R、緑色の光を呈する副画素11G、及び、青色の光を呈する副画素11Bを有する。1つの画素が有する副画素の数は特に限定されない。

[0410]

副画素11R、副画素11G、及び副画素11Bは、それぞれ、表示素子と、当該表示素子の駆動を制御する回路と、を有する。

[0411]

表示素子としては、様々な素子を用いることができ、例えば、液晶素子及び発光素子が挙げられる。その他、シャッター方式又は光干渉方式のMEMS (Micro Electro Mechanical Systems) 素子、マイクロカプセル方式、電気泳動方式、エレクトロウェッティング方式、又は電子粉流体 (登録商標) 方式等を適用した表示素子等を用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたQLED (Quantum-dot LED) を用いてもよい。

[0412]

液晶素子を用いた表示装置としては、例えば、透過型の液晶表示装置、反射型の液晶表示装置、及び、半透過型の液晶表示装置が挙げられる。

[0413]

液晶素子を用いた表示装置に用いることができるモードとしては、例えば、垂直配向 (VA: Vertical Alignment) モード、FFS (Fringe Field Switching) モード、IPS (In-Plane-Switching) モード、TN (Twisted Nematic) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、及び、ゲストホストモードが挙げられる。VAモードとしては、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、及び、ASV (Advanced Super View) モードが挙げられる。

[0414]

液晶素子に用いることができる液晶材料としては、例えば、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、高分子ネットワーク型液晶 (PNLC: Polymer Network Liquid Crystal)、強誘電性液晶、及び、反強誘電性液晶が挙げられる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相、ブルー相等を示す。また、液晶材料としては、ポジ型の液晶及びネガ型の液晶のどちらを用いてもよく、適用するモード又は設計に応じて選択できる。

[0415]

発光素子としては、例えば、LED (Light Emitting Diode)、OLED

(Organic LED)、及び半導体レーザ等の、自発光型の発光素子が挙げられる。LEDとして、例えば、ミニLED、又はマイクロLED等を用いることができる。

[0416]

発光素子が有する発光物質としては、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光（Thermally activated delayed fluorescence：TADF）材料）、及び、無機化合物（量子ドット材料等）が挙げられる。

[0417]

発光素子の発光色は、赤外、赤、緑、青、シアン、マゼンタ、黄、又は白等とすることができる。また、発光素子にマイクロキャビティ構造を付与することにより色純度を高めることができる。

[0418]

発光素子が有する一対の電極のうち、一方の電極は陽極として機能し、他方の電極は陰極として機能する。

[0419]

なお、本発明の一態様の表示装置は、発光素子が形成されている基板とは反対方向に光を射出する上面射出型（トップエミッション型）、発光素子が形成されている基板側に光を射出する下面射出型（ボトムエミッション型）、両面に光を射出する両面射出型（デュアルエミッション型）のいずれであつてもよい。

[0420]

図29Aに、表示装置50Aの、FPC172を含む領域の一部、回路部164の一部、表示部162の一部、接続部140の一部、及び、端部を含む領域の一部をそれぞれ切断したときの断面の一例を示す。

[0421]

図29Aに示す表示装置50Aは、基板102と基板152の間に、トランジスタ205D、トランジスタ205R、トランジスタ205G、トランジスタ205B、発光素子130R、発光素子130G、及び発光素子130B等が設けられる。回路部164には例えばトランジスタ205Dが設けられ、表示部162にはトランジスタ205R、トランジスタ205G、トランジスタ205B、発光素子130R、発光素子130G、及び発光素子130B等が設けられる。

[0422]

発光素子130Rは、赤色の光を呈する副画素11Rが有する表示素子である。発光素子130Gは、緑色の光を呈する副画素11Gが有する表示素子である。発光素子130Bは、青色の光を呈する副画素11Bが有する表示素子である。

[0423]

表示装置50Aには、SBS構造が適用されている。SBS構造は、発光素子ごとに材料及び構成を最適化できるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0424]

また、表示装置50Aは、トップエミッション型である。トップエミッション型は、例えばトランジスタを発光素子の発光領域と重ねて配置できるため、ボトムエミッション型に比べて画素の開口率を高めることができる。

[0425]

基板102上には例えば水素を含む絶縁層101が設けられ、絶縁層101上にはトランジスタ205D、トランジスタ205R、トランジスタ205G、及びトランジスタ205Bが設けられる。これらのトランジスタは、同一の材料、及び同一の工程により作製できる。

[0426]

本実施の形態では、トランジスタ205D、トランジスタ205R、トランジスタ205G、及びトランジスタ205Bには、OSトランジスタを用いる例を示す。トランジスタ205D、トランジスタ205R、トランジスタ205G、及びトランジスタ205Bには、本発明の一態様のトランジスタを用いることができる。つまり、表示装置50Aは、表示部162及び回路部164の双方に、本発明の一態様のトランジスタを有する。表示部162に本発明の一態様のトランジスタを用いることで、画素サイズを縮小でき、高精細化を図ることができる。また、回路部164に本発明の一態様のトランジスタを用いることで、回路部164の占有面積を小さくでき、狭額縁化を図ることができる。本発明の一態様のトランジスタについては、先の実施の形態の記載を参照できる。例えば、先の実施の形態で示したトランジスタ100、トランジスタ100A乃至トランジスタ100H、及びトランジスタ150のいずれかを、トランジスタ205D、トランジスタ205R、トランジスタ205G、及びトランジスタ205Bに適用できる。

[0427]

具体的には、トランジスタ205D、トランジスタ205R、トランジスタ205G、及びトランジスタ205Bは、それぞれ、ソース電極又はドレイン電極の一方として機能する導電層112a、ソース電極又はドレイン電極の他方として機能する導電層112b、チャネル形成領域を有する半導体層108、ゲート絶縁層として機能する絶縁層106、及びゲート電極として機能する導電層104を有する。また、絶縁層101上、及び導電層112a上には絶縁層110が設けられ、絶縁層110には導電層112aに達する開口が設けられる。半導体層108、絶縁層106、及び導電層104は、当該開口の内部に位置する領域を有するようにこの順に設けられる。

[0428]

図29Aでは、絶縁層110が、絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、絶縁層110c上の絶縁層110dと、を有する例を示している。つまり、図29Aでは、絶縁層110が、絶縁層110a乃至絶縁層110dの4層積層構造である例を示している。本実施の形態における以降の図面においても、絶縁層110が絶縁層110a乃至絶縁層110dの4層積層構造である例を示す。

[0429]

図29Aでは、同一の導電膜を加工して得られる複数の層に、同じハッチングパターンを付している。本実施の形態における以降の図面においても同様とする。

[0430]

なお、本実施の形態の表示装置が有するトランジスタは、本発明の一態様のトランジスタのみに限定されない。例えば、本発明の一態様のトランジスタと、他の構造のトランジスタと、を組み合わせ有してもよい。

[0431]

本実施の形態の表示装置は、例えば、プレーナ型のトランジスタ、スタガ型のトランジスタ、逆スタガ型のトランジスタのいずれか一以上を有してもよい。本実施の形態の表示装置が有するラン

ジスタは、トップゲート型又はボトムゲート型のいずれとしてもよい。又は、チャネルが形成される半導体層の上下にゲートが設けられてもよい。

[0432]

また、本実施の形態の表示装置は、チャネル形成領域にシリコンを用いたトランジスタ（以下、Siトランジスタと記す）を有してもよい。

[0433]

画素回路に含まれる発光素子の発光輝度を高くする場合、発光素子に流す電流量を大きくする必要がある。そのためには、画素回路に含まれている駆動トランジスタのソースドレイン間電圧を高くする必要がある。OSトランジスタは、Siトランジスタと比較して、ソースドレイン間において耐圧が高いため、OSトランジスタのソースドレイン間には高い電圧を印加できる。したがって、画素回路に含まれる駆動トランジスタをOSトランジスタとすることで、発光素子に流れる電流量を大きくし、発光素子の発光輝度を高くできる。

[0434]

また、トランジスタが飽和領域で動作する場合において、OSトランジスタは、Siトランジスタよりも、ゲートソース間電圧の変化に対して、ソースドレイン間電流の変化を小さくできる。このため、画素回路に含まれる駆動トランジスタとしてOSトランジスタを適用することによって、ゲートソース間電圧の変化によって、ソースドレイン間に流れる電流を細かく定めることができるため、発光素子に流れる電流量を制御できる。このため、画素回路における階調数を多くできる。

[0435]

また、トランジスタが飽和領域で動作するときに流れる電流の飽和特性において、OSトランジスタは、ソースドレイン間電圧が徐々に高くなった場合においても、Siトランジスタよりも安定した電流（飽和電流）を流すことができる。そのため、OSトランジスタを駆動トランジスタとして用いることで、例えば、発光素子の電流－電圧特性にばらつきが生じた場合においても、発光素子に安定した電流を流すことができる。つまり、OSトランジスタは、飽和領域で動作する場合において、ソースドレイン間電圧を変化させても、ソースドレイン間電流がほぼ変化しないため、発光素子の発光輝度を安定させることができる。

[0436]

回路部164が有するトランジスタと、表示部162が有するトランジスタは、同じ構造であってもよく、異なる構造であってもよい。回路部164が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。同様に、表示部162が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。

[0437]

表示部162が有するトランジスタの全てをOSトランジスタとしてもよく、表示部162が有するトランジスタの全てをSiトランジスタとしてもよく、表示部162が有するトランジスタの一部をOSトランジスタとし、残りをSiトランジスタとしてもよい。

[0438]

例えば、表示部162にLTPSトランジスタとOSトランジスタとの双方を用いることで、消費電力が低く、駆動能力の高い表示装置を実現できる。また、LTPSトランジスタと、OSトランジスタとを、組み合わせる構成をLTPOという場合がある。なお、より好適な例としては、配線

間の導通、及び非導通を制御するためのスイッチとして機能するトランジスタにOSトランジスタを適用し、電流を制御するトランジスタにLTPTSトランジスタを適用する構成が挙げられる。

[0439]

例えば、表示部162が有するトランジスタの一は、発光素子に流れる電流を制御するためのトランジスタとして機能し、駆動トランジスタともいうことができる。駆動トランジスタのソース及びドレインの一方は、発光素子の画素電極と電氣的に接続される。当該駆動トランジスタには、LTPTSトランジスタを用いることが好ましい。これにより、画素回路において発光素子に流れる電流を大きくできる。

[0440]

一方、表示部162が有するトランジスタの他の一は、画素の選択、非選択を制御するためのスイッチとして機能し、選択トランジスタともいうことができる。選択トランジスタのゲートはゲート線と電氣的に接続され、ソース及びドレインの一方は、ソース線（信号線）と電氣的に接続される。選択トランジスタには、OSトランジスタを適用することが好ましい。これにより、フレーム周波数を著しく小さく（例えば1fps以下）しても、画素の階調を維持できるため、静止画を表示する際にドライバを停止することで、消費電力を低減できる。

[0441]

トランジスタ205D、トランジスタ205R、トランジスタ205G、及びトランジスタ205Bを覆うように、絶縁層109が設けられ、絶縁層109上に絶縁層235が設けられている。

[0442]

絶縁層235は、平坦化層としての機能を有することが好ましく、有機絶縁膜が好適である。有機絶縁膜に用いることができる材料としては、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等が挙げられる。また、絶縁層235を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。絶縁層235の最表層は、エッチング保護層としての機能を有することが好ましい。これにより、画素電極111R、画素電極111G、及び画素電極111B等の加工時に、絶縁層235に凹部が形成されることを抑制できる。又は、絶縁層235には、画素電極111R、画素電極111G、及び画素電極111B等の加工時に、凹部が設けられてもよい。

[0443]

絶縁層235上に、発光素子130R、発光素子130G、及び発光素子130Bが設けられている。

[0444]

発光素子130Rは、絶縁層235上の画素電極111Rと、画素電極111R上のEL層113Rと、EL層113R上の共通電極115と、を有する。図29Aに示す発光素子130Rは、赤色の光（R）を発する。EL層113Rは、赤色の光を発する発光層を有する。

[0445]

発光素子130Gは、絶縁層235上の画素電極111Gと、画素電極111G上のEL層113Gと、EL層113G上の共通電極115と、を有する。図29Aに示す発光素子130Gは、緑色の光（G）を発する。EL層113Gは、緑色の光を発する発光層を有する。

[0446]

発光素子130Bは、絶縁層235上の画素電極111Bと、画素電極111B上のEL層113

Bと、E L層 1 1 3 B上の共通電極 1 1 5と、を有する。図 2 9 Aに示す発光素子 1 3 0 Bは、青色の光（B）を発する。E L層 1 1 3 Bは、青色の光を発する発光層を有する。

[0 4 4 7]

なお、図 2 9 Aでは、E L層 1 1 3 R、E L層 1 1 3 G、及びE L層 1 1 3 Bを全て同じ膜厚で示すが、これに限られない。E L層 1 1 3 R、E L層 1 1 3 G、及びE L層 1 1 3 Bのそれぞれの膜厚は異なってもよい。例えば、E L層 1 1 3 R、E L層 1 1 3 G、及びE L層 1 1 3 Bは、それぞれの発する光を強める光路長に対応して膜厚を設定することが好ましい。これにより、マイクロキャビティ構造を実現し、各発光素子から射出される光の色純度を高めることができる。

[0 4 4 8]

画素電極 1 1 1 Rは、絶縁層 1 0 6、絶縁層 1 0 9、及び絶縁層 2 3 5に設けられた開口を介して、トランジスタ 2 0 5 Rが有する導電層 1 1 2 bと電氣的に接続されている。同様に、画素電極 1 1 1 Gは、トランジスタ 2 0 5 Gが有する導電層 1 1 2 bと電氣的に接続され、画素電極 1 1 1 Bは、トランジスタ 2 0 5 Bが有する導電層 1 1 2 bと電氣的に接続されている。

[0 4 4 9]

画素電極 1 1 1 R、画素電極 1 1 1 G、及び画素電極 1 1 1 Bのそれぞれの端部は、絶縁層 2 3 7によって覆われている。絶縁層 2 3 7は、隔壁として機能する。絶縁層 2 3 7は、無機絶縁材料及び有機絶縁材料の一方又は双方を用いて、単層構造又は積層構造で設けることができる。絶縁層 2 3 7には、例えば、絶縁層 1 0 9に用いることができる材料及び絶縁層 2 3 5に用いることができる材料を適用できる。絶縁層 2 3 7により、画素電極と共通電極とを電氣的に絶縁できる。また、絶縁層 2 3 7により、隣接する発光素子同士を電氣的に絶縁できる。

[0 4 5 0]

絶縁層 2 3 7は、少なくとも表示部 1 6 2に設けられる。絶縁層 2 3 7は、表示部 1 6 2だけでなく、接続部 1 4 0及び回路部 1 6 4に設けられてもよい。また、絶縁層 2 3 7は、表示装置 5 0 Aの端部にまで設けられてもよい。

[0 4 5 1]

共通電極 1 1 5は、発光素子 1 3 0 R、発光素子 1 3 0 G、及び発光素子 1 3 0 Bに共通して設けられる一続きの膜である。複数の発光素子が共通して有する共通電極 1 1 5は、接続部 1 4 0に設けられた導電層 1 2 3と電氣的に接続される。導電層 1 2 3には、画素電極 1 1 1 R、画素電極 1 1 1 G、及び画素電極 1 1 1 Bと同じ材料及び同じ工程で形成された導電層を用いることが好ましい。

[0 4 5 2]

本発明の一態様の表示装置において、画素電極と共通電極のうち、光を取り出す側の電極には、可視光を透過する導電膜を用いる。また、光を取り出さない側の電極には、可視光を反射する導電膜を用いることが好ましい。

[0 4 5 3]

また、光を取り出さない側の電極にも可視光を透過する導電膜を用いてもよい。この場合、反射層と、E L層との間に当該電極を配置することが好ましい。つまり、E L層の発光は、当該反射層によって反射されて、表示装置から取り出されてもよい。

[0 4 5 4]

発光素子の一对の電極を形成する材料としては、金属、合金、電気伝導性化合物、及びこれらの混

合物等を適宜用いることができる。当該材料としては、具体的には、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、及びネオジム等の金属、並びにこれらを適宜組み合わせて含む合金が挙げられる。また、当該材料としては、インジウムスズ酸化物（ In-Sn 酸化物、 ITO ともいう）、 In-Si-Sn 酸化物（ ITSO ともいう）、インジウム亜鉛酸化物（ In-Zn 酸化物）、及び In-W-Zn 酸化物等を挙げることができる。また、当該材料としては、アルミニウム、ニッケル、及びランタンの合金（ Al-Ni-La ）等のアルミニウムを含む合金（アルミニウム合金）、並びに、銀とマグネシウムの合金、及び、銀とパラジウムと銅の合金（ Ag-Pd-Cu 、 APC とも記す）等の銀を含む合金が挙げられる。その他、当該材料としては、上記例示のない元素周期表の第1族又は第2族に属する元素（例えば、リチウム、セシウム、カルシウム、ストロンチウム）、ユウロビウム、イッテルビウム等の希土類金属及びこれらを適宜組み合わせて含む合金、グラフェン等が挙げられる。

[0455]

発光素子には、微小光共振器（マイクロキャビティ）構造が適用されていることが好ましい。したがって、発光素子が有する一対の電極の一方は、可視光に対する透過性及び反射性を有する電極（半透過・半反射電極）を有することが好ましく、他方は、可視光に対する反射性を有する電極（反射電極）を有することが好ましい。発光素子がマイクロキャビティ構造を有することで、発光層から得られる発光を両電極間で共振させ、発光素子から射出される光を強めることができる。

[0456]

透明電極の光の透過率は、40%以上とする。例えば、発光素子の透明電極には、可視光（波長400nm以上750nm未満の光）の透過率が40%以上である電極を用いることが好ましい。半透過・半反射電極の可視光の反射率は、10%以上95%以下、好ましくは30%以上80%以下とする。反射電極の可視光の反射率は、40%以上100%以下、好ましくは70%以上100%以下とする。また、これらの電極の抵抗率は、 $1 \times 10^{-2} \Omega \text{cm}$ 以下が好ましい。

[0457]

EL層113R、EL層113G、及びEL層113Bは、それぞれ、島状に設けられている。図29Aでは、隣り合うEL層113Rの端部とEL層113Gの端部とが重なっており、隣り合うEL層113Gの端部とEL層113Bの端部とが重なっており、隣り合うEL層113Rの端部とEL層113Bの端部とが重なっている。ファインメタルマスクを用いて島状のEL層を成膜する場合、図29Aに示すように、隣り合うEL層の端部同士が重なることがあるが、これに限られない。つまり、隣り合うEL層同士は重ならず、互いに離隔されてもよい。また、表示装置において、隣り合うEL層同士が重なっている部分と、隣り合うEL層同士が重ならず離隔されている部分と、の双方が存在してもよい。

[0458]

EL層113R、EL層113G、及びEL層113Bは、それぞれ、少なくとも発光層を有する。発光層は、1種又は複数種の発光物質を有する。発光物質としては、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、又は赤色等の発光色を呈する物質を適宜用いる。また、発光物質として、近赤外光を発する物質を用いることもできる。

[0459]

発光物質としては、蛍光材料、燐光材料、TADF材料、及び量子ドット材料等が挙げられる。

[0460]

発光層は、発光物質（ゲスト材料）に加えて、1種又は複数種の有機化合物（ホスト材料、アシスト材料等）を有してもよい。1種又は複数種の有機化合物としては、正孔輸送性の高い物質（正孔輸送性材料）及び電子輸送性の高い物質（電子輸送性材料）の一方又は双方を用いることができる。また、1種又は複数種の有機化合物として、バイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）、又はTADF材料を用いてもよい。

[0461]

発光層は、例えば、燐光材料と、励起錯体を形成しやすい組み合わせである正孔輸送性材料及び電子輸送性材料と、を有することが好ましい。このような構成とすることにより、励起錯体から発光物質（燐光材料）へのエネルギー移動であるExTET（Exciplex-Triplet Energy Transfer）を用いた発光を効率よく得ることができる。発光物質の最も低エネルギー側の吸収帯の波長と重なるような発光を呈する励起錯体を形成するような組み合わせを選択することで、エネルギー移動がスムーズとなり、効率よく発光を得ることができる。この構成により、発光素子の高効率、低電圧駆動、長寿命を同時に実現できる。

[0462]

EL層は、発光層の他に、正孔注入性の高い物質を含む層（正孔注入層）、正孔輸送性材料を含む層（正孔輸送層）、電子ブロック性の高い物質を含む層（電子ブロック層）、電子注入性の高い物質を含む層（電子注入層）、電子輸送性材料を含む層（電子輸送層）、及び、正孔ブロック性の高い物質を含む層（正孔ブロック層）のうち一つ又は複数を有することができる。その他、EL層は、バイポーラ性の物質及びTADF材料の一方又は双方を含んでもよい。

[0463]

発光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでもよい。発光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、又は塗布法等の方法で形成できる。

[0464]

発光素子には、シングル構造（発光ユニットを1つだけ有する構造）を適用してもよく、タンデム構造（発光ユニットを複数有する構造）を適用してもよい。発光ユニットは、少なくとも1層の発光層を有する。タンデム構造は、複数の発光ユニットが電荷発生層を介して直列に接続された構成である。電荷発生層は、一対の電極間に電圧を印加したときに、2つの発光ユニットの一方に電子を注入し、他方に正孔を注入する機能を有する。タンデム構造とすることで、高輝度発光が可能な発光素子とすることができる。また、タンデム構造は、シングル構造と比べて、同じ輝度を得るために必要な電流を低減できるため、信頼性を高めることができる。なお、タンデム構造をスタック構造といってもよい。

[0465]

図29Aにおいて、タンデム構造の発光素子を用いる場合、EL層113Rは、赤色の光を発する発光ユニットを複数有する構造であり、EL層113Gは、緑色の光を発する発光ユニットを複数有する構造であり、EL層113Bは、青色の光を発する発光ユニットを複数有する構造であると好ましい。

[0466]

発光素子130R、発光素子130G、及び発光素子130B上には保護層131が設けられてい

る。保護層 131 と基板 152 は接着層 142 を介して接着されている。基板 152 には、遮光層 117 が設けられている。発光素子の封止には、例えば、固体封止構造又は中空封止構造が適用できる。図 29A では、基板 152 と基板 102 との間の空間が、接着層 142 で充填されており、固体封止構造が適用されている。又は、当該空間を不活性ガス（窒素又はアルゴン等）で充填し、中空封止構造を適用してもよい。このとき、接着層 142 は、発光素子と重ならないように設けられてもよい。また、当該空間を、枠状に設けられた接着層 142 とは異なる樹脂で充填してもよい。

[0467]

保護層 131 は、少なくとも表示部 162 に設けられており、表示部 162 全体を覆うように設けられていることが好ましい。保護層 131 は、表示部 162 だけでなく、接続部 140 及び回路部 164 を覆うように設けられていることが好ましい。また、保護層 131 は、表示装置 50A の端部にまで設けられていることが好ましい。一方で、接続部 204 には、FPC 172 と導電層 166 とを電氣的に接続させるため、保護層 131 が設けられていない部分が生じる。

[0468]

発光素子 130R、発光素子 130G、及び発光素子 130B 上に保護層 131 を設けることで、発光素子の信頼性を高めることができる。

[0469]

保護層 131 は単層構造でもよく、2 層以上の積層構造であってもよい。また、保護層 131 の導電性は問わない。保護層 131 としては、絶縁膜、半導体膜、及び、導電膜の少なくとも一種を用いることができる。

[0470]

保護層 131 が無機膜を有することで、共通電極 115 の酸化を防止する、発光素子に不純物（水分及び酸素等）が入り込むことを抑制する、等、発光素子の劣化を抑制し、表示装置の信頼性を高めることができる。

[0471]

保護層 131 には、例えば、酸化絶縁膜、及び窒化絶縁膜等の無機絶縁膜を用いることができる。これらの無機絶縁膜の具体例は、前述の通りである。特に、保護層 131 は、窒化絶縁膜を有することが好ましく、窒化絶縁膜を有することがより好ましい。

[0472]

また、保護層 131 には、ITO、In-Zn 酸化物、Ga-Zn 酸化物、Al-Zn 酸化物、又は IGZO 等を含む無機膜を用いることもできる。当該無機膜は、高抵抗であることが好ましく、具体的には、共通電極 115 よりも高抵抗であることが好ましい。当該無機膜は、さらに窒素を含んでもよい。

[0473]

発光素子の発光を、保護層 131 を介して取り出す場合、保護層 131 は、可視光に対する透過性が高いことが好ましい。例えば、ITO、IGZO、及び、酸化アルミニウムは、それぞれ、可視光に対する透過性が高い無機材料であるため、好ましい。

[0474]

保護層 131 としては、例えば、酸化アルミニウム膜と、酸化アルミニウム膜上の窒化シリコン膜と、の積層構造、又は、酸化アルミニウム膜と、酸化アルミニウム膜上の IGZO 膜と、の積層構造を用いることができる。当該積層構造を用いることで、不純物（水及び酸素等）が EL 層側に入

り込むことを抑制できる。

[0475]

さらに、保護層131は、有機膜を有してもよい。例えば、保護層131は、有機膜と無機膜の双方を有してもよい。保護層131に用いることができる有機膜としては、例えば、絶縁層235に用いることができる有機絶縁膜が挙げられる。

[0476]

基板102の、基板152が重ならない領域には、接続部204が設けられている。接続部204では、導電層165が、導電層166及び接続層242を介してFPC172と電氣的に接続されている。導電層165は、導電層112bと同一の導電膜を加工して得られた導電層とすることができる。導電層166は、画素電極111R、画素電極111G、及び画素電極111Bと同一の導電膜を加工して得られた導電層とすることができる。接続部204の上面では、導電層166が露出している。これにより、接続部204とFPC172とを接続層242を介して電氣的に接続できる。

[0477]

表示装置50Aは、トップエミッション型である。発光素子が発する光は、基板152側に射出される。基板152には、可視光に対する透過性が高い材料を用いることが好ましい。画素電極111R、画素電極111G、及び画素電極111Bは可視光を反射する材料を含み、対向電極（共通電極115）は可視光を透過する材料を含む。

[0478]

基板152の基板102側の面には、遮光層117を設けることが好ましい。遮光層117は、隣り合う発光素子の間、接続部140、及び、回路部164等に設けることができる。

[0479]

また、基板152の基板102側の面、又は、保護層131上に、カラーフィルタ等の着色層を設けてもよい。発光素子に重ねてカラーフィルタを設けると、画素から射出される光の色純度を高めることができる。

[0480]

着色層は特定の波長域の光を選択的に透過し、他の波長域の光を吸収する有色層である。例えば、赤色の波長域の光を透過する赤色（R）のカラーフィルタ、緑色の波長域の光を透過する緑色（G）のカラーフィルタ、及び青色の波長域の光を透過する青色（B）のカラーフィルタ等を用いることができる。各着色層には、金属材料、樹脂材料、顔料、染料のうち一つ又は複数を用いることができる。着色層は、印刷法、インクジェット法、又はフォトリソグラフィ法を用いたエッチング法等でそれぞれ所望の位置に形成する。

[0481]

基板152には、基板102に用いることができる材料を適用できる。また、基板152の外側（基板102とは反対側の面）には各種光学部材を配置できる。光学部材としては、例えば、偏光板、位相差板、光拡散層（例えば拡散フィルム）、反射防止層、及び集光フィルムが挙げられる。また、基板152の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜、又は衝撃吸収層等の表面保護層を配置してもよい。例えば、表面保護層として、ガラス層又はシリカ層（SiO_x層）を設けることで、表面汚染及び傷の発生を抑制でき、好ましい。また、表面保護層としては、DLC（ダイヤモンドライ

クカーボン)、酸化アルミニウム (AlO_x)、ポリエステル系材料、又はポリカーボネート系材料等を用いてもよい。なお、表面保護層には、可視光に対する透過率が高い材料を用いることが好ましい。また、表面保護層には、硬度が高い材料を用いることが好ましい。

[0482]

なお、表示装置に円偏光板を重ねる場合、表示装置が有する基板には、光学等方性の高い基板を用いることが好ましい。光学等方性が高い基板は、複屈折が小さい(複屈折量が小さい、ともいえる)。光学等方性が高いフィルムとしては、トリアセチルセルロース(TAC、セルローストリアセテートともいう)フィルム、シクロオレフィンポリマー(COP)フィルム、シクロオレフィンコポリマー(COC)フィルム、及びアクリルフィルム等が挙げられる。

[0483]

接着層142としては、紫外線硬化型等の光硬化型接着剤、反応硬化型接着剤、熱硬化型接着剤、又は嫌気型接着剤等の各種硬化型接着剤を用いることができる。これら接着剤としてはエポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC(ポリビニルクロライド)樹脂、PVB(ポリビニルブチラル)樹脂、及びEVA(エチレンビニルアセテート)樹脂等が挙げられる。特に、エポキシ樹脂等の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、例えば接着シートを用いてもよい。

[0484]

接続層242としては、異方性導電フィルム(ACF: Anisotropic Conductive Film)、又は異方性導電ペースト(ACP: Anisotropic Conductive Paste)等を用いることができる。

[0485]

[表示装置50B]

図29Bに、表示装置50Bの表示部162の断面の一例を示す。表示装置50Bは、各色の副画素に、共通のEL層113を有する発光素子と、着色層と、が用いられている点で、表示装置50Aと主に異なる。図29Bに示す構成は、図29Aに示す、FPC172を含む領域、回路部164、表示部162の基板102から絶縁層235までの積層構造、接続部140、及び、端部の構成と、組み合わせることができる。なお、以降の表示装置の説明では、先に説明した表示装置と同様の部分については説明を省略することがある。

[0486]

図29Bに示す表示装置50Bは、発光素子130R、発光素子130G、及び発光素子130B、赤色の光を透過する着色層132R、緑色の光を透過する着色層132G、及び、青色の光を透過する着色層132B等を有する。

[0487]

発光素子130Rは、画素電極111Rと、画素電極111R上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Rの発光は、着色層132Rを介して表示装置50Bの外部に赤色の光として取り出される。

[0488]

発光素子130Gは、画素電極111Gと、画素電極111G上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Gの発光は、着色層132Gを介して表示装置50Bの外部に緑色の光として取り出される。

[0489]

発光素子130Bは、画素電極111Bと、画素電極111B上のEL層113と、EL層113上の共通電極115と、を有する。発光素子130Bの発光は、着色層132Bを介して表示装置50Bの外部に青色の光として取り出される。

[0490]

発光素子130R、発光素子130G、及び発光素子130Bは、EL層113と、共通電極115と、をそれぞれ共有して有する。各色の副画素に共通のEL層113を設ける構成は、各色の副画素にそれぞれ異なるEL層を設ける構成に比べて、作製工程数の削減が可能である。

[0491]

例えば、図29Bに示す発光素子130R、発光素子130G、及び発光素子130Bは、白色の光を発する。発光素子130R、発光素子130G、及び発光素子130Bが発する白色の光が、着色層132R、着色層132G、及び着色層132Bを透過することで、所望の色の光を得ることができる。

[0492]

白色の光を発する発光素子は、2つ以上の発光層を含むことが好ましい。2つの発光層を用いて白色発光を得る場合、2つの発光層の発光色が補色の関係となるような発光層を選択すればよい。例えば、第1の発光層の発光色と第2の発光層の発光色を補色の関係になるようにすることで、発光素子全体として白色発光する構成を得ることができる。また、3つ以上の発光層を用いて白色発光を得る場合、3つ以上の発光層の発光色が合わさることで、発光素子全体として白色発光する構成とすればよい。

[0493]

EL層113は、例えば、青色の光を発する発光物質を有する発光層、及び、青色よりも長波長の可視光を発する発光物質を有する発光層を有することが好ましい。EL層113は、例えば、黄色の光を発する発光層、及び、青色の光を発する発光層を有することが好ましい。又は、EL層113は、例えば、赤色の光を発する発光層、緑色の光を発する発光層、及び、青色の光を発する発光層を有することが好ましい。

[0494]

白色の光を発する発光素子には、タンデム構造を用いることが好ましい。具体的には、黄色の光を発する発光ユニットと、青色の光を発する発光ユニットとを有する2段タンデム構造、赤色と緑色の光を発する発光ユニットと、青色の光を発する発光ユニットとを有する2段タンデム構造、青色の光を発する発光ユニットと、黄色、黄緑色、又は緑色の光を発する発光ユニットと、青色の光を発する発光ユニットとをこの順で有する3段タンデム構造、又は、青色の光を発する発光ユニットと、黄色、黄緑色、又は緑色の光と、赤色の光とを発する発光ユニットと、青色の光を発する発光ユニットと、をこの順で有する3段タンデム構造等を適用できる。例えば、発光ユニットの積層数と色の順番としては、陽極側から、B、Yの2段構造、Bと発光ユニットXとの2段構造、B、Y、Bの3段構造、B、X、Bの3段構造が挙げられ、発光ユニットXにおける発光層の積層数と色の順番としては、陽極側から、R、Yの2層構造、R、Gの2層構造、G、Rの2層構造、G、R、Gの3層構造、又は、R、G、Rの3層構造等とすることができる。また、2つの発光層の間に他の層が設けられてもよい。

[0495]

なお、マイクロキャビティ構造を適用することで、白色の光を発する構成の発光素子は、赤色、緑色、又は青色等の特定の波長の光が強められて発光する場合もある。

[0496]

又は、例えば、図29Bに示す発光素子130R、発光素子130G、及び発光素子130Bは、青色の光を発する。このとき、EL層113は、青色の光を発する発光層を1層以上有する。青色の光を呈する副画素11Bにおいては、発光素子130Bが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素11R及び緑色の光を呈する副画素11Gにおいては、発光素子130R又は発光素子130Gと、基板152との間に、色変換層を設けることで、発光素子130R又は発光素子130Gが発する青色の光をより長波長の光に変換し、赤色又は緑色の光を取り出すことができる。さらに、発光素子130R上には、色変換層と基板152との間に着色層132Rを設け、発光素子130G上には、色変換層と基板152との間に着色層132Gを設けることが好ましい。発光素子が発する光の一部は、色変換層で変換されずにそのまま透過してしまうことがある。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

[0497]

[表示装置50C]

図30に示す表示装置50Cは、ボトムエミッション型の表示装置である点で、表示装置50Bと主に相違する。

[0498]

発光素子が発する光は、基板102側に射出される。基板102には、可視光に対する透過性が高い材料を用いることが好ましい。一方、基板152に用いる材料の透光性は問わない。

[0499]

基板102とトランジスタの間には、遮光層117を形成することが好ましい。図30では、基板102上に遮光層117が設けられ、遮光層117上に絶縁層153が設けられ、絶縁層153上に絶縁層101が設けられている例を示す。また、絶縁層109上に、着色層132R、着色層132G、及び着色層132Bが設けられ、着色層132R、着色層132G、及び着色層132B上に絶縁層235が設けられている。

[0500]

着色層132Rと重なる発光素子130Rは、画素電極111Rと、EL層113と、共通電極115と、を有する。

[0501]

着色層132Gと重なる発光素子130Gは、画素電極111Gと、EL層113と、共通電極115と、を有する。

[0502]

着色層132Bと重なる発光素子130Bは、画素電極111Bと、EL層113と、共通電極115と、を有する。

[0503]

画素電極111R、画素電極111G、及び画素電極111Bには、それぞれ、可視光に対する透過性が高い材料を用いる。共通電極115には可視光を反射する材料を用いることが好ましい。ボトムエミッション型の表示装置では、共通電極115に例えば電気抵抗の低い金属を用いることが

できるため、共通電極 1 1 5 の抵抗に起因する電圧降下が生じることを抑制でき、高い表示品位を実現できる。

[0504]

本発明の一態様のトランジスタは微細化が可能であり、占有面積を小さくできるため、ボトムエミッション構造の表示装置において、画素の開口率を高めること、又は、画素のサイズを小さくできる。

[0505]

[表示装置 50D]

図 3 1 A に示す表示装置 50D は、受光素子 130S を有する点で、表示装置 50A と主に相違する。

[0506]

表示装置 50D は、画素に、発光素子と受光素子を有する。表示装置 50D において、発光素子として有機 EL 素子を用い、受光素子として有機フォトダイオードを用いることが好ましい。有機 EL 素子及び有機フォトダイオードは、同一基板上に形成できる。したがって、有機 EL 素子を用いた表示装置に有機フォトダイオードを内蔵できる。

[0507]

画素に、発光素子及び受光素子を有する表示装置 50D では、画素が受光機能を有するため、画像を表示しながら、対象物の接触又は近接を検出できる。したがって、表示部 162 は、画像表示機能に加えて、撮像機能及びセンシング機能の一方又は双方を有する。例えば、表示装置 50D が有する副画素全てで画像を表示するだけでなく、一部の副画素は、光源としての光を呈し、他の一部の副画素で光検出を行い、残りの副画素で画像を表示することもできる。

[0508]

したがって、表示装置 50D と別に受光部及び光源を設けなくてもよく、電子機器の部品点数を削減できる。例えば、電子機器に設けられる生体認証装置、又はスクロール等を行うための静電容量方式のタッチパネル等を別途設ける必要がない。したがって、表示装置 50D を用いることで、作製コストが低減された電子機器を実現できる。

[0509]

受光素子をイメージセンサに用いる場合、表示装置 50D は、受光素子を用いて、画像を撮像できる。例えば、イメージセンサを用いて、指紋、掌紋、虹彩、脈形状（静脈形状、動脈形状を含む）、又は顔等を用いた個人認証のための撮像を行うことができる。

[0510]

また、受光素子は、タッチセンサ（ダイレクトタッチセンサともいう）又は非接触センサ（ホバーセンサ、ホバータッチセンサ、タッチレスセンサともいう）等に用いることができる。タッチセンサは、表示装置と、対象物（指、手、又はペン等）とが、直接接することで、対象物を検出できる。また、非接触センサは、対象物が表示装置に接触しなくても、当該対象物を検出できる。

[0511]

受光素子 130S は、絶縁層 235 上の画素電極 111S と、画素電極 111S 上の機能層 113S と、機能層 113S 上の共通電極 115 と、を有する。機能層 113S には、表示装置 50D の外部から光 *Lin* が入射する。

[0512]

画素電極 111S は、絶縁層 106、絶縁層 109、及び絶縁層 235 に設けられた開口を介して、トランジスタ 205S が有する導電層 112b と電氣的に接続されている。トランジスタ 205S は、トランジスタ 205D、トランジスタ 205R、トランジスタ 205G、及びトランジスタ 205B がとり得る構成と同様の構成とすることができる。例えば、先の実施の形態で示したトランジスタ 100、トランジスタ 100A 乃至トランジスタ 100H、及びトランジスタ 150 のいずれかを、トランジスタ 205S に適用できる。

[0513]

画素電極 111S の端部は、絶縁層 237 によって覆われている。

[0514]

共通電極 115 は、受光素子 130S、発光素子 130R（図示しない）、発光素子 130G、及び、発光素子 130B に共通して設けられる一続きの膜である。発光素子と受光素子とが共通して有する共通電極 115 は、接続部 140 に設けられた導電層 123 と電氣的に接続される。

[0515]

機能層 113S は、少なくとも活性層（光電変換層ともいう）を有する。活性層は、半導体を含む。当該半導体としては、シリコン等の無機半導体、及び、有機化合物を含む有機半導体が挙げられる。本実施の形態では、活性層が有する半導体として、有機半導体を用いる例を示す。有機半導体を用いることで、発光層と、活性層と、を同じ方法（例えば、真空蒸着法）で形成でき、製造装置を共通化できるため好ましい。

[0516]

機能層 113S は、活性層以外の層として、正孔輸送性の高い物質、電子輸送性の高い物質、又はバイポーラ性の物質等を含む層をさらに有してもよい。また、上記に限られず、正孔注入性の高い物質、正孔ブロック材料、電子注入性の高い物質、又は電子ブロック材料等を含む層をさらに有してもよい。機能層 113S には、例えば、上述の発光素子に用いることができる材料を用いることができる。

[0517]

受光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでもよい。受光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、又は塗布法等の方法で形成できる。

[0518]

図 31B 及び図 31C に示す表示装置 50D は、基板 102 と基板 152 との間に、受光素子を有する層 353、回路層 355、及び、発光素子を有する層 357 を有する。

[0519]

層 353 は、例えば、受光素子 130S を有する。層 357 は、例えば、発光素子 130R、発光素子 130G、及び発光素子 130B を有する。

[0520]

回路層 355 は、受光素子を駆動する回路、及び、発光素子を駆動する回路を有する。回路層 355 は、例えば、トランジスタ 205R、トランジスタ 205G、及びトランジスタ 205B を有する。その他、回路層 355 には、スイッチ、容量、抵抗、配線、及び端子等のうち一つ又は複数を設けることができる。

[0521]

図31Bは、受光素子130Sをタッチセンサに用いる例である。図31Bに示すように、層357において発光素子が発した光を、表示装置50Dに接触した指352が反射することで、層353における受光素子はその反射光を検出する。これにより、表示装置50Dに指352が接触したことを検出できる。

[0522]

図31Cは、受光素子130Sを非接触センサに用いる例である。図31Cに示すように、層357において発光素子が発した光を、表示装置50Dに近接している（つまり、接触していない）指352が反射することで、層353における受光素子はその反射光を検出する。

[0523]

[表示装置50E]

図32Aに示す表示装置50Eは、MML（メタルマスクレス）構造が適用された表示装置の一例である。つまり、表示装置50Eは、ファインメタルマスクを用いずに作製された発光素子を有する。

[0524]

MML構造が適用された表示装置が有する発光素子における島状の発光層は、発光層を一面に成膜した後、フォトリソグラフィ法を用いて加工することで形成される。したがって、これまで実現が困難であった高精細な表示装置又は高開口率の表示装置を実現できる。さらに、発光層を各色で作分けることができるため、極めて鮮やかでコントラストが高く、表示品位の高い表示装置を実現できる。例えば、表示装置が、青色の光を発する発光素子、緑色の光を発する発光素子、及び赤色の光を発する発光素子の3種類で構成される場合、発光層の成膜、及び、フォトリソグラフィによる加工を3回繰り返すことで、3種類の島状の発光層を形成できる。

[0525]

MML構造のデバイスは、メタルマスクを用いることなく作製できるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、メタルマスクを用いずにデバイスを作製する場合、メタルマスクの作製に係る設備、及び、メタルマスクの洗浄工程を不要にできる。また、フォトリソグラフィによる加工には、トランジスタを作製する際に用いる装置と共通又は同様の装置を用いることができるため、MML構造のデバイスを作製するために特別な装置を導入する必要はない。このように、MML構造は、作製コストを低く抑えることが可能となるため、デバイスの大量生産に適している。

[0526]

MML構造が適用された表示装置では、例えば、ペンタイル配列等の特殊な画素配列を適用し疑似的に精細度を高める必要がないため、R、G、Bの副画素をそれぞれ一方向に配列させた、いわゆるストライプ配列で、かつ、高精細（例えば500ppi以上、1000ppi以上、2000ppi以上、3000ppi以上、又は5000ppi以上）の表示装置を実現できる。

[0527]

また、発光層上に犠牲層を設けることで、表示装置の作製工程中に発光層が受けるダメージを低減し、発光素子の信頼性を高めることができる。

[0528]

また、エリアマスクを用いた成膜工程と、レジストマスクを用いた加工工程と、を採用することで、比較的簡単なプロセスにて発光素子を作製できる。

[0529]

なお、基板102から絶縁層235までの積層構造、及び保護層131から基板152までの積層構造は、表示装置50Aと同様のため、説明を省略する。

[0530]

図32Aにおいて、絶縁層235上に、発光素子130R、発光素子130G、及び発光素子130Bが設けられている。

[0531]

発光素子130Rは、絶縁層235上の導電層124Rと、導電層124R上の導電層126Rと、導電層126R上の層133Rと、層133R上の共通層114と、共通層114上の共通電極115と、を有する。図32Aに示す発光素子130Rは、赤色の光（R）を発する。層133Rは、赤色の光を発する発光層を有する。発光素子130Rにおいて、層133R、及び、共通層114をまとめてEL層ということができる。また、導電層124R及び導電層126Rのうち一方又は双方を画素電極ということができる。

[0532]

発光素子130Gは、絶縁層235上の導電層124Gと、導電層124G上の導電層126Gと、導電層126G上の層133Gと、層133G上の共通層114と、共通層114上の共通電極115と、を有する。図32Aに示す発光素子130Gは、緑色の光（G）を発する。層133Gは、緑色の光を発する発光層を有する。発光素子130Gにおいて、層133G、及び、共通層114をまとめてEL層ということができる。また、導電層124G及び導電層126Gのうち一方又は双方を画素電極ということができる。

[0533]

発光素子130Bは、絶縁層235上の導電層124Bと、導電層124B上の導電層126Bと、導電層126B上の層133Bと、層133B上の共通層114と、共通層114上の共通電極115と、を有する。図32Aに示す発光素子130Bは、青色の光（B）を発する。層133Bは、青色の光を発する発光層を有する。発光素子130Bにおいて、層133B、及び、共通層114をまとめてEL層ということができる。また、導電層124B及び導電層126Bのうち一方又は双方を画素電極ということができる。

[0534]

本明細書等では、発光素子が有するEL層のうち、発光素子ごとに島状に設けられた層を層133B、層133G、又は層133Rと示し、複数の発光素子が共有して有する層を共通層114と示す。なお、本明細書等において、共通層114を含めず、層133R、層133G、及び層133Bを指して、島状のEL層、島状に形成されたEL層等という場合もある。

[0535]

層133R、層133G、及び層133Bは、互いに離隔されている。EL層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流を抑制できる。これにより、クロストークに起因した意図しない発光を防ぐことができ、コントラストの極めて高い表示装置を実現できる。

[0536]

なお、図32Aでは、層133R、層133G、及び層133Bを全て同じ膜厚で示すが、これに限られない。層133R、層133G、及び層133Bのそれぞれの膜厚は異なってもよい。

[0537]

導電層 1 2 4 R は、絶縁層 1 0 6、絶縁層 1 0 9、及び絶縁層 2 3 5 に設けられた開口を介して、トランジスタ 2 0 5 R が有する導電層 1 1 2 b と電氣的に接続されている。同様に、導電層 1 2 4 G は、トランジスタ 2 0 5 G が有する導電層 1 1 2 b と電氣的に接続され、導電層 1 2 4 B は、トランジスタ 2 0 5 B が有する導電層 1 1 2 b と電氣的に接続されている。

[0538]

導電層 1 2 4 R、導電層 1 2 4 G、及び導電層 1 2 4 B は、絶縁層 2 3 5 に設けられた開口を覆うように形成される。導電層 1 2 4 R、導電層 1 2 4 G、及び導電層 1 2 4 B の凹部には、それぞれ、層 1 2 8 が埋め込まれている。

[0539]

層 1 2 8 は、導電層 1 2 4 R、導電層 1 2 4 G、及び導電層 1 2 4 B の凹部を平坦化する機能を有する。導電層 1 2 4 R、導電層 1 2 4 G、及び導電層 1 2 4 B 及び層 1 2 8 上には、導電層 1 2 4 R、導電層 1 2 4 G、及び導電層 1 2 4 B と電氣的に接続される導電層 1 2 6 R、導電層 1 2 6 G、及び導電層 1 2 6 B が設けられている。したがって、導電層 1 2 4 R、導電層 1 2 4 G、及び導電層 1 2 4 B の凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。導電層 1 2 4 R 及び導電層 1 2 6 R に反射電極として機能する導電層を用いることが好ましい。

[0540]

層 1 2 8 は、絶縁層であってもよく、導電層であってもよい。層 1 2 8 には、各種無機絶縁材料、有機絶縁材料、及び導電材料を適宜用いることができる。特に、層 1 2 8 は、絶縁材料を用いて形成されることが好ましく、有機絶縁材料を用いて形成されることが特に好ましい。層 1 2 8 には、例えば前述の絶縁層 2 3 7 に用いることができる有機絶縁材料を適用できる。

[0541]

図 3 2 A では、層 1 2 8 の上面が平坦部を有する例を示すが、層 1 2 8 の形状は、特に限定されない。層 1 2 8 の上面は、凸曲面、凹曲面、及び平面の少なくとも一つを有することができる。

[0542]

また、層 1 2 8 の上面の高さと、導電層 1 2 4 R の上面の高さと、は、一致又は概略一致していてもよく、互いに異なってもよい。例えば、層 1 2 8 の上面の高さは、導電層 1 2 4 R の上面の高さより低くてもよく、高くてもよい。

[0543]

導電層 1 2 6 R の端部は、導電層 1 2 4 R の端部と揃っていてもよく、導電層 1 2 4 R の端部の側面を覆っていてもよい。導電層 1 2 4 R 及び導電層 1 2 6 R のそれぞれの端部は、テーパ形状を有することが好ましい。具体的には、導電層 1 2 4 R 及び導電層 1 2 6 R のそれぞれの端部はテーパ角が 0 度より大きく 9 0 度未満のテーパ形状を有することが好ましい。画素電極の端部がテーパ形状を有する場合、画素電極の側面に沿って設けられる層 1 3 3 R は、傾斜部を有する。画素電極の側面をテーパ形状とすることで、画素電極の側面に沿って設けられる E L 層の被覆性を良好にすることができる。

[0544]

導電層 1 2 4 G、及び導電層 1 2 4 B については導電層 1 2 4 R と同様であり、導電層 1 2 6 G、及び導電層 1 2 6 B については導電層 1 2 6 R と同様であるため詳細な説明は省略する。

[0545]

導電層 1 2 6 R の上面及び側面は、層 1 3 3 R によって覆われている。同様に、導電層 1 2 6 G の

上面及び側面は、層 1 3 3 G によって覆われており、導電層 1 2 6 B の上面及び側面は、層 1 3 3 B によって覆われている。したがって、導電層 1 2 6 R、導電層 1 2 6 G、及び導電層 1 2 6 B が設けられている領域全体を、発光素子 1 3 0 R、発光素子 1 3 0 G、及び発光素子 1 3 0 B の発光領域として用いることができるため、画素の開口率を高めることができる。

[0546]

層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B それぞれの上面の一部及び側面は、絶縁層 1 2 5、及び絶縁層 1 2 7 によって覆われている。層 1 3 3 R、層 1 3 3 G、層 1 3 3 B、絶縁層 1 2 5、及び絶縁層 1 2 7 上に、共通層 1 1 4 が設けられ、共通層 1 1 4 上に共通電極 1 1 5 が設けられている。共通層 1 1 4 及び共通電極 1 1 5 は、それぞれ、複数の発光素子に共通して設けられるひと続きの膜である。

[0547]

図 3 2 A において、導電層 1 2 6 R と層 1 3 3 R との間には、例えば図 2 9 A に示す絶縁層 2 3 7 が設けられていない。つまり、表示装置 5 0 E には、画素電極に接し、かつ、画素電極の上面端部を覆う絶縁層（隔壁、バンク、又はスペーサ等ともいう）が設けられていない。そのため、隣り合う発光素子の間隔を極めて狭くできる。したがって、高精細、又は、高解像度の表示装置とすることができる。また、当該絶縁層を形成するためのマスクも不要となり、表示装置の作製コストを削減できる。

[0548]

前述の通り、層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B は、それぞれ、発光層を有する。層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B は、それぞれ、発光層と、発光層上のキャリア輸送層（電子輸送層又は正孔輸送層）と、を有することが好ましい。又は、層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B は、それぞれ、発光層と、発光層上のキャリアブロック層（正孔ブロック層又は電子ブロック層）と、を有することが好ましい。又は、層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B は、それぞれ、発光層と、発光層上のキャリアブロック層と、キャリアブロック層上のキャリア輸送層と、を有することが好ましい。層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B の表面は、表示装置の作製工程中に露出するため、キャリア輸送層及びキャリアブロック層の一方又は双方を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減できる。これにより、発光素子の信頼性を高めることができる。

[0549]

共通層 1 1 4 は、例えば電子注入層、又は正孔注入層を有する。又は、共通層 1 1 4 は、電子輸送層と電子注入層とを積層して有してもよく、正孔輸送層と正孔注入層とを積層して有してもよい。共通層 1 1 4 は、発光素子 1 3 0 R、発光素子 1 3 0 G、及び発光素子 1 3 0 B で共有されている。

[0550]

層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B のそれぞれの側面は、絶縁層 1 2 5 によって覆われている。絶縁層 1 2 7 は、絶縁層 1 2 5 を介して、層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B のそれぞれの側面を覆っている。

[0551]

層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B の側面（さらには、上面の一部）が、絶縁層 1 2 5 及び絶縁層 1 2 7 の少なくとも一方によって覆われていることで、共通層 1 1 4 （又は共通電極 1 1 5）が、画素電極、及び、層 1 3 3 R、層 1 3 3 G、及び層 1 3 3 B の側面と接することを抑制し、発

光素子のショートを抑制できる。これにより、発光素子の信頼性を高めることができる。

[0552]

絶縁層125は、層133R、層133G、及び層133Bのそれぞれの側面と接することが好ましい。絶縁層125が層133R、層133G、及び層133Bと接する構成とすることで、層133R、層133G、及び層133Bの膜剥がれを防止でき、発光素子の信頼性を高めることができる。

[0553]

絶縁層127は、絶縁層125の凹部を充填するように、絶縁層125上に設けられる。絶縁層127は、絶縁層125の側面の少なくとも一部を覆うことが好ましい。

[0554]

絶縁層125及び絶縁層127を設けることで、隣り合う島状の層の間を埋めることができるため、島状の層上に設ける層（例えばキャリア注入層、及び共通電極等）の被形成面の高低差の大きな凹凸を低減し、より平坦にできる。したがって、キャリア注入層及び共通電極等の被覆性を高めることができる。

[0555]

共通層114及び共通電極115は、層133R、層133G、層133B、絶縁層125、及び絶縁層127上に設けられる。絶縁層125及び絶縁層127を設ける前の段階では、画素電極及び島状のEL層が設けられる領域と、画素電極及び島状のEL層が設けられない領域（発光素子間の領域）と、に起因する段差が生じている。本発明の一態様の表示装置は、絶縁層125及び絶縁層127を有することで当該段差を平坦化させることができ、共通層114及び共通電極115の被覆性を向上させることができる。したがって、段切れによる接続不良を抑制できる。また、段差によって共通電極115が局所的に薄膜化して電気抵抗が上昇することを抑制できる。

[0556]

絶縁層127の上面はより平坦性の高い形状を有することが好ましい。絶縁層127の上面は、平面、凸曲面、及び、凹曲面のうち、少なくとも一つを有してもよい。例えば、絶縁層127の上面は、曲率半径の大きい凸曲面形状を有することが好ましい。

[0557]

絶縁層125は、無機材料を有する絶縁層とすることができる。絶縁層125には、例えば、酸化絶縁膜、及び窒化絶縁膜等の無機絶縁膜を用いることができる。これらの無機絶縁膜の具体例は、前述の通りである。絶縁層125は単層構造であってもよく積層構造であってもよい。特に、酸化アルミニウムは、エッチングにおいて、EL層との選択比が高く、後述する絶縁層127の形成において、EL層を保護する機能を有するため、好ましい。特にALD法により形成した酸化アルミニウム膜、酸化ハフニウム膜、又は酸化シリコン膜等の無機絶縁膜を絶縁層125に適用することで、ピンホールが少なく、EL層を保護する機能に優れた絶縁層125を形成できる。また、絶縁層125は、ALD法により形成した膜と、スパッタリング法により形成した膜と、の積層構造としてもよい。絶縁層125は、例えば、ALD法によって形成された酸化アルミニウム膜と、スパッタリング法によって形成された窒化シリコン膜と、の積層構造であってもよい。

[0558]

絶縁層125は、水及び酸素の少なくとも一方に対するバリア絶縁層としての機能を有することが好ましい。絶縁層125は、水及び酸素の少なくとも一方の拡散を抑制する機能を有することが好

ましい。また、絶縁層 125 は、水及び酸素の少なくとも一方を捕獲、又は固着する（ゲッタリングともいう）機能を有することが好ましい。

[0559]

絶縁層 125 が、バリア絶縁層としての機能を有することで、外部から各発光素子に拡散しうる不純物（代表的には、水及び酸素の少なくとも一方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光素子、さらには、信頼性の高い表示装置を実現できる。

[0560]

また、絶縁層 125 は、不純物濃度が低いことが好ましい。これにより、絶縁層 125 から EL 層に不純物が混入し、EL 層が劣化することを抑制できる。また、絶縁層 125 において、不純物濃度を低くすることで、水及び酸素の少なくとも一方に対するバリア性を高めることができる。例えば、絶縁層 125 は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0561]

絶縁層 125 上に設けられる絶縁層 127 は、隣接する発光素子間に形成された絶縁層 125 の高低差の大きな凹凸を平坦化する機能を有する。言い換えると、絶縁層 127 を有することで共通電極 115 を形成する面の平坦性を向上させる効果を奏する。

[0562]

絶縁層 127 としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いることが好ましい。なお、本明細書等において、アクリル樹脂とは、ポリメタクリル酸エステル、又はメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0563]

また、絶縁層 127 として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等を用いてもよい。また、絶縁層 127 として、ポリビニルアルコール（PVA）、ポリビニルブチラル、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、又はアルコール可溶性のポリアミド樹脂等の有機材料を用いてもよい。また、感光性の樹脂としてはフォトレジストを用いてもよい。感光性の樹脂として、ポジ型の材料及びネガ型の材料のどちらを用いてもよい。

[0564]

絶縁層 127 には可視光を吸収する材料を用いてもよい。絶縁層 127 が発光素子からの発光を吸収することで、発光素子から絶縁層 127 を介して隣接する発光素子に光が漏れること（迷光）を抑制できる。これにより、表示装置の表示品位を高めることができる。また、表示装置に偏光板を用いなくても、表示品位を高めることができるため、表示装置の軽量化及び薄型化を図ることができる。

[0565]

可視光を吸収する材料としては、黒色等の顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えばポリイミド）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、2色、又は3色以上のカラーフィルタ材料を積層又は混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に3色以上のカラーフィルタ材料を混合させることで、黒色又は黒色近傍の樹脂層とすることが可能となる。

[0566]

[表示装置50F]

図32Bに、表示装置50Fの表示部162の断面の一例を示す。表示装置50Fは、各色の副画素に、層133を有する発光素子と、着色層と、が用いられている点で、表示装置50Eと主に異なる。図32Bに示す構成は、図32Aに示す、FPC172を含む領域、回路部164、表示部162の基板102から絶縁層235までの積層構造、接続部140、及び、端部の構成と、組み合わせることができる。

[0567]

図32Bに示す表示装置50Fは、発光素子130R、発光素子130G、及び発光素子130B、赤色の光を透過する着色層132R、緑色の光を透過する着色層132G、及び、青色の光を透過する着色層132B等を有する。

[0568]

発光素子130Rの発光は、着色層132Rを介して表示装置50Fの外部に赤色の光として取り出される。同様に、発光素子130Gの発光は、着色層132Gを介して表示装置50Fの外部に緑色の光として取り出される。発光素子130Bの発光は、着色層132Bを介して表示装置50Fの外部に青色の光として取り出される。

[0569]

発光素子130R、発光素子130G、及び発光素子130Bは、それぞれ、層133を有する。これら3つの層133は、同一の材料、及び同一の工程で形成される。また、これら3つの層133は、互いに離隔されている。EL層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流を抑制できる。これにより、クロストークに起因した意図しない発光を防ぐことができ、コントラストの極めて高い表示装置を実現できる。

[0570]

例えば、図32Bに示す発光素子130R、発光素子130G、及び発光素子130Bは、白色の光を発する。発光素子130R、発光素子130G、及び発光素子130Bが発する白色の光が、着色層132R、着色層132G、及び着色層132Bを透過することで、所望の色の光を得ることができる。

[0571]

又は、例えば、図32Bに示す発光素子130R、発光素子130G、及び発光素子130Bは、青色の光を発する。このとき、層133は、青色の光を発する発光層を1層以上有する。青色の光を呈する副画素11Bにおいては、発光素子130Bが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素11R及び緑色の光を呈する副画素11Gにおいては、発光素子130R又は発光素子130Gと、基板152との間に、色変換層を設けることで、発光素子130R又は発光素子130Gが発する青色の光をより長波長の光に変換し、赤色又は緑色の光を取り出すことができる。さらに、発光素子130R上には、色変換層と基板152との間に着色層132Rを設け、発光素子130G上には、色変換層と基板152との間に着色層132Gを設けることが好ましい。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

[0572]

[表示装置50G]

図 3 3 に示す表示装置 5 0 G は、ボトムエミッション型の表示装置である点で、表示装置 5 0 F と主に相違する。

[0 5 7 3]

発光素子が発する光は、基板 1 0 2 側に射出される。基板 1 0 2 には、可視光に対する透過性が高い材料を用いることが好ましい。一方、基板 1 5 2 に用いる材料の透光性は問わない。

[0 5 7 4]

基板 1 0 2 とトランジスタとの間には、遮光層 1 1 7 を形成することが好ましい。図 3 3 では、基板 1 0 2 上に遮光層 1 1 7 が設けられ、遮光層 1 1 7 上に絶縁層 1 5 3 が設けられ、絶縁層 1 5 3 上に絶縁層 1 0 1 が設けられている例を示す。また、絶縁層 1 0 9 上に、着色層 1 3 2 R、着色層 1 3 2 G、及び着色層 1 3 2 B が設けられ、着色層 1 3 2 R、着色層 1 3 2 G、及び着色層 1 3 2 B 上に絶縁層 2 3 5 が設けられている。

[0 5 7 5]

着色層 1 3 2 R と重なる発光素子 1 3 0 R は、導電層 1 2 4 R と、導電層 1 2 6 R と、層 1 3 3 と、共通層 1 1 4 と、共通電極 1 1 5 と、を有する。

[0 5 7 6]

着色層 1 3 2 G と重なる発光素子 1 3 0 G は、導電層 1 2 4 G と、導電層 1 2 6 G と、層 1 3 3 と、共通層 1 1 4 と、共通電極 1 1 5 と、を有する。

[0 5 7 7]

着色層 1 3 2 B と重なる発光素子 1 3 0 B は、導電層 1 2 4 B と、導電層 1 2 6 B と、層 1 3 3 と、共通層 1 1 4 と、共通電極 1 1 5 と、を有する。

[0 5 7 8]

導電層 1 2 4 R、導電層 1 2 4 G、導電層 1 2 4 B、導電層 1 2 6 R、導電層 1 2 6 G、及び導電層 1 2 6 B には、それぞれ、可視光に対する透過性が高い材料を用いる。共通電極 1 1 5 には可視光を反射する材料を用いることが好ましい。ボトムエミッション型の表示装置では、共通電極 1 1 5 に例えば電気抵抗の低い金属を用いることができるため、共通電極 1 1 5 の抵抗に起因する電圧降下が生じることを抑制でき、高い表示品位を実現できる。

[0 5 7 9]

本発明の一態様のトランジスタは微細化が可能であり、占有面積を小さくできるため、ボトムエミッション構造の表示装置において、画素の開口率を高めること、又は、画素のサイズを小さくできる。

[0 5 8 0]

[表示装置 5 0 H]

図 3 4 に示す表示装置 5 0 H は、VA モードの液晶表示装置である。図 3 4 には、表示部 1 6 2 に設けられるトランジスタとして、トランジスタ 2 0 5 R、及びトランジスタ 2 0 5 G を示している。

[0 5 8 1]

表示装置 5 0 H には、液晶素子 6 0 が設けられる。液晶素子 6 0 は、導電層 1 1 2 b と、導電層 2 6 3 と、これらの間に挟持される液晶 2 6 2 とを有する。導電層 1 1 2 b は、液晶素子 6 0 の画素電極として機能する。導電層 2 6 3 は、液晶素子 6 0 の共通電極として機能する。

[0 5 8 2]

基板 1 0 2 と基板 1 5 2 とは、接着層 1 4 4 によって貼り合わされている。また、基板 1 0 2、基

板 1 5 2、及び接着層 1 4 4 に囲まれた領域に、液晶 2 6 2 が封止されている。

[0 5 8 3]

絶縁層 1 0 9 と導電層 2 6 3 の間には、絶縁層 2 2 4 を設けることができる。絶縁層 2 2 4 は、スペーサとして機能し、例えば液晶 2 6 2 は絶縁層 2 2 4 と重ならない構成とすることができる。絶縁層 2 2 4 は、基板 1 0 2 と基板 1 5 2 の間の距離を制御し、液晶 2 6 2 の厚さを制御する機能を有する。絶縁層 2 2 4 は、例えばトランジスタと重ねて設けることにより、絶縁層 2 2 4 に起因する開口率の低下を抑制でき好ましい。

[0 5 8 4]

基板 1 5 2 側には、着色層 1 3 2 R、着色層 1 3 2 G、遮光層 1 1 7、絶縁層 2 2 5、及び導電層 2 6 3 等が設けられている。

[0 5 8 5]

基板 1 5 2 の外側（液晶 2 6 2 とは反対側）の面には偏光板 2 6 0 a が位置し、基板 1 0 2 の外側（液晶 2 6 2 とは反対側）の面には、偏光板 2 6 0 b が位置している。また、図示しないが、偏光板 2 6 0 a よりも外側（液晶 2 6 2 とは反対側）、又は偏光板 2 6 0 b よりも外側（液晶 2 6 2 とは反対側）に、バックライトを設けることができる。

[0 5 8 6]

表示装置 5 0 H の表示部 1 6 2 に設けられる副画素は、トランジスタと、液晶素子 6 0 と、着色層と、を有する。例えば、赤色の光を呈する副画素は、トランジスタ 2 0 5 R と、液晶素子 6 0 と、赤色の光を透過する着色層 1 3 2 R と、を有する。また、緑色の光を呈する副画素は、トランジスタ 2 0 5 G と、液晶素子 6 0 と、緑色の光を透過する着色層 1 3 2 G と、を有する。図示しないが、青色の光を呈する副画素は、同様に、トランジスタと、液晶素子 6 0 と、青色の光を透過する着色層と、を有する。

[0 5 8 7]

また、絶縁層 1 0 1 上には、導電層 1 1 2 a と同一の材料、及び同一の工程で形成できる導電層 2 6 4 が設けられている。導電層 2 6 4 は、絶縁層 1 1 0 を介して導電層 1 1 2 b と重なる部分を有する。導電層 1 1 2 b と導電層 2 6 4 と、これらの間の絶縁層 1 1 0 により、保持容量が形成されている。なお、導電層 1 1 2 b と導電層 2 6 4 との間には絶縁層が 1 層以上あればよい。例えば、導電層 1 1 2 b と導電層 2 6 4 との間の領域において、絶縁層 1 1 0 a 乃至絶縁層 1 1 0 d のうち、いずれか 1 層、2 層、又は 3 層が除去されていてもよい。

[0 5 8 8]

また、基板 1 5 2 側において、着色層 1 3 2 R、着色層 1 3 2 G、及び遮光層 1 1 7 を覆って絶縁層 2 2 5 が設けられている。絶縁層 2 2 5 は、平坦化膜としての機能を有していてもよい。絶縁層 2 2 5 により、導電層 2 6 3 の表面を概略平坦にできるため、液晶 2 6 2 の配向状態を均一にできる。

[0 5 8 9]

なお、導電層 2 6 3、及び絶縁層 1 0 9 等における液晶 2 6 2 と接する面には、液晶 2 6 2 の配向を制御するための配向層が設けられていてもよい（図 3 6 A 及び図 3 6 B における配向層 2 6 5 を参照）。

[0 5 9 0]

導電層 1 1 2 b 及び導電層 2 6 3 は可視光を透過する。つまり、表示装置 5 0 H は、透過型の液晶

表示装置とすることができる。例えばバックライトを基板 1 5 2 側に配置した場合、偏光板 2 6 0 a により偏光されたバックライトからの光は、基板 1 5 2、導電層 2 6 3、液晶 2 6 2、導電層 1 1 2 b、及び基板 1 0 2 を透過し偏光板 2 6 0 b に達する。このとき、導電層 1 1 2 b と導電層 2 6 3 の間に供給される電圧によって液晶 2 6 2 の配向を制御し、光の光学変調を制御できる。すなわち、偏光板 2 6 0 b を介して射出される光の強度を制御できる。また入射される光は着色層によって特定の波長領域以外の光が吸収されることにより、取り出される光は特定の色を呈する光となる。例えば、着色層 1 3 2 R を透過した光は、赤色を呈する光とすることができる。また、例えば着色層 1 3 2 G を透過した光は、緑色を呈する光とすることができる。

[0591]

ここで、偏光板 2 6 0 b として直線偏光板を用いてもよいが、円偏光板を用いることもできる。円偏光板としては、例えば直線偏光板と 1 / 4 波長位相差板を積層したものを用いることができる。偏光板 2 6 0 b に円偏光板を用いることで、外光反射を抑制できる。

[0592]

なお、偏光板 2 6 0 b として円偏光板を用いた場合、偏光板 2 6 0 a にも円偏光板を用いてもよいし、通常の直線偏光板を用いることもできる。偏光板 2 6 0 a、及び偏光板 2 6 0 b に適用する偏光板の種類に応じて、液晶素子 6 0 に用いる液晶素子のセルギャップ、配向、及び駆動電圧等を調整することで、所望のコントラストが実現されるようにすればよい。

[0593]

導電層 2 6 3 は、接続部 1 4 0 において、基板 1 0 2 側に設けられた導電層 1 6 6 b と接続体 2 2 3 により電氣的に接続されている。導電層 1 6 6 b は、絶縁層 1 1 0 に設けられた開口を介して、導電層 1 6 5 b と電氣的に接続されている。これにより、基板 1 0 2 側に配置される F P C 又は I C (図示せず) から導電層 2 6 3 に電位又は信号を供給できる。図 3 4 に示す構成では、導電層 1 6 5 b は、導電層 1 1 2 a と同一の材料、及び同一の工程で形成する例を示し、導電層 1 6 6 b は、導電層 1 1 2 b と同一の材料、及び同一の工程で形成する例を示す。

[0594]

接続体 2 2 3 としては、例えば導電性の粒子を用いることができる。導電性の粒子としては、樹脂又はシリカ等の粒子の表面を金属材料で被覆したものを用いることができる。金属材料としてニッケル又は金を用いると接触抵抗を低減できるため好ましい。またニッケルをさらに金で被覆する等、2 種類以上の金属材料を層状に被覆させた粒子を用いることが好ましい。また接続体 2 2 3 として弾性変形、又は塑性変形する材料を用いることが好ましい。このとき導電性の粒子は上下方向に潰れた形状となる場合がある。こうすることで接続体 2 2 3 と、これと電氣的に接続する導電層との接触面積が増大し、接触抵抗が低減できるほか、接続不良等の不具合の発生を抑制できる。接続体 2 2 3 は接着層 1 4 4 に覆われるように配置することが好ましい。例えば、硬化前の接着層 1 4 4 に接続体 2 2 3 を分散させることが好ましい。

[0595]

基板 1 0 2 の端部に近い領域には、接続部 2 0 4 が設けられている。接続部 2 0 4 では、導電層 1 6 6 a が接続層 2 4 2 を介して F P C 1 7 2 と電氣的に接続されている。導電層 1 6 6 a は、絶縁層 1 1 0 に設けられた開口を介して、導電層 1 6 5 a と電氣的に接続されている。図 3 4 に示す構成では、導電層 1 6 5 a は、導電層 1 1 2 a と同一の材料、及び同一の工程で形成する例を示し、導電層 1 6 6 a は、導電層 1 1 2 b と同一の材料、及び同一の工程で形成する例を示す。

[0596]

[表示装置50I]

図35に示す表示装置50Iは、FFSモードの液晶表示装置である。表示装置50Iは、主に、液晶素子60の構成が表示装置50Hとは異なる。

[0597]

表示装置50Iでは、絶縁層110上に、液晶素子60の共通電極として機能する導電層263が設けられ、導電層263上に、絶縁層261が設けられている。また、絶縁層261上に、トランジスタのソース電極又はドレイン電極の他方としての機能と、液晶素子60の画素電極としての機能と、を有する導電層112bが設けられている。導電層112b上には、絶縁層109が設けられている。

[0598]

導電層112bは、平面視において櫛歯状の形状、又はスリットが設けられた形状を有する。また、導電層263は導電層112bと重なる領域を有するように配置されている。また着色層と重なる領域において、導電層263上に導電層112bが配置されていない部分を有する。

[0599]

導電層112bと導電層263とが絶縁層261を介して積層されることで、容量が形成される。そのため容量素子を別途形成する必要がなく、画素の開口率を高めることができる。

[0600]

なお、液晶素子60において、導電層112bと導電層263の双方を、櫛歯状の上面形状としてもよい。一方で、表示装置50Iに示すように、液晶素子60において、導電層112bと導電層263のうち、一方のみを櫛歯状の上面形状とすることで、導電層112bと導電層263とが部分的に重なる構成となる。これにより、導電層112bと導電層263との間の容量を保持容量として用いることができ、容量素子を別途設ける必要がなく、表示装置の開口率を高めることができる。

[0601]

[表示装置50J]

図36Aに示す表示装置50Jでは、絶縁層110bの液晶素子60と重なる部分が例えばエッチングにより除去されている。表示装置50Jが有する液晶素子60は、導電層112c、絶縁層110a、絶縁層110c、絶縁層110d、及び導電層112bがこの順で積層された部分を有する。液晶素子60と絶縁層110bとを重ねないことにより、光透過率を高められるだけでなく、光源からの光の経路上に位置する界面の数を減らすことができるため、界面反射及び界面散乱の影響が抑制できる。

[0602]

図36Aでは、絶縁層109、絶縁層224、及び絶縁層225等における液晶262側の面に、配向層265が設けられる例を示している。配向層265は、液晶262の配向を制御する機能を有する。

[0603]

表示装置50Jにおいて、導電層112bは、液晶素子60の画素電極として機能する。導電層112cは、液晶素子60の共通電極として機能する。導電層112cは、導電層112aと同一の材料、及び同一の工程で形成できる。

[0604]

なお、絶縁層106及び絶縁層109のいずれか一方、又は双方は、液晶素子60と重なる部分が例えばエッチングにより除去されていてもよい。又は、絶縁層109は設けなくてもよい。これにより、導電層112b及び導電層112cの電界が液晶262に伝わりやすくなるため、液晶素子60の高速動作が可能となる。さらに、液晶素子60と重なる部分における光透過率が高まるだけでなく、界面反射及び界面散乱の影響を抑制できる。また、絶縁層110a、絶縁層110c、及び絶縁層110dのうち1層又は2層は、液晶素子60と重なる部分が例えばエッチングにより除去されていてもよい。これによっても、導電層112b及び導電層112cの電界が液晶262に伝わりやすくなる。さらに導電層112b及び導電層112cとの間の容量を大きくできる場合がある。

[0605]

液晶素子60において、導電層112bと導電層112cの双方を、櫛歯状の上面形状としてもよい。一方で、表示装置50Jに示すように、液晶素子60において、導電層112bと導電層112cのうち、一方のみを櫛歯状の上面形状とすることで、導電層112bと導電層112cが部分的に重なる構成となる。これにより、導電層112bと導電層112cとの間の容量を保持容量として用いることができ、容量素子を別途設ける必要がなく、表示装置の開口率を高めることができる。

[0606]

[表示装置50K]

図36Bに示す表示装置50Kは、画素電極が共通電極上に設けられている点で、表示装置50Iと異なる。表示装置50Kにおいて、導電層112bは、液晶素子60の画素電極として機能する。当該導電層112b上に、絶縁層106、及び絶縁層109が設けられており、絶縁層109上に導電層263が設けられている。導電層263は、液晶素子60において共通電極として機能する。導電層263は、平面視において、櫛歯状又はスリットが設けられた形状を有する。

[0607]

本実施の形態は、他の実施の形態、又は実施例と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0608]

(実施の形態3)

本実施の形態では、本発明の一態様の電子機器について説明する。

[0609]

本実施の形態の電子機器は、表示部に本発明の一態様の表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易であり、またフレーム周波数が高い。したがって、様々な電子機器の表示部に用いることができる。

[0610]

また、本発明の一態様の半導体装置は、電子機器の表示部以外に適用することもできる。例えば、電子機器の制御部に、本発明の一態様の半導体装置を用いることで、高速化、及び低消費電力化が可能となり好ましい。

[0611]

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用等のモニタ、デジタルサイネージ、パチンコ機等の大型ゲーム機等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、等が挙げられる。

[0612]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイ等のVR向け機器、メガネ型のAR向け機器、及び、MR向け機器等、頭部に装着可能なウェアラブル機器等が挙げられる。

[0613]

本発明の一態様の表示装置は、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）、8K（画素数7680×4320）といった極めて高い解像度を有していることが好ましい。特に4K、8K、又はそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、100ppi以上が好ましく、300ppi以上が好ましく、500ppi以上がより好ましく、1000ppi以上がより好ましく、2000ppi以上がより好ましく、3000ppi以上がより好ましく、5000ppi以上がより好ましく、7000ppi以上がさらに好ましい。このように高い解像度及び高い精細度の一方又は双方を有する表示装置を用いることで、臨場感及び奥行き感等をより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、1:1（正方形）、4:3、16:9、及び16:10等様々な画面比率に対応できる。

[0614]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を検知、検出、又は測定する機能を含むもの）を有してもよい。

[0615]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、及びテキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0616]

図37A乃至図37Dを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ARのコンテンツを表示する機能、VRのコンテンツを表示する機能、SRのコンテンツを表示する機能、MRのコンテンツを表示する機能のうち少なくとも一つを有する。電子機器が、AR、VR、SR、及びMR等の少なくとも一つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

[0617]

図37Aに示す電子機器700A、及び図37Bに示す電子機器700Bは、それぞれ、一対の表

示パネル 7 5 1 と、一対の筐体 7 2 1 と、通信部（図示しない）と、一対の装着部 7 2 3 と、制御部（図示しない）と、撮像部（図示しない）と、一対の光学部材 7 5 3 と、フレーム 7 5 7 と、一対の鼻パッド 7 5 8 と、を有する。

[0 6 1 8]

表示パネル 7 5 1 には、本発明の一態様の表示装置を適用できる。したがって、電子機器 7 0 0 A、及び電子機器 7 0 0 B は、極めて精細度の高い表示が可能であり、且つフレーム周波数が高い電子機器とすることができる。

[0 6 1 9]

電子機器 7 0 0 A、及び、電子機器 7 0 0 B は、それぞれ、光学部材 7 5 3 の表示領域 7 5 6 に、表示パネル 7 5 1 で表示した画像を投影できる。光学部材 7 5 3 は透光性を有するため、使用者は光学部材 7 5 3 を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器 7 0 0 A、及び、電子機器 7 0 0 B は、それぞれ、AR 表示が可能な電子機器である。

[0 6 2 0]

電子機器 7 0 0 A、及び、電子機器 7 0 0 B には、撮像部として、前方を撮像することのできるカメラが設けられてもよい。また、電子機器 7 0 0 A、及び、電子機器 7 0 0 B は、それぞれ、ジャイロセンサ等の加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域 7 5 6 に表示することもできる。

[0 6 2 1]

通信部は無線通信機を有し、当該無線通信機により例えば映像信号を供給できる。なお、無線通信機に代えて、又は無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えてもよい。

[0 6 2 2]

電子機器 7 0 0 A、及び、電子機器 7 0 0 B には、バッテリーが設けられており、無線及び有線の一方又は双方によって充電できる。

[0 6 2 3]

筐体 7 2 1 には、タッチセンサモジュールが設けられてもよい。タッチセンサモジュールは、筐体 7 2 1 の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作又はスライド操作等を検出し、様々な処理を実行できる。例えば、タップ操作によって動画の一時停止又は再開等の処理を実行することが可能となり、スライド操作により、早送り又は早戻しの処理を実行すること等が可能となる。また、2つの筐体 7 2 1 のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

[0 6 2 4]

タッチセンサモジュールとしては、様々なタッチセンサを適用できる。例えば、静電容量方式、抵抗膜方式、赤外線方式、電磁誘導方式、表面弾性波方式、又は光学方式等、種々の方式を採用できる。特に、静電容量方式又は光学方式のセンサを、タッチセンサモジュールに適用することが好ましい。

[0 6 2 5]

光学方式のタッチセンサを用いる場合には、受光素子として、光電変換素子を用いることができる。光電変換素子の活性層には、無機半導体及び有機半導体の一方又は双方を用いることができる。

[0626]

図37Cに示す電子機器800A、及び図37Dに示す電子機器800Bは、それぞれ、一对の表示部820と、筐体821と、通信部822と、一对の装着部823と、制御部824と、一对の撮像部825と、一对のレンズ832と、を有する。

[0627]

表示部820には、本発明の一態様の表示装置を適用できる。したがって、電子機器800A、及び電子機器800Bは、極めて精細度の高い表示が可能であり、且つフレーム周波数が高い電子機器とすることができる。これにより、使用者に高い没入感を感じさせることができる。

[0628]

表示部820は、筐体821の内部の、レンズ832を通して視認できる位置に設けられる。また、一对の表示部820に異なる画像を表示させることで、視差を用いた3次元表示を行うこともできる。

[0629]

電子機器800A、及び、電子機器800Bは、それぞれ、VR向けの電子機器ということができる。電子機器800A又は電子機器800Bを装着した使用者は、レンズ832を通して、表示部820に表示される画像を視認できる。

[0630]

電子機器800A、及び、電子機器800Bは、それぞれ、レンズ832及び表示部820が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ832と表示部820との距離を変えることで、ピントを調整する機構を有していることが好ましい。

[0631]

装着部823により、使用者は電子機器800A又は電子機器800Bを頭部に装着できる。なお、例えば図37Cにおいては、メガネのつる（テンプルともいう）のような形状として例示しているがこれに限定されない。装着部823は、使用者が装着できればよく、例えば、ヘルメット型又はバンド型の形状としてもよい。

[0632]

撮像部825は、外部の情報を取得する機能を有する。撮像部825が取得したデータは、表示部820に出力できる。撮像部825には、イメージセンサを用いることができる。また、望遠、及び広角等の複数の画角に対応可能なように複数のカメラを設けてもよい。

[0633]

なお、ここでは撮像部825を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部ともいう）を設ければよい。すなわち、撮像部825は、検知部の一態様である。検知部としては、例えばイメージセンサ、又は、ライダー（L I D A R : L i g h t D e t e c t i o n a n d R a n g i n g）等の距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

[0634]

電子機器800Aは、骨伝導イヤフォンとして機能する振動機構を有してもよい。例えば、表示部820、筐体821、及び装着部823のいずれか一又は複数に、当該振動機構を有する構成を適

用できる。これにより、別途、ヘッドフォン、イヤフォン、又はスピーカ等の音響機器を必要とせず、電子機器 800A を装着しただけで映像と音声を楽しむことができる。

[0635]

電子機器 800A、及び、電子機器 800B は、それぞれ、入力端子を有してもよい。入力端子には例えば映像出力機器からの映像信号、及び電子機器内に設けられるバッテリーを充電するための電力等を供給するケーブルを接続できる。

[0636]

本発明の一態様の電子機器は、イヤフォン 750 と無線通信を行う機能を有してもよい。イヤフォン 750 は、通信部（図示しない）を有し、無線通信機能を有する。イヤフォン 750 は、無線通信機能により、電子機器から情報（例えば音声データ）を受信できる。例えば、図 37A に示す電子機器 700A は、無線通信機能によって、イヤフォン 750 に情報を送信する機能を有する。また、例えば、図 37C に示す電子機器 800A は、無線通信機能によって、イヤフォン 750 に情報を送信する機能を有する。

[0637]

電子機器がイヤフォン部を有してもよい。図 37B に示す電子機器 700B は、イヤフォン部 727 を有する。例えば、イヤフォン部 727 と制御部とは、互いに有線接続されている構成とすることができる。イヤフォン部 727 と制御部とをつなぐ配線の一部は、筐体 721 又は装着部 723 の内部に配置されてもよい。

[0638]

同様に、図 37D に示す電子機器 800B は、イヤフォン部 827 を有する。例えば、イヤフォン部 827 と制御部 824 とは、互いに有線接続されている構成とすることができる。イヤフォン部 827 と制御部 824 とをつなぐ配線の一部は、筐体 821 又は装着部 823 の内部に配置されてもよい。また、イヤフォン部 827 と装着部 823 とがマグネットを有してもよい。これにより、イヤフォン部 827 を装着部 823 に磁力によって固定でき、収納が容易となり好ましい。

[0639]

なお、電子機器は、イヤフォン又はヘッドフォン等を接続できる音声出力端子を有してもよい。また、電子機器は、音声入力端子及び音声入力機構の一方又は双方を有してもよい。音声入力機構としては、例えば、マイク等の集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

[0640]

このように、本発明の一態様の電子機器としては、メガネ型（電子機器 700A、及び、電子機器 700B 等）と、ゴーグル型（電子機器 800A、及び、電子機器 800B 等）と、のどちらも好適である。

[0641]

本発明の一態様の電子機器は、有線又は無線によって、イヤフォンに情報を送信できる。

[0642]

図 38A に示す電子機器 6500 は、スマートフォンとして用いることのできる携帯情報端末機である。

[0643]

電子機器 6500 は、筐体 6501、表示部 6502、電源ボタン 6503、ボタン 6504、ス

ピーカ 6 5 0 5、マイク 6 5 0 6、カメラ 6 5 0 7、及び光源 6 5 0 8等を有する。表示部 6 5 0 2はタッチパネル機能を備える。

[0 6 4 4]

表示部 6 5 0 2に、本発明の一態様の表示装置を適用できる。したがって、電子機器 6 5 0 0は、極めて精細度の高い表示が可能であり、且つフレーム周波数が高い電子機器とすることができる。

[0 6 4 5]

図 3 8 Bは、筐体 6 5 0 1のマイク 6 5 0 6側の端部を含む断面概略図である。

[0 6 4 6]

筐体 6 5 0 1の表示面側には透光性を有する保護部材 6 5 1 0が設けられ、筐体 6 5 0 1と保護部材 6 5 1 0に囲まれた空間内に、表示パネル 6 5 1 1、光学部材 6 5 1 2、タッチセンサパネル 6 5 1 3、プリント基板 6 5 1 7、及びバッテリー 6 5 1 8等が配置されている。

[0 6 4 7]

保護部材 6 5 1 0には、表示パネル 6 5 1 1、光学部材 6 5 1 2、及びタッチセンサパネル 6 5 1 3が接着層（図示しない）により固定されている。

[0 6 4 8]

表示部 6 5 0 2よりも外側の領域において、表示パネル 6 5 1 1の一部が折り返されており、当該折り返された部分に F P C 6 5 1 5が接続されている。F P C 6 5 1 5には、I C 6 5 1 6が実装されている。F P C 6 5 1 5は、プリント基板 6 5 1 7に設けられた端子に接続されている。

[0 6 4 9]

表示パネル 6 5 1 1には本発明の一態様のフレキシブルディスプレイを適用できる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル 6 5 1 1が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー 6 5 1 8を搭載することもできる。また、表示パネル 6 5 1 1の一部を折り返して、画素部の裏側に F P C 6 5 1 5との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0 6 5 0]

図 3 8 Cにテレビジョン装置の一例を示す。テレビジョン装置 7 1 0 0は、筐体 7 1 0 1に表示部 7 0 0 0が組み込まれている。ここでは、スタンド 7 1 0 3により筐体 7 1 0 1を支持した構成を示している。

[0 6 5 1]

表示部 7 0 0 0に、本発明の一態様の表示装置を適用できる。したがって、テレビジョン装置 7 1 0 0は、極めて精細度の高い表示が可能であり、且つフレーム周波数が高い電子機器とすることができる。

[0 6 5 2]

図 3 8 Cに示すテレビジョン装置 7 1 0 0の操作は、筐体 7 1 0 1が備える操作スイッチ、及び、別体のリモコン操作機 7 1 1 1により行うことができる。又は、表示部 7 0 0 0にタッチセンサを備えてもよく、指等で表示部 7 0 0 0に触れることでテレビジョン装置 7 1 0 0を操作してもよい。リモコン操作機 7 1 1 1は、当該リモコン操作機 7 1 1 1から出力する情報を表示する表示部を有してもよい。リモコン操作機 7 1 1 1が備える操作キー又はタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部 7 0 0 0に表示される映像を操作できる。

[0 6 5 3]

なお、テレビジョン装置 7100 は、受信機及びモデム等を備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間等）の情報通信を行うことも可能である。

[0654]

図 38D に、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ 7200 は、筐体 7211、キーボード 7212、ポインティングデバイス 7213、及び外部接続ポート 7214 等を有する。筐体 7211 に、表示部 7000 が組み込まれている。

[0655]

表示部 7000 に、本発明の一態様の表示装置を適用できる。したがって、ノート型パーソナルコンピュータ 7200 は、極めて精細度の高い表示が可能であり、且つフレーム周波数が高い電子機器とすることができる。

[0656]

図 38E 及び図 38F に、デジタルサイネージの一例を示す。

[0657]

図 38E に示すデジタルサイネージ 7300 は、筐体 7301、表示部 7000、及びスピーカ 7303 等を有する。さらに、LED ランプ、操作キー（電源スイッチ、又は操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0658]

図 38F は円柱状の柱 7401 に取り付けられたデジタルサイネージ 7400 である。デジタルサイネージ 7400 は、柱 7401 の曲面に沿って設けられた表示部 7000 を有する。

[0659]

図 38E 及び図 38F において、表示部 7000 に、本発明の一態様の表示装置を適用できる。したがって、デジタルサイネージ 7300、及びデジタルサイネージ 7400 は、極めて精細度の高い表示が可能であり、且つフレーム周波数が高い電子機器とすることができる。

[0660]

表示部 7000 が広いほど、一度に提供できる情報量を増やすことができる。また、表示部 7000 が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0661]

表示部 7000 にタッチパネルを適用することで、表示部 7000 に画像又は動画を表示するだけでなく、使用者が直感的に操作でき、好ましい。また、路線情報もしくは交通情報等の情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0662]

図 38E 及び図 38F に示すように、デジタルサイネージ 7300 又はデジタルサイネージ 7400 は、使用者が所持するスマートフォン等の情報端末機 7311 又は情報端末機 7411 と無線通信により連携可能であることが好ましい。例えば、表示部 7000 に表示される広告の情報を、情報端末機 7311 又は情報端末機 7411 の画面に表示させることができる。また、情報端末機 7311 又は情報端末機 7411 を操作することで、表示部 7000 の表示を切り替えることができる。

[0663]

デジタルサイネージ 7300 又はデジタルサイネージ 7400 に、情報端末機 7311 又は情報端末機 7411 の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の利用者が同時にゲームに参加し、楽しむことができる。

[0664]

図 39A 乃至図 39G に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005（電源スイッチ、又は操作スイッチを含む）、接続端子 9006、センサ 9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの）、マイクロフォン 9008、等を有する。

[0665]

図 39A 乃至図 39G において、表示部 9001 に、本発明の一態様の表示装置を適用できる。したがって極めて精細度の高い表示が可能であり、且つフレーム周波数が高い電子機器とすることができる。

[0666]

図 39A 乃至図 39G に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、及びテキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有してもよい。また、電子機器に例えばカメラを設け、静止画又は動画を撮影し、記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有してもよい。

[0667]

図 39A 乃至図 39G に示す電子機器の詳細について、以下説明を行う。

[0668]

図 39A は、携帯情報端末 9101 を示す斜視図である。携帯情報端末 9101 は、例えばスマートフォンとして用いることができる。なお、携帯情報端末 9101 には、スピーカ 9003、接続端子 9006、及びセンサ 9007 等を設けてもよい。また、携帯情報端末 9101 は、文字及び画像情報をその複数の面に表示できる。図 39A では 3 つのアイコン 9050 を表示した例を示している。また、破線の矩形で示す情報 9051 を表示部 9001 の他の面に表示することもできる。情報 9051 の一例としては、電子メール、SNS、又は電話等の着信の通知、電子メール又は SNS 等の題名、送信者名、日時、時刻、バッテリーの残量、及び電波強度等がある。又は、情報 9051 が表示されている位置にはアイコン 9050 等を表示してもよい。

[0669]

図 39B は、携帯情報端末 9102 を示す斜視図である。携帯情報端末 9102 は、表示部 9001 の 3 面以上に情報を表示する機能を有する。ここでは、情報 9052、情報 9053、情報 9054 がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末 9102 を収納した状態で、携帯情報端末 9102 の上方から観察できる位置に表示された情報 9053 を確認することもできる。使用者は、携帯情報端末 9102 をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0670]

図39Cは、タブレット端末9103を示す斜視図である。タブレット端末9103は、一例として、携帯電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末9103は、筐体9000の正面に表示部9001、カメラ9002、マイクロフォン9008、スピーカ9003を有し、筐体9000の左側面には操作用のボタンとしての操作キー9005、底面には接続端子9006を有する。

[0671]

図39Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0672]

図39E乃至図39Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図39Eは携帯情報端末9201を展開した状態、図39Gは折り畳んだ状態、図39Fは図39Eと図39Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。例えば、表示部9001は、曲率半径0.1mm以上150mm以下で曲げることができる。

[0673]

本実施の形態は、他の実施の形態、又は実施例と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[実施例1]

[0674]

本実施例では、水素を含む絶縁層上に導電層及び金属酸化物層を形成した試料を作製し、評価した結果について説明する。

[0675]

図40は、本実施例で作製した試料の構成を示す断面図である。本実施例では、まず、ガラス基板402上に絶縁層401を形成した。本実施例では、絶縁層401の材料、膜厚、及び成膜条件のうち少なくとも1つが互いに異なる試料を複数作製した。

[0676]

続いて、絶縁層401上に、厚さ約300nmの銅膜をスパッタリング法により成膜し、加工することにより、導電層411a及び導電層411bを形成した。その後、絶縁層401上、導電層411a上、及び導電層411b上に、厚さ約100nmのITSO膜をスパッタリング法により成膜し、加工することにより、導電層411aを覆う導電層412a、及び導電層411bを覆う導

電層 412b を形成した。

[0677]

続いて、絶縁層 401 上、導電層 412a、及び導電層 412b 上に、金属酸化物層 408 を形成した。金属酸化物層 408 は、導電層 412a の上面の一部、及び導電層 412b の上面の一部と接するように形成した。また、金属酸化物層 408 は、導電層 412a と導電層 412b の間の領域において、絶縁層 401 の上面、導電層 412a の側面、及び導電層 412b の側面と接するように形成した。金属酸化物層 408 は、膜厚約 20 nm の In-Ga-Zn 酸化物膜とした。金属酸化物層 408 は、スパッタリング法により、原子数比が In:Ga:Zn=1:1:1 である金属酸化物ターゲットを用いて、酸素流量比 10%、基板温度は室温、圧力 0.6 Pa、及び電源電力 2500 W の条件で形成した。

[0678]

続いて、金属酸化物層 408 上、導電層 412a 上、及び導電層 412b 上に、絶縁層 406 として、膜厚約 100 nm の酸化窒化シリコン膜を PECVD 法により形成した。

[0679]

表 1 には、本実施例で作製した試料の、金属酸化物層 408 中のキャリア濃度 [cm^{-3}] を示している。また、表 1 には、導電層 412a 及び導電層 412b と金属酸化物層 408 との接触抵抗（以下、単に接触抵抗ともいう） [$\Omega \cdot \text{cm}^2$] を示している。

[0680]

図 41A、図 41B、図 42A、図 42B、及び図 43 は、横軸をキャリア濃度 [cm^{-3}]、縦軸を接触抵抗 [$\Omega \cdot \text{cm}^2$] とするグラフである。表 1 の「試料」、及び図 41A 乃至図 43 の凡例では、絶縁層 401 の材料及び膜厚を示している。表 1 の「試料」、及び図 41A 乃至図 43 の凡例では、酸化アルミニウムを AlO_x とし、窒化シリコンを SiN_x と記載して示している。

[0681]

[表 1]

試料	キャリア濃度 [cm^{-3}]	接触抵抗 [$\Omega \cdot \text{cm}^2$]
$\text{AlO}_x = 20\text{nm}$	6.72×10^{18}	2.92×10^{-3}
$\text{SiN}_x(\text{条件1}) = 5\text{nm}$	1.83×10^{20}	1.68×10^{-4}
$\text{SiN}_x(\text{条件1}) = 50\text{nm}$	2.23×10^{20}	1.03×10^{-4}
$\text{SiN}_x(\text{条件1}) = 100\text{nm}$	2.31×10^{20}	8.69×10^{-5}
$\text{SiN}_x(\text{条件1}) = 200\text{nm}$	2.40×10^{20}	7.54×10^{-5}
$\text{SiN}_x(\text{条件2}) = 50\text{nm}$	2.09×10^{20}	1.33×10^{-4}
$\text{SiN}_x(\text{条件2}) = 200\text{nm}$	2.00×10^{20}	1.51×10^{-4}
$\text{SiN}_x(\text{条件2}) \setminus \text{SiN}_x(\text{条件1}) = 30 \setminus 20\text{nm}$	2.14×10^{20}	1.22×10^{-4}
$\text{SiN}_x(\text{条件2}) \setminus \text{SiN}_x(\text{条件1}) = 30 \setminus 200\text{nm}$	2.47×10^{20}	6.13×10^{-5}
$\text{AlO}_x \setminus \text{SiN}_x(\text{条件1}) = 20 \setminus 20\text{nm}$	2.08×10^{20}	1.24×10^{-4}
$\text{AlO}_x \setminus \text{SiN}_x(\text{条件1}) = 20 \setminus 200\text{nm}$	2.47×10^{20}	8.48×10^{-5}

[0682]

試料 “ AlO_x ” では、絶縁層 401 を、スパッタリング法により、ターゲットに酸化アルミニウムを用いて、酸素流量比 70%、基板温度は室温、圧力 0.6 Pa、及び電源電力 2500 W の条件で形成した。試料 “ SiN_x (条件 1)” では、絶縁層 401 を、流量 200 sccm の SiH

SiH_4 ガス、流量 2000 sccm の N_2 ガス、及び流量 2000 sccm の NH_3 ガスを用いて、圧力 200 Pa 、電源電力 2000 W 、及び基板温度 350°C の条件でPECVD法により形成した。試料“ SiN_x （条件2）”では、絶縁層401を、流量 200 sccm の SiH_4 ガス、流量 2000 sccm の N_2 ガス、及び流量 100 sccm の NH_3 ガスを用いて、圧力 100 Pa 、電源電力 2000 W 、及び基板温度 350°C の条件でPECVD法により形成した。つまり、条件1、及び条件2のいずれも、水素を含む雰囲気下でPECVD法により絶縁層401を形成した。また、条件1では、条件2より NH_3 の流量を大きくした。ここで、条件2は、実施の形態1に示す絶縁層110a、及び絶縁層110cの成膜条件と同様の成膜条件を想定した条件である。

[0683]

試料“ SiN_x （条件2）\ SiN_x （条件1）”では、絶縁層401を、条件2で形成した窒化シリコン（ SiN_x ）層と、当該窒化シリコン層上の、条件1で形成した窒化シリコン層と、の積層構造とした。試料“ AlOx \ SiN_x （条件1）”では、絶縁層401を、上記“ AlOx ”と同様の条件で形成した酸化アルミニウム（ AlOx ）層と、酸化アルミニウム層上の、条件1で形成した窒化シリコン層と、の積層構造とした。

[0684]

表1、及び図41A乃至図43に示すように、絶縁層401が、水素を含む雰囲気中で形成された層（ SiN_x 層）を含む場合、当該層を含まない場合（ $\text{AlOx}=20\text{ nm}$ ）より、金属酸化物層408中のキャリア濃度が高くなり、接触抵抗が小さくなることが確認された。具体的には、本実施例では、絶縁層401に水素を含む雰囲気中で形成された層が含まれる試料では、いずれもキャリア濃度は $1 \times 10^{20}\text{ cm}^{-3}$ 以上、接触抵抗は $1 \times 10^{-3}\Omega \cdot \text{cm}^2$ 以下となった。また、 SiN_x 層の膜厚が厚いほど、金属酸化物層408中のキャリア濃度が高くなり、接触抵抗が小さくなることが確認された。さらに、図43に示すように、条件1では、条件2より金属酸化物層408中のキャリア濃度が高くなり、接触抵抗が小さくなることが確認された。つまり、 NH_3 の流量が大きい雰囲気下で SiN_x 層を形成する条件の方が、金属酸化物層408中のキャリア濃度が高くなり、接触抵抗が小さくなることが確認された。

[実施例2]

[0685]

本実施例では、本発明の一態様のトランジスタを作製し、評価した結果について説明する。

[0686]

本実施例では、図6A、図6B、及び図6C等に示すトランジスタ100の構成に対応するトランジスタを作製した。当該トランジスタの作製方法は、図24A乃至図27Bを参照できる。

[0687]

まず、ガラス基板とした基板102上に、絶縁層101として、厚さ約 200 nm の窒化シリコン膜をPECVD法により成膜した。具体的には、絶縁層101は、流量 200 sccm の SiH_4 ガス、流量 2000 sccm の N_2 ガス、及び流量 2000 sccm の NH_3 ガスを用いて、圧力 200 Pa 、電源電力 2000 W 、及び基板温度 350°C の条件で形成した。

[0688]

続いて、絶縁層101上に、厚さ約 300 nm の銅膜と、厚さ約 100 nm のITSO膜と、をスパッタリング法により順に成膜し、加工することにより、導電層112aを形成した。

[0689]

続いて、導電層 112a 上、及び絶縁層 101 上に、絶縁層 110a、及び絶縁層 110b を順に形成した。絶縁層 110a として、厚さ約 100 nm の窒化シリコン膜を PECVD 法により成膜した。具体的には、絶縁層 110a は、流量 200 sccm の SiH_4 ガス、流量 2000 sccm の N_2 ガス、及び流量 100 sccm の NH_3 ガスを用いて、圧力 100 Pa、電源電力 2000 W、及び基板温度 350°C の条件で形成した。また、絶縁層 110b として、厚さ 500 nm の酸化窒化シリコン膜を PECVD 法により成膜した。具体的には、絶縁層 110b は、流量 200 sccm の SiH_4 ガス、及び流量 6000 sccm の N_2O ガスを用いて、圧力 200 Pa、電源電力 1200 W、及び基板温度 350°C の条件で形成した。

[0690]

ここで、絶縁層 110b の膜厚が、トランジスタの設計上のチャネル長となるようにした。つまり、トランジスタの設計上のチャネル長は、0.50 μm とした。

[0691]

続いて、 N_2O ガスを含む雰囲気下においてプラズマ処理を 240 秒行った。電源電力は、500 W とした。

[0692]

続いて、絶縁層 110b 上に、厚さ約 20 nm の In-Ga-Zn 酸化物膜を成膜することで、金属酸化物層 149 を形成した。 In-Ga-Zn 酸化物膜は、スパッタリング法により、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ である金属酸化物ターゲットを用いて、酸素流量比 100%、基板温度は室温で形成した。 In-Ga-Zn 酸化物膜を形成した後、250°C で 1 時間の加熱処理を行った。その後、ウェットエッチング法を用いて、金属酸化物層 149 を除去した。

[0693]

続いて、絶縁層 110b 上に、絶縁層 110c、及び絶縁層 110d を順に形成した。絶縁層 110c として、厚さ約 50 nm の窒化シリコン膜を PECVD 法により成膜した。具体的には、絶縁層 110c は、流量 200 sccm の SiH_4 ガス、流量 2000 sccm の N_2 ガス、及び流量 100 sccm の NH_3 ガスを用いて、圧力 100 Pa、電源電力 2000 W、及び基板温度 350°C の条件で形成した。絶縁層 110d として、厚さ約 100 nm の窒化シリコン膜を PECVD 法により成膜した。具体的には、絶縁層 110d は、流量 200 sccm の SiH_4 ガス、流量 2000 sccm の N_2 ガス、及び流量 2000 sccm の NH_3 ガスを用いて、圧力 200 Pa、電源電力 2000 W、及び基板温度 350°C の条件で形成した。

[0694]

続いて、絶縁層 110d 上に、厚さ約 100 nm の ITSO 膜をスパッタリング法により成膜し、加工することにより、導電層 112b を形成した。

[0695]

続いて、ウェットエッチング法を用いて導電層 112b を加工することで、導電層 112b に開口 143 を形成した。さらに、ドライエッチング法を用いて、絶縁層 110d、絶縁層 110c、絶縁層 110b、及び絶縁層 110a を加工することで、絶縁層 110d、絶縁層 110c、絶縁層 110b、及び絶縁層 110a に開口 141 を形成した。

[0696]

続いて、絶縁層 110d 上、及び導電層 112b 上に、半導体膜 108f として金属酸化物膜を形成した。半導体膜 108f としては、厚さ約 20 nm の In-Ga-Zn 酸化物膜を形成した。I

In-Ga-Zn 酸化物膜は、スパッタリング法により、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ である金属酸化物ターゲットを用いて、酸素流量比 10%、基板温度は室温で形成した。 In-Ga-Zn 酸化物膜を形成した後、CDA 雰囲気下にて 350°C 、1 時間の加熱処理を行った。その後、半導体膜 108f を加工することで、半導体層 108 として金属酸化物層を形成した。

[0697]

続いて、絶縁層 110d 上、導電層 112b 上、及び半導体層 108 上に、絶縁層 106 を形成した。絶縁層 106 として、厚さ約 50 nm の酸化窒化シリコン膜を PECVD 法により成膜した。具体的には、絶縁層 106 は、 SiH_4 ガスの流量を 50 sccm 、 N_2O ガスの流量を 18000 sccm とし、圧力 200 Pa 、電源電力 250 W 、及び基板温度 350°C の条件で形成した。絶縁層 106 は、絶縁層 110b よりも成膜速度が低い条件で形成した。

[0698]

続いて、絶縁層 106 上に、導電層 104 となる導電膜を成膜し、加工することで、導電層 104 を形成した。導電層 104 となる導電膜として、厚さ約 50 nm のチタン膜、厚さ約 400 nm のアルミニウム膜、及び、厚さ約 50 nm のチタン膜を、スパッタリング法により、この順で成膜した。

[0699]

その後、絶縁層 109 として、厚さ約 300 nm の窒化酸化シリコン膜を PECVD 法により成膜した。その後、CDA 雰囲気下にて 300°C 、1 時間の加熱処理を行った。その後、平坦化層（図示しない）として、厚さ約 $1.5\text{ }\mu\text{m}$ のポリイミド膜を形成し、窒素雰囲気下、 250°C 、1 時間の加熱処理を行った。

[0700]

本実施例で作製したトランジスタは、 n チャネル型のトランジスタであり、前述のように設計上のチャネル長 (L) を $0.50\text{ }\mu\text{m}$ とした。また、設計上のチャネル幅 (W) を $6.30\text{ }\mu\text{m}$ (開口径 $2\text{ }\mu\text{m}$ ϕ) とした。

[0701]

次に、本実施例で作製したトランジスタの I_d-V_g 特性を測定した。図 44 は、導電層 112b をソース電極として機能させた場合の、トランジスタの I_d-V_g 特性結果である。図 44 において、縦軸はドレイン電流 I_d [A] と電界効果移動度 μ_{FE} [cm^2/Vs]、横軸はゲート電圧 V_g [V] を表す。図 44 では、 I_d-V_g 特性結果を実線で示し、電界効果移動度を点線で示している。

[0702]

トランジスタの I_d-V_g 特性の測定条件としては、導電層 104 に印加する電圧（ゲート電圧 V_g ）を、 -10 V から $+10\text{ V}$ まで 0.1 V 刻みで変化させた。また、ソース電極に印加する電圧（ソース電圧 V_s ）を 0 V とし、ドレイン電極に印加する電圧（ドレイン電圧 V_d ）を、 0.1 V 及び 5.1 V とした。なお、図 44 において、ドレイン電流 I_d [A]、及び電界効果移動度 μ_{FE} [cm^2/Vs] は、それぞれ 2 つのデータを示している。2 つのデータのうち、数値が高い方がドレイン電圧 $V_d = 5.1\text{ V}$ に対応するデータであり、数値が低い方がドレイン電圧 $V_d = 0.1\text{ V}$ に対応するデータである。

[0703]

図 44 に示すように、本実施例で作製したトランジスタは、オン電流が高く、良好なスイッチング

特性を示すことが確認できた。また、本実施例で作製したトランジスタのしきい値電圧の平均値は 0.72 V であり、プラスの値であった。よって、ノーマリーオフ特性のトランジスタを作製できたことが確認できた。

[0704]

また、トランジスタの実効チャネル長は 0.62 μm であり、設計上のチャネル長である 0.50 μm より大きくなった。

[0705]

本実施例で作製したトランジスタにおいて、絶縁層 101、及び絶縁層 110d は、絶縁層 110a、及び絶縁層 110c より、 NH_3 の流量が大きい条件下で形成した。これにより、絶縁層 101、及び絶縁層 110d の水素含有量は、絶縁層 110a、及び絶縁層 110c の水素含有量より多くなったと考えられる。そして、絶縁層 101 に含まれる水素が半導体層 108 の導電層 112a と接する領域に供給されて半導体層 108 と導電層 112a との接触抵抗が小さくなり、また絶縁層 110d に含まれる水素が半導体層 108 の導電層 112b と接する領域に供給されて半導体層 108 と導電層 112b との接触抵抗が小さくなったことにより、オン電流が高いトランジスタを作製できたと考えられる。

[0706]

また、絶縁層 110a は水素が拡散しにくい絶縁層であり、これにより絶縁層 101 に含まれる水素が、半導体層 108 の例えば絶縁層 110a と接する領域、及び絶縁層 110b と接する領域に供給されることを抑制できたと考えられる。さらに、絶縁層 110c は水素が拡散しにくい絶縁層であり、これにより絶縁層 110d に含まれる水素が、半導体層 108 の例えば絶縁層 110c と接する領域、及び絶縁層 110b と接する領域に供給されることを抑制できたと考えられる。以上により、本実施例で作製したトランジスタにおいて、実効チャネル長が設計上のチャネル長より大きくなったと考えられる。これにより、ノーマリーオフ特性であり、良好なスイッチング特性を示すトランジスタを作製できたと考えられる。

[実施例 3]

[0707]

本実施例では、本発明の一態様のトランジスタを作製し、評価した結果について説明する。

[0708]

本実施例では、図 6A、図 6B、及び図 6C 等に示すトランジスタ 100 の構成に対応するトランジスタを作製した。当該トランジスタを、1 枚の基板 102 上に複数作製した。当該トランジスタの作製方法は、図 24A 乃至図 27B を参照できる。

[0709]

まず、ガラス基板とした基板 102 上に、絶縁層 101 として、厚さ約 30 nm の窒化シリコン膜を PECVD 法により成膜した。具体的には、絶縁層 101 は、流量 200 sccm の SiH_4 ガス、流量 2000 sccm の N_2 ガス、及び流量 2000 sccm の NH_3 ガスを用いて、圧力 200 Pa、電源電力 2000 W、及び基板温度 200 °C の条件で形成した。

[0710]

続いて、絶縁層 101 上に、厚さ約 10 nm の ITSO 膜と、厚さ約 100 nm の銅膜と、をスパッタリング法により順に成膜し、加工した。その後、厚さ約 100 nm の ITSO 膜をスパッタリング法により成膜し、加工した。以上により、導電層 112a を形成した。

[0711]

続いて、導電層112a上、及び絶縁層101上に、絶縁層110a、及び絶縁層110bを順に形成した。絶縁層110aとして、厚さ約200nmの窒化シリコン膜をPECVD法により成膜した。具体的には、絶縁層110aは、流量200sccmのSiH₄ガス、流量2000sccmのN₂ガス、及び流量100sccmのNH₃ガスを用いて、圧力100Pa、電源電力2000W、及び基板温度350℃の条件で形成した。また、絶縁層110bとして、厚さ500nmの酸化窒化シリコン膜をPECVD法により成膜した。具体的には、絶縁層110bは、流量200sccmのSiH₄ガス、及び流量6000sccmのN₂Oガスを用いて、圧力200Pa、電源電力1200W、及び基板温度350℃の条件で形成した。

[0712]

ここで、絶縁層110bの膜厚が、トランジスタの設計上のチャネル長となるようにした。つまり、トランジスタの設計上のチャネル長は、0.50μmとした。

[0713]

続いて、窒素雰囲気下にて400℃、1時間の加熱処理を行った。続いて、N₂Oガスを含む雰囲気下においてプラズマ処理を240秒行った。N₂Oガスの流量は3000sccm、圧力は133Pa、電源電力は500Wとした。

[0714]

続いて、絶縁層110b上に、厚さ約20nmのIn-Ga-Zn酸化物膜を成膜することで、金属酸化物層149を形成した。In-Ga-Zn酸化物膜は、スパッタリング法により、原子数比がIn:Ga:Zn=1:1:1である金属酸化物ターゲットを用いて、酸素流量比100%、基板温度は室温で形成した。In-Ga-Zn酸化物膜を形成した後、250℃で1時間の加熱処理を行った。その後、ウェットエッチング法を用いて、金属酸化物層149を除去した。

[0715]

続いて、絶縁層110b上に、絶縁層110c、及び絶縁層110dを順に形成した。絶縁層110cとして、厚さ約100nmの窒化シリコン膜をPECVD法により成膜した。具体的には、絶縁層110cは、流量200sccmのSiH₄ガス、流量2000sccmのN₂ガス、及び流量100sccmのNH₃ガスを用いて、圧力100Pa、電源電力2000W、及び基板温度350℃の条件で形成した。絶縁層110dとして、厚さ約100nmの窒化シリコン膜をPECVD法により成膜した。具体的には、絶縁層110dは、流量200sccmのSiH₄ガス、流量2000sccmのN₂ガス、及び流量2000sccmのNH₃ガスを用いて、圧力200Pa、電源電力2000W、及び基板温度350℃の条件で形成した。

[0716]

続いて、絶縁層110d上に、厚さ約100nmのITSO膜をスパッタリング法により成膜し、加工することにより、導電層112bを形成した。

[0717]

続いて、ウェットエッチング法を用いて導電層112bを加工することで、導電層112bに開口143を形成した。さらに、ドライエッチング法を用いて、絶縁層110d、絶縁層110c、絶縁層110b、及び絶縁層110aを加工することで、絶縁層110d、絶縁層110c、絶縁層110b、及び絶縁層110aに開口141を形成した。

[0718]

続いて、絶縁層 110d 上、及び導電層 112b 上に、半導体膜 108f として金属酸化物膜を形成した。半導体膜 108f としては、厚さ約 20nm の In-Ga-Zn 酸化物膜を形成した。In-Ga-Zn 酸化物膜は、スパッタリング法により、原子数比が In:Ga:Zn=1:1:1 である金属酸化物ターゲットを用いて、酸素流量比 10%、基板温度は室温で形成した。In-Ga-Zn 酸化物膜を形成した後、CDA 雰囲気下にて 350℃、1 時間の加熱処理を行った。その後、半導体膜 108f を加工することで、半導体層 108 として金属酸化物層を形成した。

[0719]

続いて、絶縁層 110d 上、導電層 112b 上、及び半導体層 108 上に、絶縁層 106 を形成した。絶縁層 106 として、厚さ約 50nm の酸化窒化シリコン膜を PECVD 法により成膜した。具体的には、絶縁層 106 は、SiH₄ ガスの流量を 50sccm、N₂O ガスの流量を 18000sccm とし、圧力 200Pa、電源電力 250W、及び基板温度 350℃ の条件で形成した。絶縁層 106 は、絶縁層 110b よりも成膜速度が低い条件で形成した。

[0720]

続いて、絶縁層 106 上に、導電層 104 となる導電膜を成膜し、加工することで、導電層 104 を形成した。導電層 104 となる導電膜として、厚さ約 50nm のチタン膜、厚さ約 400nm のアルミニウム膜、及び、厚さ約 50nm のチタン膜を、スパッタリング法により、この順で成膜した。

[0721]

その後、絶縁層 109 として、厚さ約 300nm の窒化酸化シリコン膜を PECVD 法により成膜した。その後、CDA 雰囲気下にて 300℃、1 時間の加熱処理を行った。その後、平坦化層（図示しない）として、厚さ約 1.5μm のポリイミド膜を形成し、窒素雰囲気下、250℃、1 時間の加熱処理を行った。

[0722]

本実施例で作製したトランジスタは、n チャネル型のトランジスタであり、前述のように設計上のチャネル長を 0.50μm とした。また、設計上のチャネル幅を 6.30μm（開口径 2μmφ）とした。

[0723]

次に、本実施例で作製したトランジスタの I_d-V_g 特性を測定した。図 45 は、導電層 112b をソース電極として機能させた場合の、トランジスタの I_d-V_g 特性結果である。図 45 において、縦軸はドレイン電流 I_d [A] と電界効果移動度 μ_{FE} [cm²/Vs]、横軸はゲート電圧 V_g [V] を表す。図 45 では、I_d-V_g 特性結果を実線で示し、電界効果移動度を点線で示している。

[0724]

トランジスタの I_d-V_g 特性の測定条件としては、導電層 104 に印加する電圧（ゲート電圧 V_g）を、-10V から +10V まで 0.1V 刻みで変化させた。また、ソース電極に印加する電圧（ソース電圧 V_s）を 0V とし、ドレイン電極に印加する電圧（ドレイン電圧 V_d）を、0.1V 及び 5.1V とした。なお、図 45 において、ドレイン電流 I_d [A]、及び電界効果移動度 μ_{FE} [cm²/Vs] は、それぞれ 2 つのデータを示している。2 つのデータのうち、数値が高い方がドレイン電圧 V_d = 5.1V に対応するデータであり、数値が低い方がドレイン電圧 V_d = 0.1V に対応するデータである。

[0725]

図45に示すように、本実施例で作製したトランジスタは、オン電流が高く、良好なスイッチング特性を示すことが確認できた。また、本実施例で作製したトランジスタのしきい値電圧の平均値は0.58Vであり、プラスの値であった。よって、ノーマリーオフ特性のトランジスタを作製できたことが確認できた。

[0726]

図46Aは、本実施例で作製したトランジスタのしきい値電圧 V_{th} の確率分布である。図46Bは、本実施例で作製したトランジスタの電界効果移動度 μ_{FE} の確率分布である。図46A、及び図46Bでは、ソース電圧 V_s を0V、ドレイン電圧 V_d を0.1Vとして、しきい値電圧 V_{th} 及び電界効果移動度 μ_{FE} を測定した。

[0727]

図46A、及び図46Bでは、120個のトランジスタのしきい値電圧 V_{th} 、及び電界効果移動度 μ_{FE} の累積の確率をそれぞれ示している。図46Aでは、横軸はしきい値電圧 V_{th} [V]を示し、縦軸は累積の確率 [%]を示している。図46Bでは、横軸は電界効果移動度 μ_{FE} [cm^2/Vs]を示し、縦軸は累積の確率 [%]を示している。ここで、しきい値電圧 V_{th} の 3σ (σ は標準偏差)は0.10V、電界効果移動度 μ_{FE} の 3σ は $1.3\text{ cm}^2/\text{Vs}$ であった。

[0728]

以上より、本実施例で作製したトランジスタはいずれもノーマリーオフであり、且つオン電流が大きいことが確認できた。また、トランジスタ毎の電気特性のばらつきが小さいことが確認できた。

[0729]

図47Aは、本実施例で作製したトランジスタの実効チャンネル長 L [μm]を示すグラフである。実効チャンネル長 L は、図45を用いて算出した。実効チャンネル長 L の平均値は $0.46\mu\text{m}$ であり、設計上のチャンネル長 $0.50\mu\text{m}$ に近い値となった。また、実効チャンネル長 L の 3σ は $0.04\mu\text{m}$ となり、実効チャンネル長 L の平均値は $0.46\mu\text{m}$ と比較して非常に小さな値となった。よって、トランジスタ毎の実効チャンネル長 L のばらつきが非常に小さいことが確認できた。

[0730]

続いて、上記で作製したトランジスタの信頼性を評価した。

[0731]

信頼性評価として、GBT (Gate Bias Temperature) ストレス試験を行った。本実施例では、PBTS (Positive Bias Temperature Stress) 試験、及びNBITS (Negative Bias Temperature Illumination Stress) 試験を行った。

[0732]

なお、ソース電位及びドレイン電位に対して、ゲートに正の電位 (正バイアス) を与えた状態で、高温下で保持する試験をPBTS試験、ゲートに負の電位 (負バイアス) を与えた状態で、高温下で保持する試験をNBTS (Negative Bias Temperature Stress) 試験という。また、光を照射した状態で行うPBTS試験及びNBTS試験をそれぞれ、PBITS (Positive Bias Temperature Illumination Stress) 試験、及びNBITS試験という。

[0733]

PBT S試験では、基板102を60℃に保持し、トランジスタのソースに0V、ドレインに0.1V、ゲートに10Vの電圧を印加し、この状態を1時間保持した。試験環境は暗状態とした。NB T I S試験では、基板102を60℃に保持し、5000lxの白色LED光を照射した状態で、トランジスタのソースとドレインに0V、ゲートに-10Vの電圧を印加し、この状態を1時間保持した。白色LED光は、基板102側から照射した。ここで、PBT S試験前、及びNB T I S試験前のトランジスタのしきい値電圧は0.25Vであった。

[0734]

PBT S試験前後、及びNB T I S試験前後でのしきい値電圧の変動量 ΔV_{th} [V]を、図47Bに示す。図47Bに示すように、PBT S試験及びNB T I S試験ともにしきい値電圧の変動量は小さく、信頼性が良好であることを確認できた。

[実施例4]

[0735]

本実施例では、本発明の一態様のトランジスタを作製し、評価した結果について説明する。

[0736]

本実施例では、図6A、図6B、及び図6C等 to 示すトランジスタ100の構成に対応するトランジスタを作製した。当該トランジスタを、1枚の基板102上に複数作製した。当該トランジスタの作製方法は、図24A乃至図27Bを参照できる。

[0737]

まず、ガラス基板とした基板102上に、実施例3で示した条件と同様の条件により、絶縁層101、及び導電層112aを形成した。続いて、導電層112a上、及び絶縁層101上に、絶縁層110a、及び絶縁層110bを順に形成した。絶縁層110aとして、厚さ約5nmの酸化アルミニウム膜を、スパッタリング法により酸素流量比70%、基板温度は室温で形成した。絶縁層110bは、実施例3で示した条件と同様の条件で形成した。

[0738]

続いて、N₂Oガスを含む雰囲気下においてプラズマ処理を240秒行った。N₂Oガスの流量は8700sccm、圧力は200Pa、電源電力は500Wとした。続いて、実施例3で示した条件と同様の条件により、絶縁層110b上に金属酸化物層149を形成し、加熱処理を行った後、金属酸化物層149を除去した。

[0739]

続いて、絶縁層110b上に、絶縁層110c、及び絶縁層110dを順に形成した。絶縁層110cとして、厚さ約5nmの酸化アルミニウム膜を、スパッタリング法により酸素流量比70%、基板温度は室温で形成した。絶縁層110dは、実施例3で示した条件と同様の条件で形成した。続いて、実施例3で示した条件と同様の条件により、導電層112bを形成した。

[0740]

続いて、ウェットエッチング法を用いて導電層112bを加工することで、導電層112bに開口143を形成した。さらに、ドライエッチング法を用いて、絶縁層110d、絶縁層110c、絶縁層110b、及び絶縁層110aを加工することで、絶縁層110d、絶縁層110c、絶縁層110b、及び絶縁層110aに開口141を形成した。

[0741]

続いて、実施例3で示した条件と同様の条件により、半導体層108、絶縁層106、導電層10

4、絶縁層109、及び平坦化層を形成した。

[0742]

本実施例で作製したトランジスタは、nチャネル型のトランジスタであり、設計上のチャネル長を $0.50\mu\text{m}$ とした。また、設計上のチャネル幅を $6.30\mu\text{m}$ （開口径 $2\mu\text{m}\phi$ ）とした。

[0743]

次に、本実施例で作製したトランジスタの I_d-V_g 特性を測定した。図48は、導電層112bをソース電極として機能させた場合の、トランジスタの I_d-V_g 特性結果である。図48において、縦軸はドレイン電流 I_d [A] と電界効果移動度 μ_{FE} [cm^2/Vs]、横軸はゲート電圧 V_g [V]を表す。図48では、 I_d-V_g 特性結果を実線で示し、電界効果移動度を点線で示している。トランジスタの I_d-V_g 特性の測定条件は、実施例3と同様とした。なお、図48において、ドレイン電流 I_d [A]、及び電界効果移動度 μ_{FE} [cm^2/Vs]は、図45と同様にそれぞれ2つのデータを示している。2つのデータのうち、数値が高い方がドレイン電圧 $V_d=5.1\text{V}$ に対応するデータであり、数値が低い方がドレイン電圧 $V_d=0.1\text{V}$ に対応するデータである。

[0744]

図48に示すように、本実施例で作製したトランジスタは、オン電流が高く、良好なスイッチング特性を示すことが確認できた。また、本実施例で作製したトランジスタのしきい値電圧の平均値は 0.55V であり、プラスの値であった。よって、ノーマリーオフ特性のトランジスタを作製できたことが確認できた。

[0745]

図49Aは、本実施例で作製したトランジスタのしきい値電圧 V_{th} の確率分布である。図49Bは、本実施例で作製したトランジスタのドレイン電流 I_d の確率分布である。図49Aでは、ソース電圧 V_s を 0V 、ドレイン電圧 V_d を 0.1V として、しきい値電圧 V_{th} を測定した。図49Bでは、ソース電圧 V_s を 0V 、ドレイン電圧 V_d を 5.1V 、ゲート電圧を 10V として、ドレイン電流 I_d を測定した。図49Bでは、オン状態としたトランジスタのドレイン電流 I_d を測定した。

[0746]

図49A、及び図49Bでは、120個のトランジスタのしきい値電圧 V_{th} 、及びドレイン電流 I_d の累積の確率をそれぞれ示している。図49Aでは、横軸はしきい値電圧 V_{th} [V]を示し、縦軸は累積の確率 [%]を示している。図49Bでは、横軸はドレイン電流 I_d [μA]を示し、縦軸は累積の確率 [%]を示している。ここで、しきい値電圧 V_{th} の 3σ (σ は標準偏差)は 0.13V 、電界効果移動度 μ_{FE} の 3σ は $66.2\mu\text{A}$ であった。

[0747]

図49Aより、本実施例で作製したトランジスタは、いずれもしきい値電圧 V_{th} が 0.46V 以上であり、ノーマリーオフであることが確認できた。また、図49Bより、本実施例で作製したトランジスタは、いずれもオン状態としたときのドレイン電流 I_d が $400\mu\text{A}$ 以上であり、オン電流が高いことが確認できた。

[0748]

また、図49Aより、120個のトランジスタのうち116個のトランジスタのしきい値電圧 V_{th} が 0.46V 以上 0.60V 以下であることが確認できた。また、図49Bより、120個のト

ランジスタのうち116個のランジスタのドレイン電流 I_d が $500\mu A$ 以上 $600\mu A$ 以下であることが確認できた。以上より、ランジスタ毎の電気特性のばらつきが小さいことが確認できた。

[0749]

図50Aは、本実施例で作製したランジスタの実効チャネル長 L [μm]を示すグラフである。実効チャネル長 L は、図48を用いて算出した。実効チャネル長 L の平均値は $0.41\mu m$ であり、設計上のチャネル長 $0.50\mu m$ に近い値となった。また、実効チャネル長 L の 3σ は $0.04\mu m$ となり、実効チャネル長 L の平均値は $0.41\mu m$ と比較して非常に小さな値となった。よって、ランジスタ毎の実効チャネル長 L のばらつきが非常に小さいことが確認できた。

[0750]

続いて、上記で作製したランジスタの信頼性を、PBT S試験、及びNB T I S試験により評価した。PBT S試験、及びNB T I S試験は、実施例3に示す条件と同様の条件で行った。ここで、PBT S試験前、及びNB T I S試験前のランジスタのしきい値電圧は $0.29V$ であった。

[0751]

PBT S試験前後、及びNB T I S試験前後でのしきい値電圧の変動量 ΔV_{th} [V]を、図50Bに示す。図50Bに示すように、PBT S試験及びNB T I S試験ともにしきい値電圧の変動量は小さく、信頼性が良好であることを確認できた。

[実施例5]

[0752]

本実施例では、本発明の一態様のランジスタを作製し、評価した結果について説明する。

[0753]

本実施例では、図6A、図6B、及び図6C等に示すランジスタ100の構成に対応するランジスタを作製した。当該ランジスタの作製方法は、図24A乃至図27Bを参照できる。

[0754]

まず、ガラス基板とした基板102上に、実施例3で示した条件と同様の条件により、絶縁層101、及び導電層112aを形成した。続いて、導電層112a上、及び絶縁層101上に、絶縁層110a、及び絶縁層110bを順に形成した。絶縁層110aとして、厚さ約 $100nm$ の窒化シリコン膜をPECVD法により成膜した。具体的には、絶縁層110aは、流量 $200sccm$ の SiH_4 ガス、流量 $2000sccm$ の N_2 ガス、及び流量 $100sccm$ の NH_3 ガスを用いて、圧力 $100Pa$ 、電源電力 $2000W$ 、及び基板温度 $350^\circ C$ の条件で形成した。また、絶縁層110bとして、厚さ $500nm$ の酸化窒化シリコン膜をPECVD法により成膜した。具体的には、絶縁層110bは、流量 $290sccm$ の SiH_4 ガス、及び流量 $8700sccm$ の N_2O ガスを用いて、圧力 $200Pa$ 、電源電力 $1160W$ 、及び基板温度 $350^\circ C$ の条件で形成した。

[0755]

ここで、絶縁層110bの膜厚が、ランジスタの設計上のチャネル長となるようにした。つまり、ランジスタの設計上のチャネル長は、 $0.50\mu m$ とした。

[0756]

続いて、 N_2O ガスを含む雰囲気下においてプラズマ処理を240秒行った。 N_2O ガスの流量は $3000sccm$ 、圧力は $133Pa$ 、電源電力は $500W$ とした。

[0757]

続いて、絶縁層 110b 上に、厚さ約 20 nm の In-Ga-Zn 酸化物膜を成膜することで、金属酸化物層 149 を形成した。In-Ga-Zn 酸化物膜は、スパッタリング法により、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ である金属酸化物ターゲットを用いて、酸素流量比 100%、基板温度は室温で形成した。In-Ga-Zn 酸化物膜を形成した後、250℃で1時間の加熱処理を行った。その後、ウェットエッチング法を用いて、金属酸化物層 149 を除去した。

[0758]

続いて、絶縁層 110b 上に、絶縁層 110c、及び絶縁層 110d を順に形成した。絶縁層 110c として、厚さ約 50 nm の窒化シリコン膜を PECVD 法により成膜した。具体的には、絶縁層 110c は、流量 200 sccm の SiH_4 ガス、流量 2000 sccm の N_2 ガス、及び流量 100 sccm の NH_3 ガスを用いて、圧力 100 Pa、電源電力 2000 W、及び基板温度 350℃の条件で形成した。絶縁層 110d は、実施例 3 で示した条件と同様の条件で形成した。続いて、実施例 3 で示した条件と同様の条件により、導電層 112b を形成した。

[0759]

続いて、ウェットエッチング法を用いて導電層 112b を加工することで、導電層 112b に開口 143 を形成した。さらに、ドライエッチング法を用いて、絶縁層 110d、絶縁層 110c、絶縁層 110b、及び絶縁層 110a を加工することで、絶縁層 110d、絶縁層 110c、絶縁層 110b、及び絶縁層 110a に開口 141 を形成した。開口 143、及び開口 141 は、それぞれ 3 個並列に形成した。

[0760]

続いて、絶縁層 110d 上、及び導電層 112b 上に、半導体膜 108f として金属酸化物膜を形成した。半導体膜 108f としては、厚さ約 50 nm の In-Ga-Zn 酸化物膜を形成した。In-Ga-Zn 酸化物膜は、スパッタリング法により、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ である金属酸化物ターゲットを用いて、酸素流量比 50%、基板温度 200℃で形成した。In-Ga-Zn 酸化物膜を形成した後、CDA 雰囲気下にて 350℃、1 時間の加熱処理を行った。その後、半導体膜 108f を加工することで、半導体層 108 として金属酸化物層を形成した。

[0761]

続いて、絶縁層 110d 上、導電層 112b 上、及び半導体層 108 上に、絶縁層 106 を形成した。絶縁層 106 は、実施例 3 で示した条件と同様の条件で形成した。

[0762]

続いて、絶縁層 106 上に、導電層 104 となる導電膜を成膜し、加工することで、導電層 104 を形成した。導電層 104 となる導電膜として、厚さ約 50 nm のチタン膜、厚さ約 200 nm のアルミニウム膜、及び、厚さ約 50 nm のチタン膜を、スパッタリング法により、この順で成膜した。

[0763]

その後、実施例 3 で示した条件と同様の条件により、絶縁層 109、及び平坦化層を形成した。

[0764]

本実施例で作製したトランジスタは、n チャネル型のトランジスタであり、前述のように設計上のチャネル長を $0.50 \mu\text{m}$ とした。また、設計上のチャネル幅を $18.84 \mu\text{m}$ (開口径 $2 \mu\text{m} \phi$ の開口 141 が 3 個) とした。

[0765]

次に、本実施例で作製したトランジスタの定電流ストレス試験を行った。定電流ストレス試験は、ソース電圧 V_s を0 V、ドレイン電圧 V_d を6.0 V、ゲート電圧 V_g を5.0 V、ドレイン電流 I_d を100 μ A、基板温度85℃の状態を所定の時間保持することにより行った。本実施例では、当該所定の時間を保持時間とする。ここで、導電層112bをソース電極として機能させた。

[0766]

図51Aは、導電層112bをソース電極として機能させた場合の、トランジスタの I_d-V_g 特性結果である。図51Aにおいて、縦軸はドレイン電流 I_d [A]、横軸はゲート電圧 V_g [V]を表す。

[0767]

トランジスタの I_d-V_g 特性の測定条件としては、導電層104に印加する電圧（ゲート電圧 V_g ）を、-7 Vから+7 Vまで0.1 V刻みで変化させた。また、ソース電極に印加する電圧（ソース電圧 V_s ）を0 Vとし、ドレイン電極に印加する電圧（ドレイン電圧 V_d ）を、0.1 V及び5.1 Vとした。そして、保持時間を0 s、100 s、500 s、1000 s、2000 s、1 h r、2 h r、4 h r、6 h r、及び10 h rとした場合におけるトランジスタの I_d-V_g 特性をそれぞれ測定した。なお、図51Aにおいて、ドレイン電流 I_d [A]は、2つのデータを示している。2つのデータのうち、数値が高い方がドレイン電圧 $V_d=5.1$ Vに対応するデータであり、数値が低い方がドレイン電圧 $V_d=0.1$ Vに対応するデータである。

[0768]

図51Aに示すように、本実施例で作製したトランジスタは、いずれの保持時間でもオン電流が高く、良好なスイッチング特性を示すことが確認できた。また、本実施例で作製したトランジスタのしきい値電圧は、いずれの保持時間でも0 Vより高く、ノーマリーオフ特性であることが確認できた。

[0769]

図51Bは、保持時間が100 s、500 s、1000 s、2000 s、1 h r、2 h r、4 h r、6 h r、及び10 h rである場合の、トランジスタのしきい値電圧の変動量 ΔV_{th} [V]を示すグラフである。変動量 ΔV_{th} は、保持時間0 sを基準とした変動量を示す。ここで、ドレイン電圧 V_d は5.1 Vとした。

[0770]

図51Bでは、横軸は保持時間 [h r] を示し、縦軸は変動量 ΔV_{th} [V]を示している。図51Bでは、変動量 ΔV_{th} の実測値に基づく近似式を示している。当該近似式は、保持時間 [h r] を x 、変動量 V_{th} [V] を y とすると、 $y=0.1107x^{0.4072}$ となった。また、保持時間が1000 h rである場合の変動量 ΔV_{th} を近似式から外挿すると、1.85 Vとなった。

[0771]

図51Bに示すように、本実施例で作製したトランジスタは、保持時間が1000 h rであってもしきい値電圧の変動量が2.00 V未満となることが推定され、しきい値電圧の変動量が小さいことが確認できた。

[符号の説明]

[0772]

10A：半導体装置、10B：半導体装置、10：半導体装置、11B：副画素、11G：副画素、11R：副画素、50A：表示装置、50B：表示装置、50C：表示装置、50D：表示装置、

50E：表示装置、50F：表示装置、50G：表示装置、50H：表示装置、50I：表示装置、50J：表示装置、50K：表示装置、60：液晶素子、100A：トランジスタ、100B：トランジスタ、100C：トランジスタ、100D：トランジスタ、100E：トランジスタ、100F：トランジスタ、100G：トランジスタ、100H：トランジスタ、100I：トランジスタ、101a：絶縁層、101b：絶縁層、101：絶縁層、102：基板、103：導電層、104a：導電層、104：導電層、105：導電層、106：絶縁層、107a：導電層、107b：導電層、108a：半導体層、108f：半導体膜、108i：領域、108n：領域、108na：領域、108nb：領域、108：半導体層、109：絶縁層、110a：絶縁層、110b：絶縁層、110c：絶縁層、110d：絶縁層、110e：絶縁層、110：絶縁層、111B：画素電極、111G：画素電極、111R：画素電極、111S：画素電極、112a：導電層、112b：導電層、112c：導電層、112d：導電層、112f：導電膜、113B：EL層、113G：EL層、113R：EL層、113S：機能層、113：EL層、114：共通層、115：共通電極、117：遮光層、120：導電層、121：絶縁層、123：導電層、124B：導電層、124G：導電層、124R：導電層、125：絶縁層、126B：導電層、126G：導電層、126R：導電層、127：絶縁層、128：層、130B：発光素子、130G：発光素子、130R：発光素子、130S：受光素子、131：保護層、132B：着色層、132G：着色層、132R：着色層、133B：層、133G：層、133R：層、133：層、140：接続部、141a：開口、141：開口、142：接着層、143a：開口、143：開口、144：接着層、148：開口、149：金属酸化物層、150：トランジスタ、152：基板、153：絶縁層、162：表示部、164：回路部、165a：導電層、165b：導電層、165：導電層、166a：導電層、166b：導電層、166：導電層、172：FPC、173：IC、190：容量、200：トランジスタ、201：画素、204：接続部、205B：トランジスタ、205D：トランジスタ、205G：トランジスタ、205R：トランジスタ、205S：トランジスタ、223：接続体、224：絶縁層、225：絶縁層、235：絶縁層、237：絶縁層、242：接続層、260a：偏光板、260b：偏光板、261：絶縁層、262：液晶、263：導電層、264：導電層、265：配向層、352：指、353：層、355：回路層、357：層、401：絶縁層、402：ガラス基板、406：絶縁層、408：金属酸化物層、411a：導電層、411b：導電層、412a：導電層、412b：導電層、700A：電子機器、700B：電子機器、721：筐体、723：装着部、727：イヤフォン部、750：イヤフォン、751：表示パネル、753：光学部材、756：表示領域、757：フレーム、758：鼻パッド、800A：電子機器、800B：電子機器、820：表示部、821：筐体、822：通信部、823：装着部、824：制御部、825：撮像部、827：イヤフォン部、832：レンズ、6500：電子機器、6501：筐体、6502：表示部、6503：電源ボタン、6504：ボタン、6505：スピーカ、6506：マイク、6507：カメラ、6508：光源、6510：保護部材、6511：表示パネル、6512：光学部材、6513：タッチセンサパネル、6515：FPC、6516：IC、6517：プリント基板、6518：バッテリー、7000：表示部、7100：テレビジョン装置、7101：筐体、7103：スタンド、7111：リモコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、740

1 : 柱、7 4 1 1 : 情報端末機、9 0 0 0 : 筐体、9 0 0 1 : 表示部、9 0 0 2 : カメラ、9 0 0 3 : スピーカ、9 0 0 5 : 操作キー、9 0 0 6 : 接続端子、9 0 0 7 : センサ、9 0 0 8 : マイク
ロフォン、9 0 5 0 : アイコン、9 0 5 1 : 情報、9 0 5 2 : 情報、9 0 5 3 : 情報、9 0 5 4 :
情報、9 0 5 5 : ヒンジ、9 1 0 1 : 携帯情報端末、9 1 0 2 : 携帯情報端末、9 1 0 3 : タブレ
ット端末、9 2 0 0 : 携帯情報端末、9 2 0 1 : 携帯情報端末

請求の範囲

[請求項 1]

第 1 の絶縁層と、第 2 の絶縁層と、第 1 の導電層と、金属酸化物層と、を有し、
前記第 1 の導電層は、前記第 1 の絶縁層上に設けられ、
前記第 2 の絶縁層は、前記第 1 の導電層上に設けられ、
前記第 2 の絶縁層には、前記第 1 の導電層に達する第 1 の開口が設けられ、
前記金属酸化物層は、前記第 1 の開口の内部に位置し、且つ前記第 1 の導電層と接する領域を有し、
前記第 1 の絶縁層は、水素を含む半導体装置。

[請求項 2]

請求項 1 において、
前記第 2 の絶縁層は、第 1 の層と、前記第 1 の層上の第 2 の層と、を有し、
前記第 1 の層は、前記第 1 の絶縁層と接する領域を有し、
前記第 1 の絶縁層は、水素の含有量が前記第 1 の層の水素の含有量以上である領域を有する半導体装置。

[請求項 3]

請求項 2 において、
前記第 1 の絶縁層の水素の含有量、及び前記第 1 の層の水素の含有量は、SIMS を用いて測定される半導体装置。

[請求項 4]

請求項 2 において、
前記第 1 の層の水素の拡散係数は、前記第 1 の導電層の水素の拡散係数より小さい半導体装置。

[請求項 5]

請求項 4 において、
前記第 1 の層の水素の拡散係数、及び前記第 1 の導電層の水素の拡散係数は、TDS、又は SIMS を用いて測定される半導体装置。

[請求項 6]

請求項 2 において、
前記第 2 の層は、酸素を含む半導体装置。

[請求項 7]

請求項 1 乃至 6 のいずれか一項において、
第 2 の導電層を有し、
前記第 2 の導電層は、前記第 2 の絶縁層上に設けられ、
前記第 2 の導電層に、前記第 1 の開口と重なる領域を有する第 2 の開口が設けられ、
前記第 2 の導電層は、前記金属酸化物層と接する領域を有する半導体装置。

[請求項 8]

請求項 7 において、
第 3 の絶縁層と、第 3 の導電層と、を有し、
前記第 3 の絶縁層は、前記第 1 の開口の内部に位置する領域を有するように、前記金属酸化物層上に設けられ、

前記第3の導電層は、前記第1の開口の内部において、前記第3の絶縁層を前記金属酸化物層との間に挟んで対向する領域を有するように設けられる半導体装置。

[請求項9]

請求項2乃至6のいずれか一項において、

第2の導電層を有し、

前記第2の導電層は、前記第2の絶縁層上に設けられ、

前記第2の導電層には、前記第1の開口と重なる領域を有する第2の開口が設けられ、

前記第2の導電層は、前記金属酸化物層と接する領域を有し、

前記第2の絶縁層は、前記第2の層上の第3の層と、前記第3の層上の第4の層と、を有し、

前記第4の層は、前記第2の導電層と接する領域を有し、

前記第4の層は、水素の含有量が前記第3の層の水素の含有量以上である領域を有する半導体装置。

[請求項10]

請求項9において、

第3の絶縁層と、第3の導電層と、を有し、

前記第3の絶縁層は、前記第1の開口の内部に位置する領域を有するように、前記金属酸化物層上に設けられ、

前記第3の導電層は、前記第1の開口の内部において、前記第3の絶縁層を前記金属酸化物層との間に挟んで対向する領域を有するように設けられる半導体装置。

[請求項11]

請求項10において、

前記第4の層の水素の含有量、及び前記第3の層の水素の含有量は、SIMS又はTDSを用いて測定される半導体装置。

[請求項12]

請求項10において、

前記第3の層の水素の拡散係数は、前記第2の導電層の水素の拡散係数より小さい半導体装置。

[請求項13]

請求項12において、前記第3の層の水素の拡散係数、及び前記第2の導電層の水素の拡散係数は、TDS、又はSIMSを用いて測定される半導体装置。

[請求項14]

請求項9において、

前記第3の層は、前記第1の層に含まれる材料と同一の材料を含み、

前記第4の層は、前記第1の絶縁層に含まれる材料と同一の材料を含む半導体装置。

[請求項15]

水素を含む第1の絶縁層を形成し、

前記第1の絶縁層上に、第1の導電層を形成し、

前記第1の導電層上に、第2の絶縁層を形成し、

前記第2の絶縁層上に、第2の導電層を形成し、

前記第2の導電層を加工することで、前記第1の導電層と重なる領域を有する第1の開口を形成し、

前記第2の絶縁層を加工することで、前記第1の開口と重なる領域を有するように、前記第1の導電層に達する第2の開口を形成し、

前記第2の開口の内部に位置する領域を有し、且つ前記第1の導電層と接する領域、及び前記第2の導電層と接する領域を有するように、金属酸化物層を形成し、

前記第2の開口の内部に位置する領域を有するように、前記金属酸化物層上に第3の絶縁層を形成し、

前記第2の開口の内部において、前記第3の絶縁層を前記金属酸化物層との間に挟んで対向する領域を有するように、第3の導電層を形成する半導体装置の作製方法。

[請求項16]

請求項15において、

前記第2の絶縁層として、前記第1の絶縁層と接する領域を有する第1の層と、前記第1の層上の第2の層と、を形成し、

前記第1の層の成膜ガスにおける、水素を含む分子の割合は、前記第1の絶縁層の成膜ガスにおける、水素を含む分子の割合以下である半導体装置の作製方法。

[請求項17]

請求項16において、

前記第1の層の水素の拡散係数が、前記第1の導電層の水素の拡散係数より小さくなるように、前記第1の層を形成する半導体装置の作製方法。

[請求項18]

請求項16において、

前記第2の層の形成後、且つ前記第2の導電層の形成前に、前記第2の層に酸素を供給する半導体装置の作製方法。

[請求項19]

請求項16乃至18のいずれか一項において、

前記第2の絶縁層として、前記第2の層上の第3の層と、前記第3の層上の第4の層と、を形成し、

前記第4の層の成膜ガスにおける、水素を含む分子の割合は、前記第3の層の成膜ガスにおける、水素を含む分子の割合以上であり、

前記第4の層と接する領域を有するように、前記第2の導電層を形成する半導体装置の作製方法。

[請求項20]

請求項19において、

前記第3の層の水素の拡散係数が、前記第2の導電層の水素の拡散係数より小さくなるように、前記第3の層を形成する半導体装置の作製方法。

[請求項21]

請求項19において、

前記第1の層に含まれる材料と同一の材料を含むように前記第3の層を形成し、

前記第1の絶縁層に含まれる材料と同一の材料を含むように前記第4の層を形成する半導体装置の作製方法。

図 1A

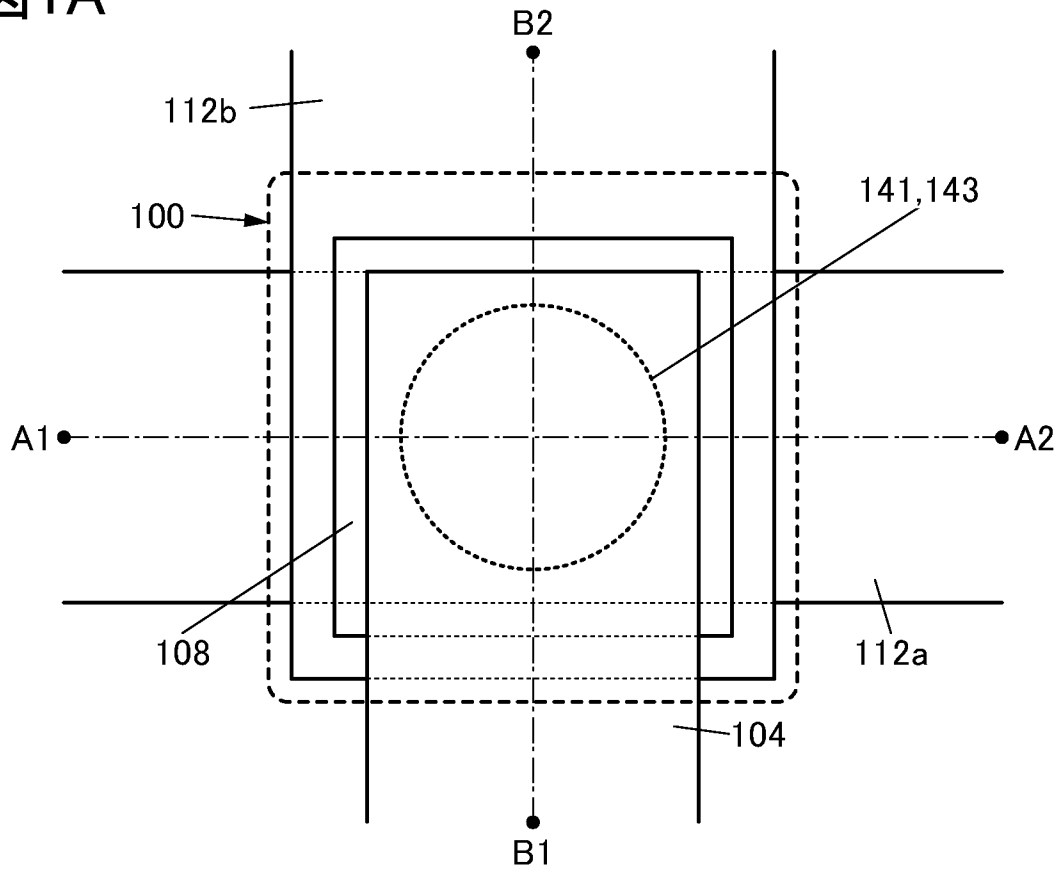


図 1B

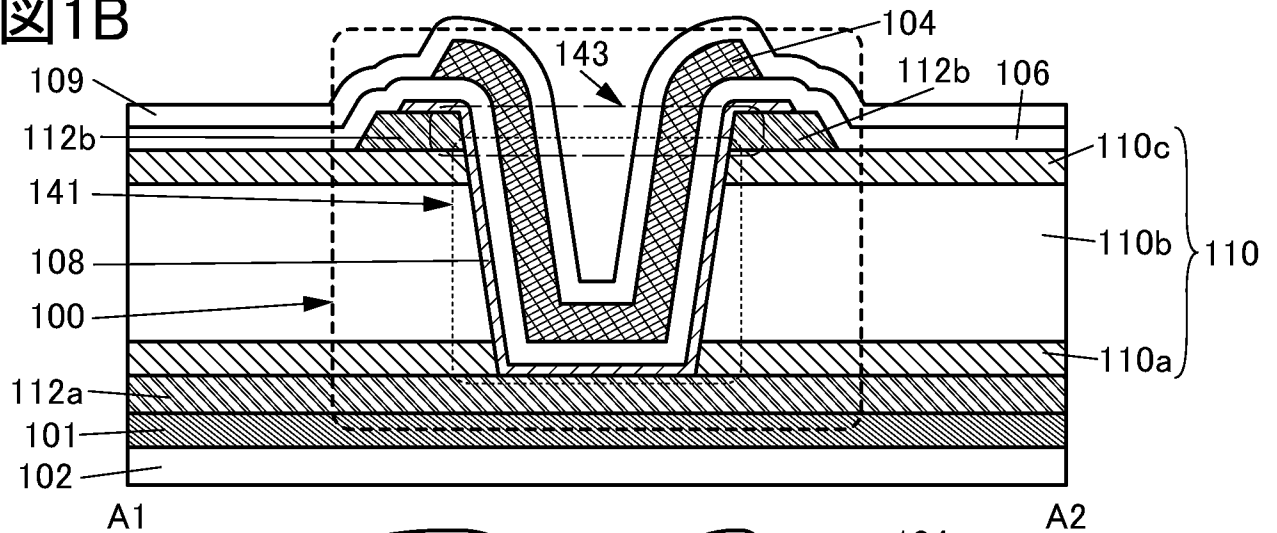


図 1C

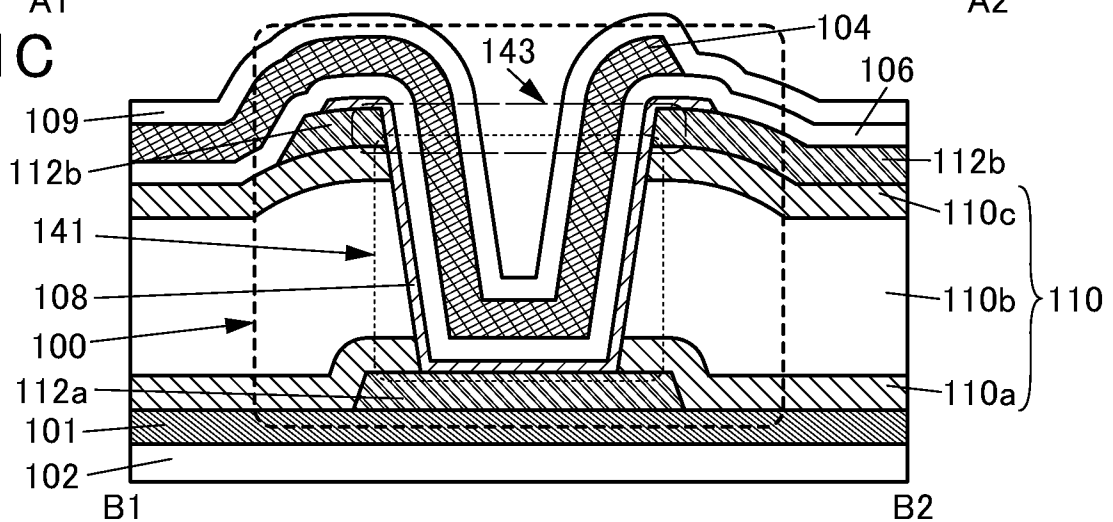


図2A

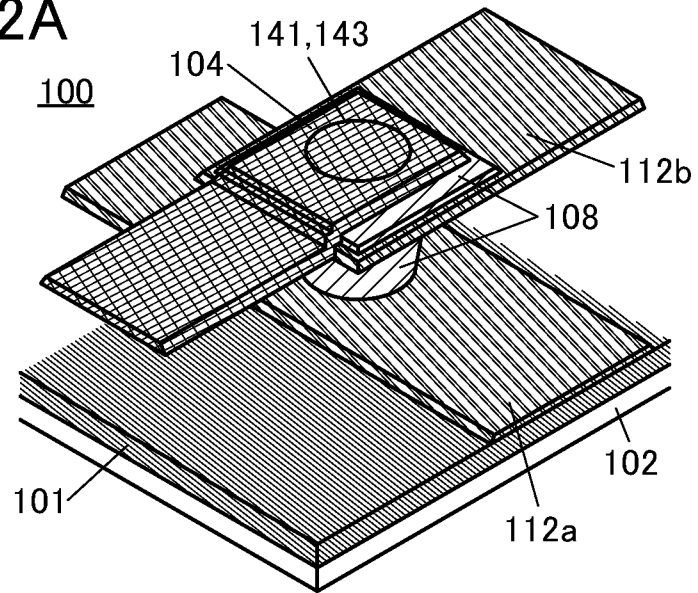


図2B

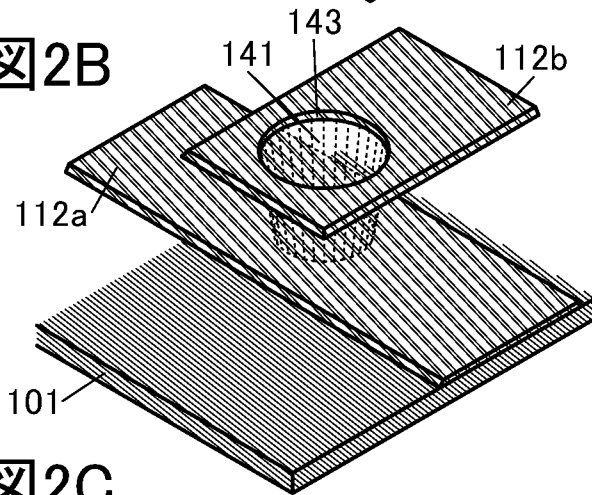


図2C

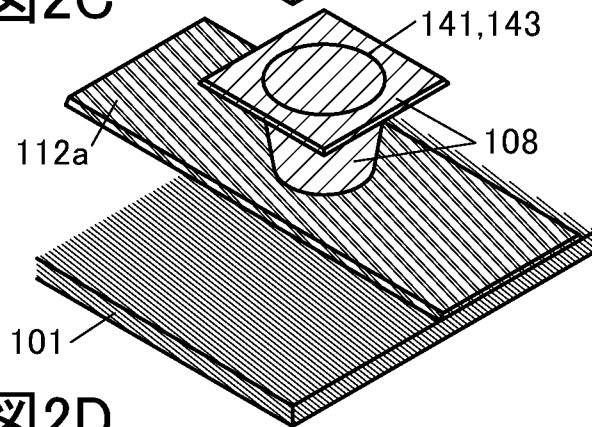


図2D

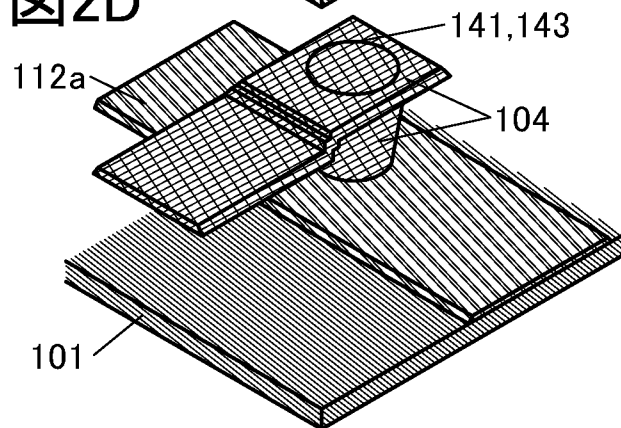


図3A

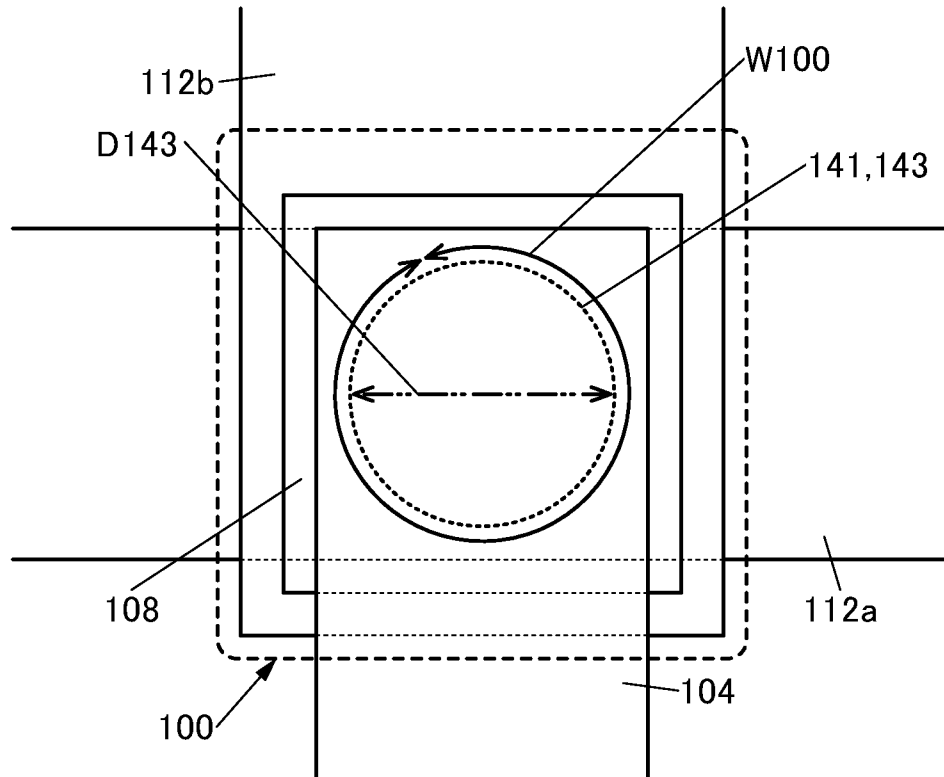


図3B

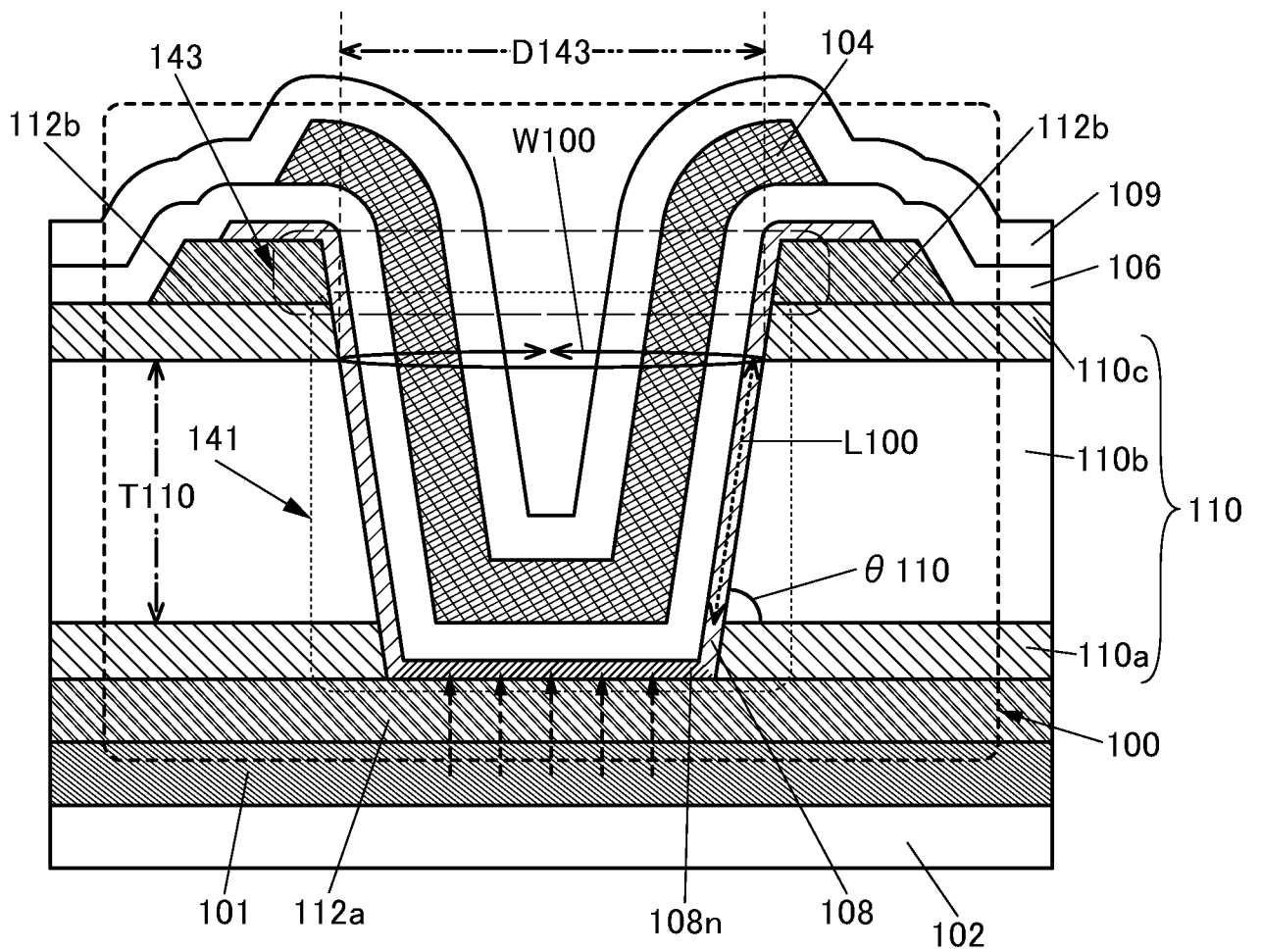


図4A

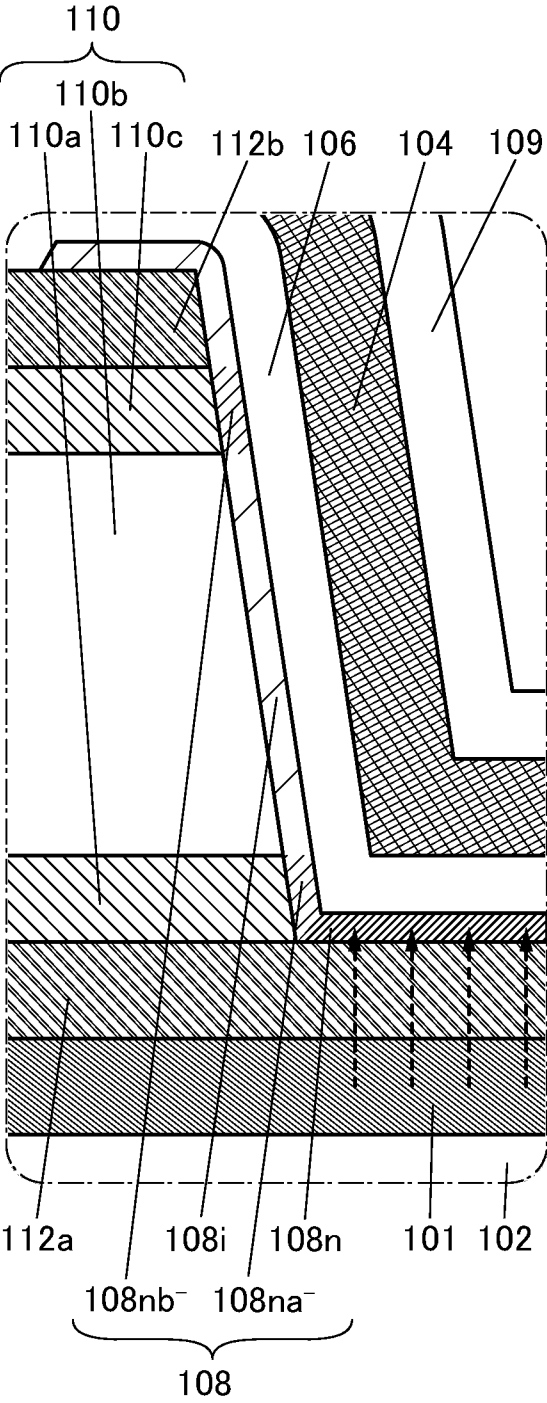


図4B

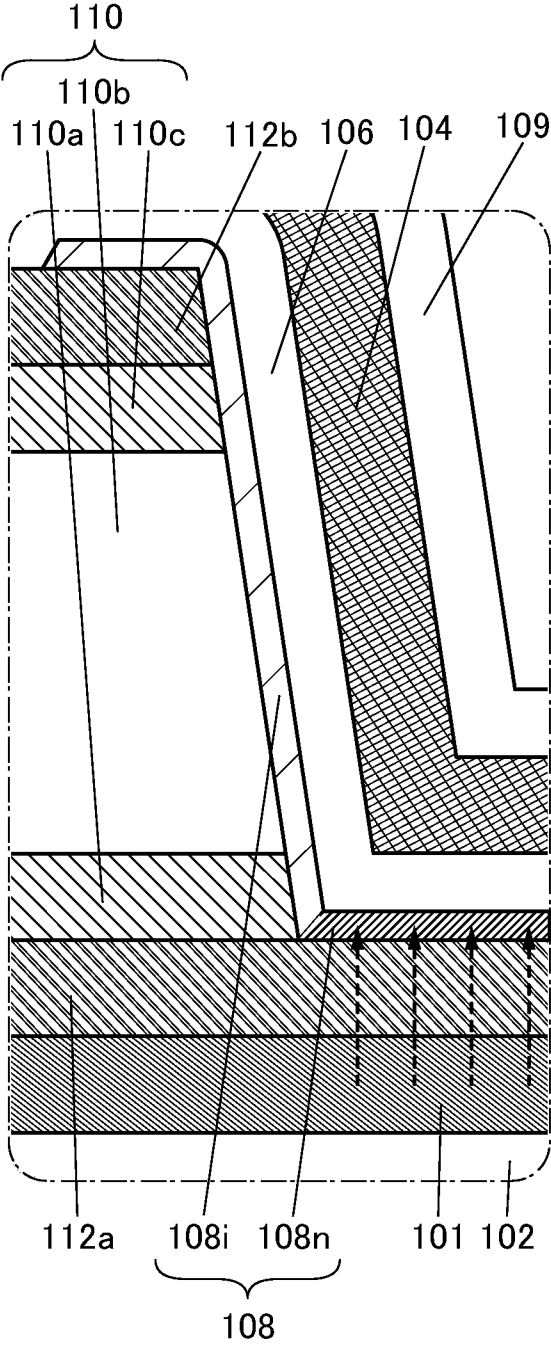


図5A

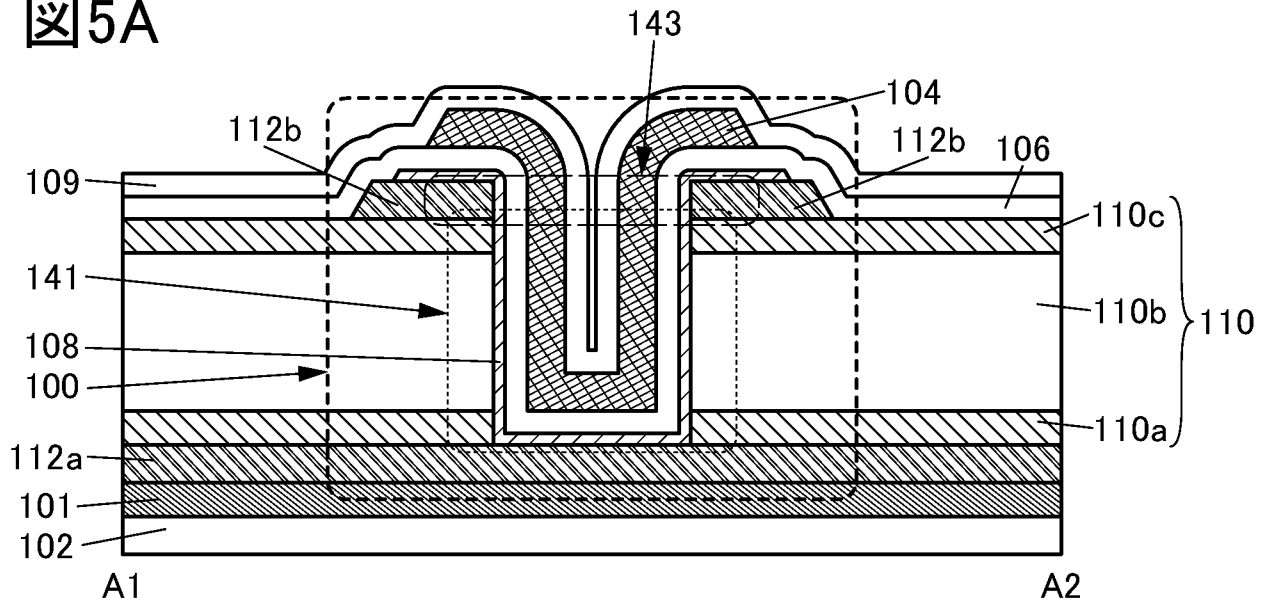


図5B

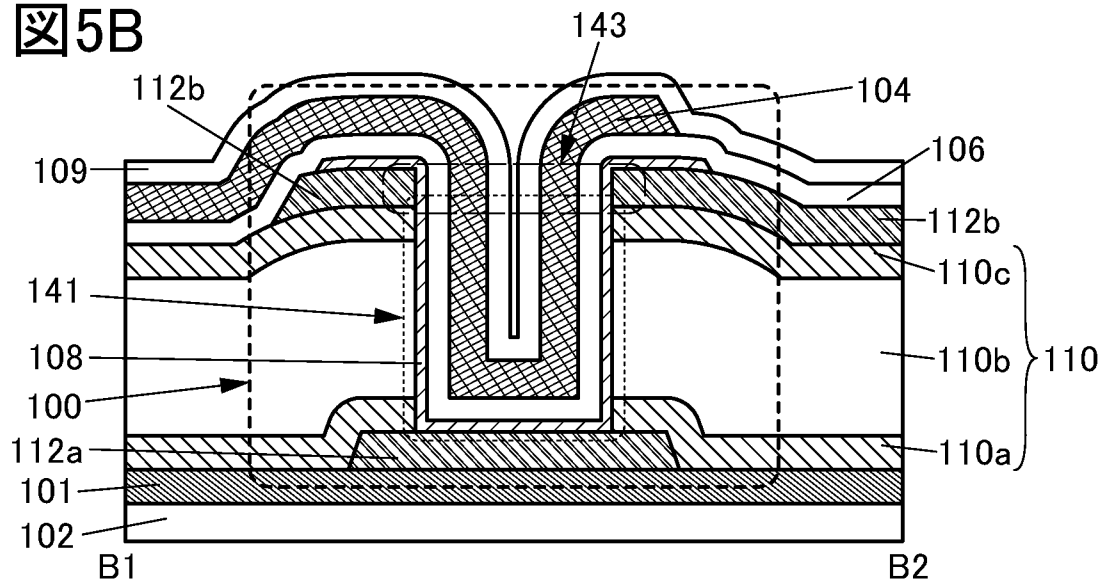


図6A

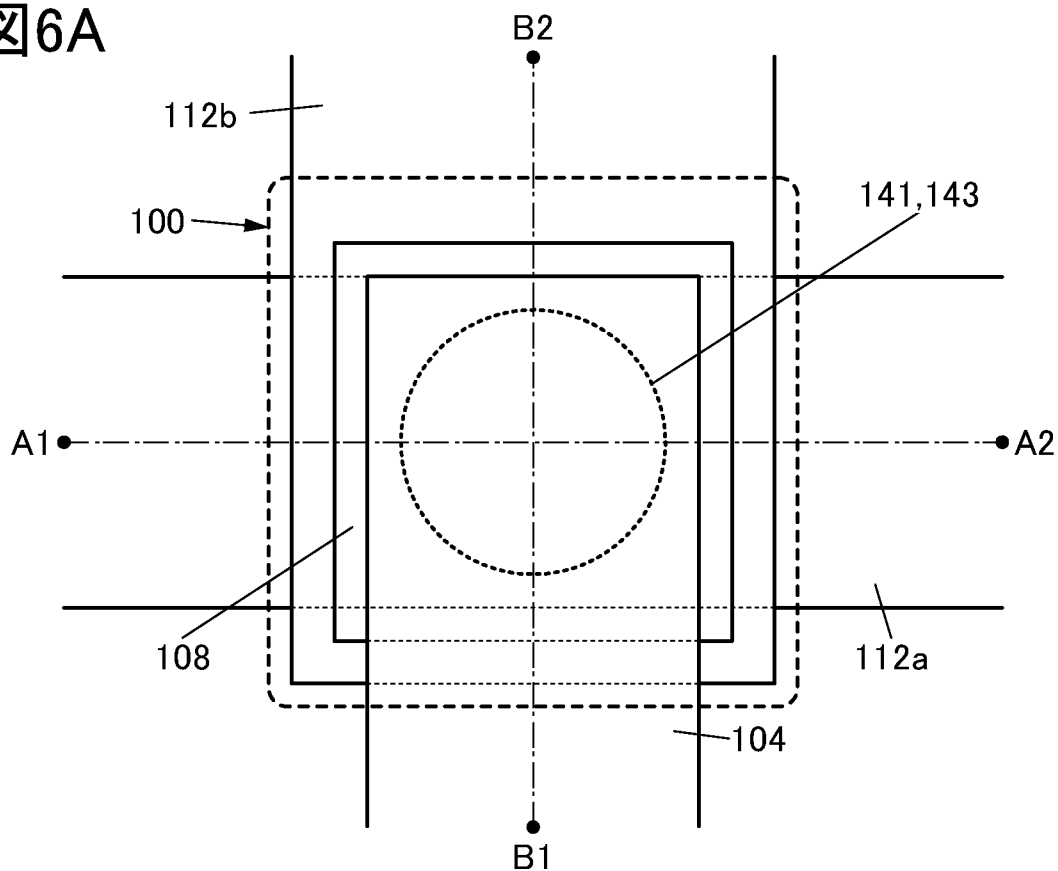


図6B

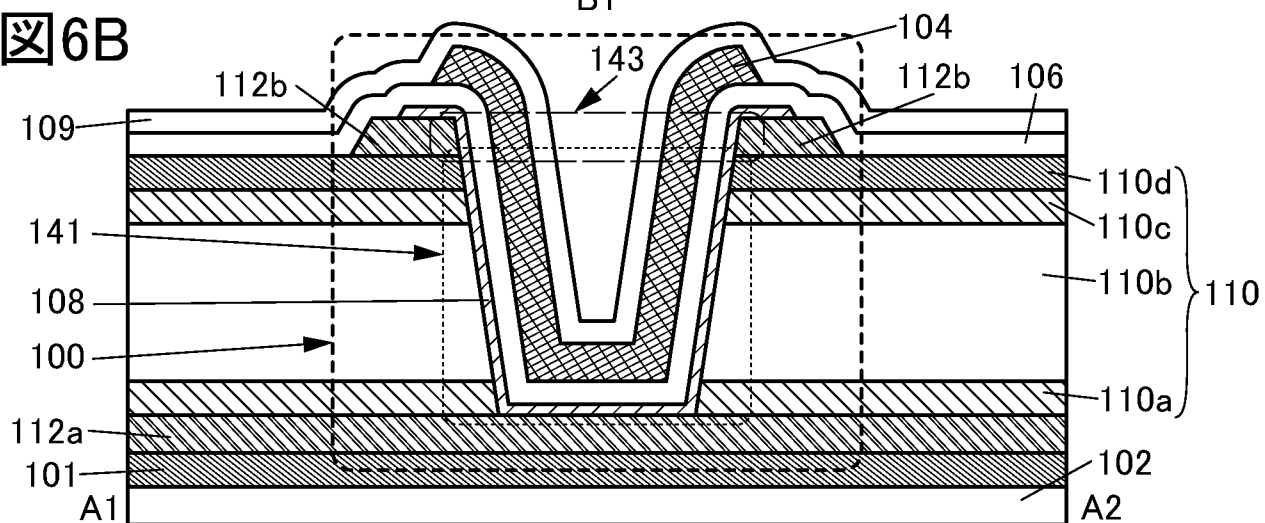


図6C

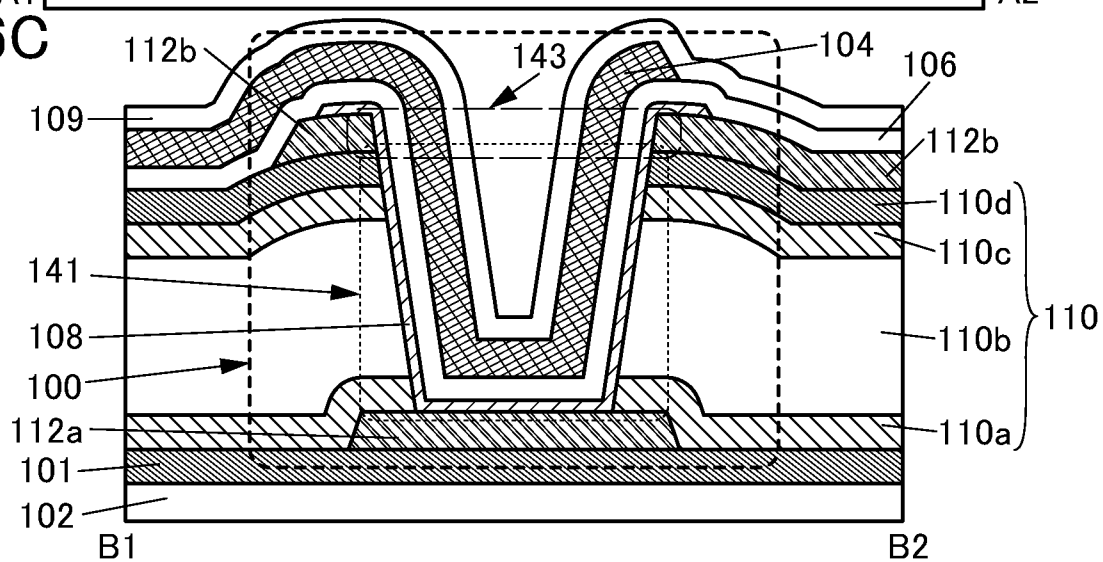


図7A

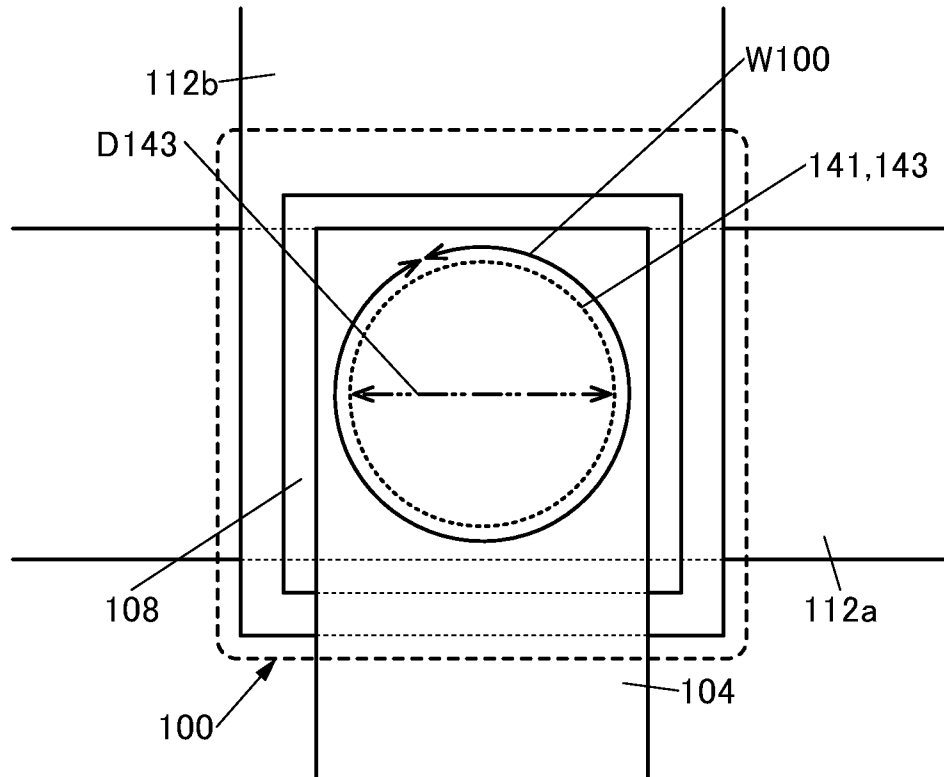


図7B

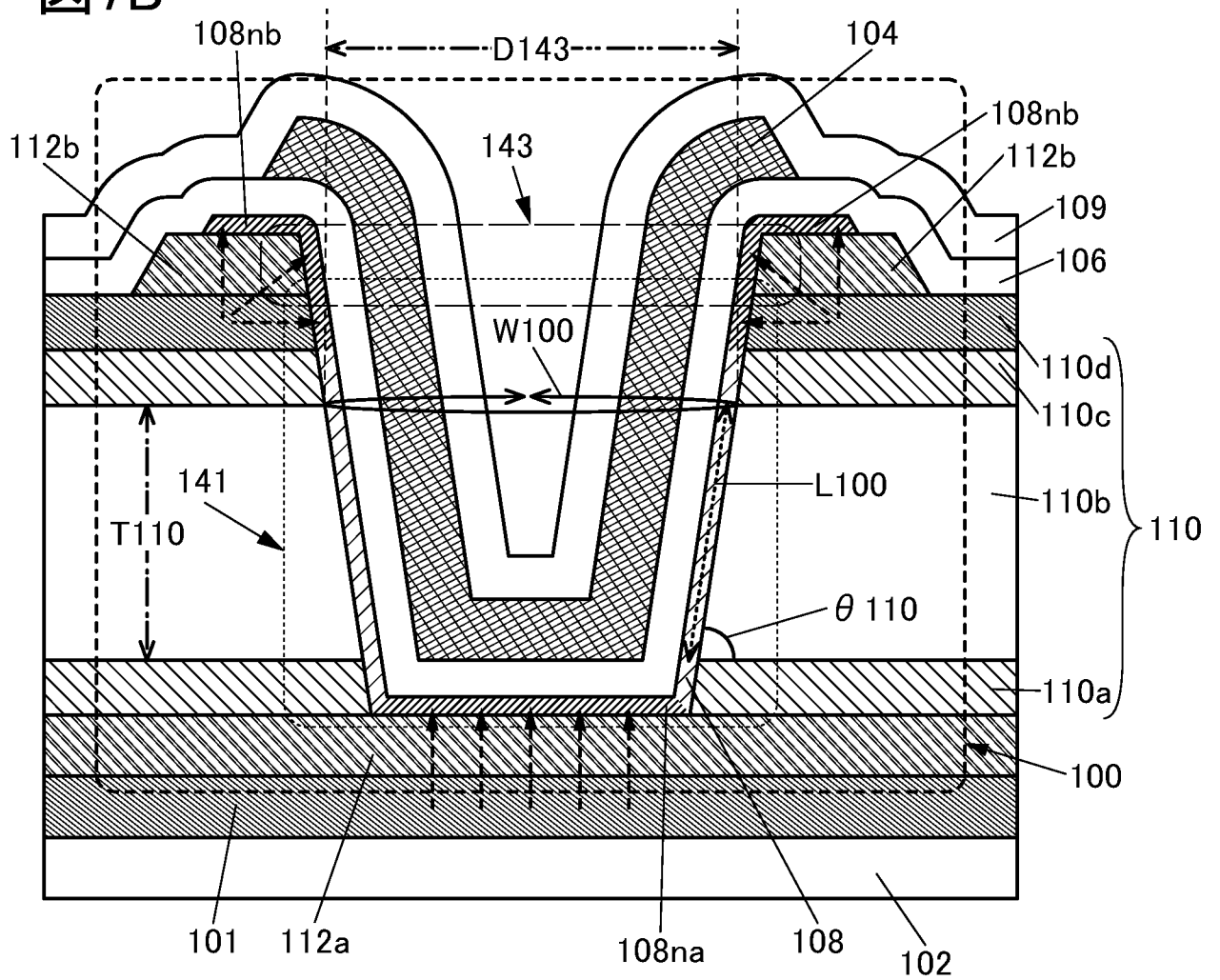


図 8A

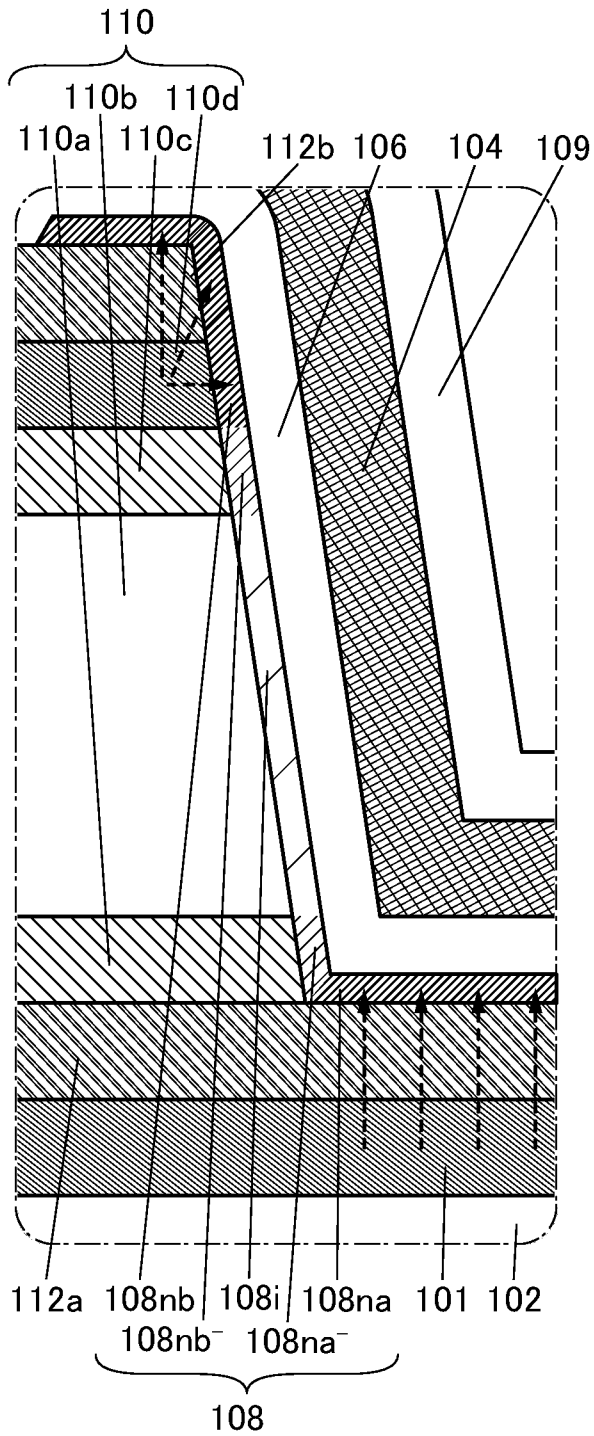


图 8B

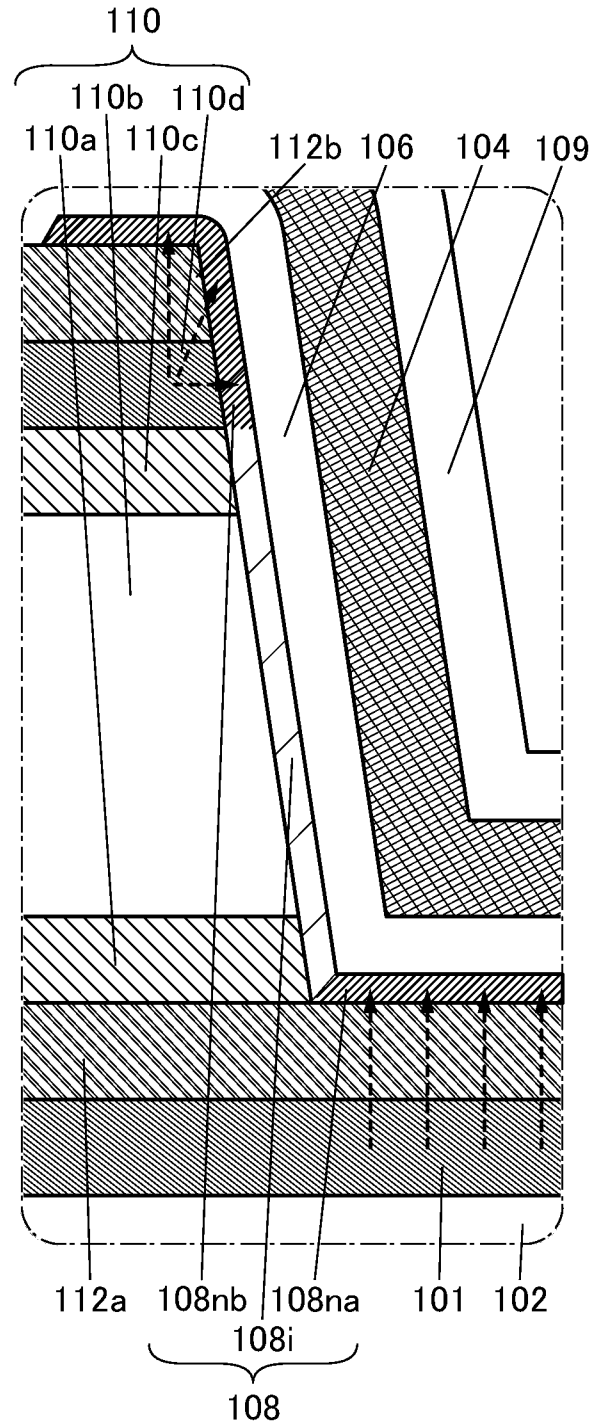


図9A

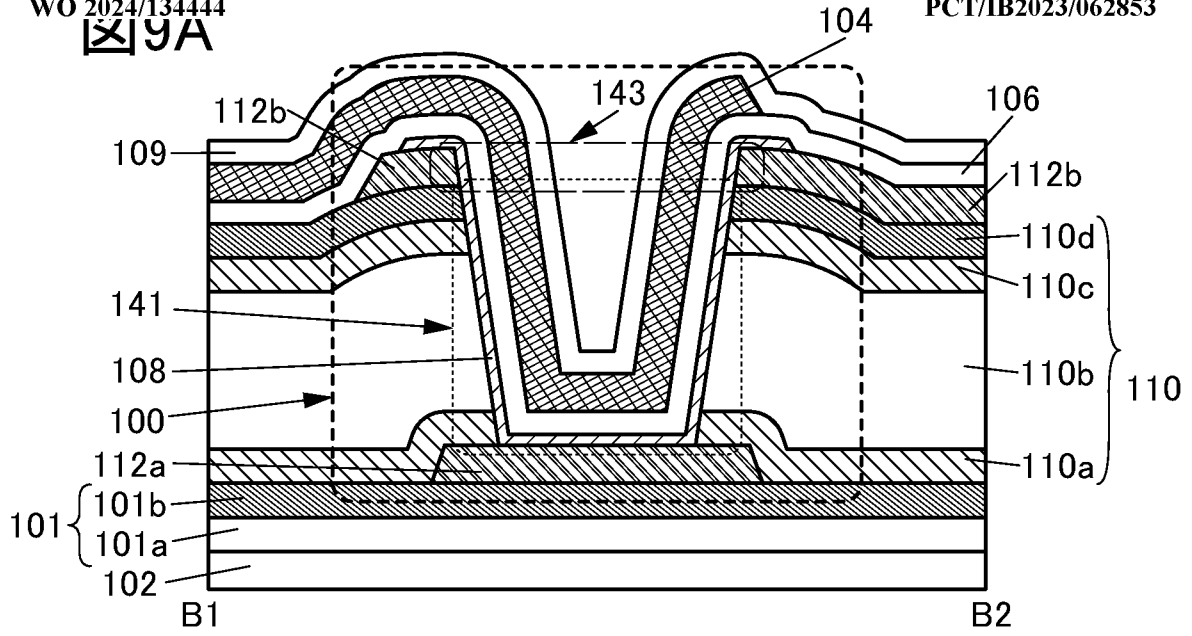


図9B

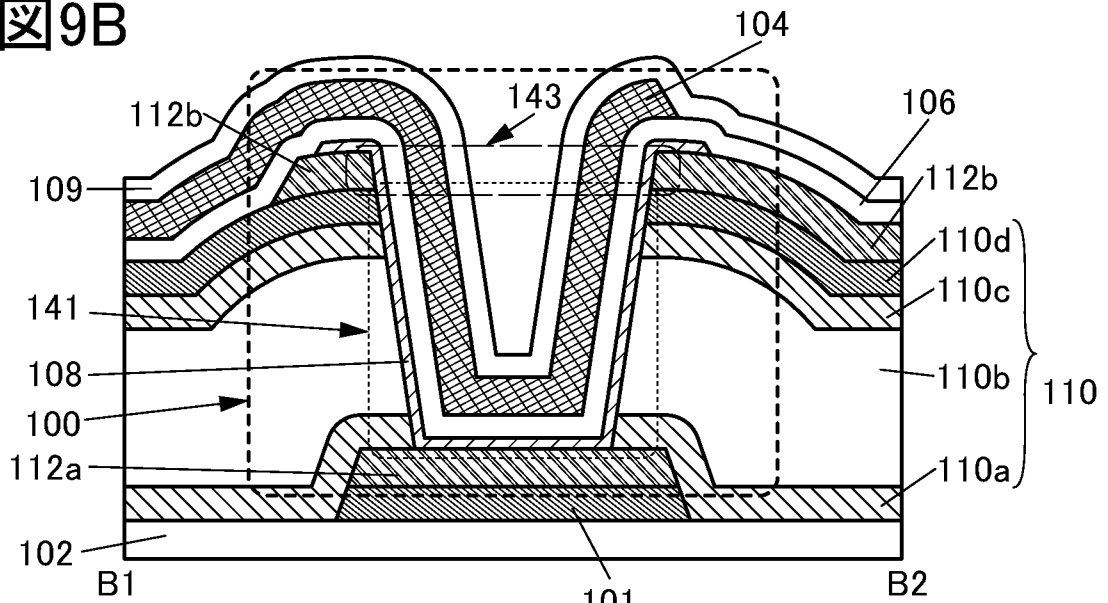
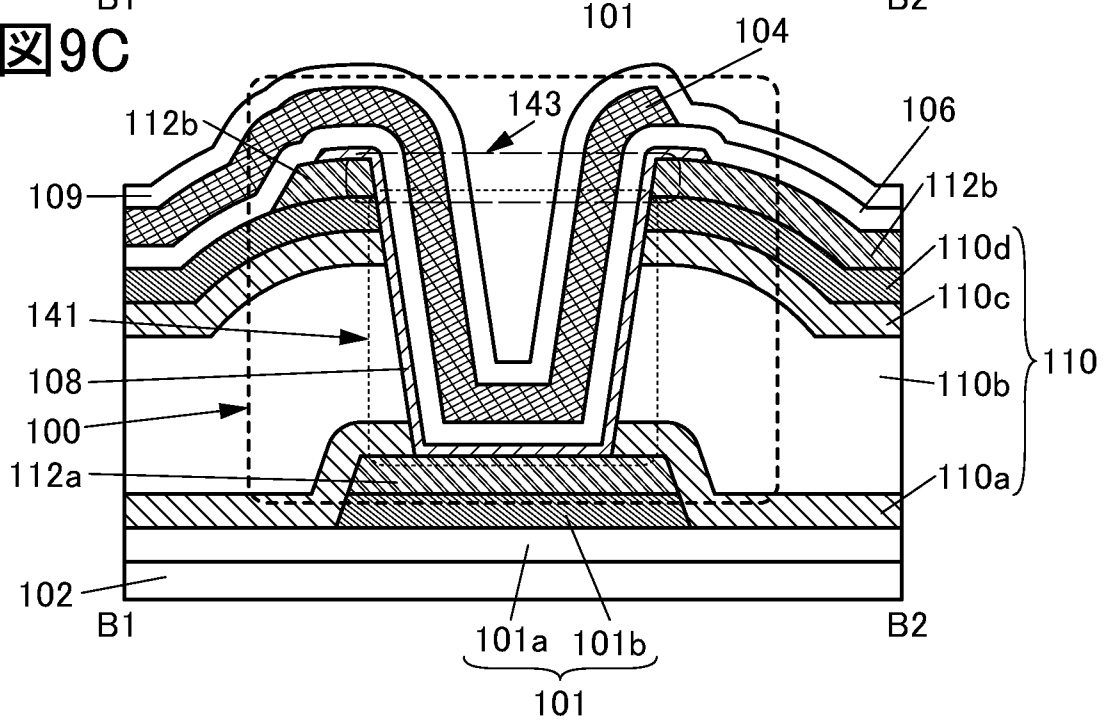


図9C



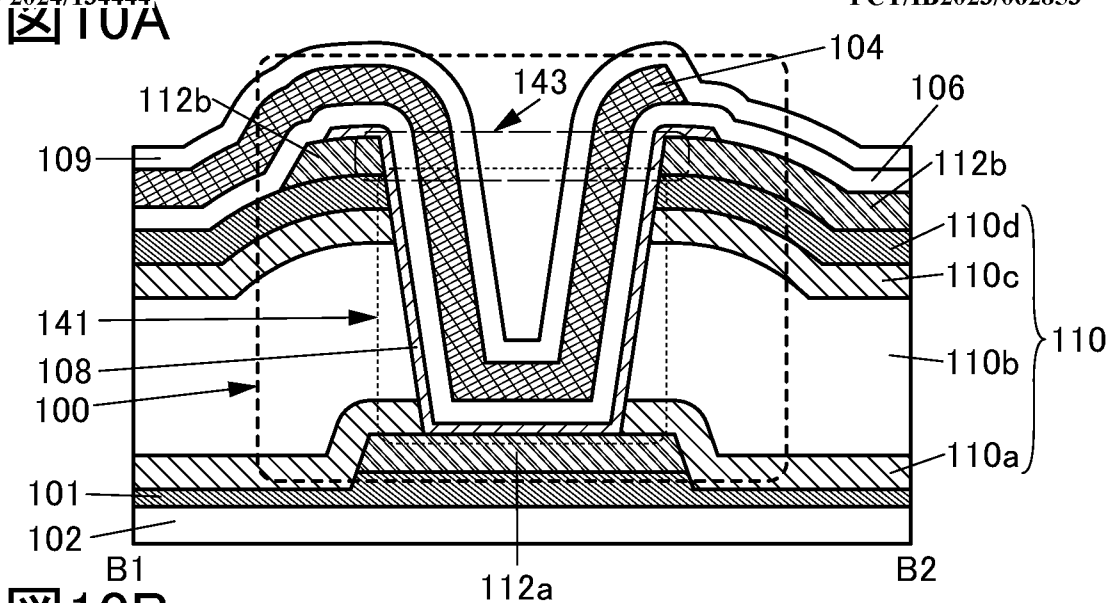


FIG. 10A

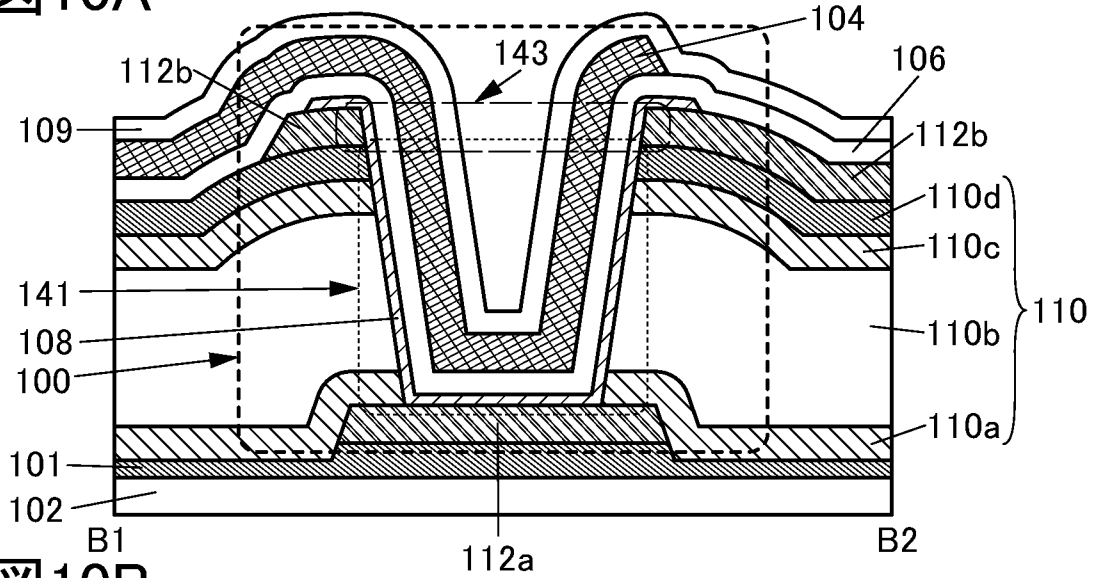
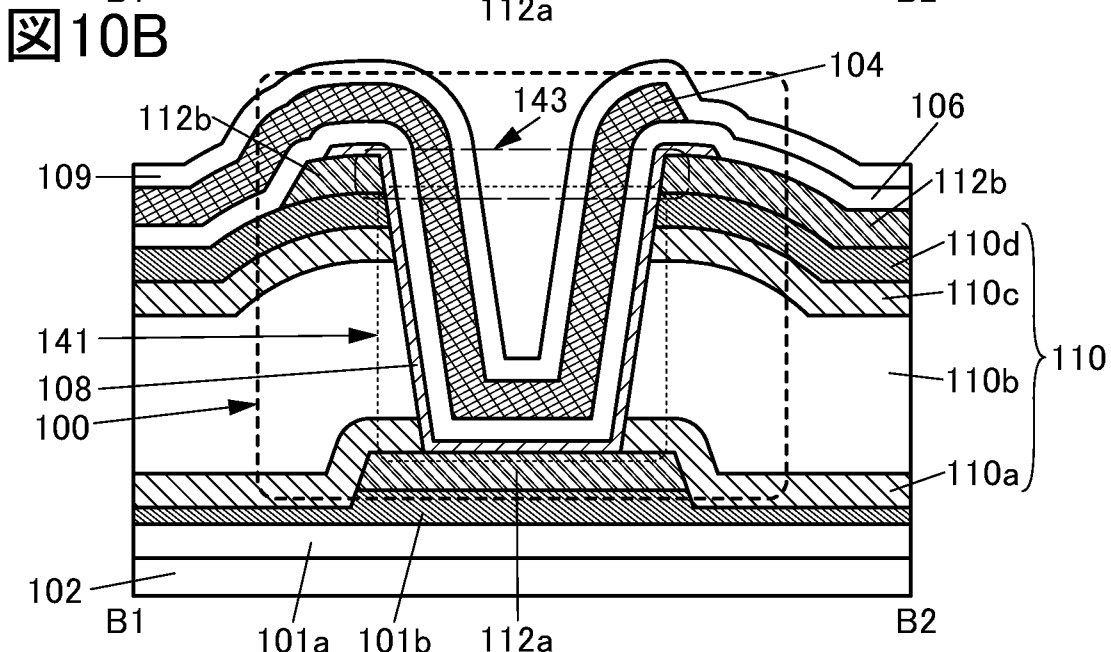



FIG. 10B

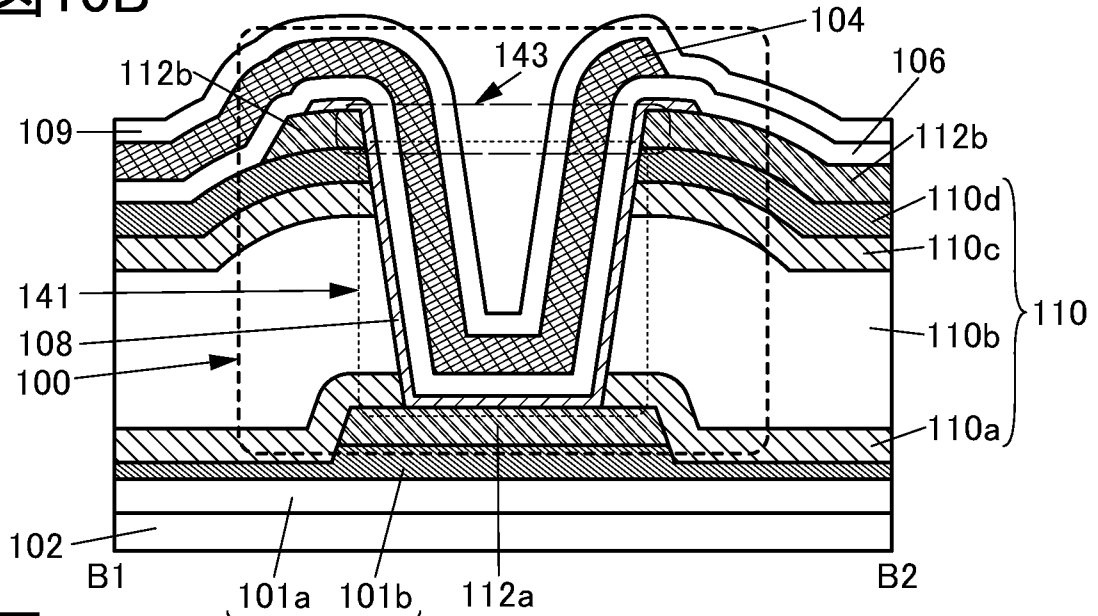
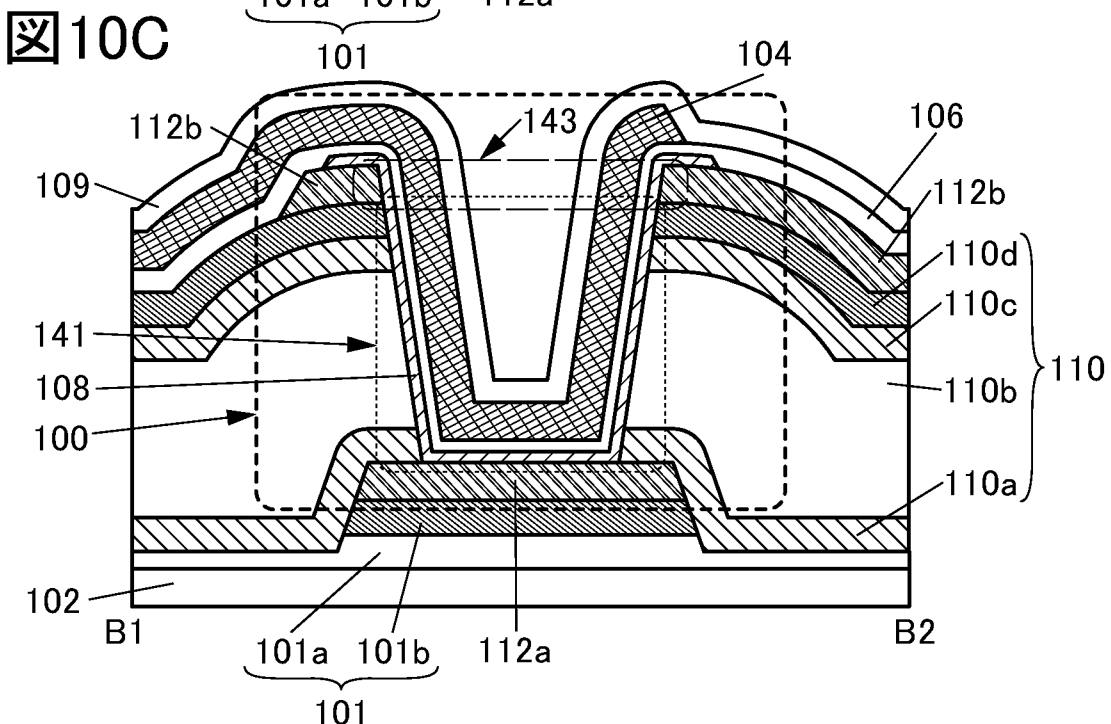
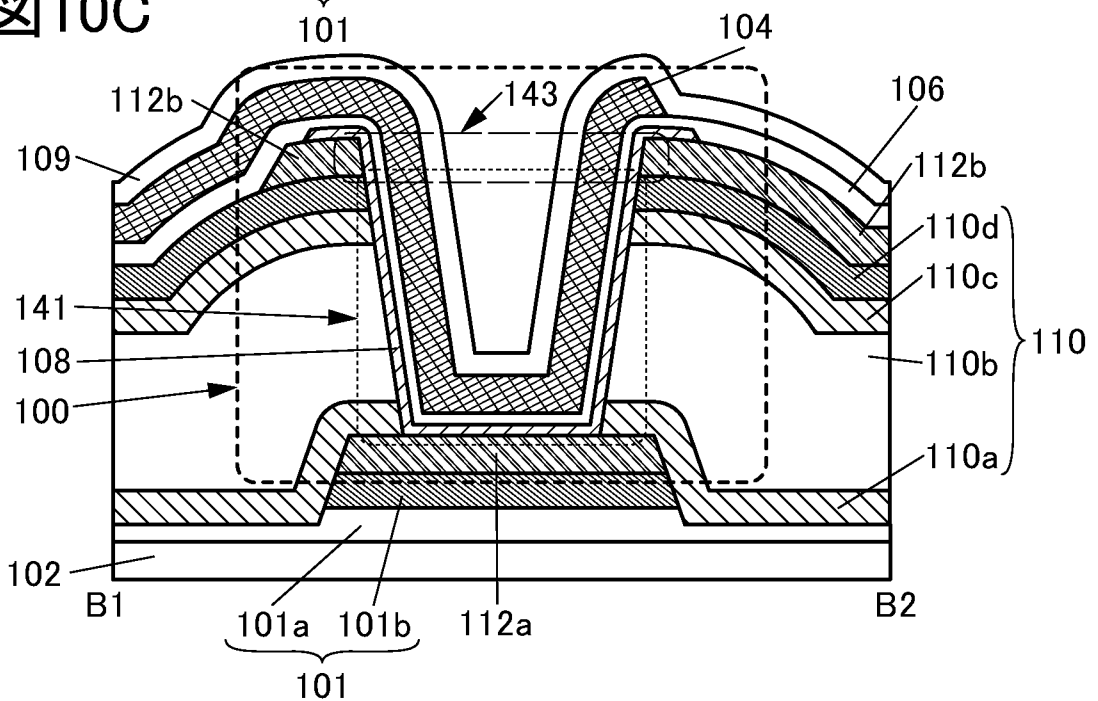
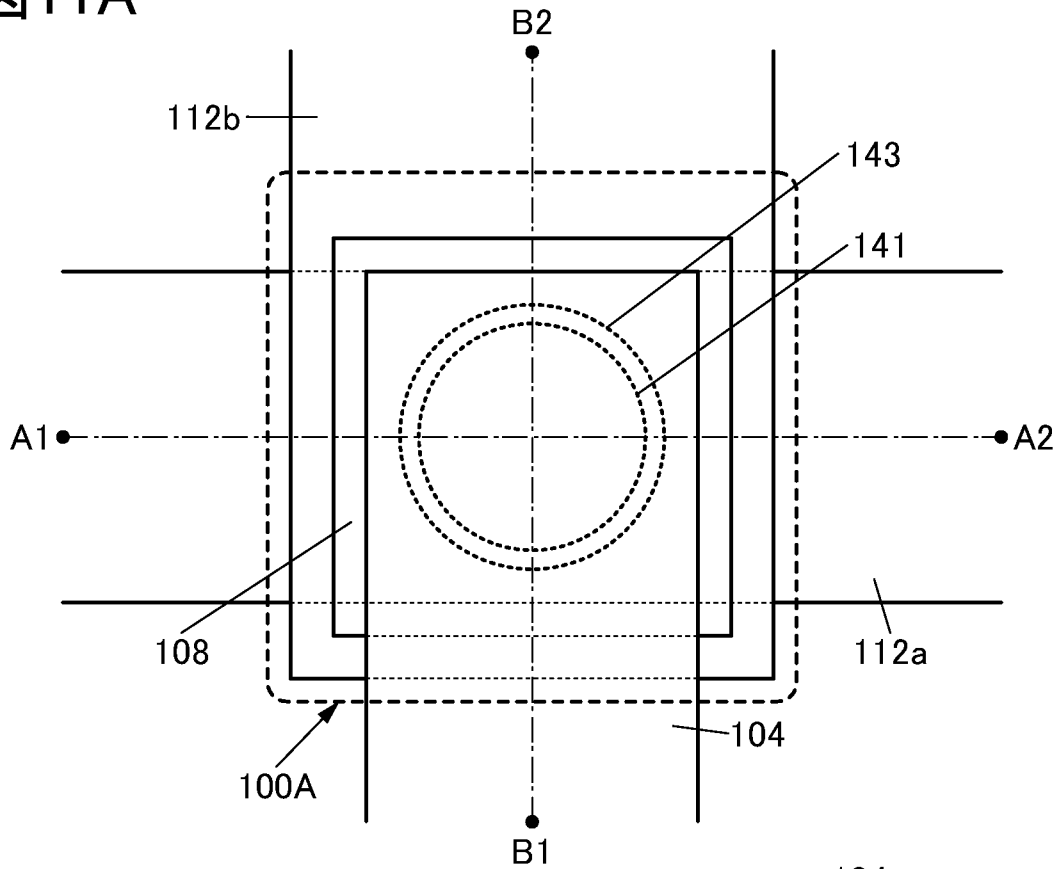
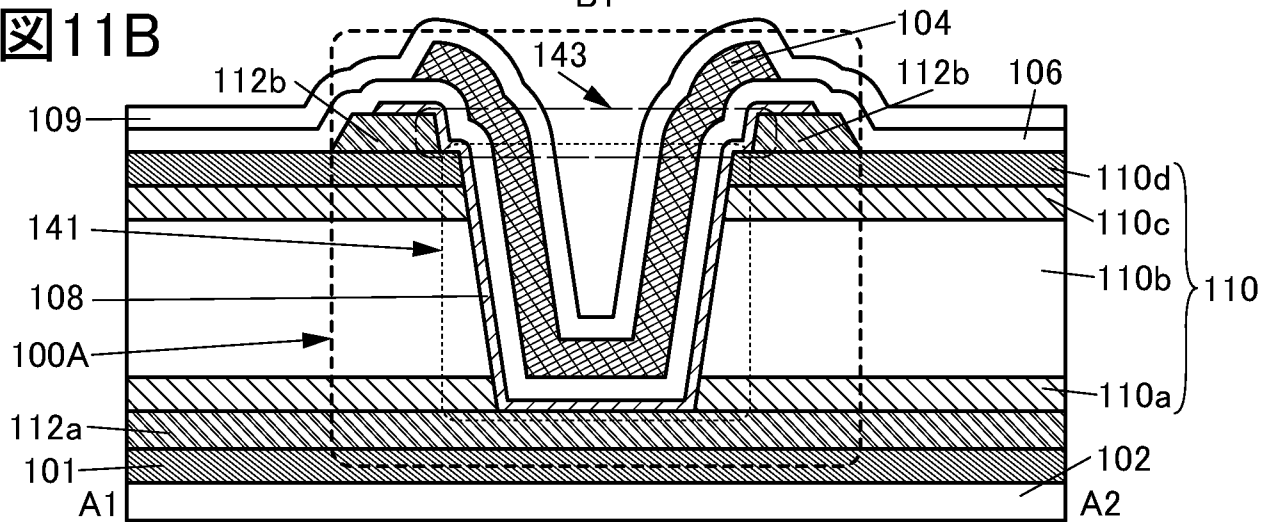



FIG. 10C

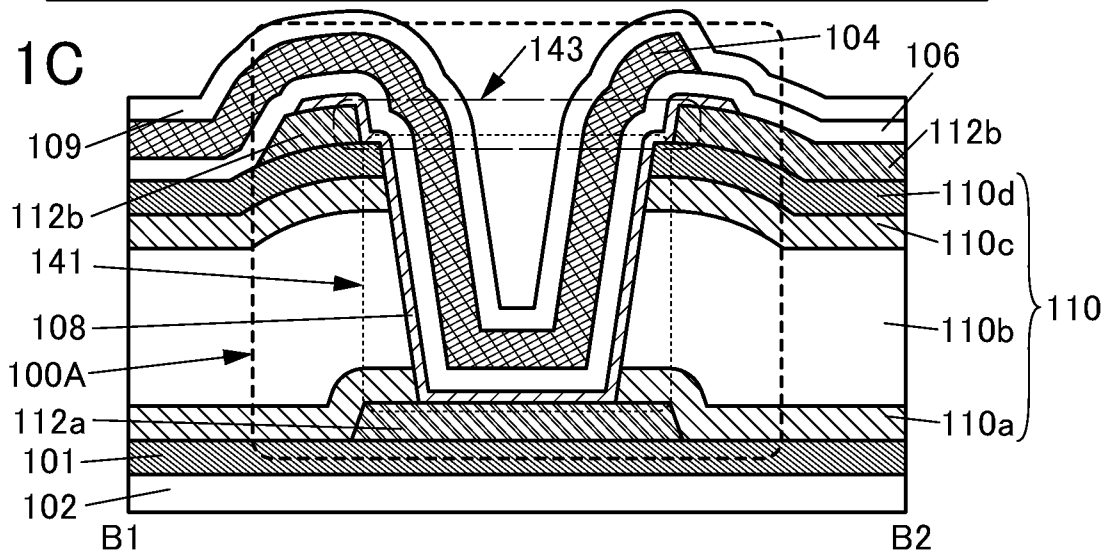


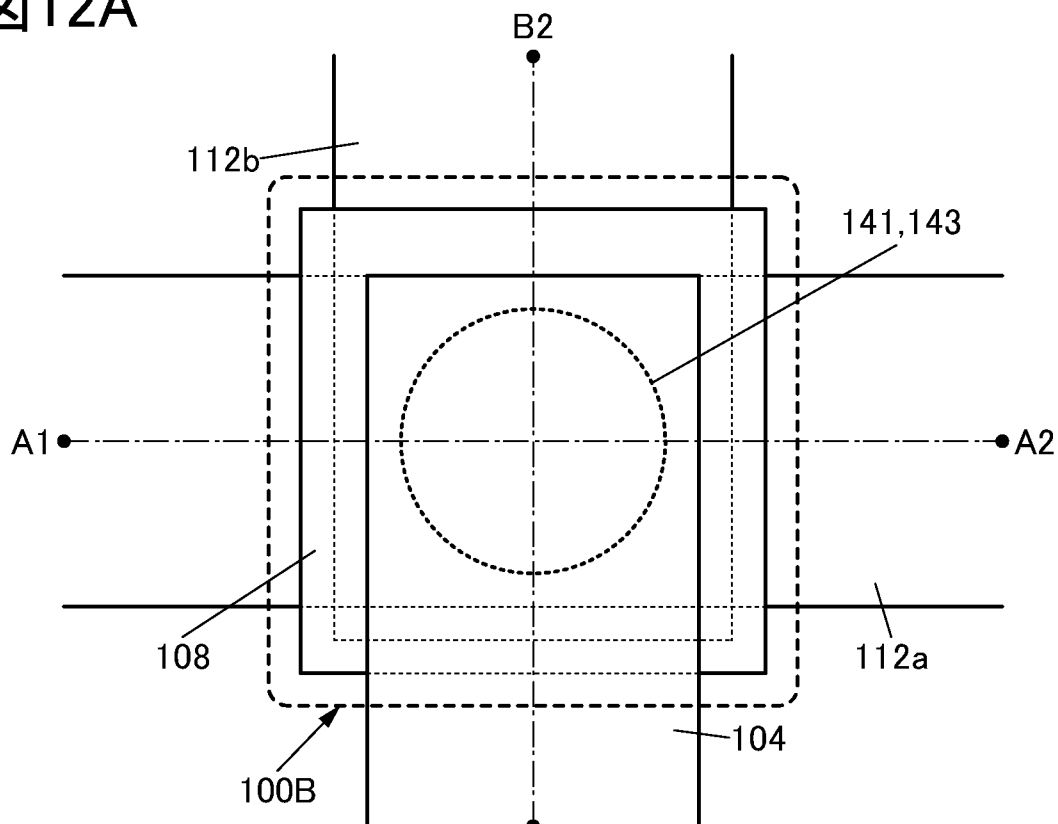


 11B

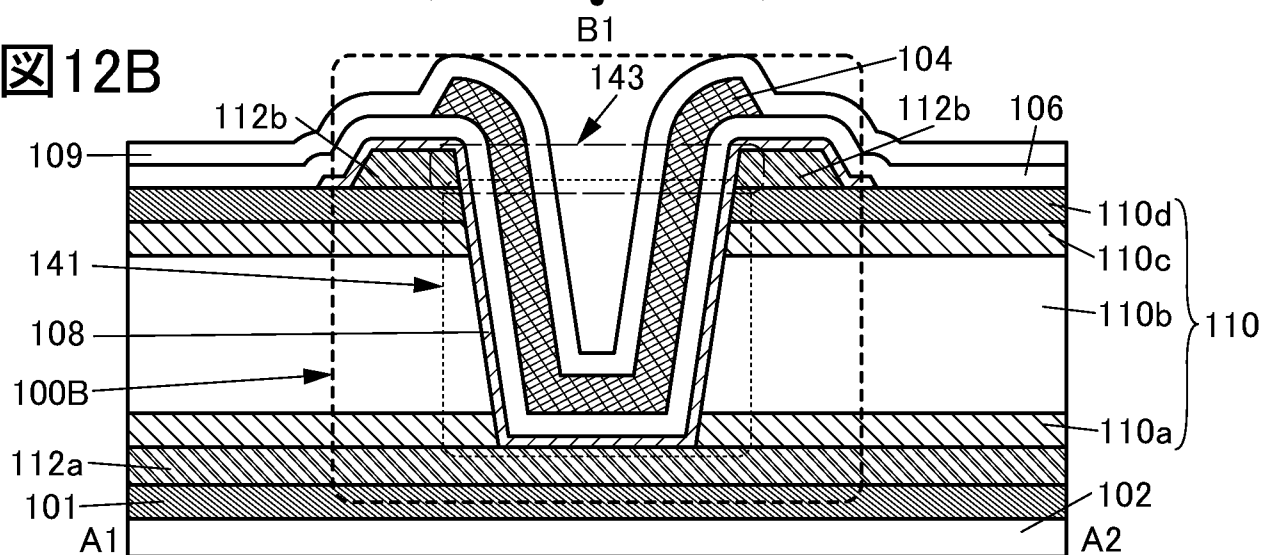


 11C





12B



12C

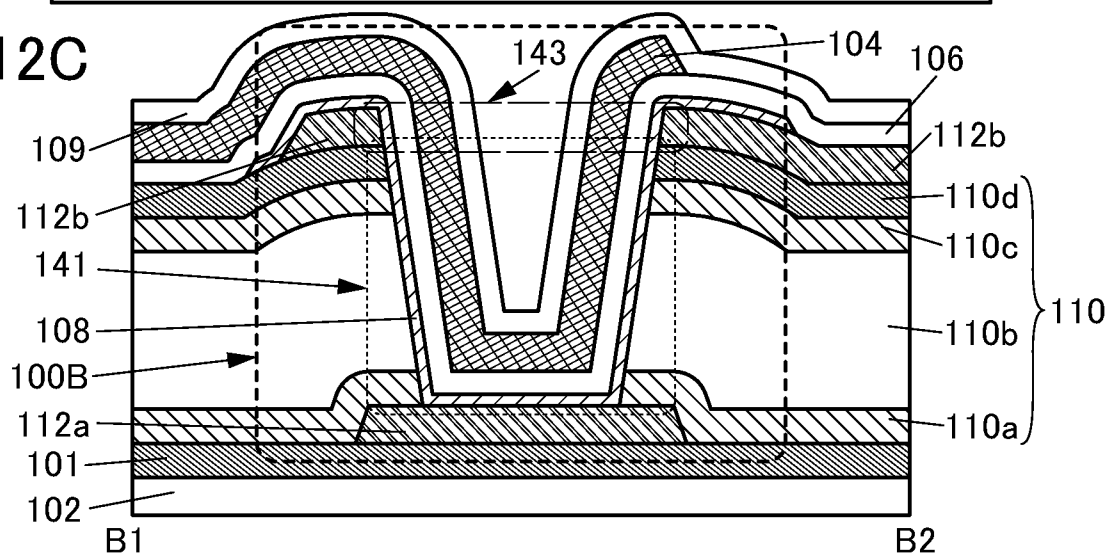


図 13A

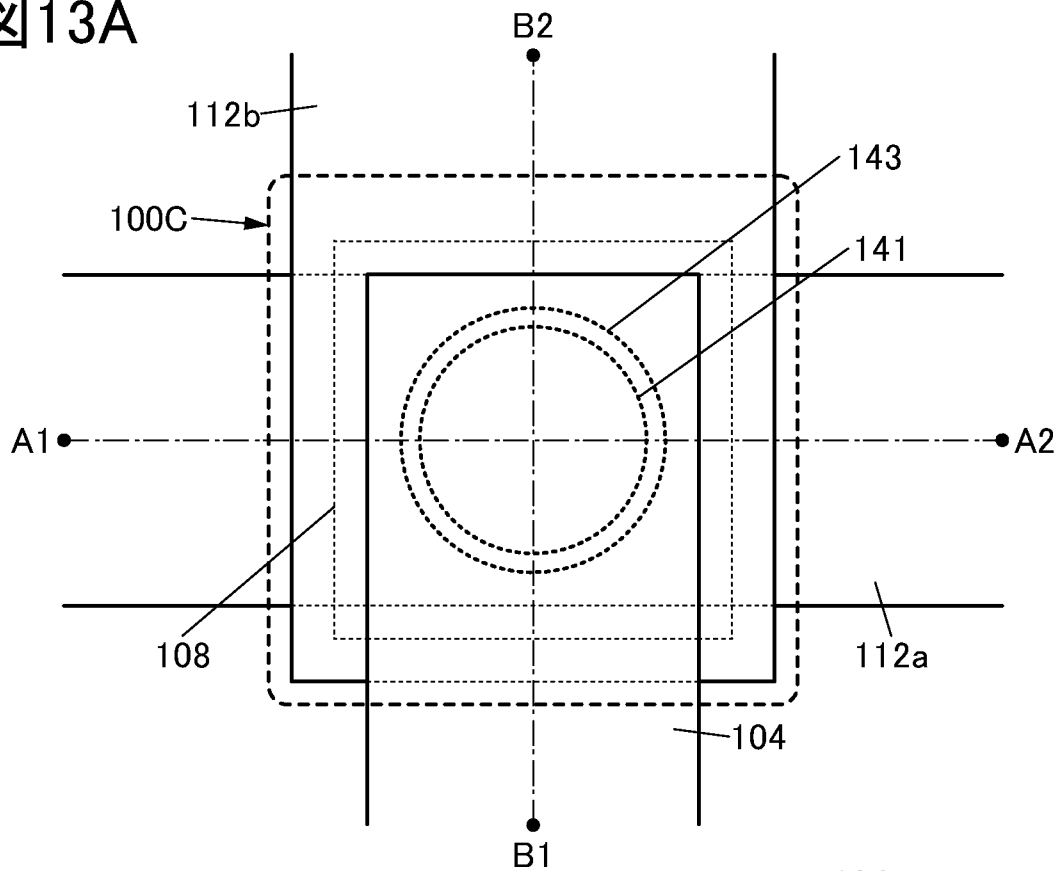


図 13B

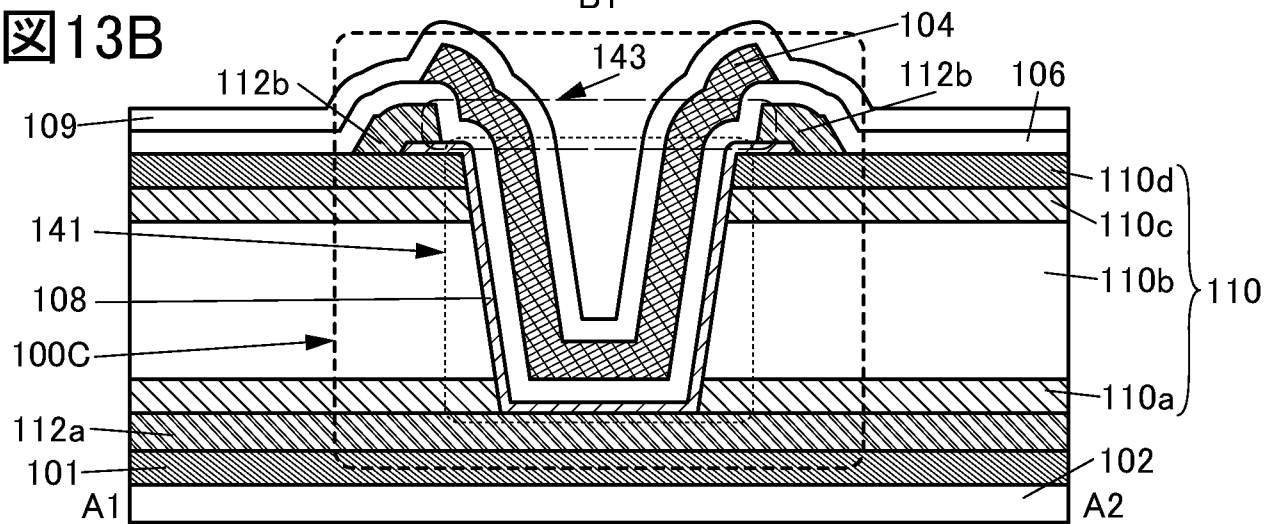
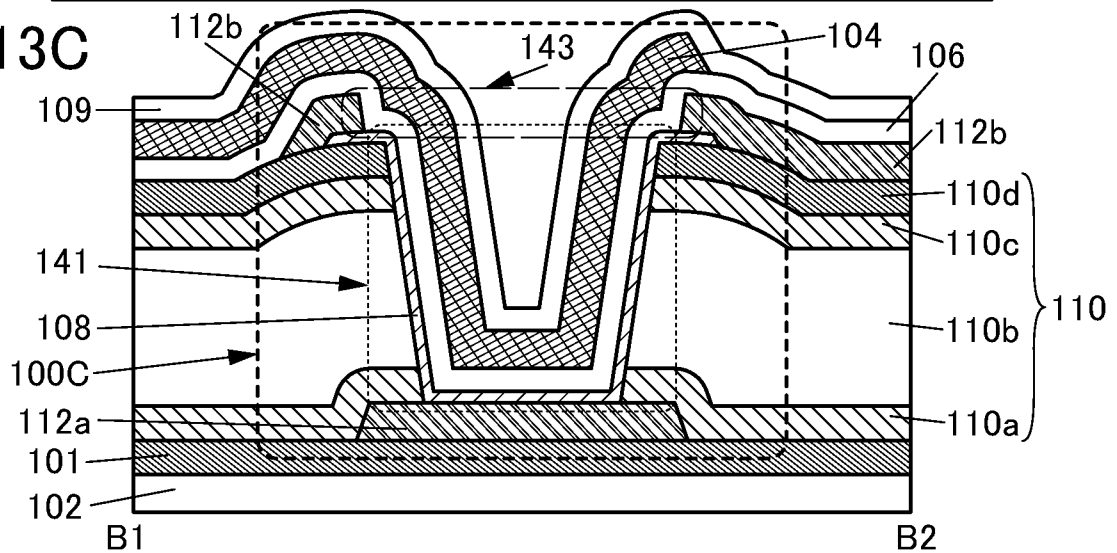
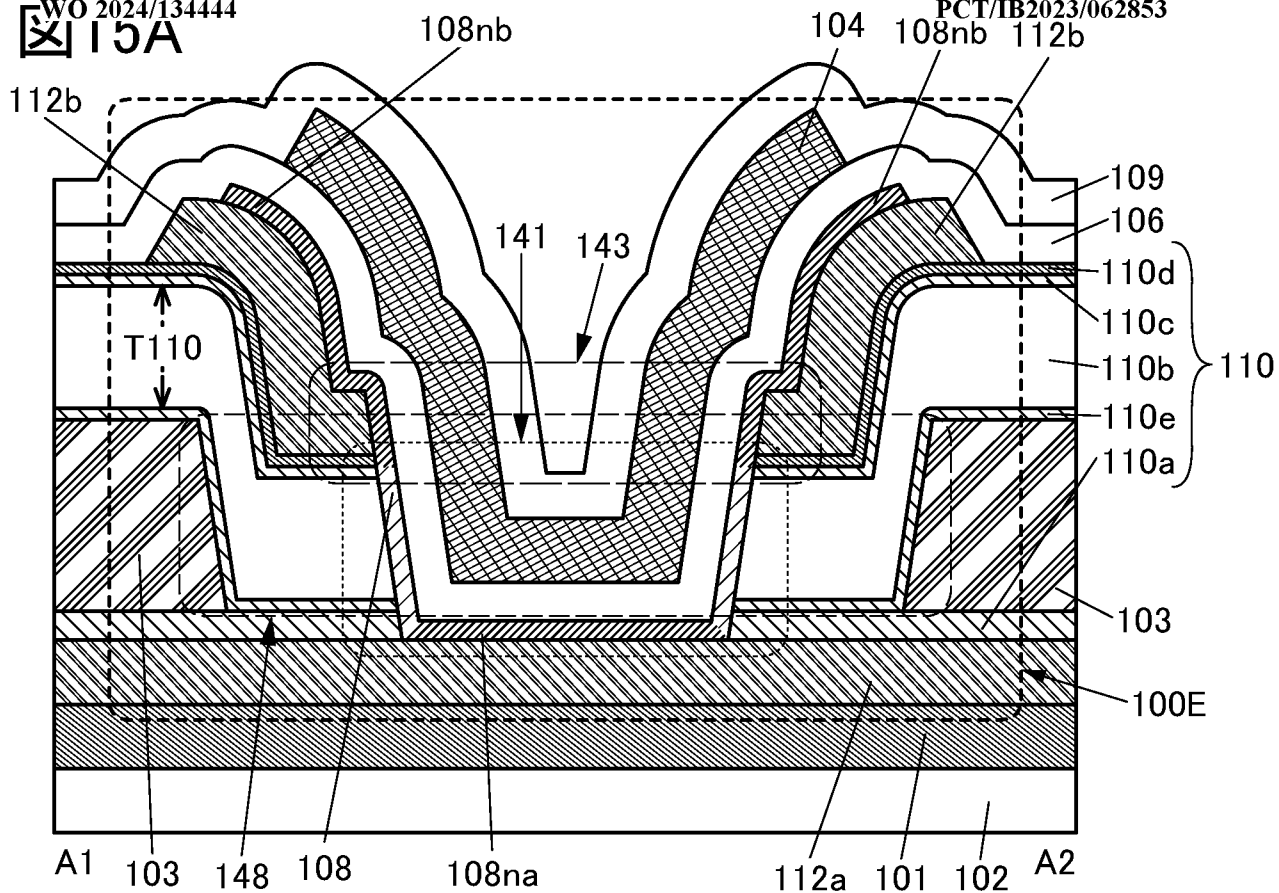


図 13C





 15B

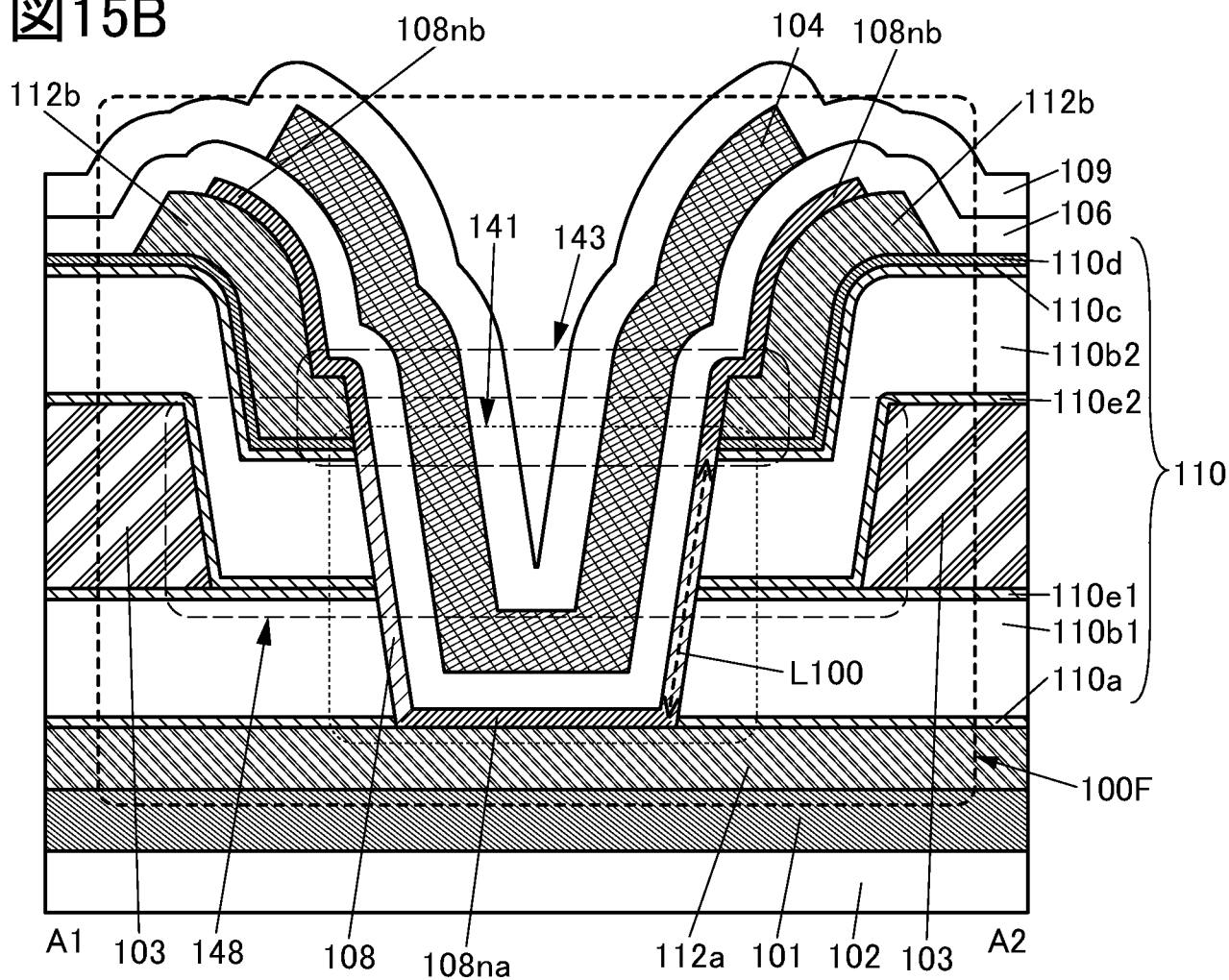


図17A

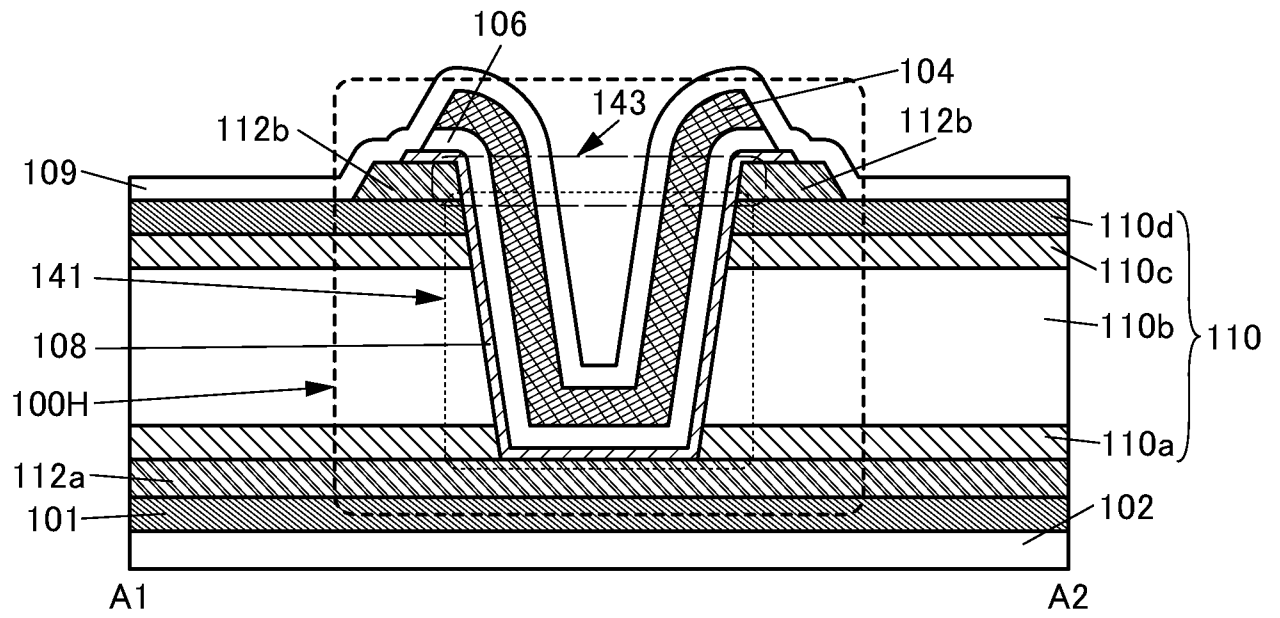


図17B

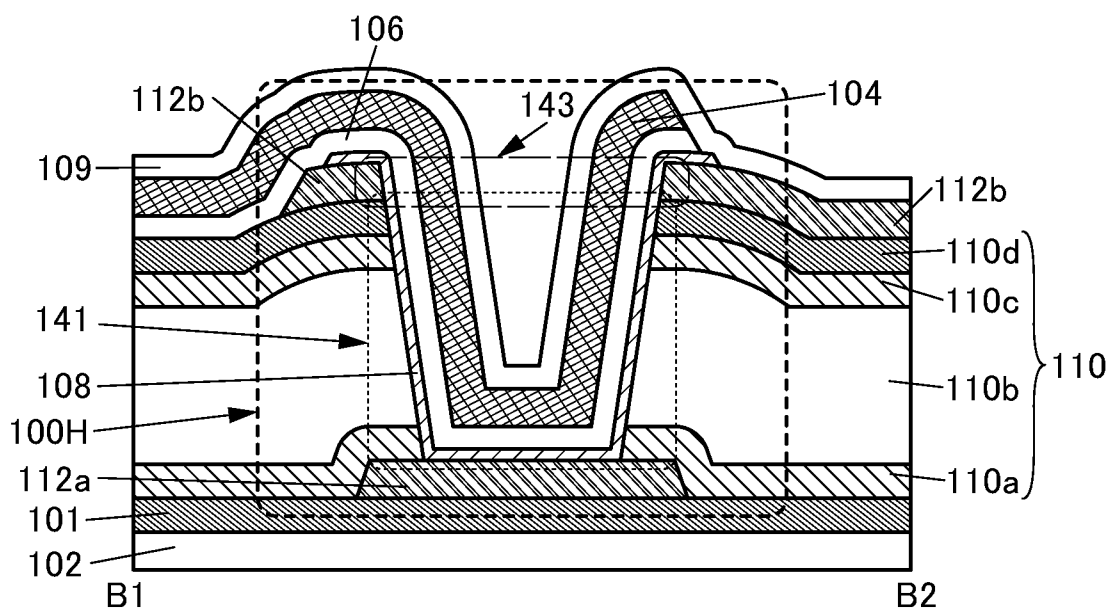


図18A

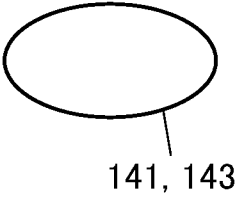


図18B

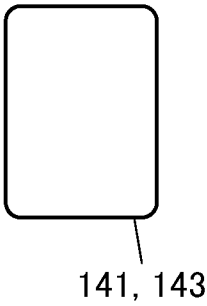


図18C

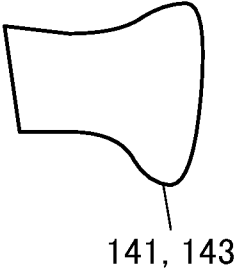


図19A

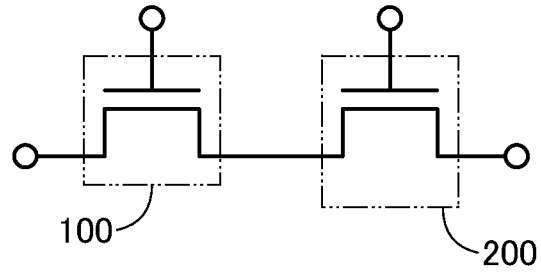


図19B

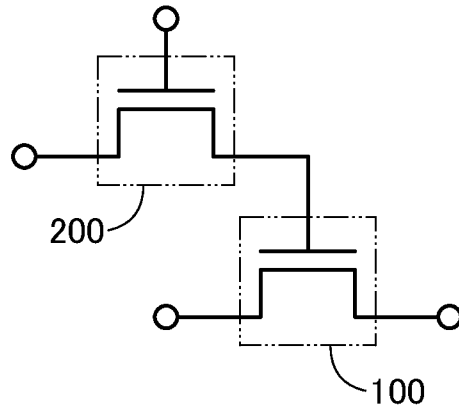


図19C

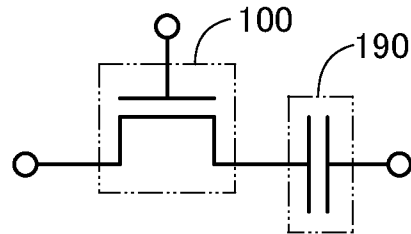


図19D

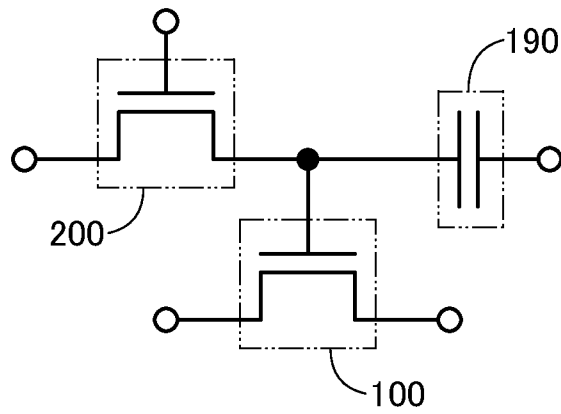


図 20A

10

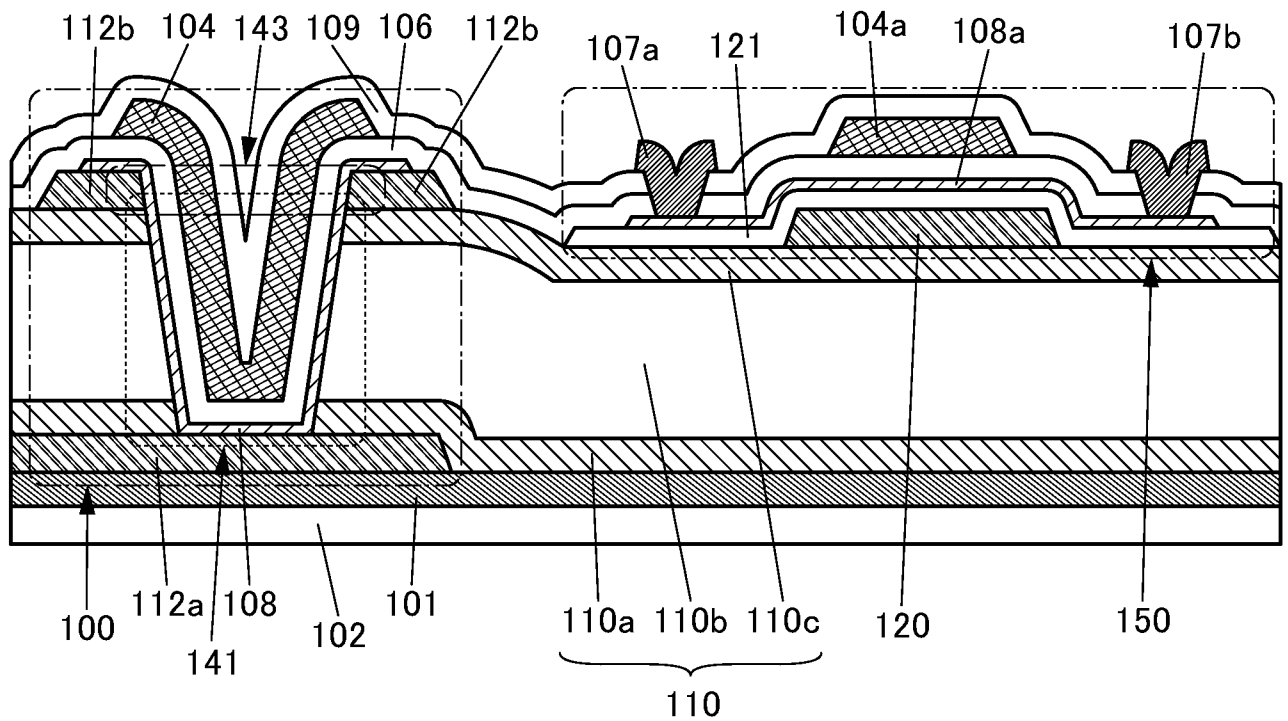


図 20B

10

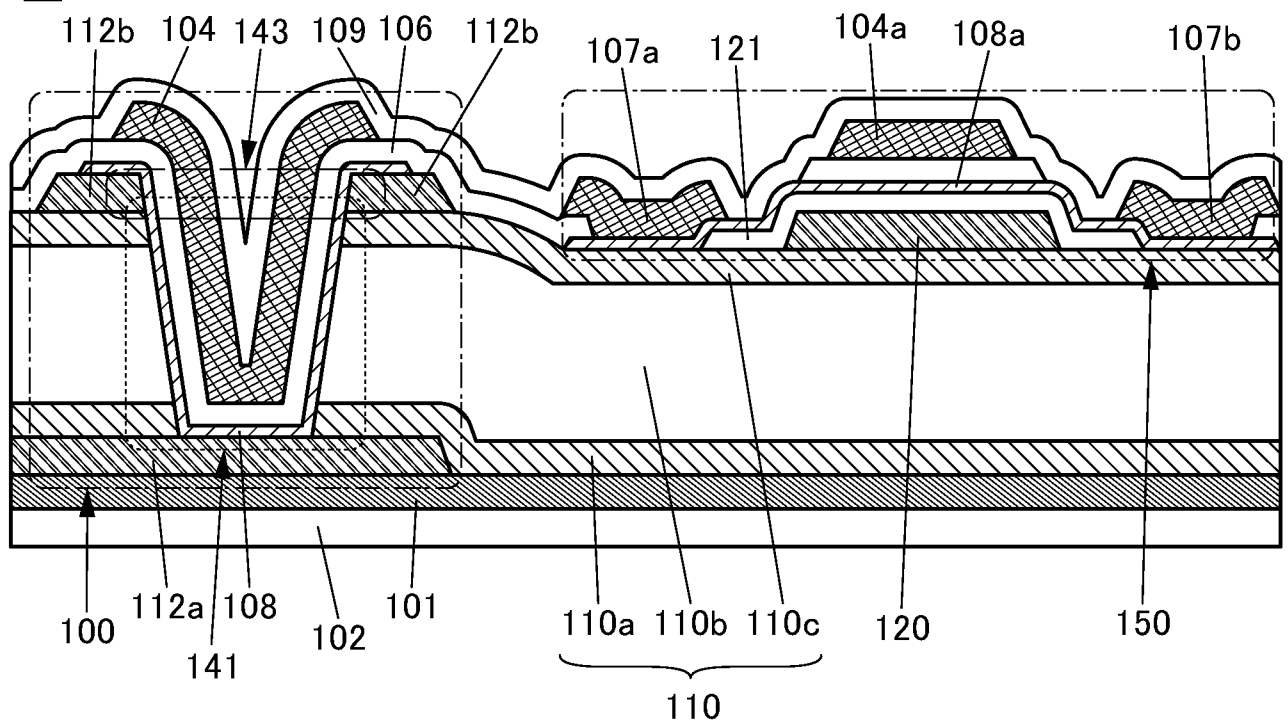


図21A

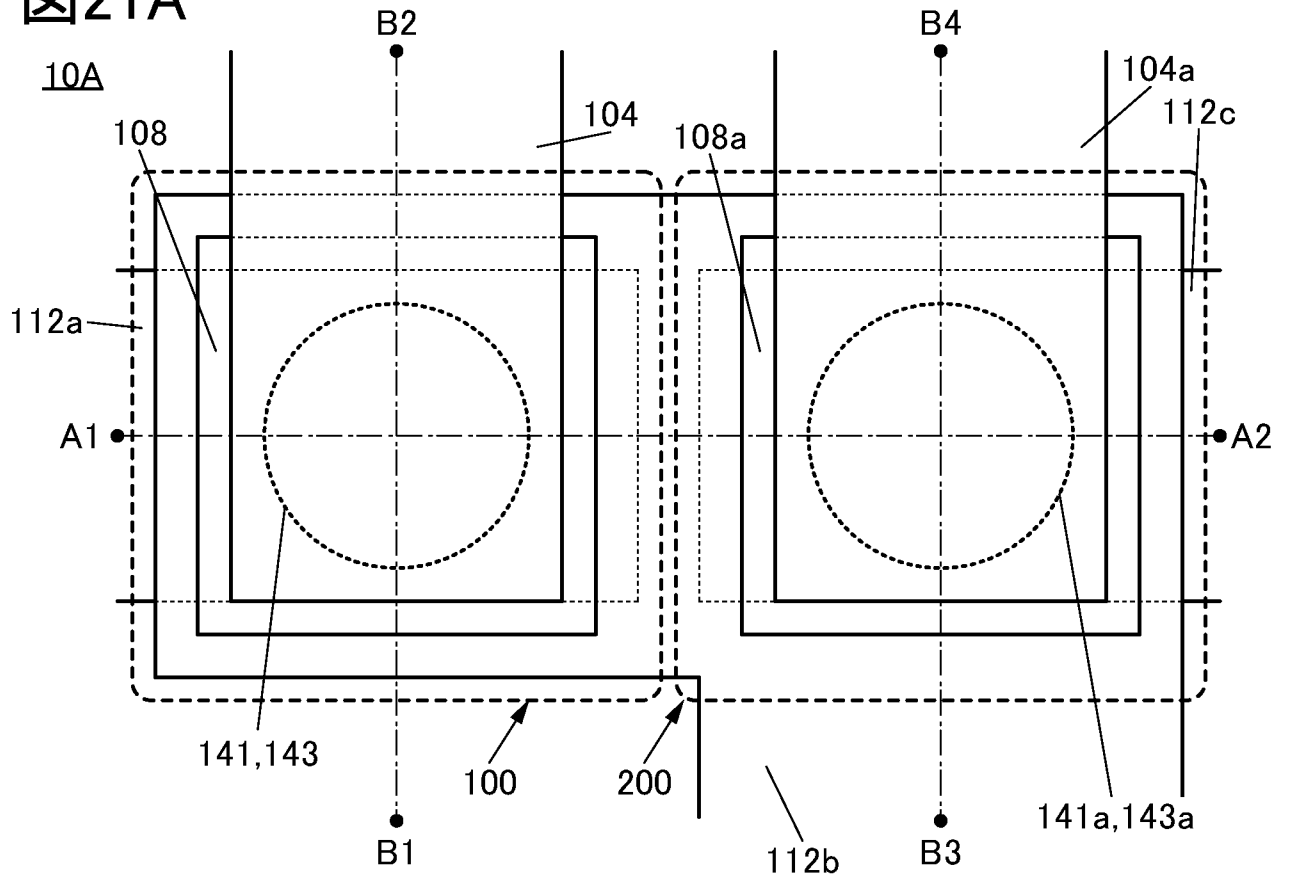


図21B

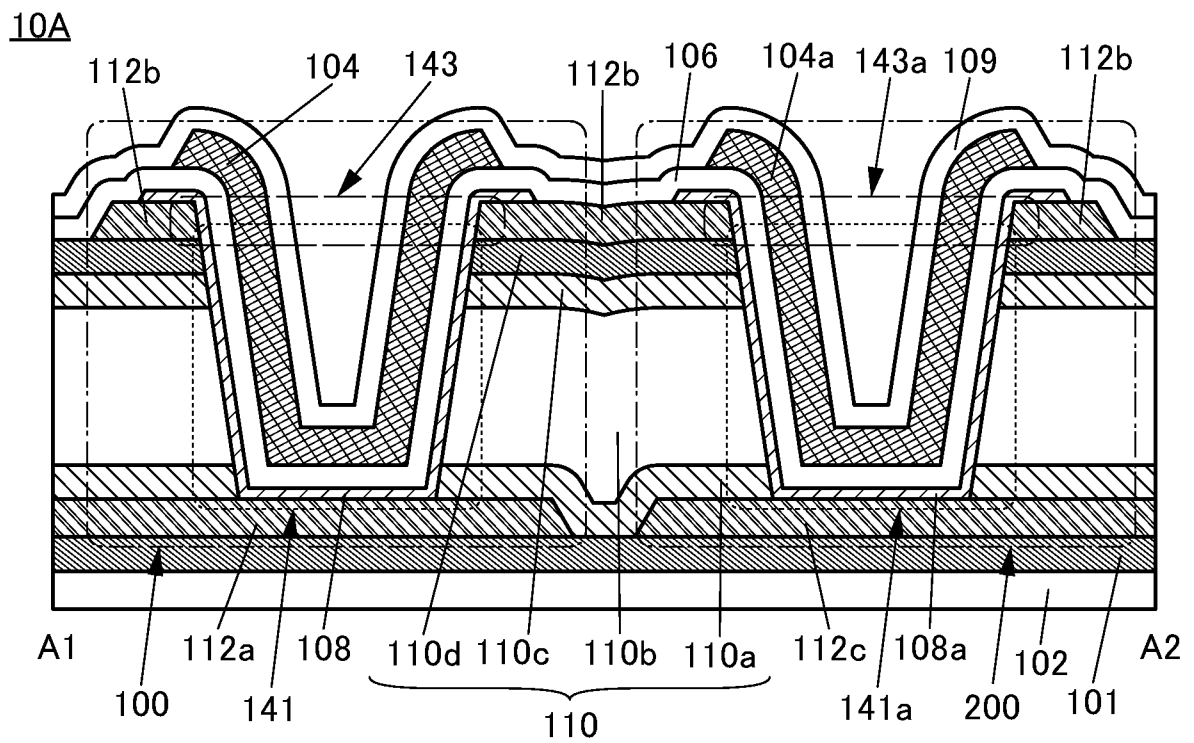


図 22A

10A

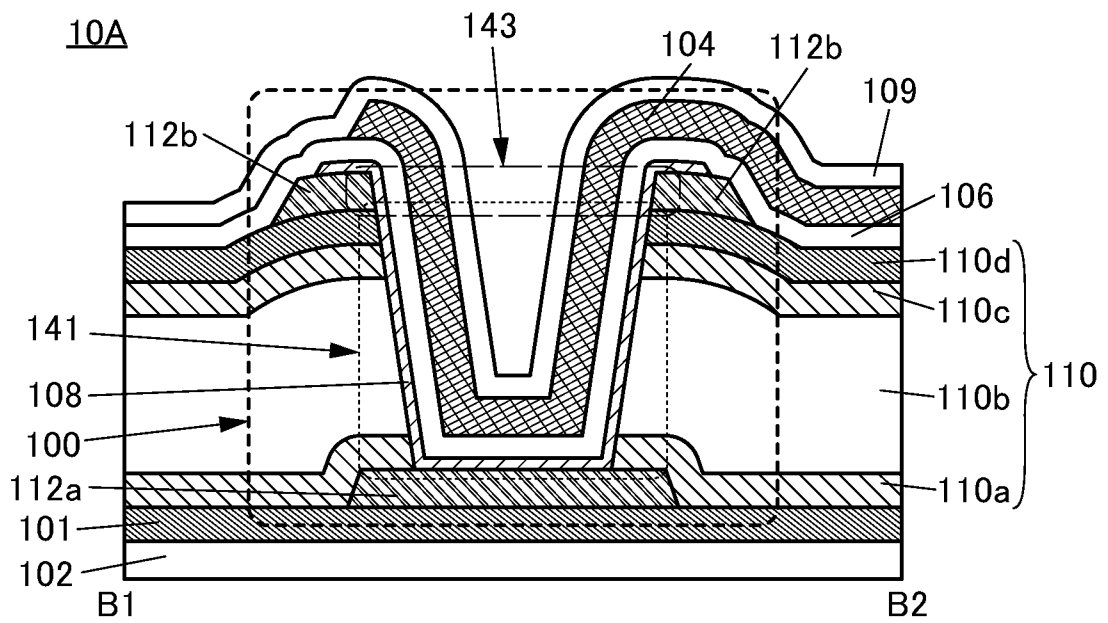


図 22B

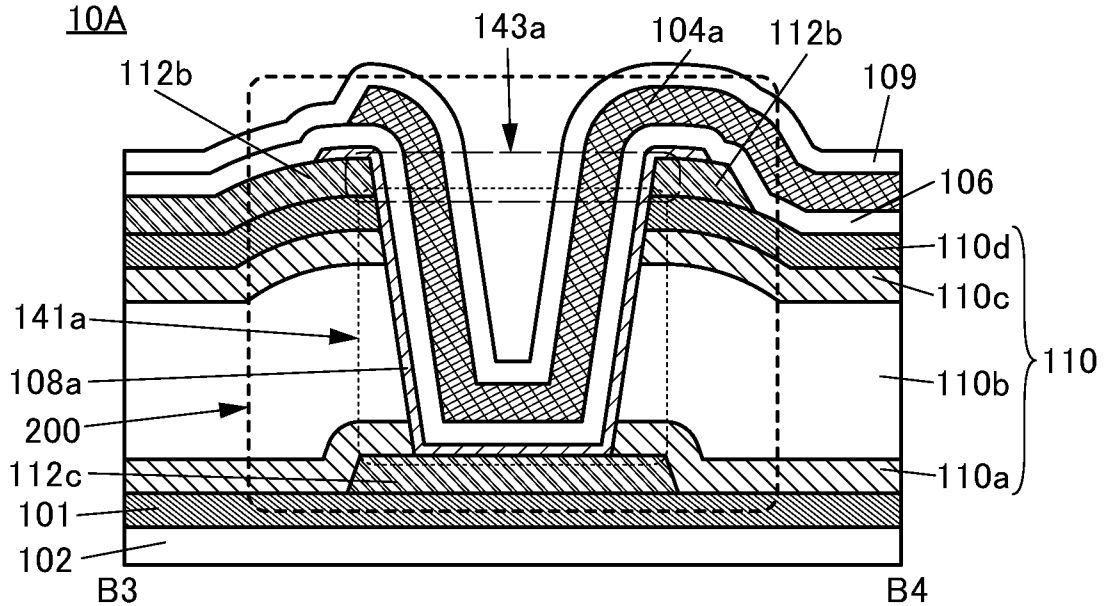
10A

図 23A

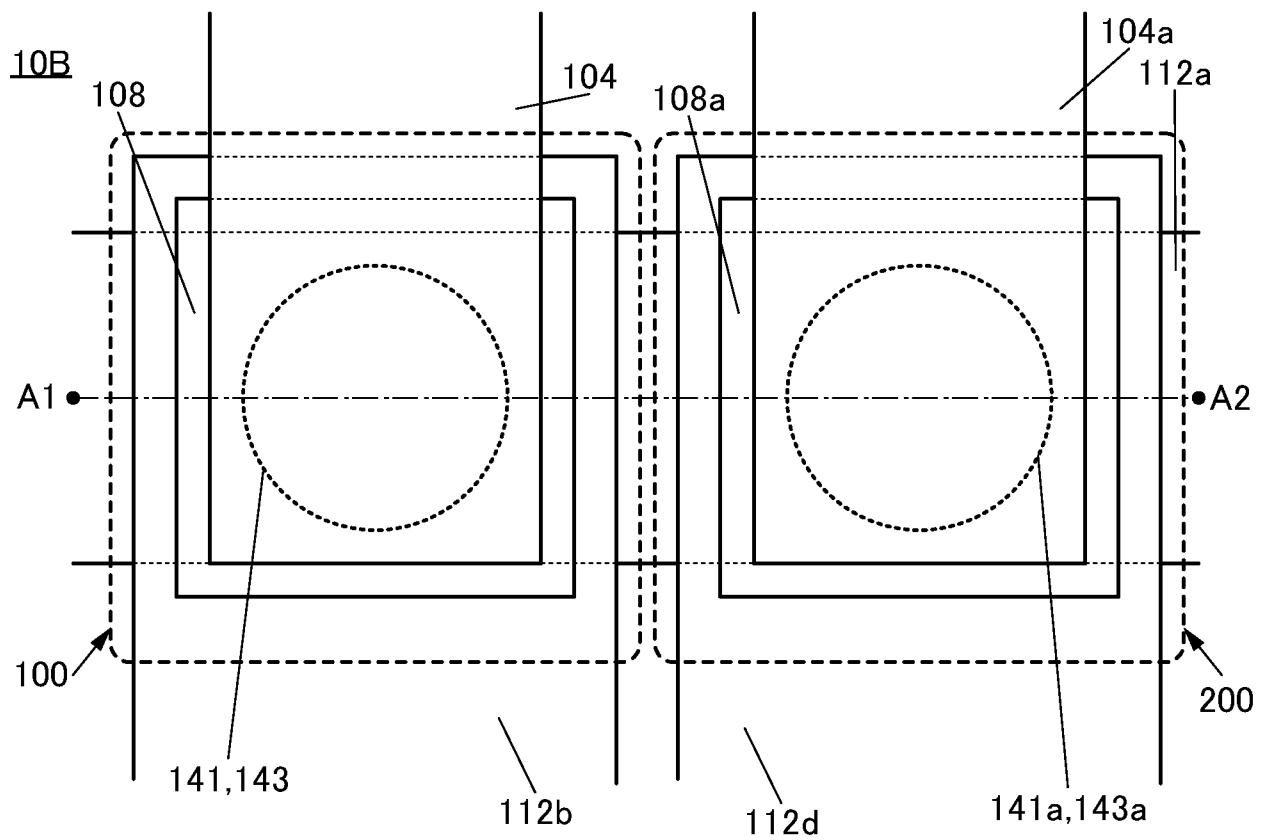


図 23B

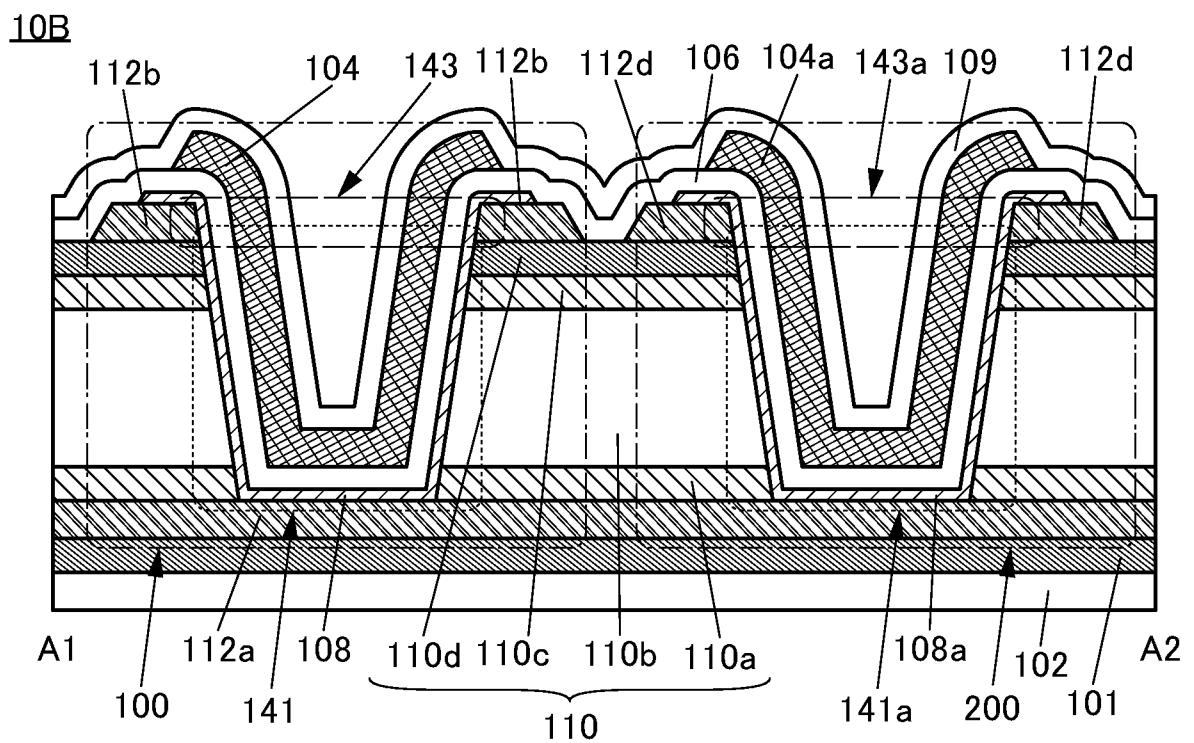


図24A

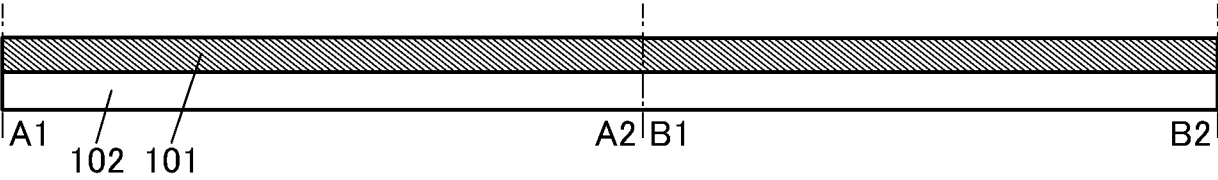


図24B

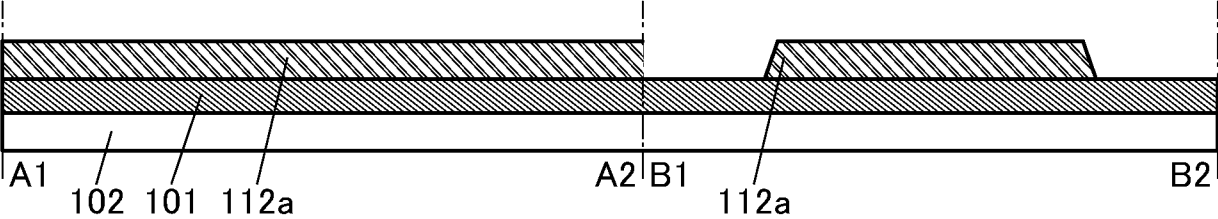


図24C

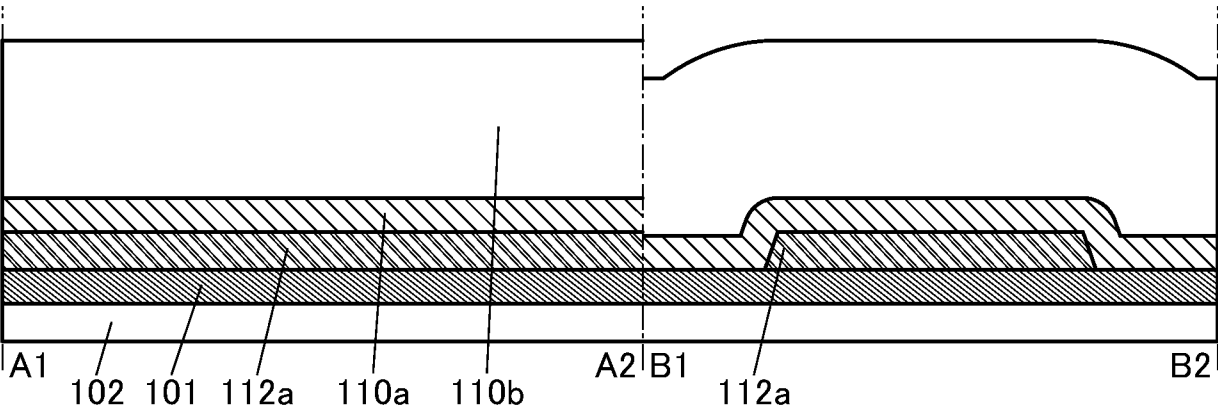


図24D

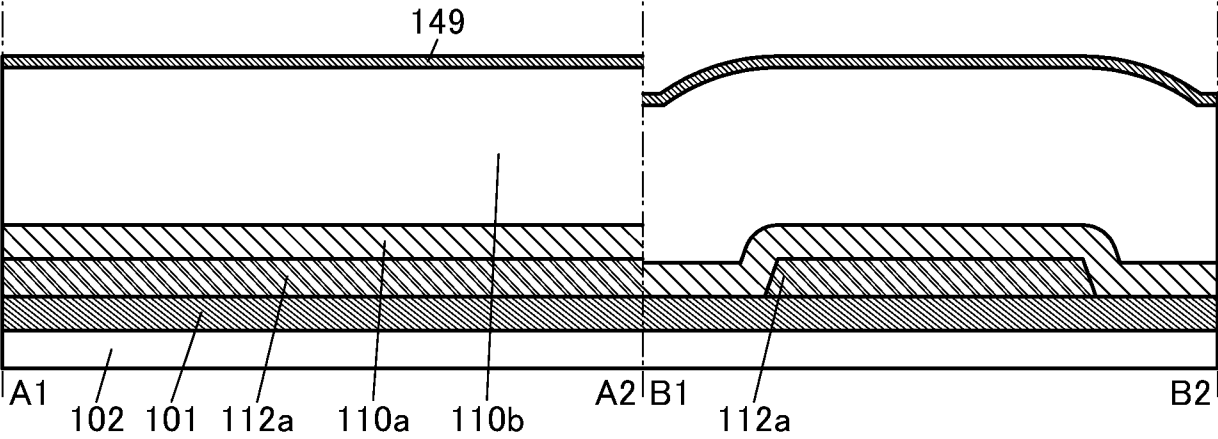


図25A

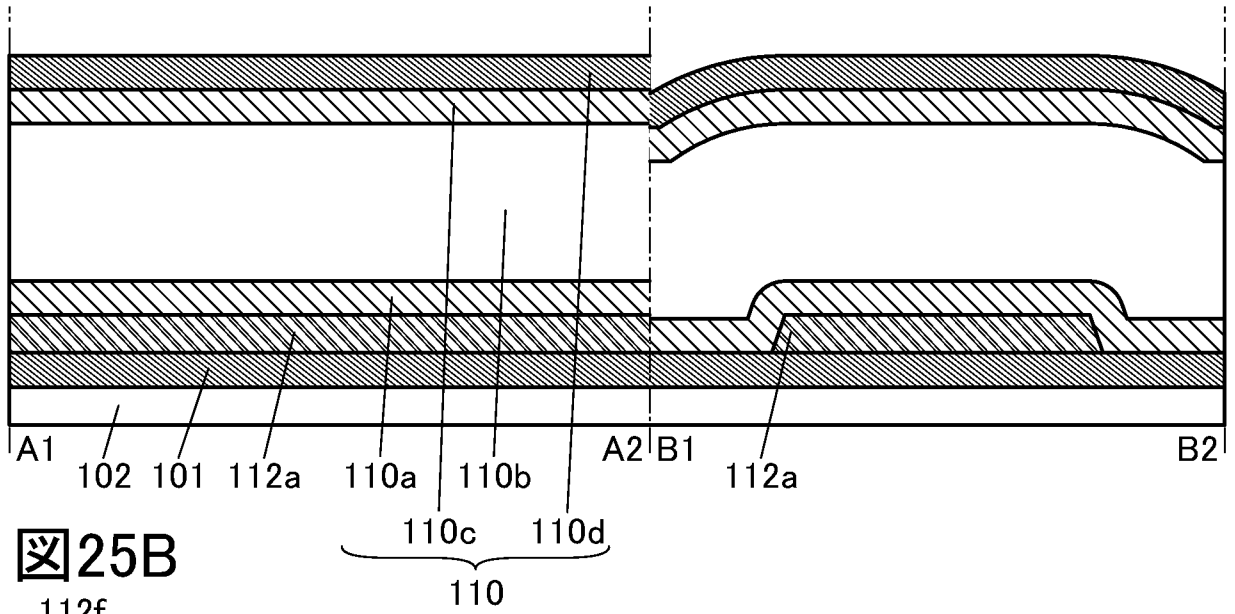


図25B

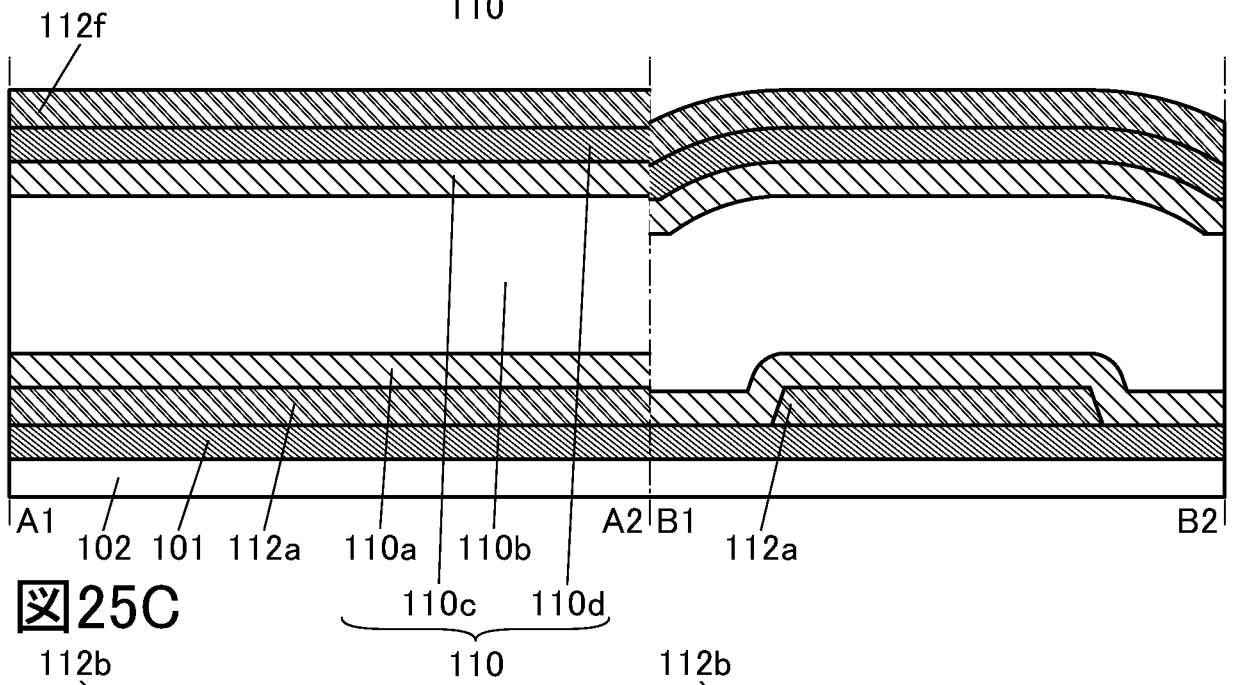


図25C

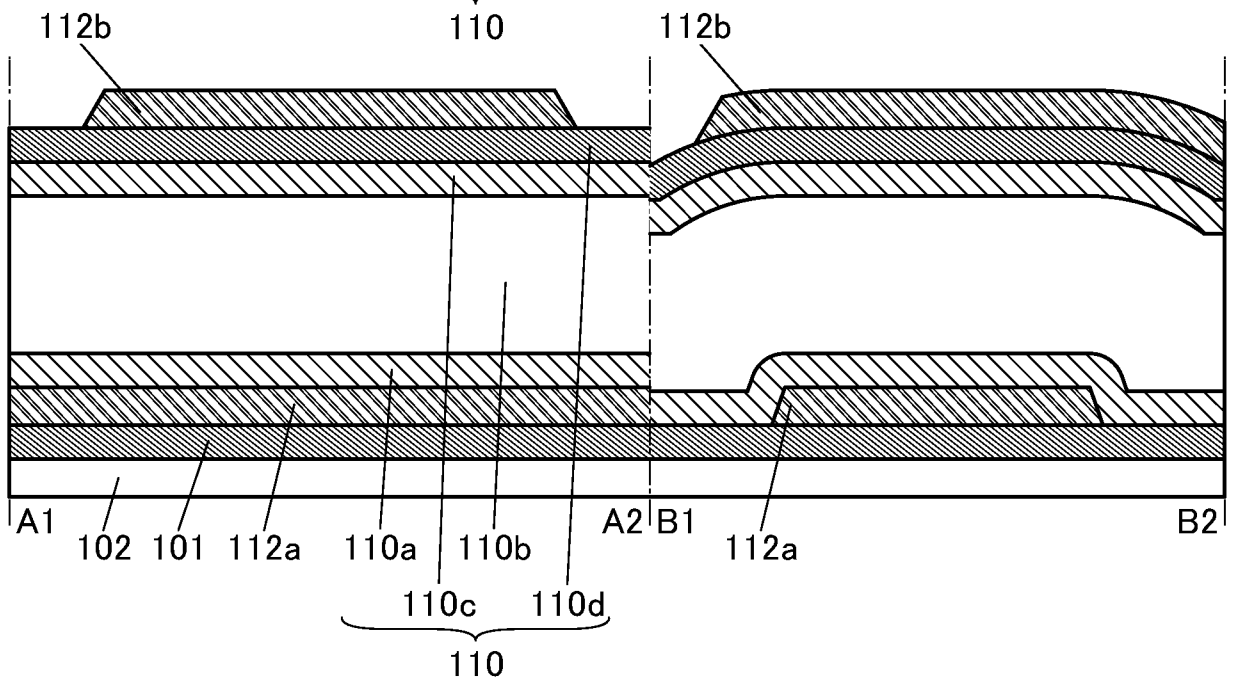


図26A

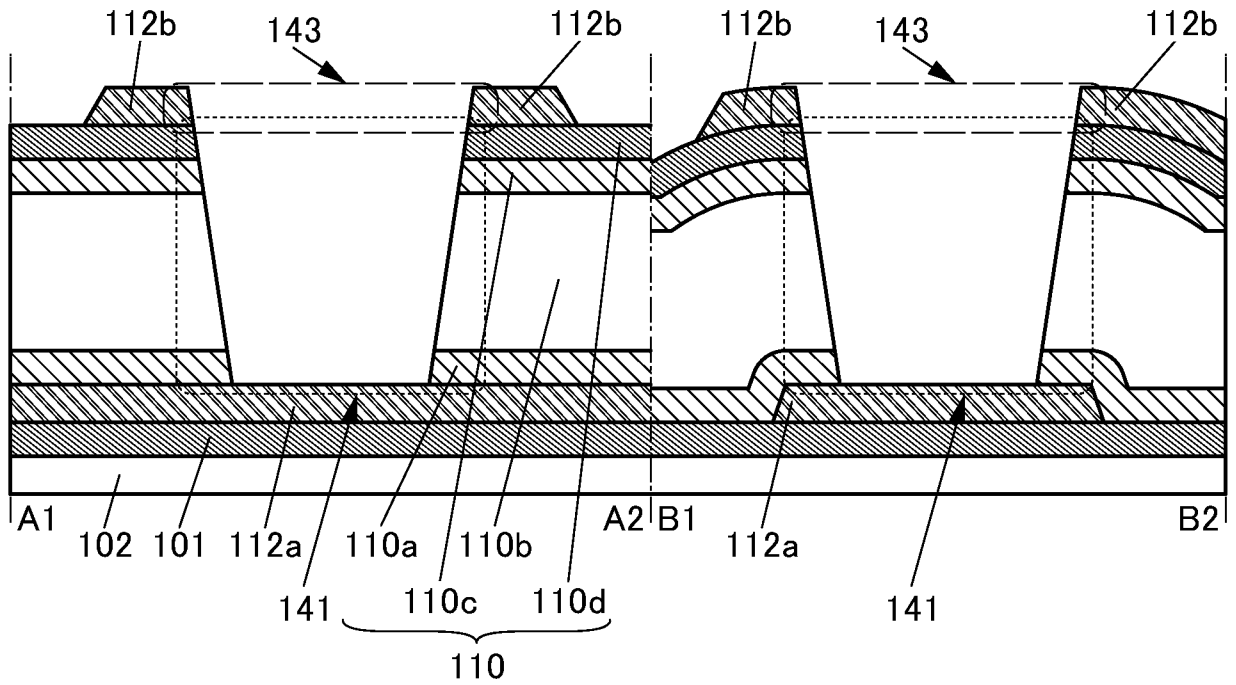


図26B

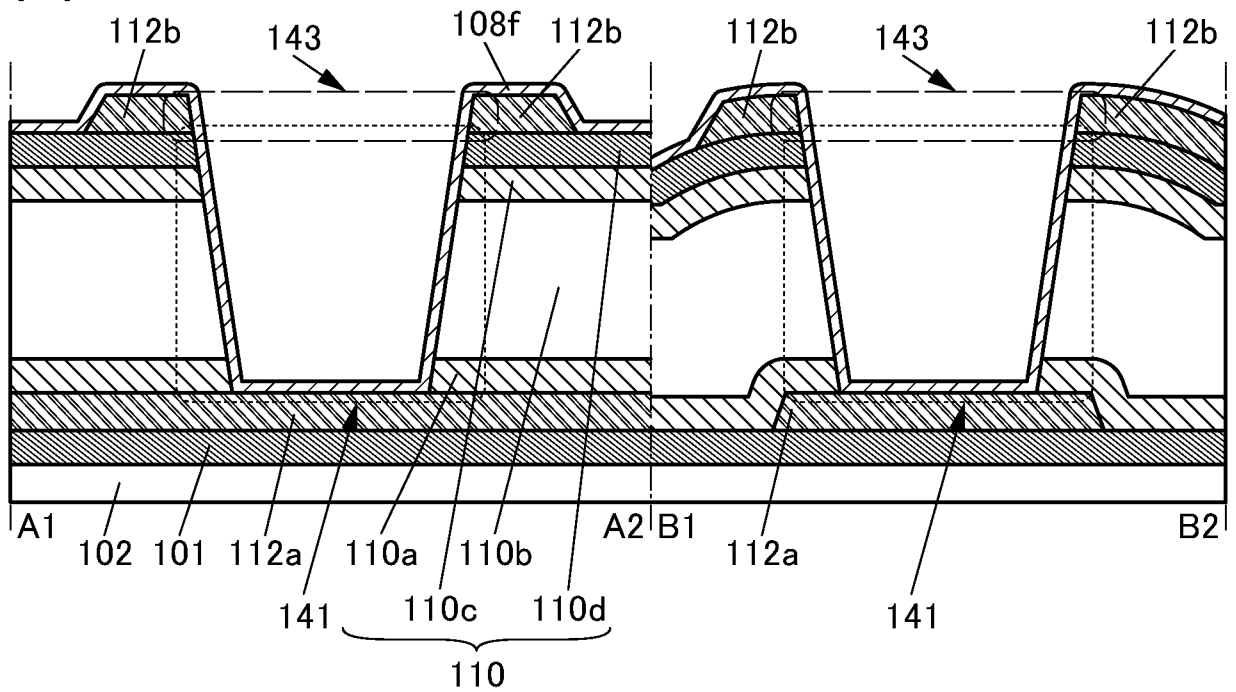


図27A

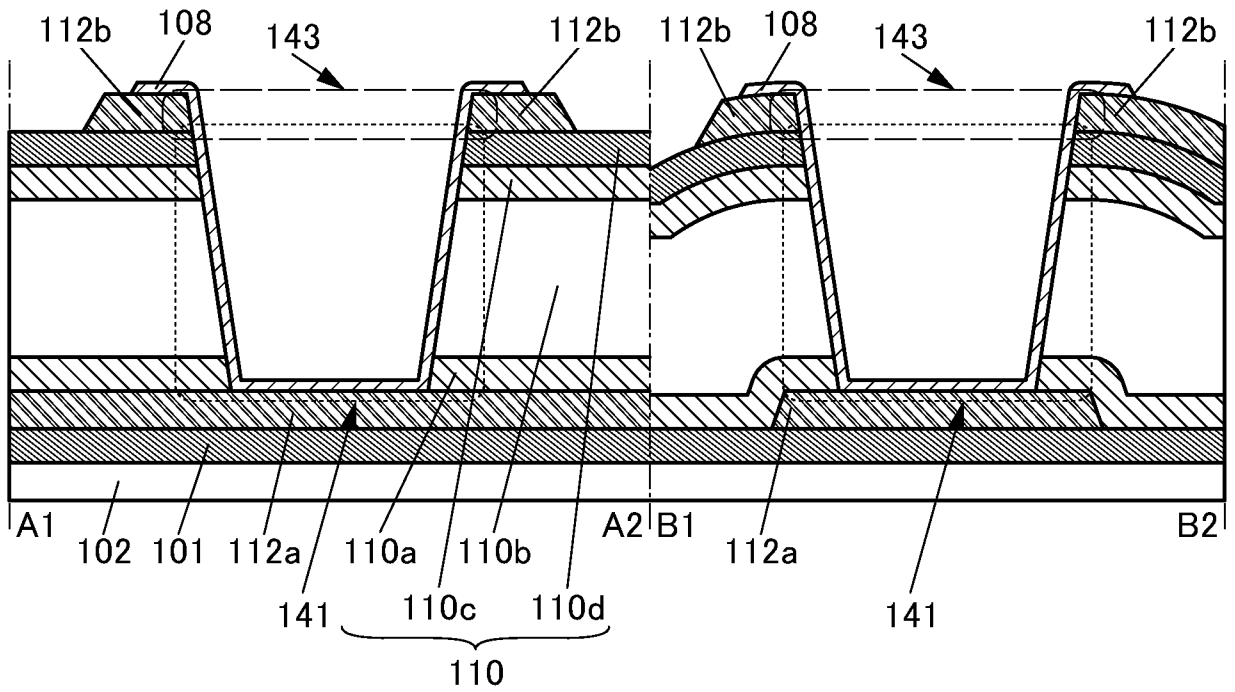
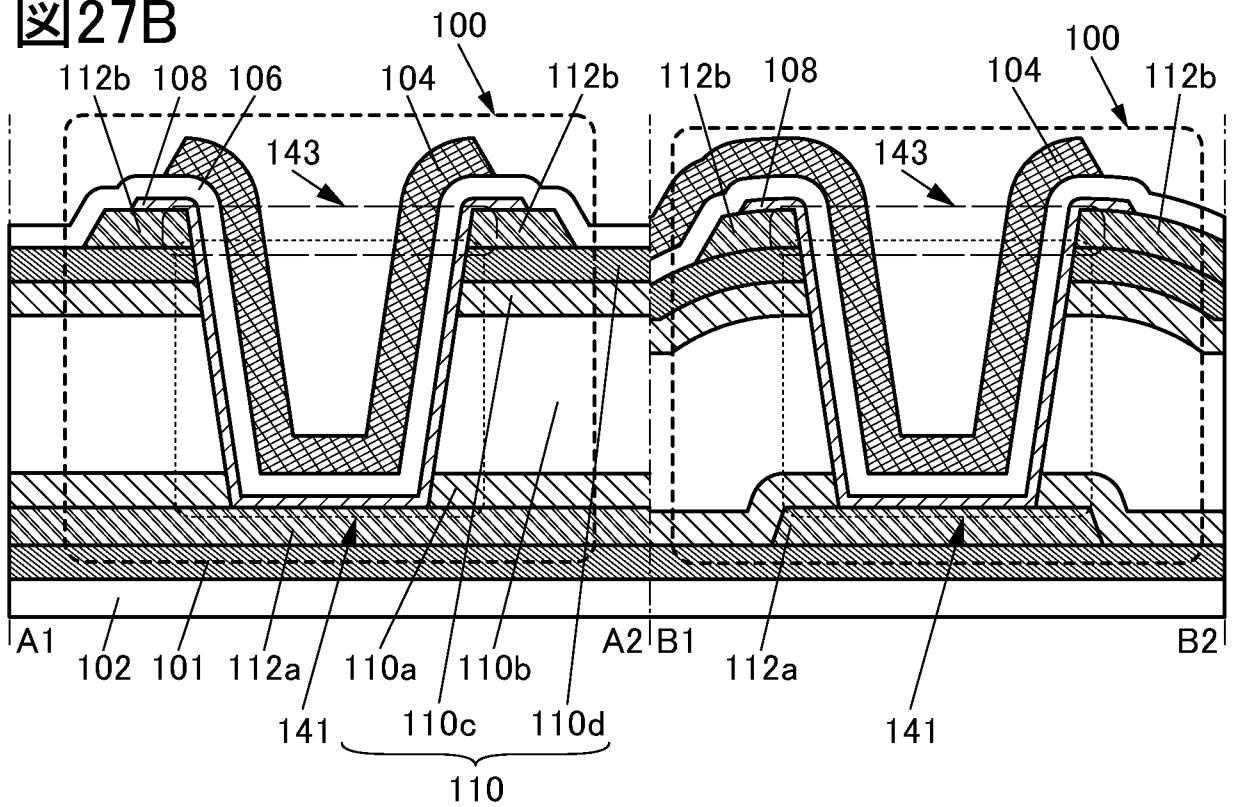
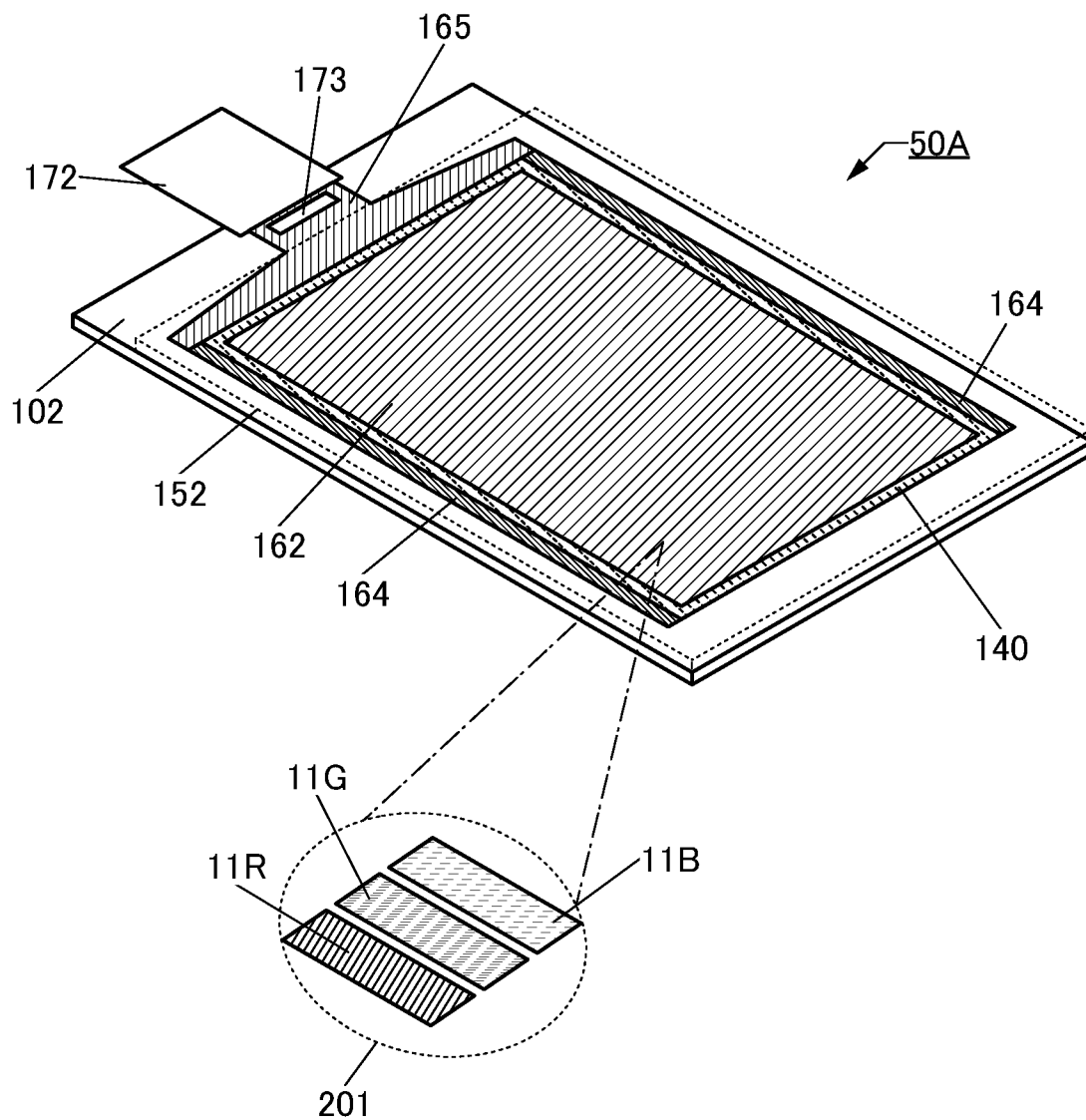
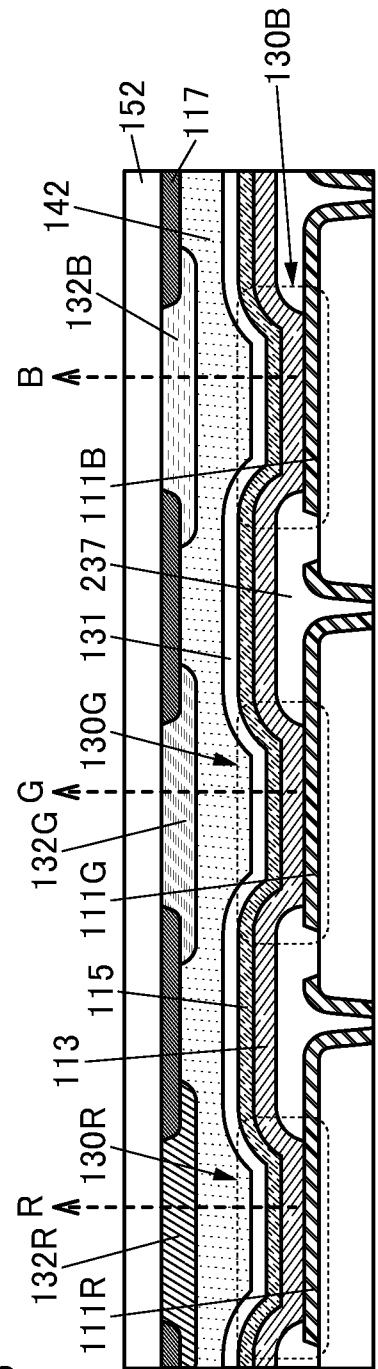
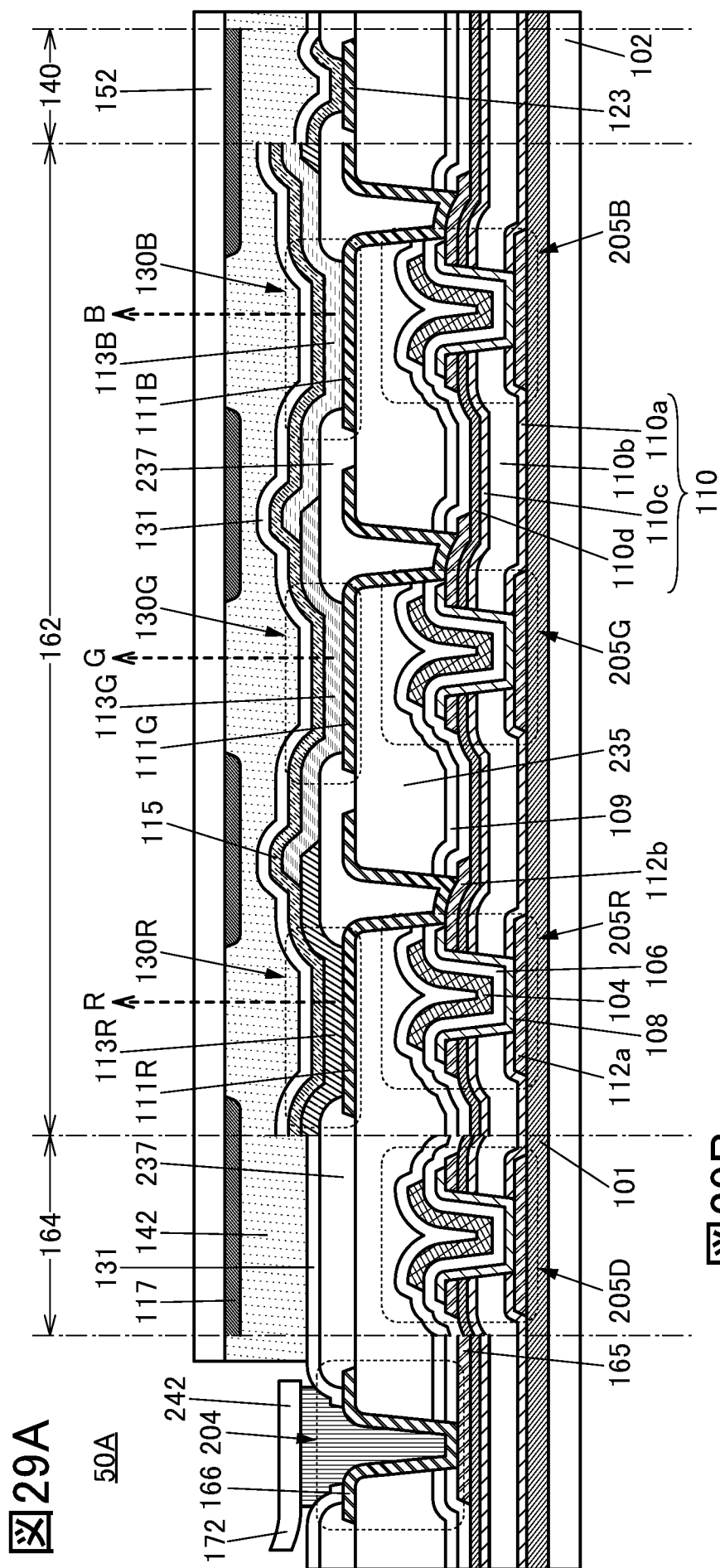
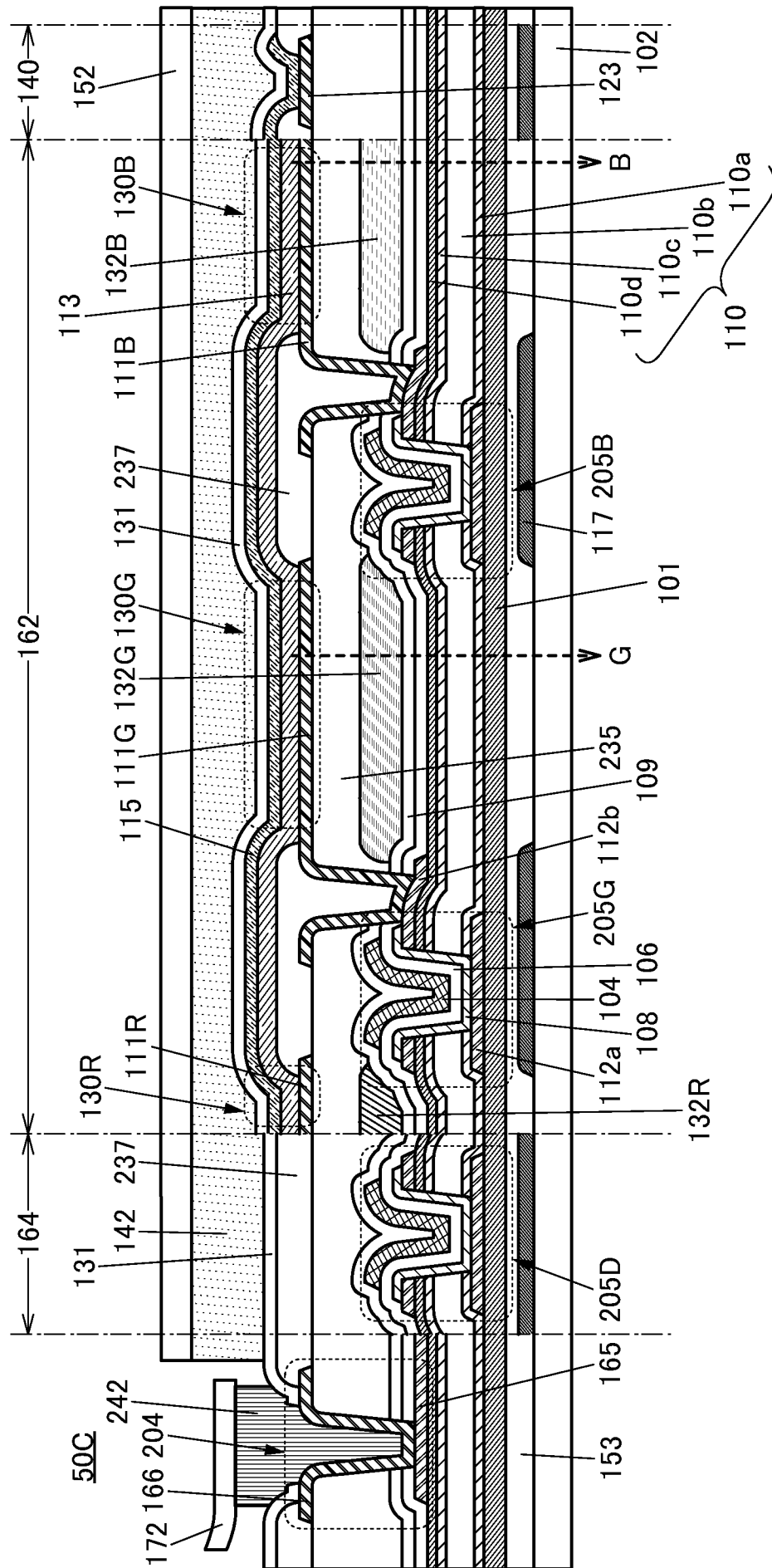


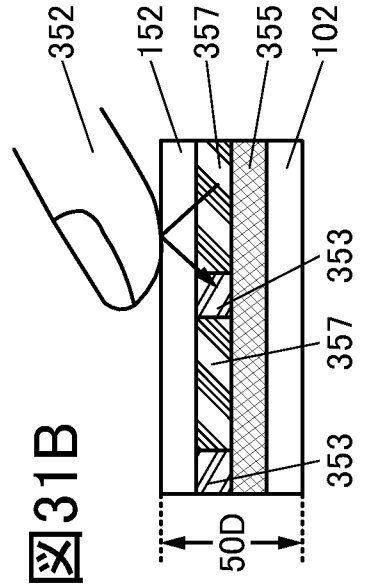
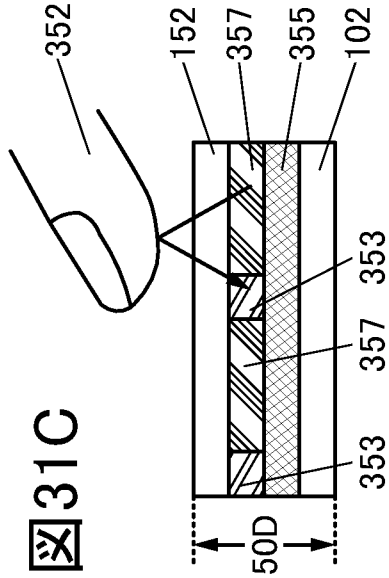
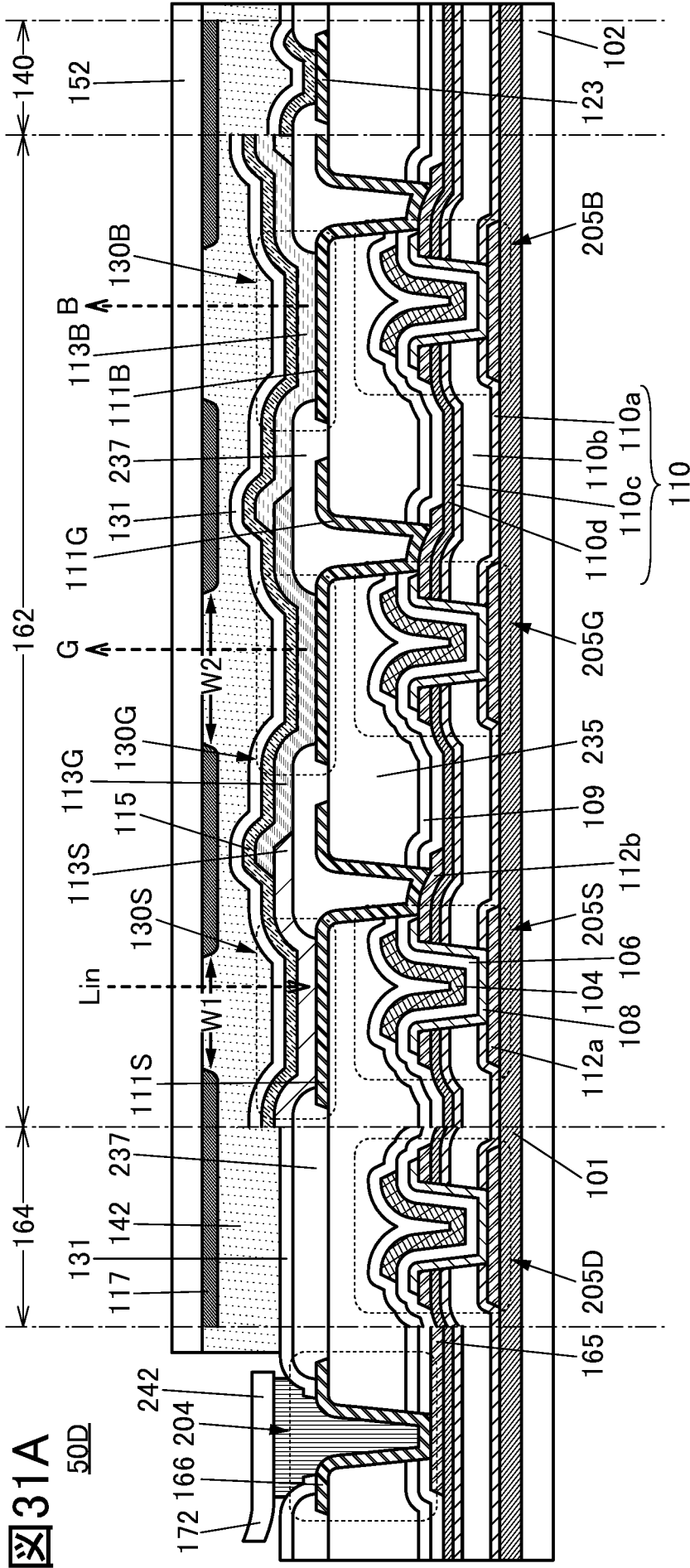
図27B











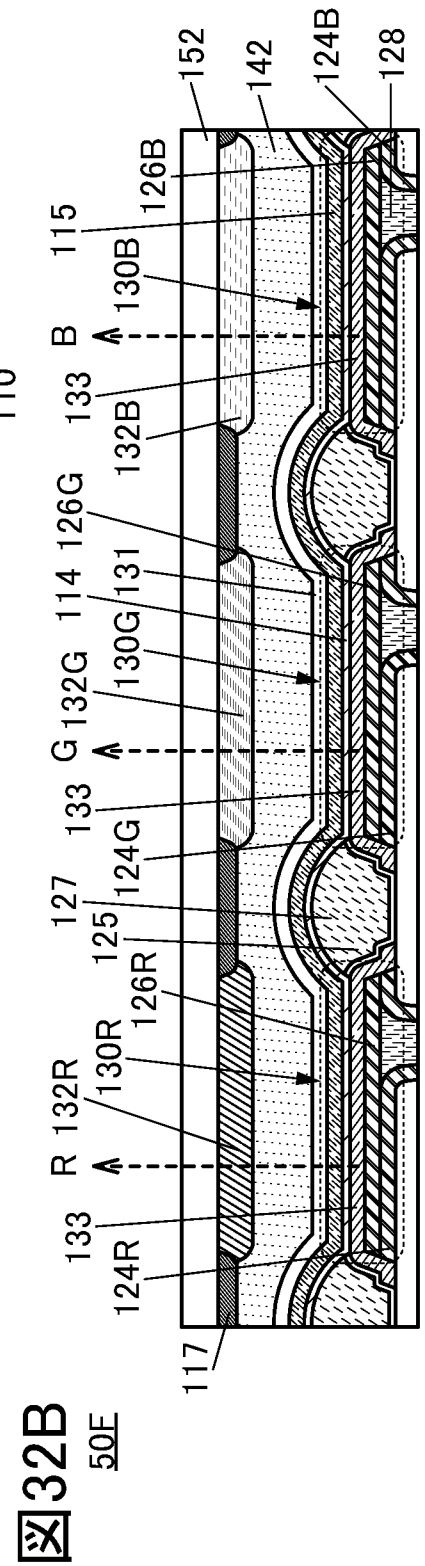
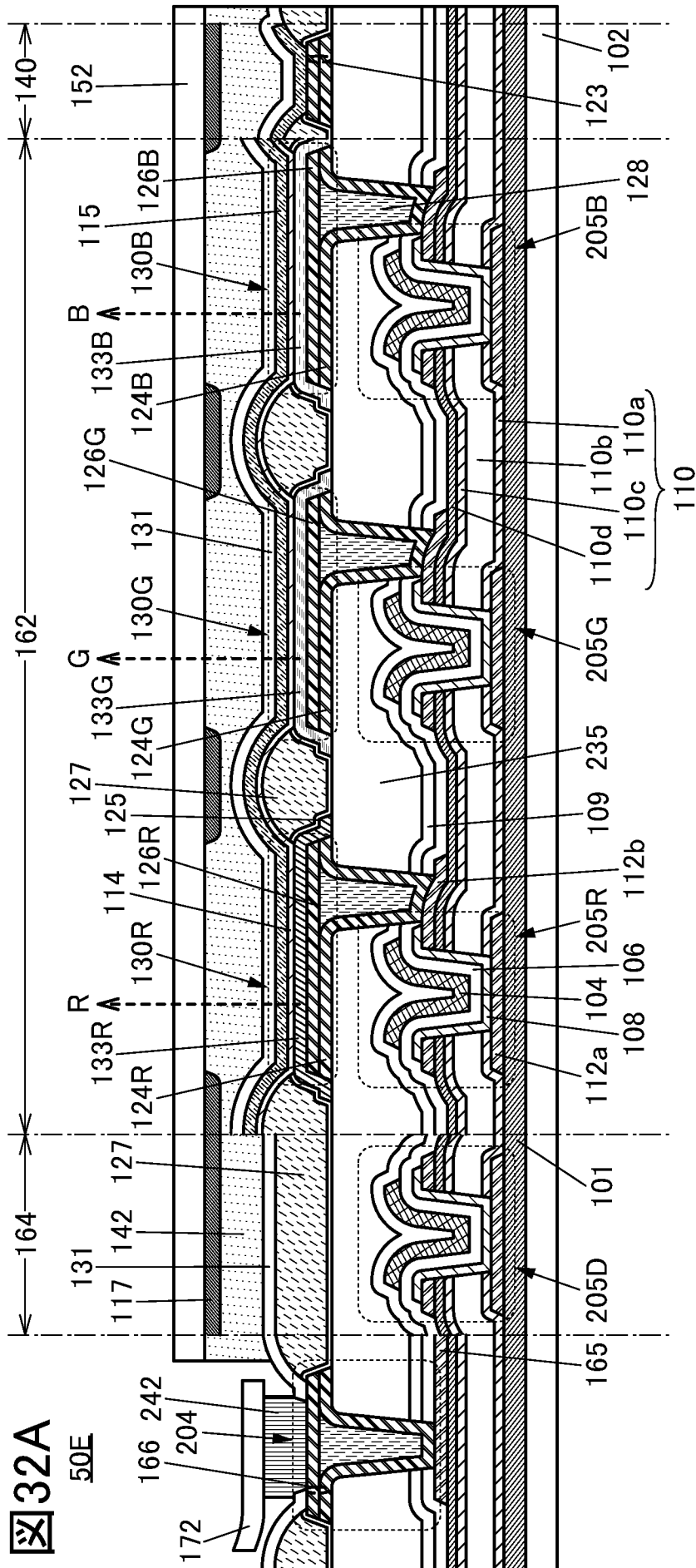


図33

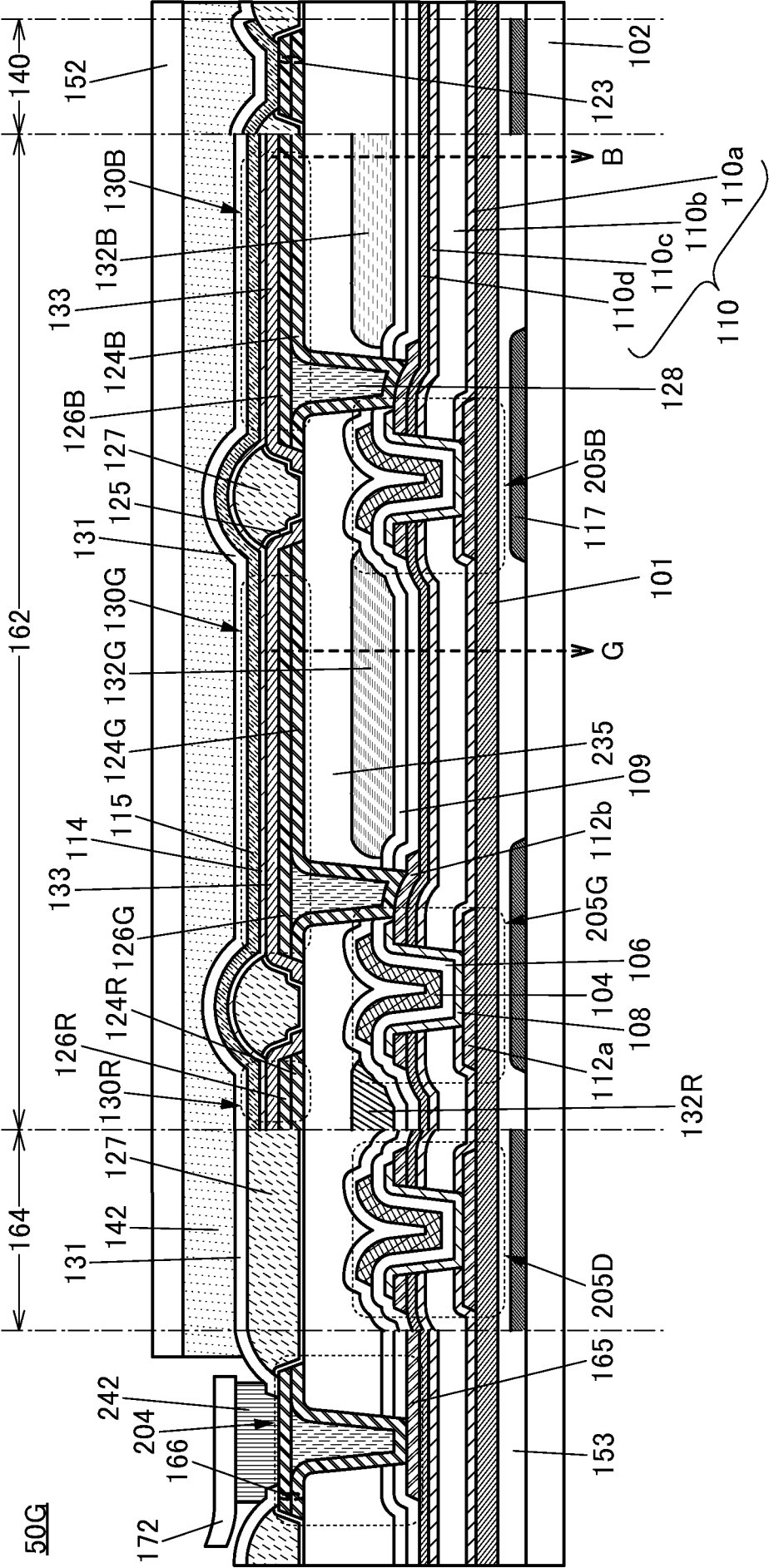


図34

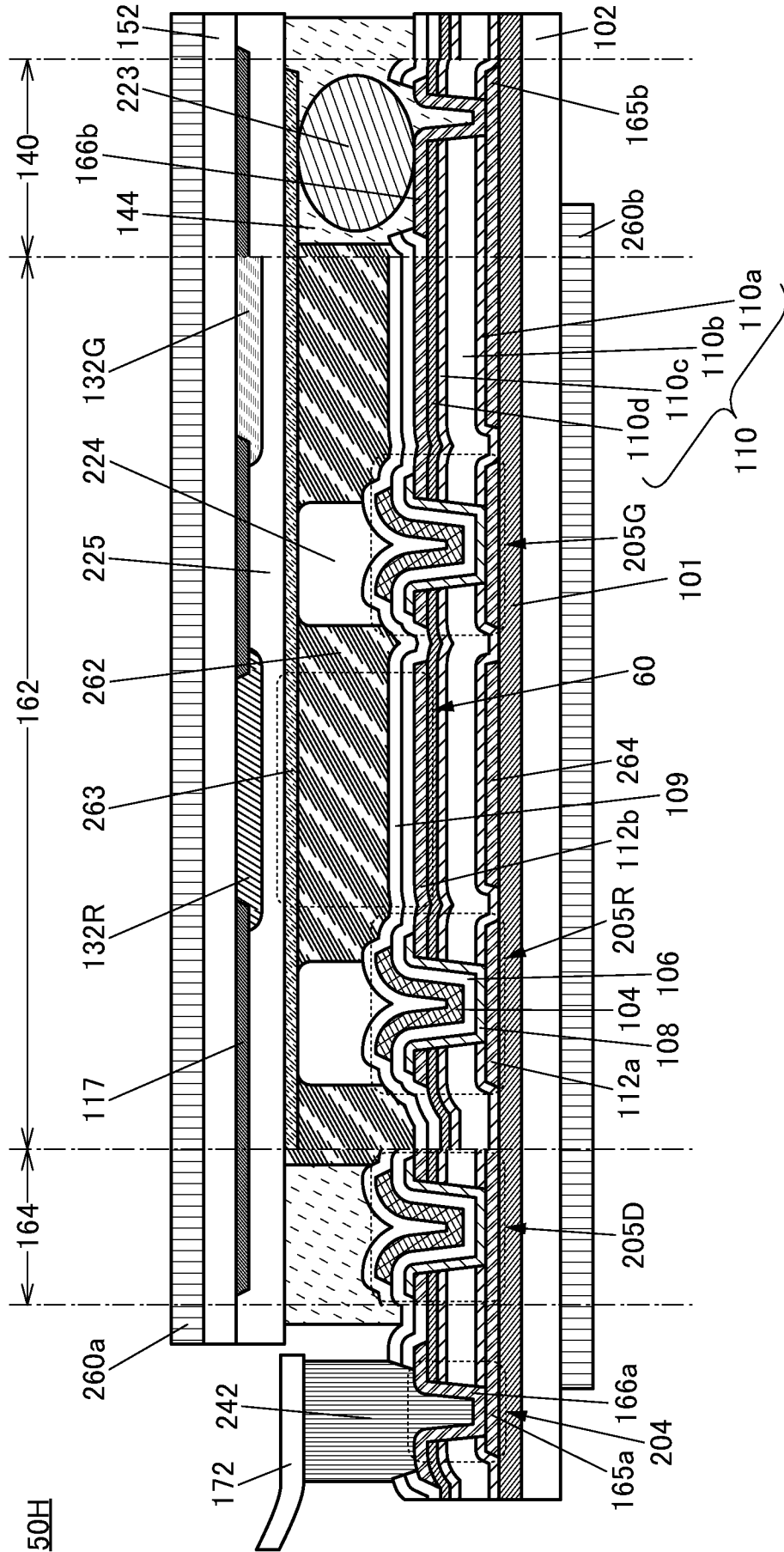


図35

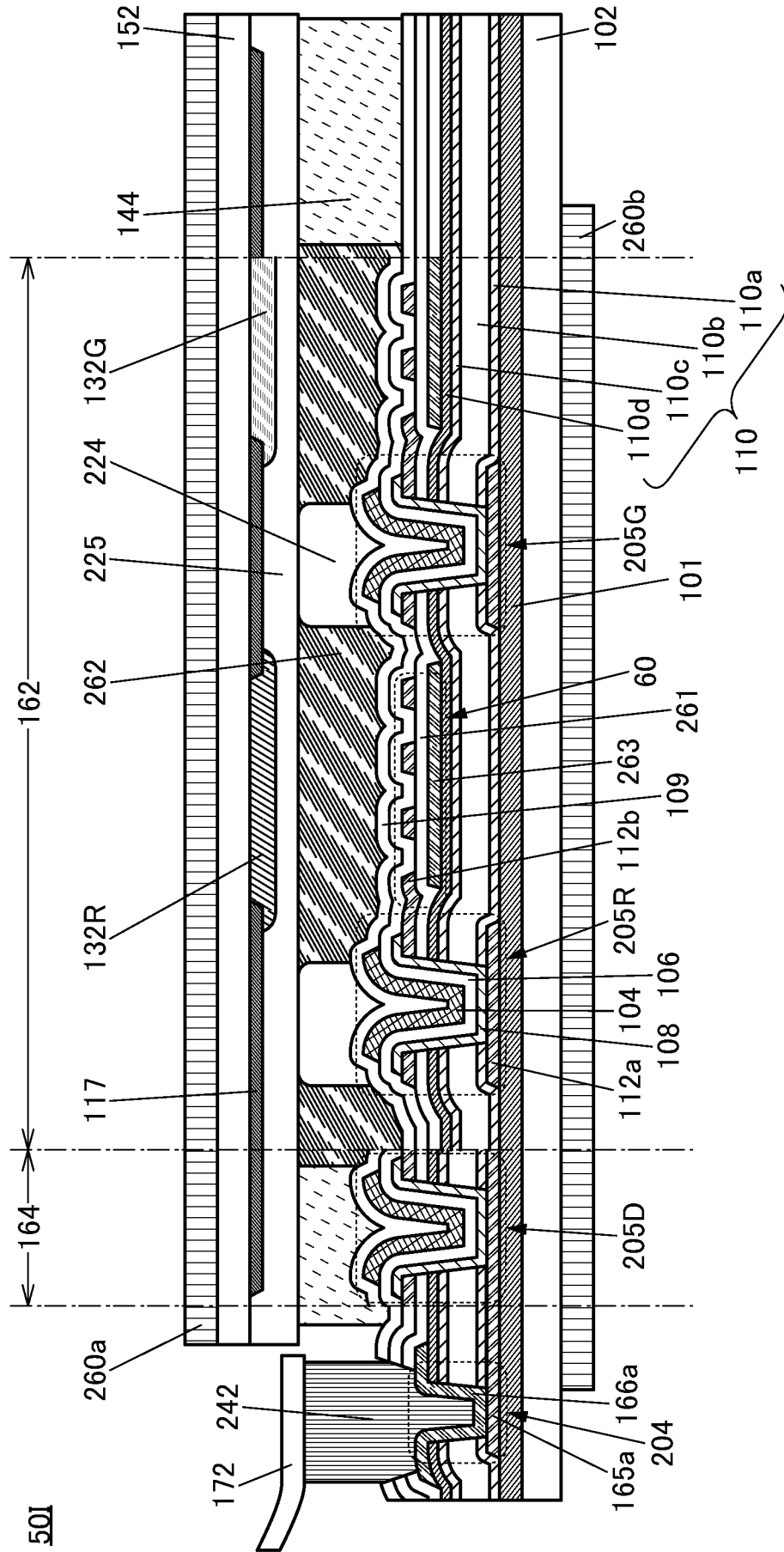


図36A

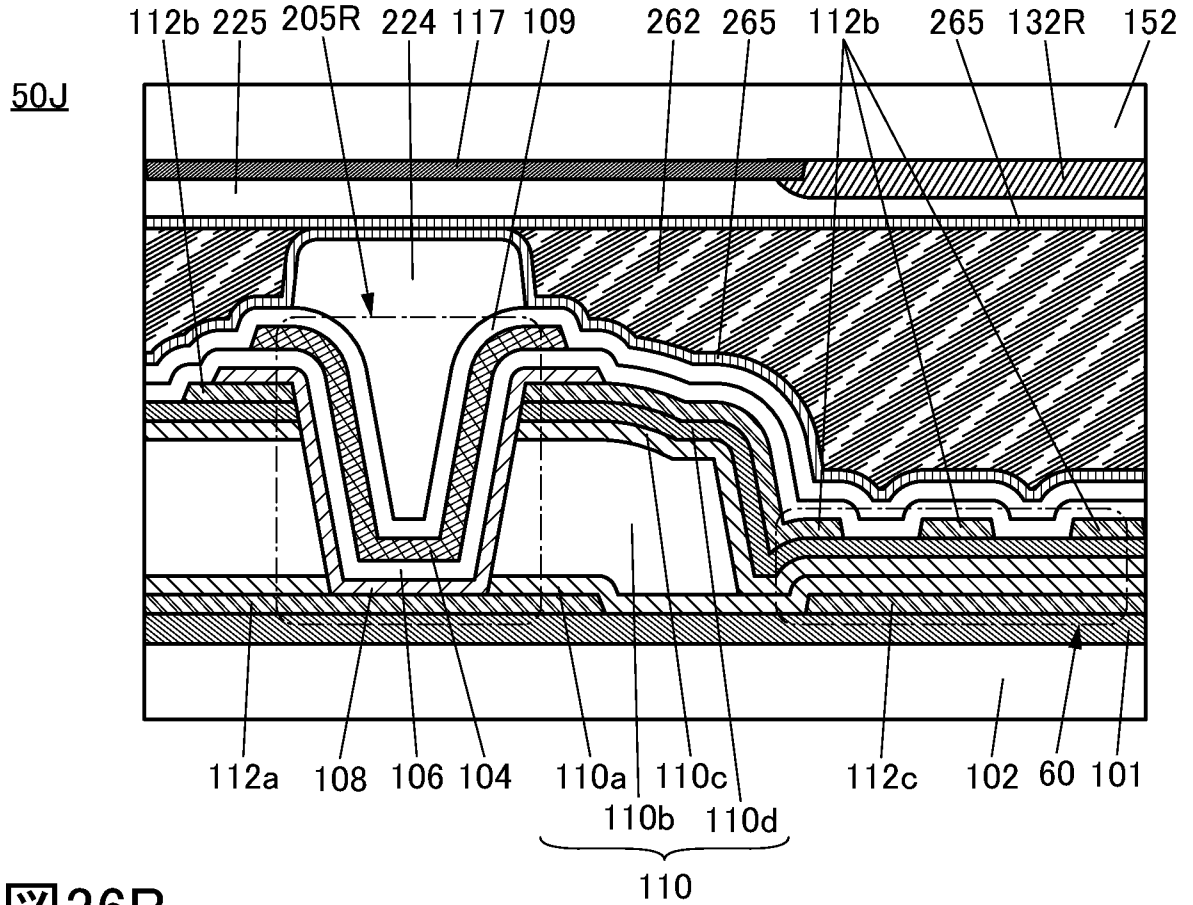


図36B

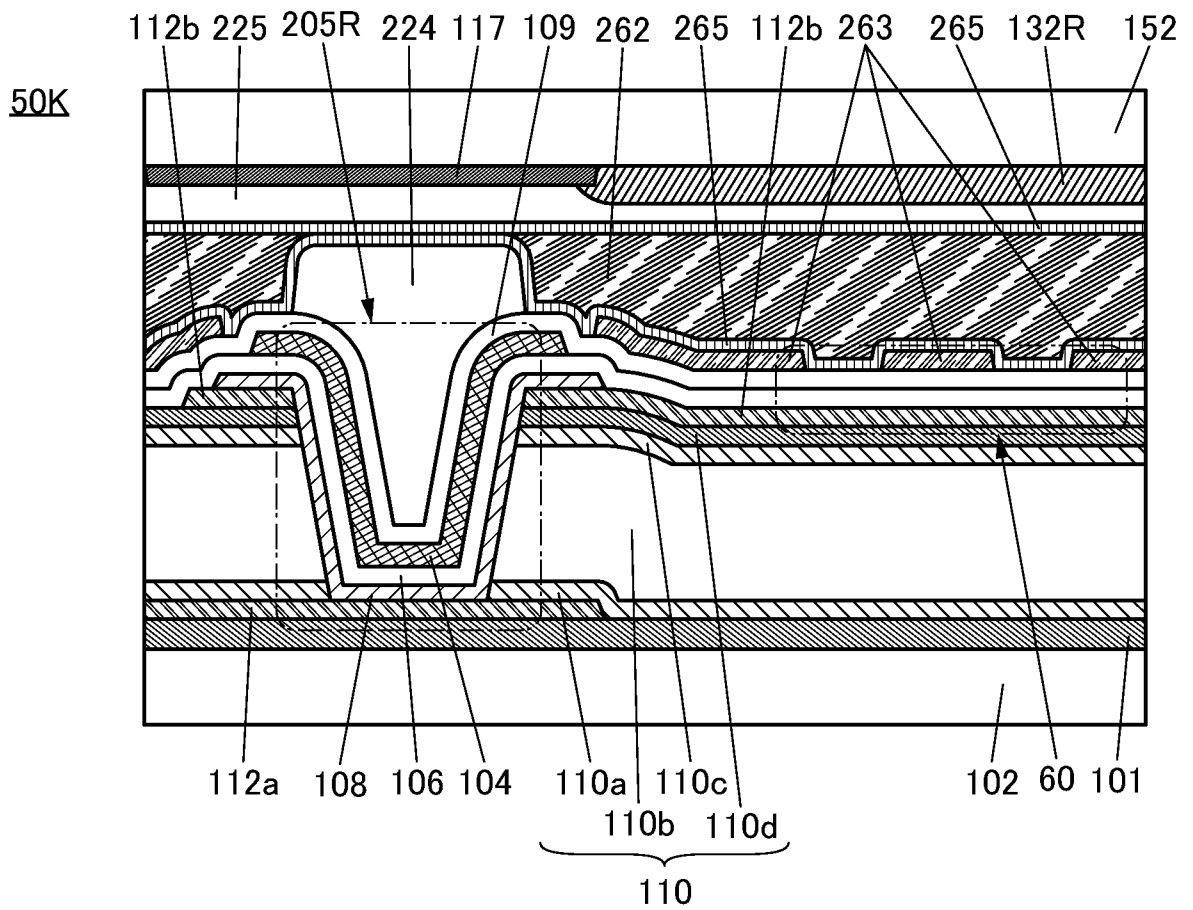


図37A

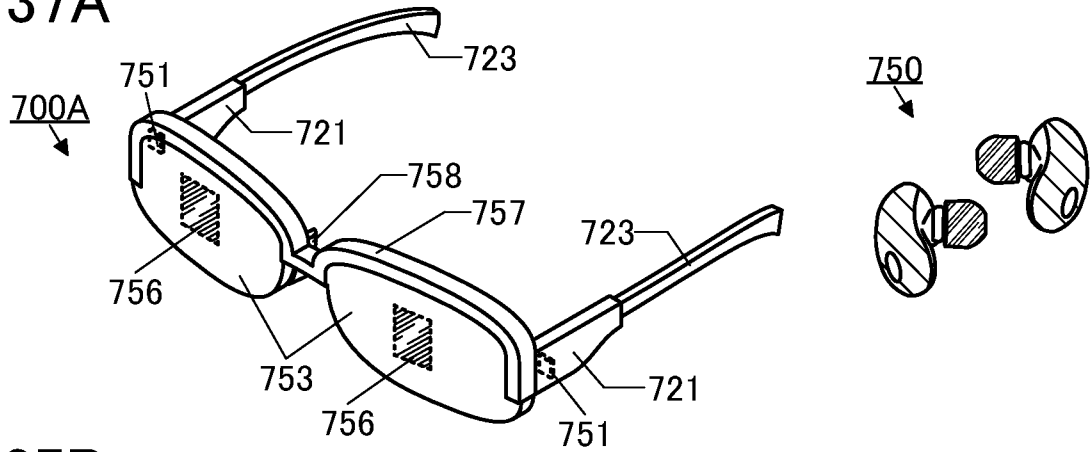


図37B

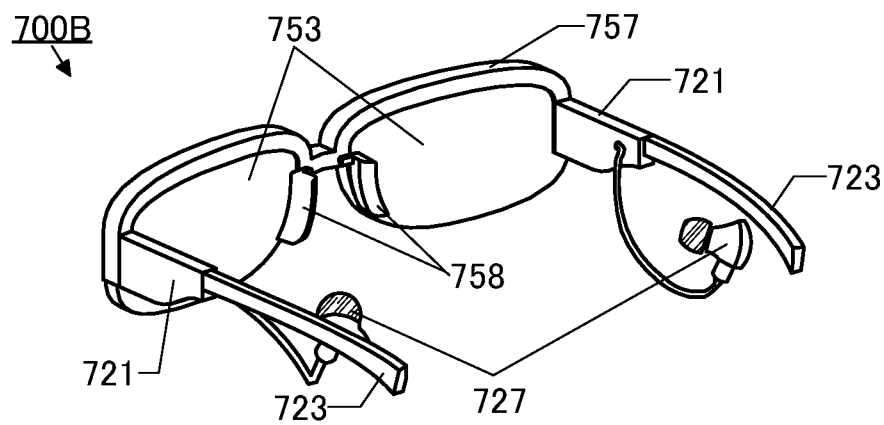


図37C

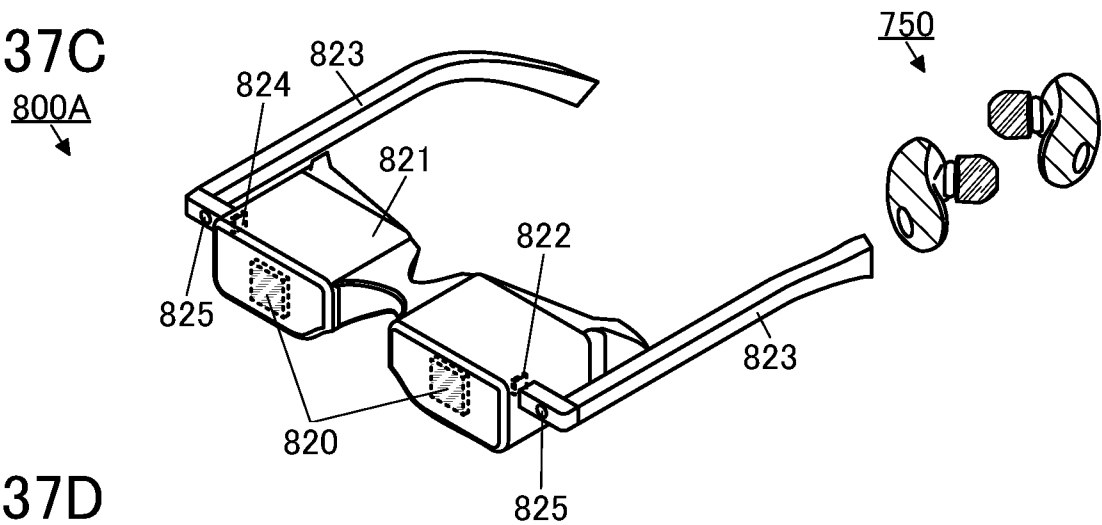
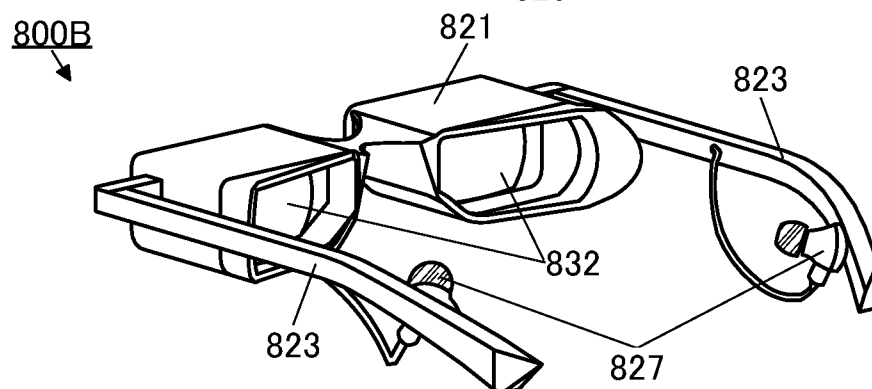
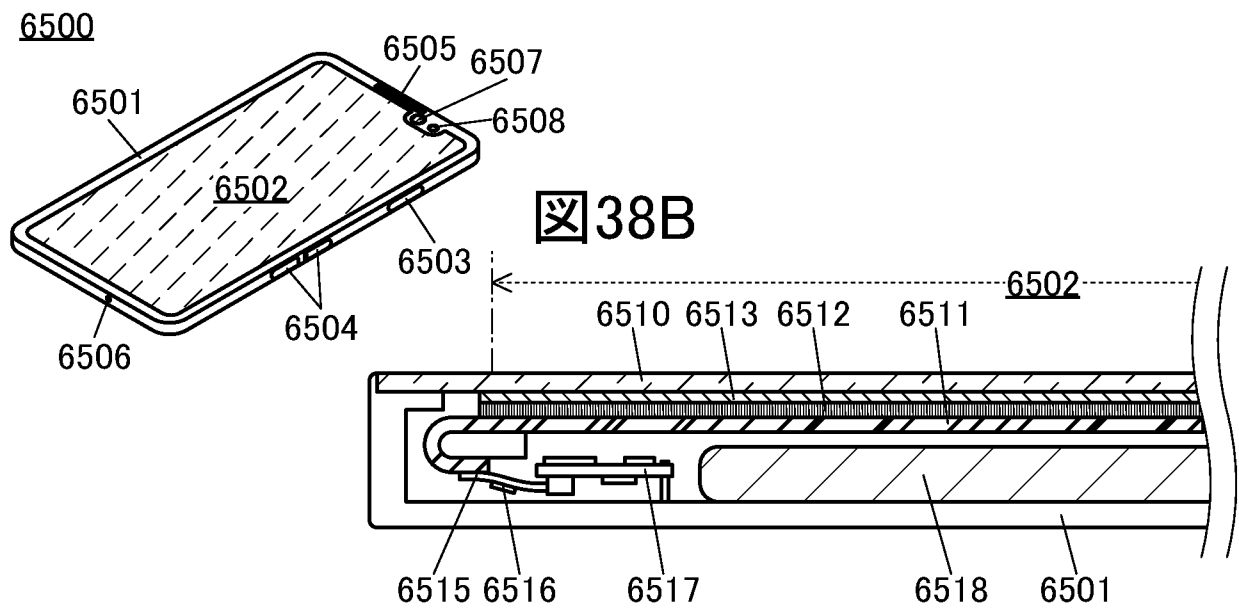


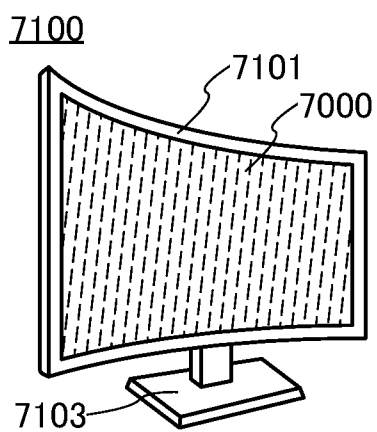
図37D



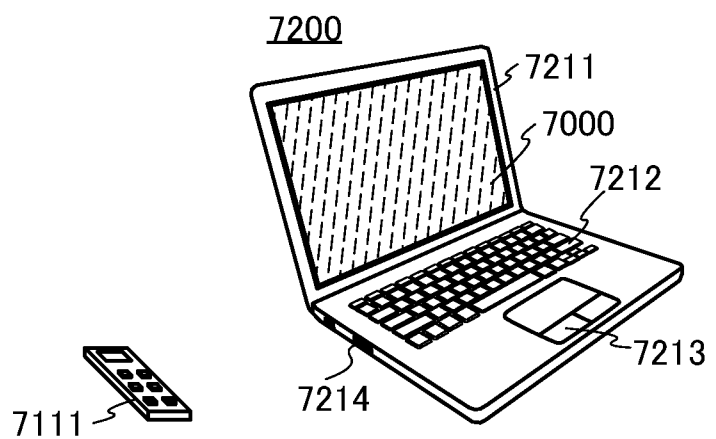
38A



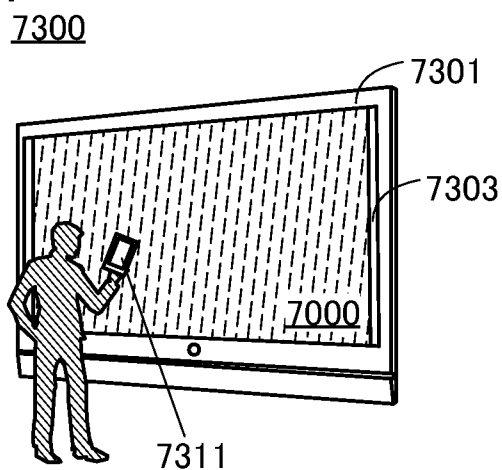
38C



38D



38E



38F

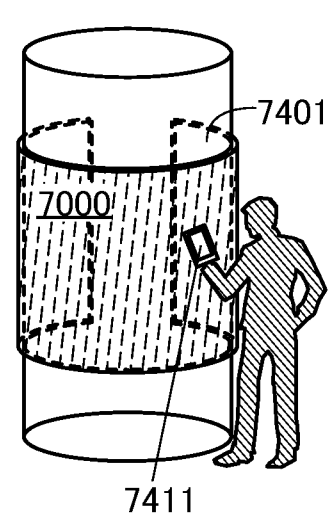


图 39A

9101

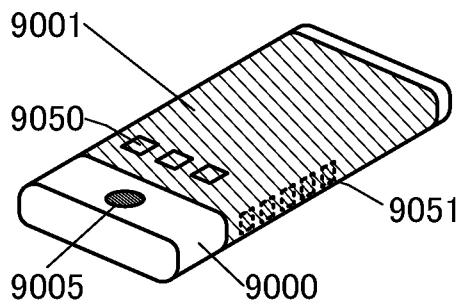


图 39D

9200

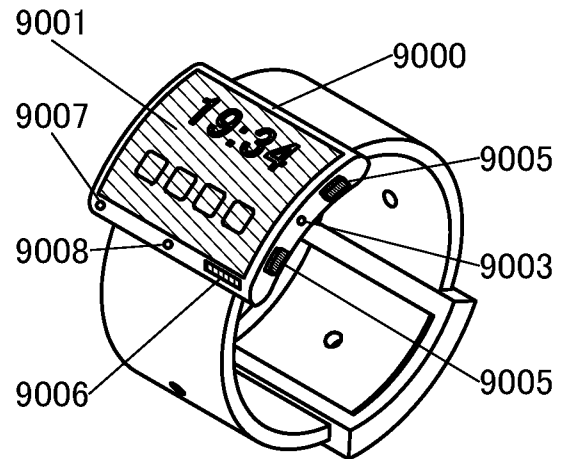


图 39B

9102

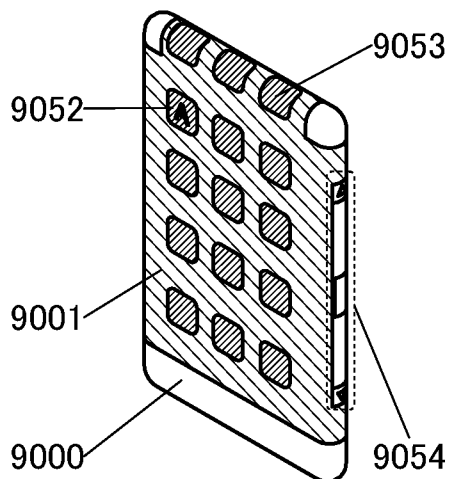


图 39E

9201

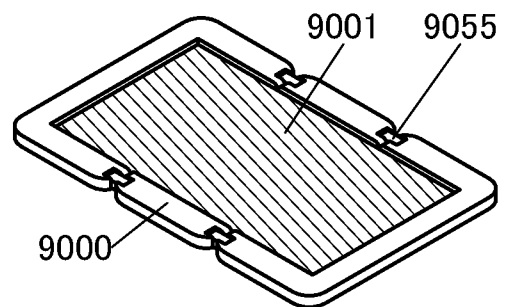


图 39F

9201

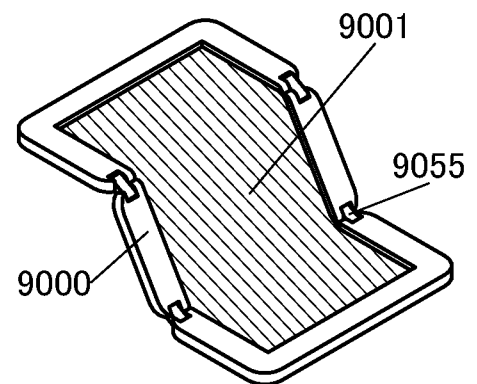


图 39C

9103

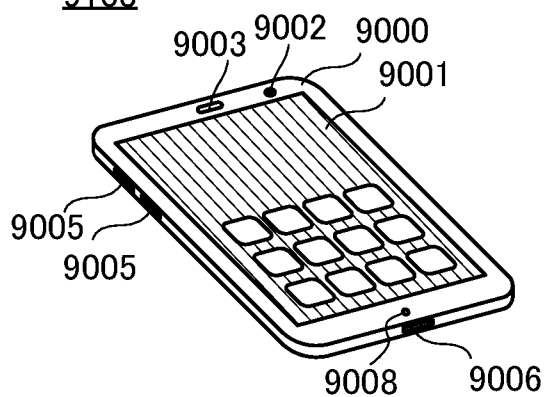
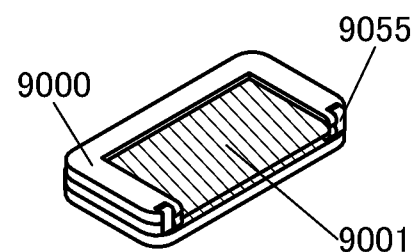


图 39G

9201



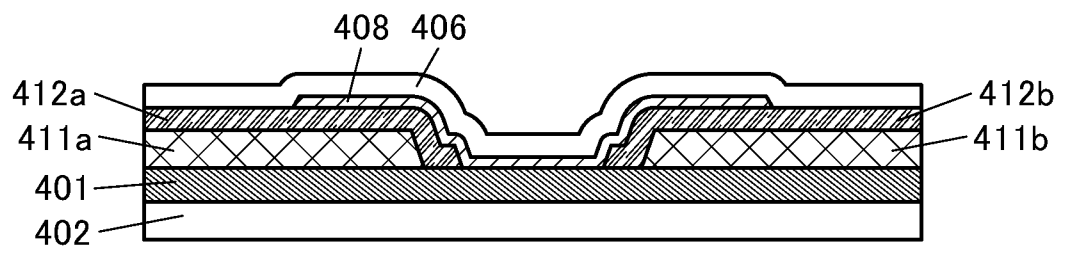


図41A

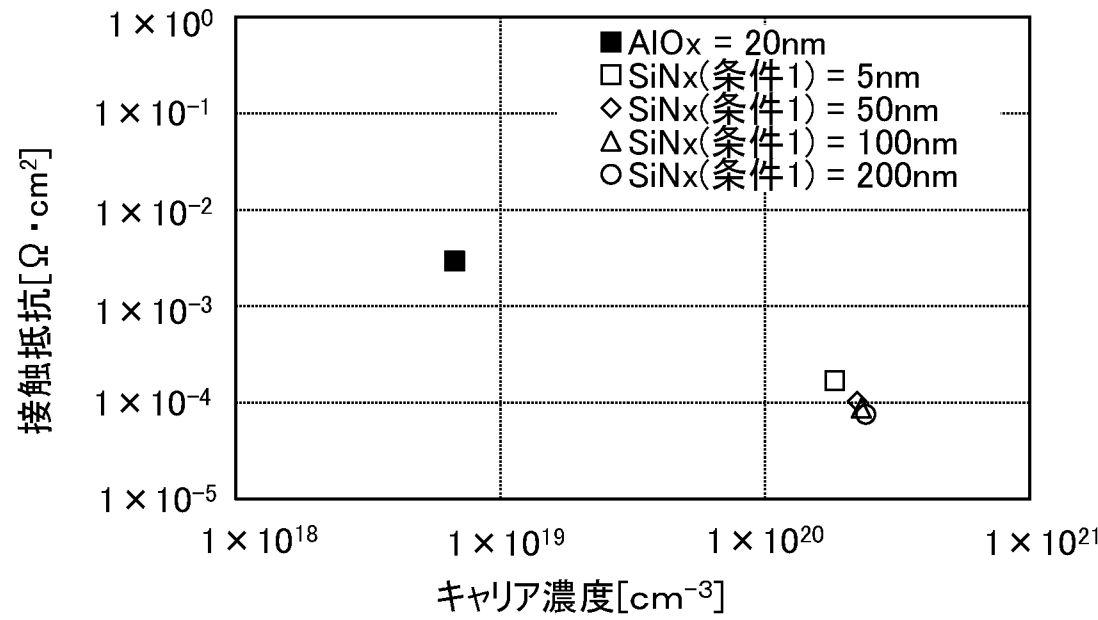


図41B

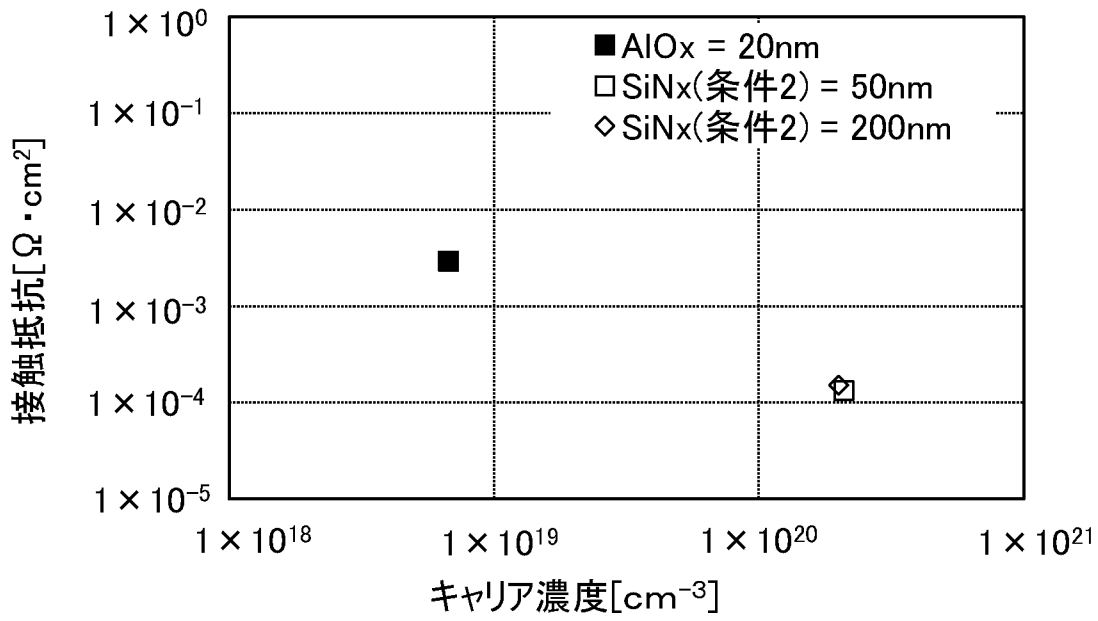


図42A

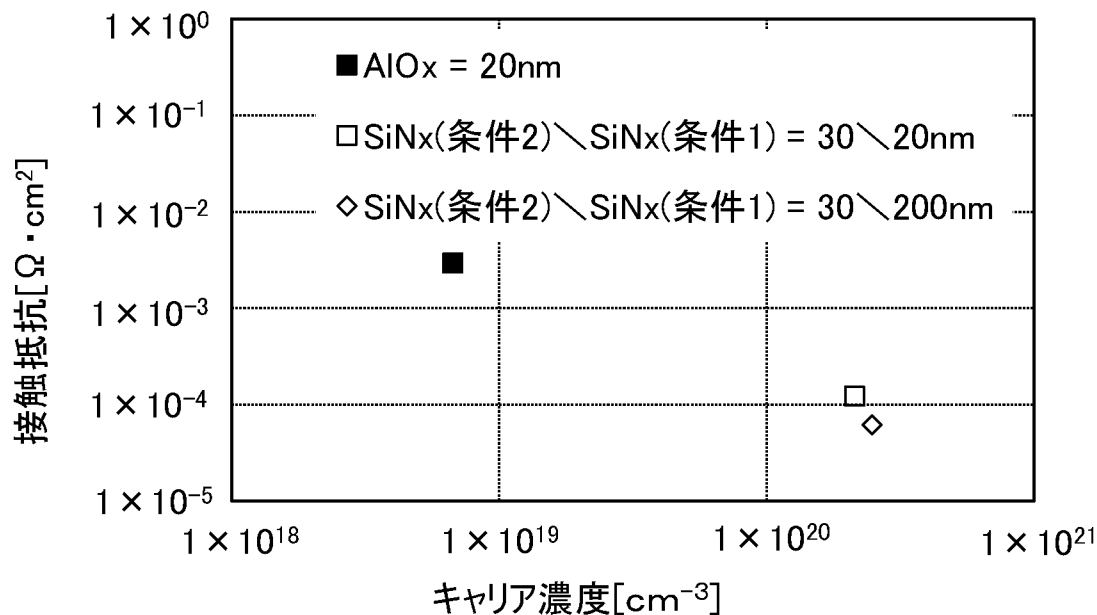
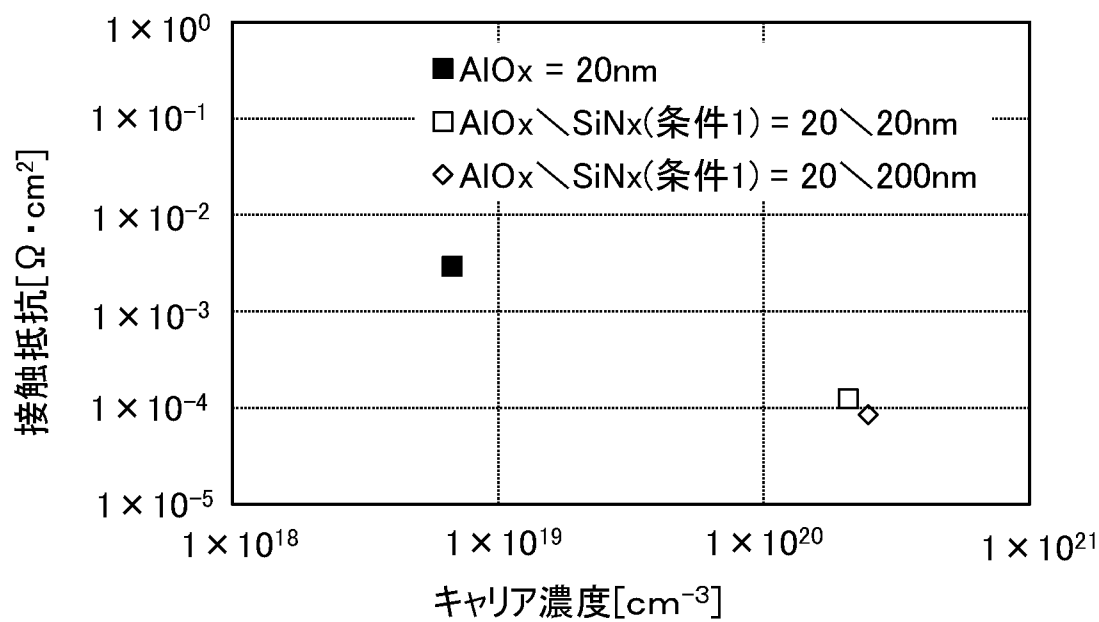
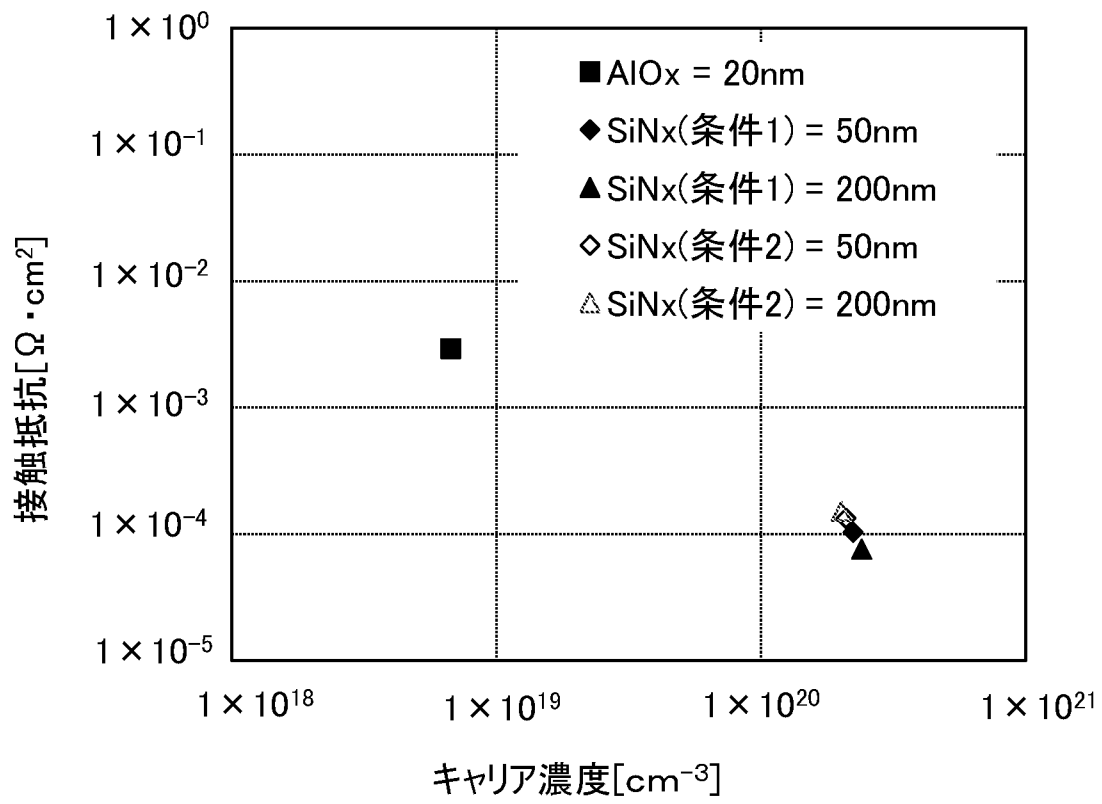
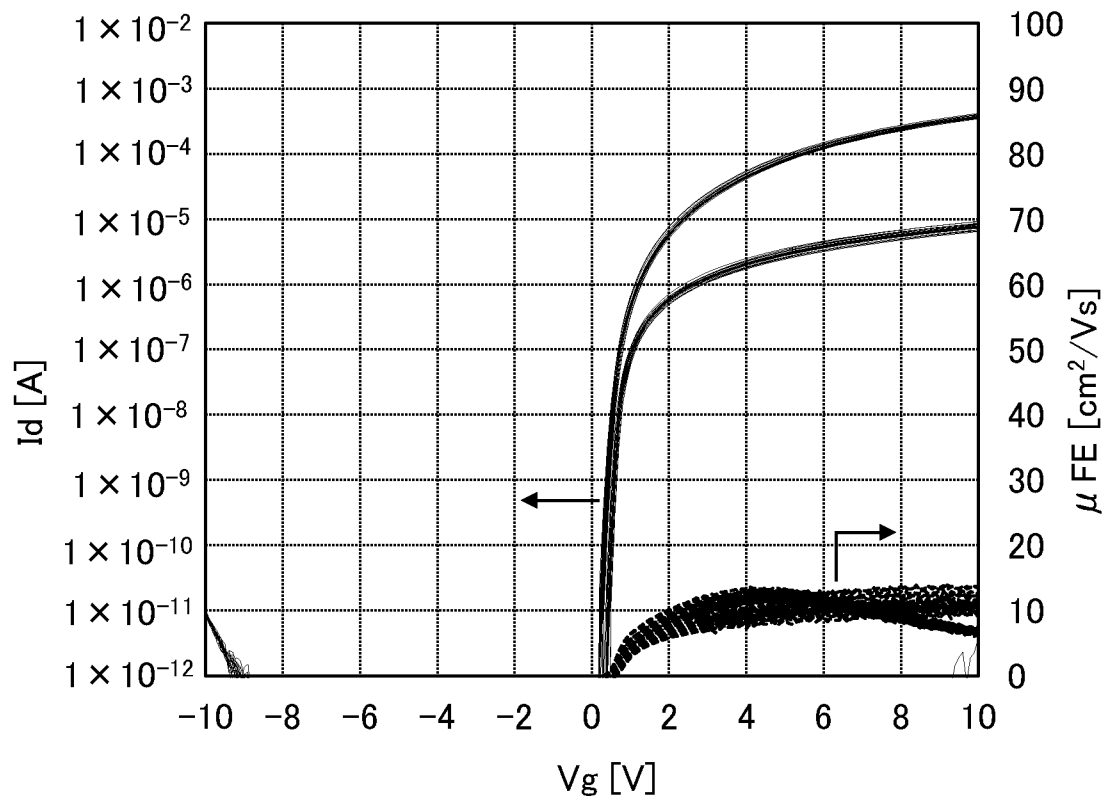
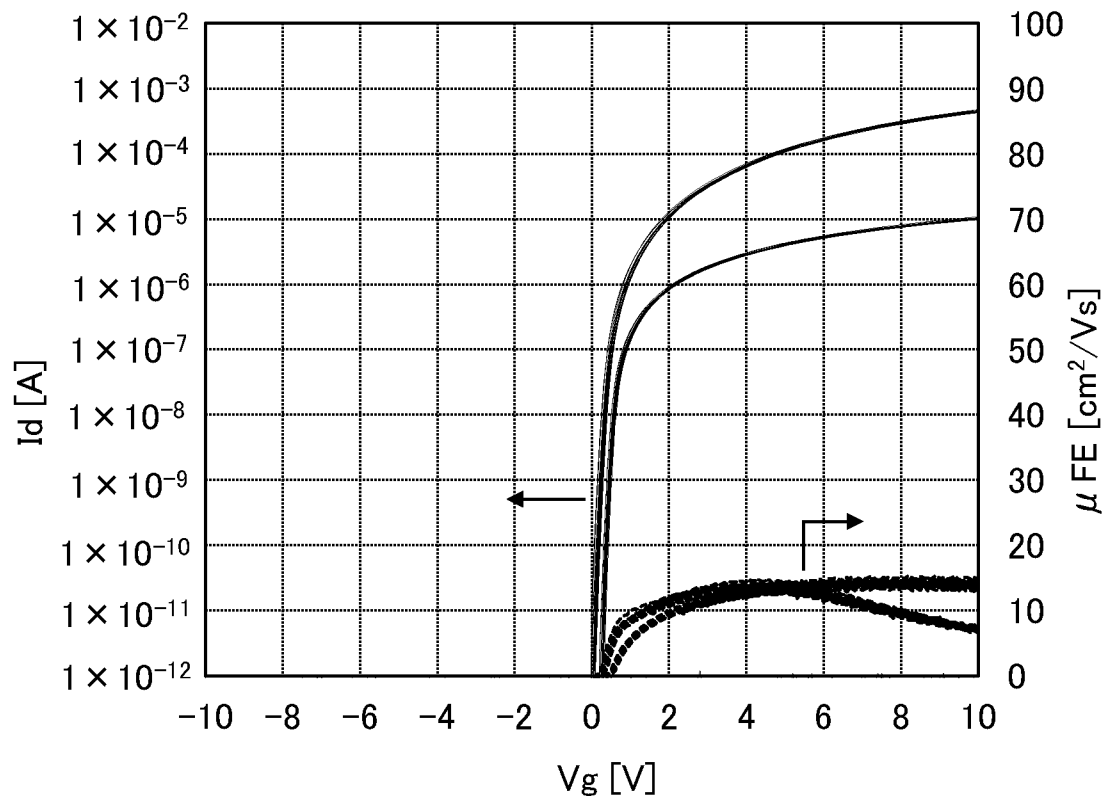


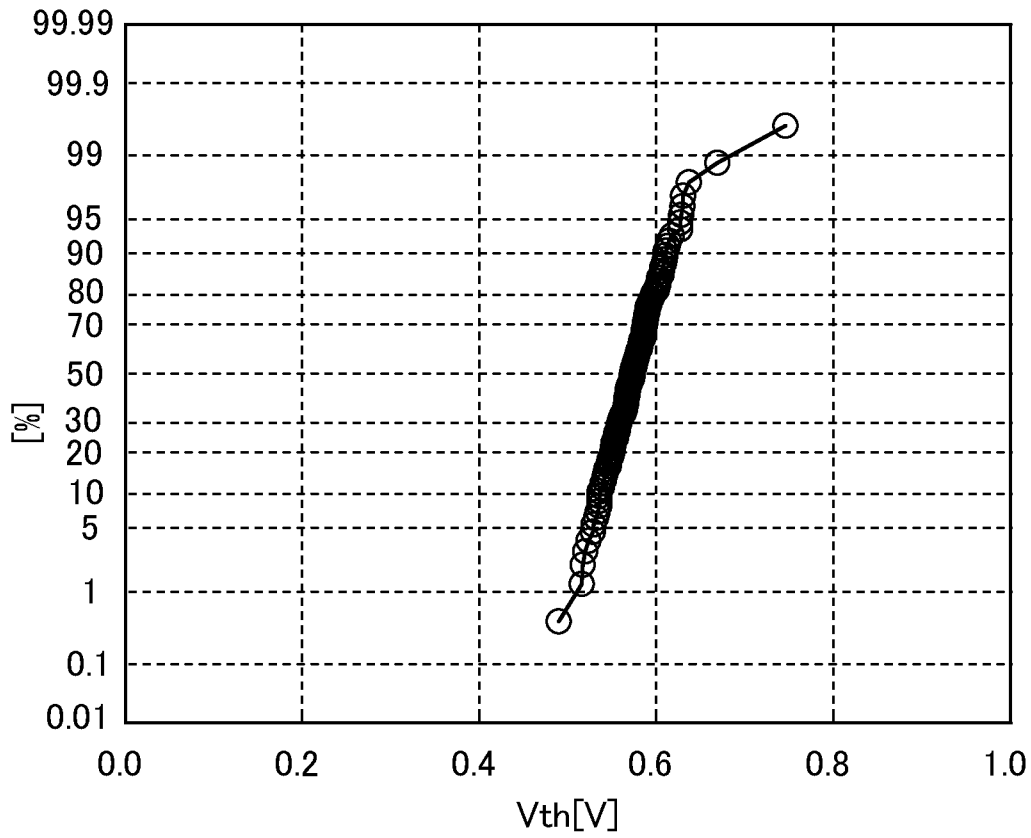
図42B











 46B

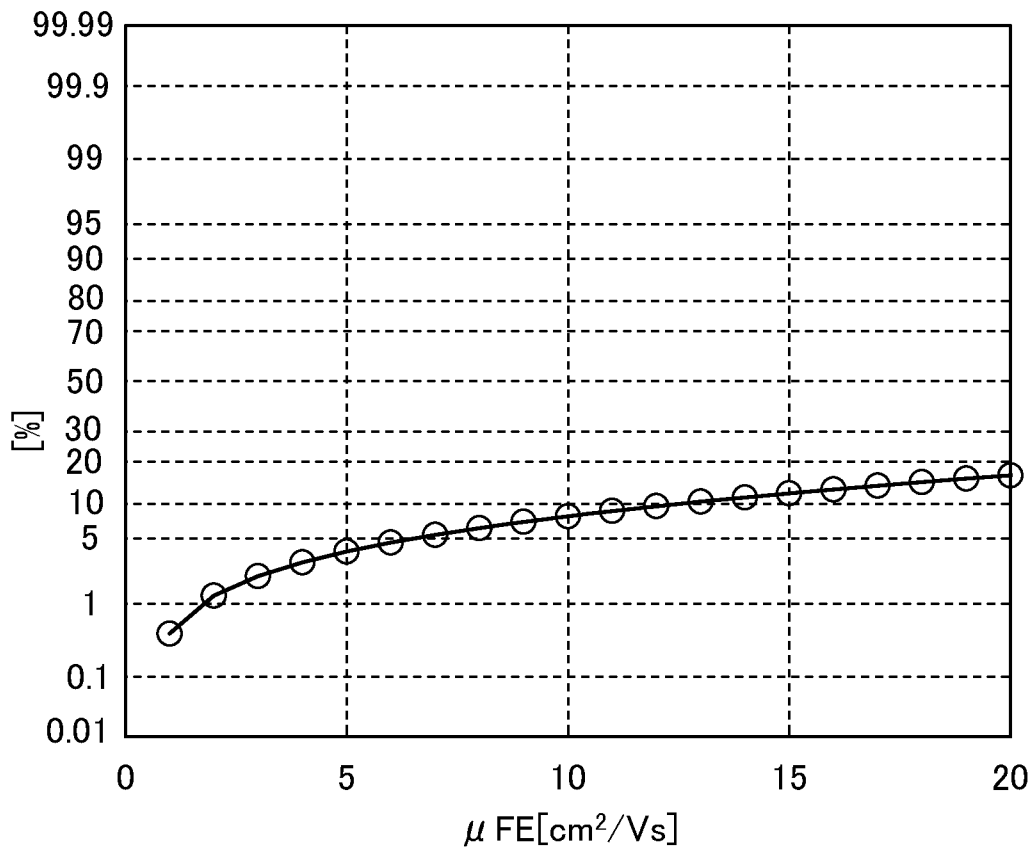


図47A

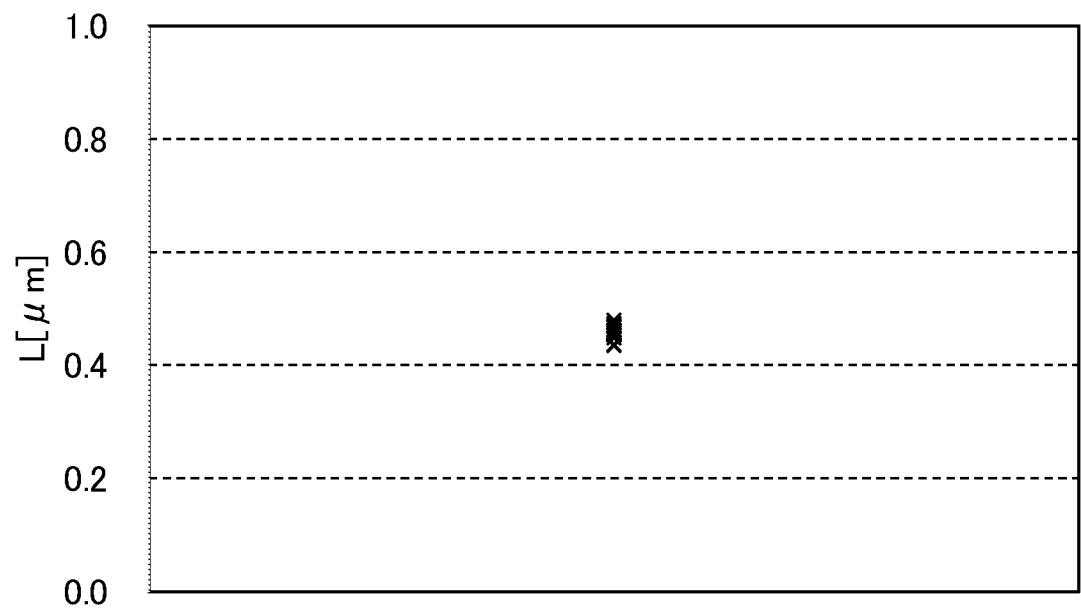
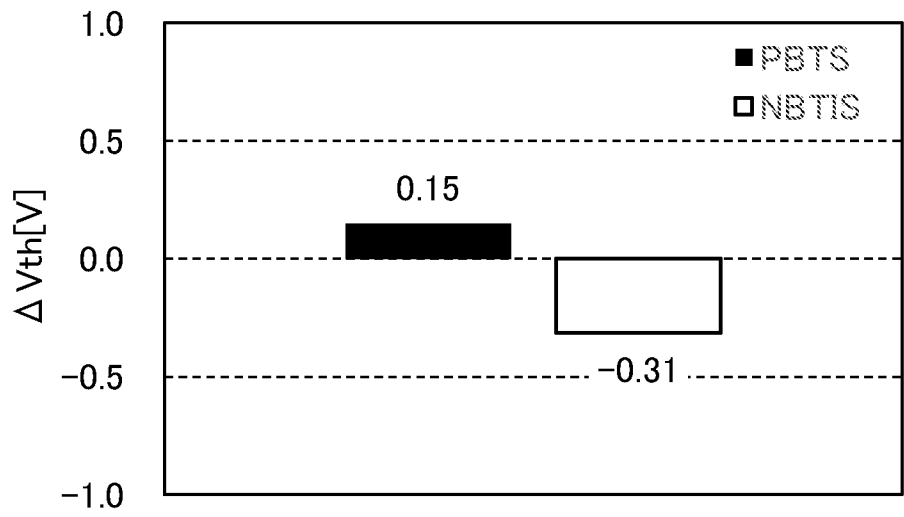
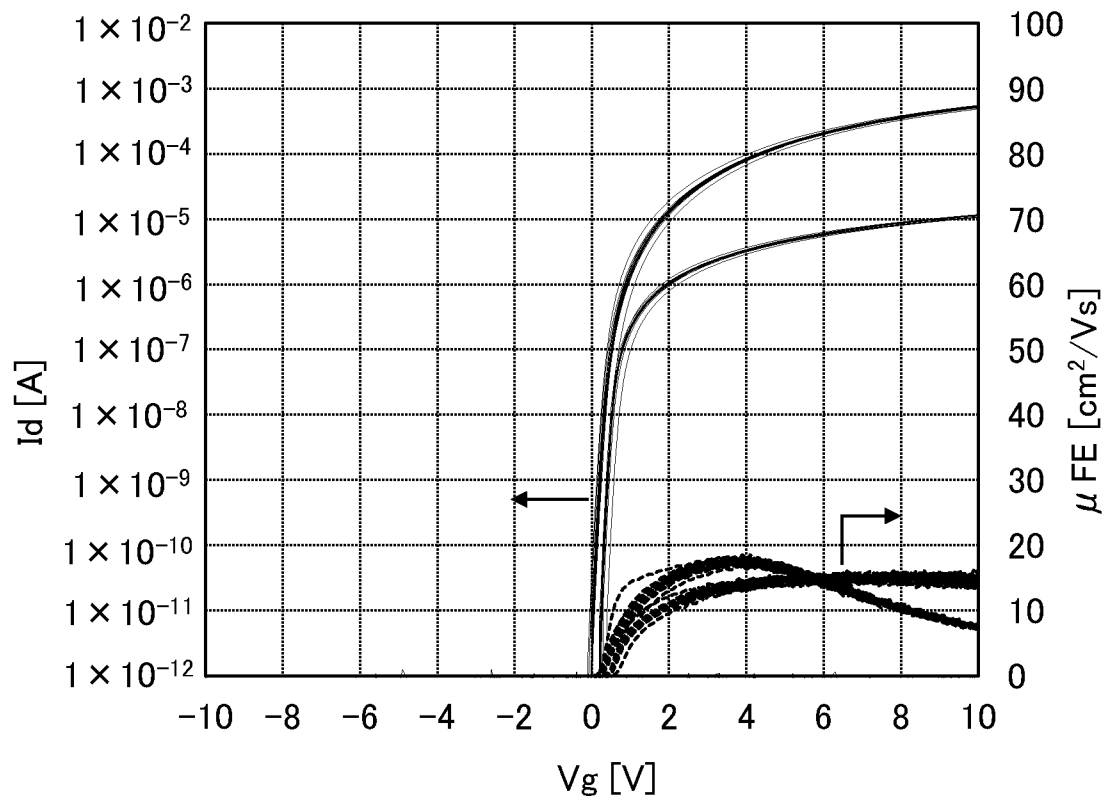
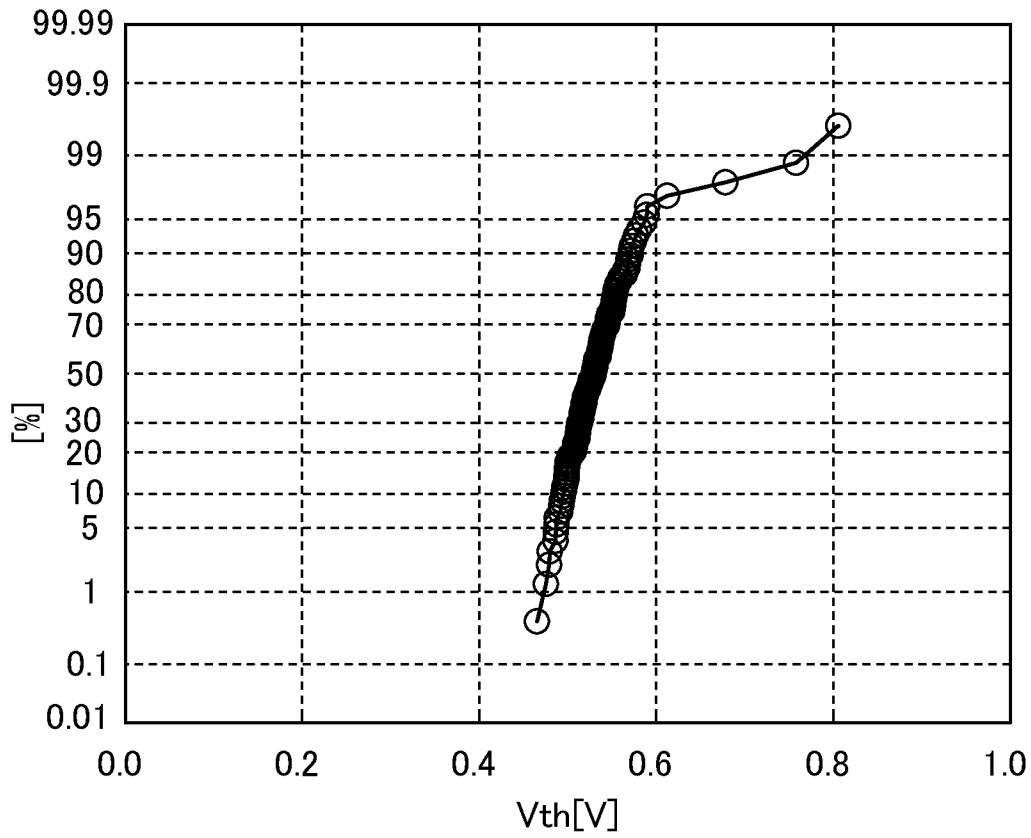


図47B







 49B

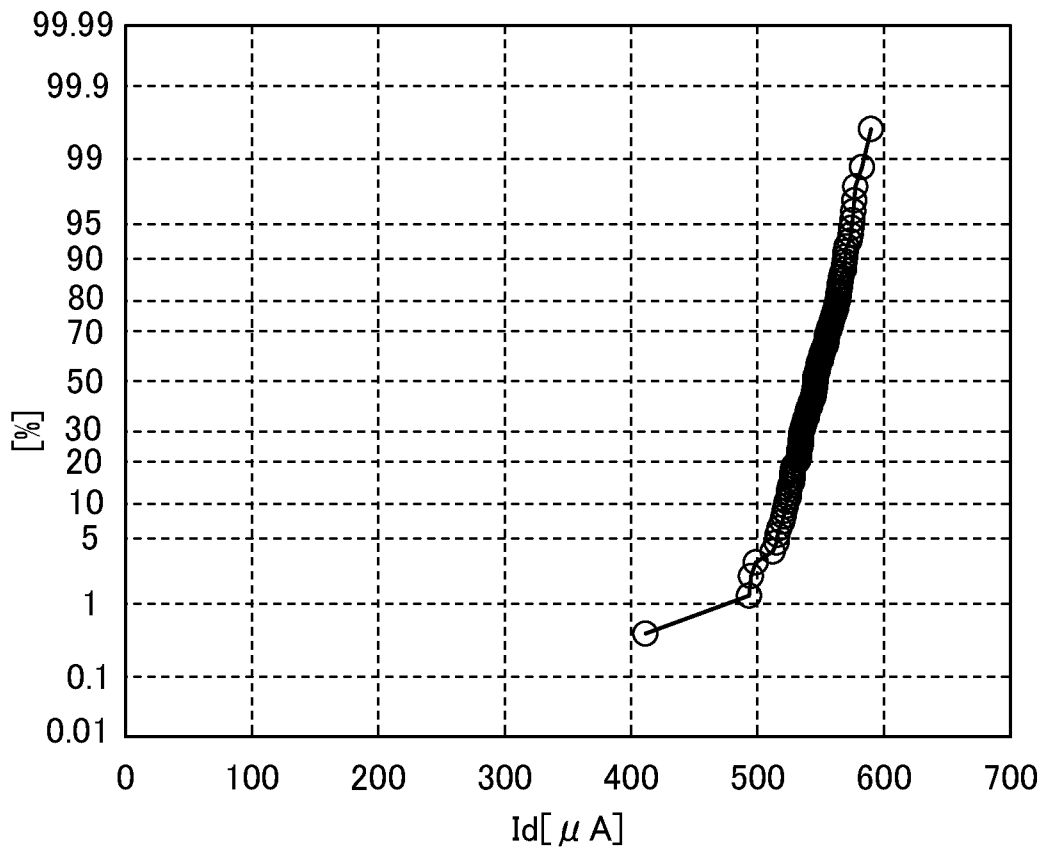


図50A

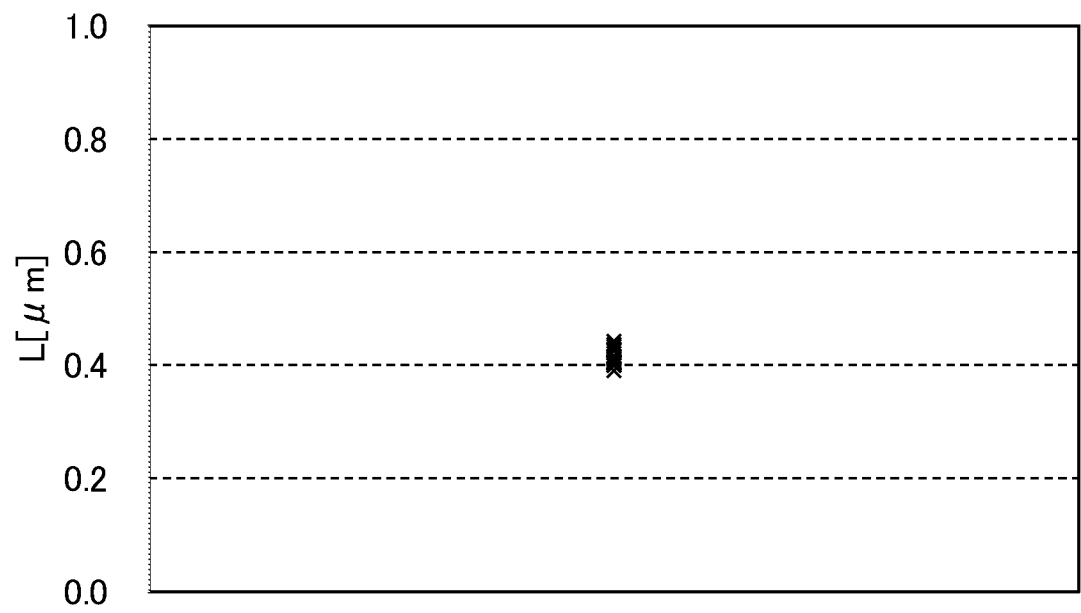


図50B

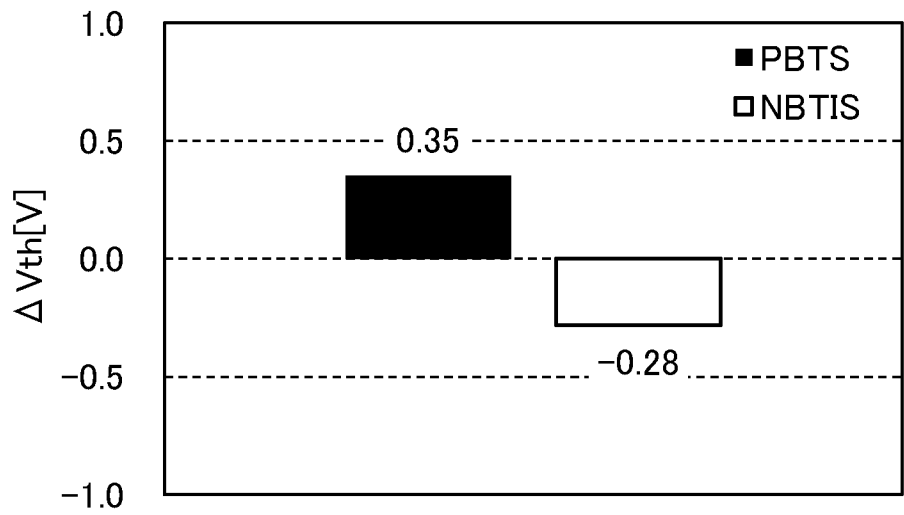


図51A

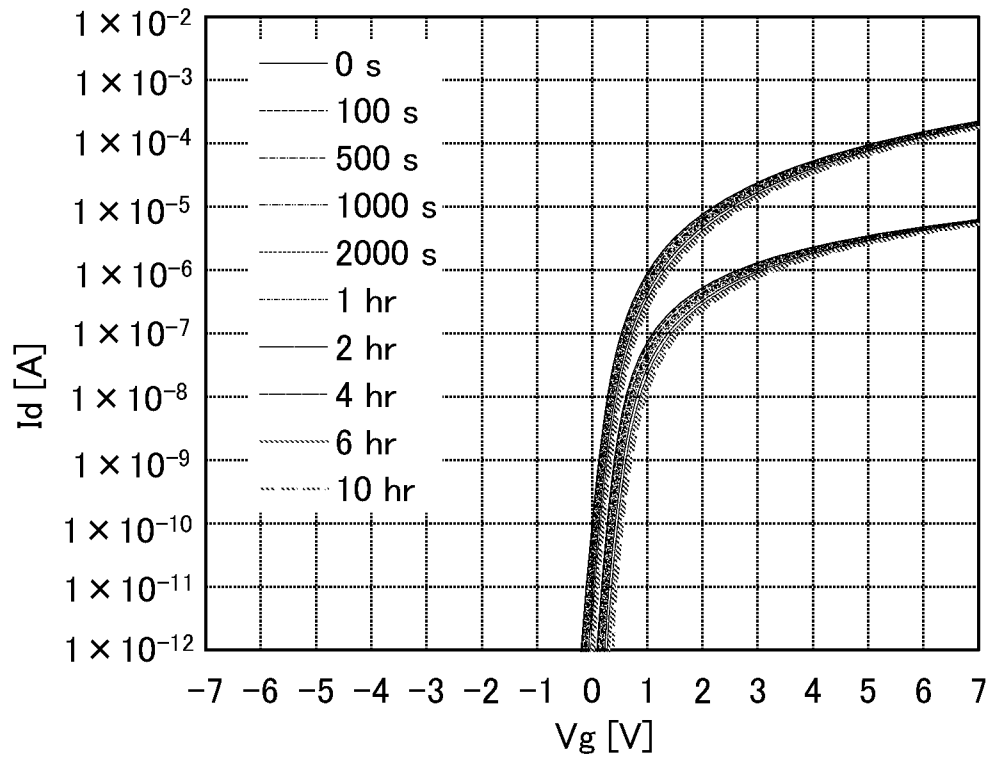
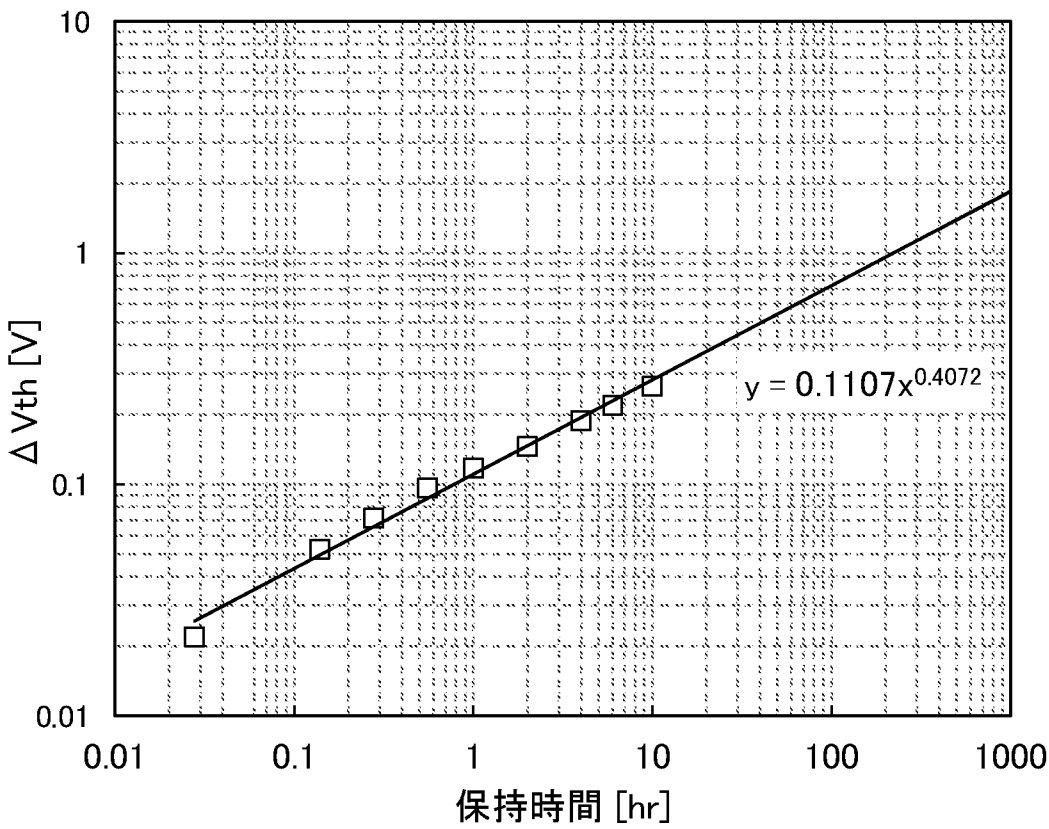


図51B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/062853

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; **G09F 9/30**(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 27/146**(2006.01)i; **H05B 33/14**(2006.01)i; **H10K 39/32**(2023.01)i; **H10K 39/34**(2023.01)i; **H10K 50/10**(2023.01)i; **H10K 59/12**(2023.01)i; **H10K 59/123**(2023.01)i; **H10K 59/124**(2023.01)i; **H10K 71/00**(2023.01)i; **H10K 71/60**(2023.01)i

FI: H01L29/78 626A; H01L27/088 E; H01L29/78 626C; H01L29/78 616L; H01L27/06 102A; H01L27/088 331E; H01L27/088 D; H01L27/088 A; H10K59/12; H01L29/78 616T; H01L29/78 616V; H01L29/78 618B; H05B33/14 Z; H10K50/10; H10K71/00; H10K71/60; H10K39/34; H01L27/146 C; G09F9/30 348A; H10K59/123; H10K39/32; H10K59/124; H01L29/78 619A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; G09F9/30; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L27/146; H05B33/14; H10K39/32; H10K39/34; H10K50/10; H10K59/12; H10K59/123; H10K59/124; H10K71/00; H10K71/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) paragraphs [0049]-[0071], [0086]-[0143], fig. 1, 5-7	1-2, 6-8, 15-16, 18
Y		3, 7-8
A		4-5, 9-14, 17, 19-21
Y	JP 2015-111663 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 June 2015 (2015-06-18) paragraph [0070]	3, 7-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 March 2024

Date of mailing of the international search report

19 March 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/062853**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-092058 A (JAPAN DISPLAY INC.) 23 May 2016 (2016-05-23) entire text, all drawings	1-21
A	WO 2016/084732 A1 (SHARP KABUSHIKI KAISHA) 02 June 2016 (2016-06-02) entire text, all drawings	1-21
A	JP 2010-177450 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 August 2010 (2010-08-12) entire text, all drawings	1-21

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/062853

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2016-149552	A	18 August 2016	US 2016/0233343 A1 paragraphs [0074]-[0095], [0110]-[0167], fig. 1A-1C, 5A-7C WO 2016/128859 A1	
JP	2015-111663	A	18 June 2015	(Family: none)	
JP	2016-092058	A	23 May 2016	US 2016/0126357 A1 entire text, all drawings CN 105576015 A	
WO	2016/084732	A1	02 June 2016	US 2017/0256649 A1 entire text, all drawings	
JP	2010-177450	A	12 August 2010	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/786(2006.01)i; G09F 9/30(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/146(2006.01)i; H05B 33/14(2006.01)i; H10K 39/32(2023.01)i; H10K 39/34(2023.01)i; H10K 50/10(2023.01)i; H10K 59/12(2023.01)i; H10K 59/123(2023.01)i; H10K 59/124(2023.01)i; H10K 71/00(2023.01)i; H10K 71/60(2023.01)i FI: H01L29/78 626A; H01L27/088 E; H01L29/78 626C; H01L29/78 616L; H01L27/06 102A; H01L27/088 331E; H01L27/088 D; H01L27/088 A; H10K59/12; H01L29/78 616T; H01L29/78 616V; H01L29/78 618B; H05B33/14 Z; H10K50/10; H10K71/00; H10K71/60; H10K39/34; H01L27/146 C; G09F9/30 348A; H10K59/123; H10K39/32; H10K59/124; H01L29/78 619A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/786; G09F9/30; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L27/146; H05B33/14; H10K39/32; H10K39/34; H10K50/10; H10K59/12; H10K59/123; H10K59/124; H10K71/00; H10K71/60 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 段落 [0049] - [0071], [0086] - [0143], 図1, 5-7	1-2, 6-8, 15-16, 18
Y		3, 7-8
A		4-5, 9-14, 17, 19-21
Y	JP 2015-111663 A（株式会社半導体エネルギー研究所）18.06.2015（2015-06-18） 段落 [0070]	3, 7-8
A	JP 2016-092058 A（株式会社ジャパンディスプレイ）23.05.2016（2016-05-23） 全文, 全図	1-21
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリ “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 07.03.2024	国際調査報告の発送日 19.03.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 高橋 優斗 5F 5585 電話番号 03-3581-1101 内線 3514	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2016/084732 A1 (シャープ株式会社) 02.06.2016 (2016 - 06 - 02) 全文, 全図	1-21
A	JP 2010-177450 A (株式会社半導体エネルギー研究所) 12.08.2010 (2010 - 08 - 12) 全文, 全図	1-21

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2023/062853

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-149552	A	18.08.2016	US 2016/0233343 A1 段落 [0074] - [0095], [0110] - [0167], 図1A-1C, 5A-7C WO 2016/128859 A1	
JP	2015-111663	A	18.06.2015	(ファミリーなし)	
JP	2016-092058	A	23.05.2016	US 2016/0126357 A1 全文, 全図 CN 105576015 A	
WO	2016/084732	A1	02.06.2016	US 2017/0256649 A1 全文, 全図	
JP	2010-177450	A	12.08.2010	(ファミリーなし)	